

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4044401号
(P4044401)

(45) 発行日 平成20年2月6日(2008.2.6)

(24) 登録日 平成19年11月22日(2007.11.22)

(51) Int.Cl.	F I	
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00	6 2 1 Z
G 1 1 C 11/402 (2006.01)	G 1 1 C 11/34	3 5 2 F
H O 1 L 21/8242 (2006.01)	H O 1 L 27/10	3 2 1
H O 1 L 27/108 (2006.01)	H O 1 L 27/10	4 7 1
H O 1 L 27/10 (2006.01)	H O 1 L 29/78	6 1 3 B
請求項の数 1 (全 39 頁) 最終頁に続く		

(21) 出願番号	特願2002-265623 (P2002-265623)	(73) 特許権者	000003078
(22) 出願日	平成14年9月11日(2002.9.11)		株式会社東芝
(65) 公開番号	特開2004-103159 (P2004-103159A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成16年4月2日(2004.4.2)	(74) 代理人	100075812
審査請求日	平成15年5月16日(2003.5.16)		弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100107582
			弁理士 関根 毅
最終頁に続く			

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板上にマトリックス状に配置されてセルアレイを構成する複数のメモリセルであって、ドレインとソースと、前記ドレインと前記ソースとの間に位置する電氣的にフローティング状態であるチャンネルボディと、前記チャンネルボディ上に形成されたゲート電極と、を有するM I S F E Tにより構成されており、前記チャンネルボディに多数キャリアを蓄積した第1状態と前記チャンネルボディから多数キャリアを放出した第2状態とを有する、メモリセルと、

第1方向に沿って配置された前記メモリセルの前記ゲート電極に接続する、複数のワード線と、

前記第1方向と交差する方向である第2方向に沿って配置された前記メモリセルの前記ソースと前記ドレインのうち一方に接続されるが、センスアンプには接続されていない、第1ビット線であって、前記半導体基板の上方にある第1配線層に形成された、第1ビット線と、

前記第1配線層の上方にある第2配線層に形成されて、センスアンプに接続する、第2ビット線であって、ビット線スイッチを介して、複数の前記第1ビット線を選択的に前記センスアンプに接続するための、第2ビット線と、

を備えるとともに、

前記セルアレイは、前記第2方向に沿って並ぶ複数のセルアレイブロックに区分され、前記第1ビット線は、前記セルアレイブロック毎に個別に配置されており、

前記第2ビット線は、前記第1方向に並ぶ複数の前記第1ビット線に対して共通に、且つ、前記第2方向に並ぶ複数の前記第1ビット線に対しても共通に、設けられている、ことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体記憶装置に関し、特に、リフレッシュ動作が必要なダイナミック型の半導体記憶装置に関する。

【0002】

【従来の技術】

1個のトランジスタと1個のキャパシタ(1T1C)から1ビットを形成する従来のダイナミックメモリセルは、0.1 μ m未満のデザインルールへ微細化することが困難であると考えられている。それは、キャパシタの容量をほぼ一定に保つ必要があるため、その構造がますます複雑になってきているからである。そのような状況に対して、SOI(Silicon On Insulator)などの上に作製したフローティングボディを持つMISFET(Metal Insulator Silicon Field Effect Transistor)のチャネルボディに多数キャリアを蓄積することで情報を記憶するFBC(Floating Body transistor Cell)型のメモリセルが提案されている。このようなFBC型のメモリセルは、例えば、特許文献1乃至特許文献3に記述されている。この特許文献1乃至特許文献3はいずれも現時点で未公開である。

【0003】

このようなメモリセルMCの構造と動作原理を、図1乃至図4に基づいて説明する。これらの図から分かるように、メモリセルMCは、SOI基板上にマトリクス状に配置されたMISFETをメモリセルMCとして使用する。この図の例では、SOI基板は、P型の半導体基板10上に形成された絶縁膜(例えばシリコン酸化膜)14とを備えて構成されている。この絶縁膜14上には、半導体層16が形成されている。

【0004】

この半導体層16には、ドレイン20とソース22とが形成されている。ドレイン20はビット線BLに接続されており、ソース22はソース線SLに接続されており、ゲート電極24はワード線WLを構成している。また、ドレイン20とソース22との間には、電気的にフローティング状態になっており、チャネルボディ28を構成している。このチャネルボディ28上には、ゲート絶縁膜26を介して、上述したゲート電極24が位置している。ソース線SLは固定的に0Vに保たれている。

【0005】

メモリセルMCのドレイン20とソース22は、N型の半導体領域で構成されており、チャネルボディ28はP型の半導体領域で構成されている。メモリセルMCは、このチャネルボディ28に、多数キャリアであるホールが蓄積されているか否かで、データを記憶する。以下では、チャネルボディ28にホールが蓄積されている状態を“1”とし、ホールが蓄積されていない状態を“0”とする。

【0006】

このチャネルボディ28に多数キャリア(この場合は正孔)を蓄積するには、図1に示すように、このメモリセルMCを5極管(飽和)状態にバイアスする。具体的には、ドレイン20に接続したビット線BLと、ゲート電極24に接続したワード線WLとを、高い電圧に設定する。これにより、インパクトイオン化を起こして、電子・正孔対を発生させるとともに、この電子・正孔対のうちの正孔をチャネルボディ28に蓄積する。これが、“1”データを書き込んだ状態である。

【0007】

これとは逆に、“0”データを書き込む場合には、図2に示すように、ビット線BLを低い電圧にしてチャネルボディ28とドレイン20あるいはソース22間のPN接合を順方向にバイアスすることで、蓄積されている正孔をビット線BL側へ抜くことを行う。

10

20

30

40

50

【 0 0 0 8 】

図 3 に示すように、このメモリセル M C に書き込まれたデータの読み出しは、データが破壊されない程度の電圧をドレイン 2 0 に印加して、このメモリセル M C を線形領域で動作させる。そして、チャンネルボディ 2 8 に蓄えられている正孔の数の違いで、ボディ効果により、ソース 2 2 とドレイン 2 0 との間に流れるソース・ドレイン電流 I_{ds} が異なるという性質を利用して、このソース・ドレイン電流 I_{ds} の差を検出し、増幅することにより、データを読み出す。すなわち、図 4 に示すように、同じゲート・ソース間電圧 V_{gs} を印加した場合でも、チャンネルボディ 2 8 に正孔が蓄積されているか否かで、ソース・ドレイン電流 I_{ds} が異なるものとなるので、この差を検出して、チャンネルボディ 2 8 が正孔を蓄積しているか否か、つまり、メモリセル M C が “ 1 ” データを保持しているか、“ 0 ” データを保持しているかを読み出すのである。

10

【 0 0 0 9 】

このメモリセル M C は S O I 基板上の 1 個の M I S F E T からなるゲインセルで、 $0.1 \mu\text{m}$ 未満へ微細化することが容易である。また、このメモリセル M C は読み出しが非破壊で行われるので、従来の 1 T 1 C のメモリセルを用いた D R A M のように、センスアンプを各ビット線 B L 毎に配置する必要がない。したがって、複数のビット線 B L から 1 本をビット線セクタ (マルチプレクサ) で選択し、その選択されたビット線 B L に対してのみセンスアンプを配置すればよく、セル占有率を高めることが可能である。

【 0 0 1 0 】

このようなセンスアンプの配置の一例を、図 5 及び図 6 に示す。この図 5 は、F B C のメモリセルのセルアレイ 1 0 0 を部分的に詳細に示す図であり、図 6 は、そのセルアレイ 1 0 0 の全体レイアウトを示す図である。

20

【 0 0 1 1 】

これら図 5 及び図 6 に示すように、セルアレイ 1 0 0 は、複数のセルアレイブロック 1 0 0 B に区分されている。各セルアレイブロック 1 0 0 B の間には、ビット線セクタを配置するビット線セクタ配置領域 1 2 0 と、センスアンプ S A と基準電圧生成回路 V G とを配置するセンスユニット配置領域 1 2 2 とが、設けられている。また、センスユニット配置領域 1 2 2 は、左右に隣接するセルアレイブロック 1 0 0 B で共通に設けられている。

【 0 0 1 2 】

また、図 5 に示すように、1 つの基準電圧生成回路 V G が 2 つのセンスアンプ S A で共通に設けられている。この図 5 に示す 3 2 本 ($8 \times 2 + 8 \times 2$) のビット線 B L と 1 本の基準ビット線 R B L の単位が、上下方向に連続的に配置されることにより、図 6 に示すセルアレイブロック 1 0 0 B が構成されている。セルアレイブロック 1 0 0 B の図中上側には、ロウデコーダ及びワード線ドライバ 1 3 0 が設けられている。また、セルアレイ 1 0 0 の図中右側には、カラムデコーダ 1 4 0 が設けられている。

30

【 0 0 1 3 】

図 7 は、センスアンプ S A の構成を示す図であり、図 8 は、基準電圧生成回路 V G の回路構成を示す図であり、図 9 は、ビット線セクタ B S T R の回路構成を示す図である。図 7 に示すように、このセルアレイ 1 0 0 には、読み出しカラム選択信号線 R C S L と、書き込みカラム選択信号線 W C S L と、基準セルリフレッシュカラム信号線 D W C S L とが、図中横方向に延びて設けられている。これら読み出しカラム選択信号線 R C S L と、書き込みカラム選択信号線 W C S L と、基準セルリフレッシュカラム信号線 D W C S L は、図 6 のカラムデコーダ 1 4 0 から、各セルアレイブロック 1 0 0 B を横切って、各センスアンプ S A に共通に入力されている。

40

【 0 0 1 4 】

図 7 に示すように、3 2 本のビット線 B L と 1 本の基準ビット線 R B L とに対して、2 本の読み出しカラム選択信号線 R C S L と、2 本の書き込みカラム選択信号線 W C S L と、1 本の基準セルリフレッシュカラム信号線 D W C S L が設けられており、これがワード線方向に複数設けられて、センスアンプ S A が構成されている。

50

【 0 0 1 5 】

ここでは、読み出しカラム選択信号線 R C S L と、書き込みカラム選択信号線 W C S L と、基準セルリフレッシュカラム信号線 D W C S L とは、3層目のメタル配線層に形成されている。因みに、1層目のメタル配線はビット線 B L とセンスユニット配置領域 1 2 2 の回路の配線に、2層目のメタル配線はワード線 W L とセンスユニット配置領域 1 2 2 の回路の配線に使われている。

【 0 0 1 6 】

図 1 0 は、図 7 に示したセンスアンプ S A と基準電圧生成回路 V G の動作を説明する概念図である。この図 1 0 に示すように、1本の基準ビット線 R B L に対して、2本の基準ワード線 R W L がハイレベルになることにより、2個の互いに逆データが書き込まれている (“ 0 ” データと “ 1 ” データとが書き込まれている) 基準セルが同時に選択される。このため、“ 1 ” データに対応するセル電流 I 1 と、“ 0 ” データに対応するセル電流 I 0 の和が基準ビット線 R B L に流れる。そして、この電流 I 0 + I 1 と、メモリセル M C を流れるセル電流を電流比 2 のカレントミラーで 2 倍にした電流 (つまり、 $2 \times I 0$ または $2 \times I 1$) とを、比較することにより、メモリセル M C からデータを読み出している。

10

【 0 0 1 7 】

また、図 1 1 に、特許文献 4 に記述されているセルアレイ 1 0 0 の構成を示す。この特許文献 4 は現時点では未公開である。この図 1 1 のセルアレイ 1 0 0 においては、基準ワード線 R W L は、存在しない。その代わりに、通常のワード線 W L と、2本の基準ビット線 R B L の交点位置に、基準セルが 2 個設けられており、この 2 個の基準セルには、予め互いに逆データが書き込まれている。このように構成することにより、通常のワード線 W L がハイレベルになることにより、2個の基準セルも同時に活性化されて、電流 I 0 と電流 I 1 とを合わせた電流を得ることができる。この読み出し原理は、上述した図 1 0 と同様であり、電流 I 0 + I 1 をセル電流の 2 倍の電流と比較することにより、メモリセル M C からデータを読み出す。但し、使用される基準セル自体は、ハイレベルになったワード線 W L により異なることとなる。

20

【 0 0 1 8 】

【特許文献 1】

特願 2 0 0 1 - 2 4 5 5 8 4

【特許文献 2】

特願 2 0 0 1 - 0 3 9 1 2 2

【特許文献 3】

特願 2 0 0 1 - 2 2 0 4 6 1

【特許文献 4】

特願 2 0 0 2 - 1 7 6 9 3 1

30

【 0 0 1 9 】

【発明が解決しようとする課題】

このように F B C メモリセル M C に用いた半導体記憶装置においては、センスアンプ S A の数を、通常の 1 T 1 C セルの D R A M よりも減らすことができるが、センスアンプ S A の面積自体が通常の D R A M のものよりも大きくなる。このため、半導体記憶装置全体におけるセンスアンプ S A が占める面積の割合を減少させ、更なる縮小化を図ることが望まれる。

40

【 0 0 2 0 】

また、図 9 に示すように、ビット線 B L を選択するビット線セレクタ B S T R には、N型の M I S F E T を使用している。このため、ビット線 B L に高電圧を与える場合、選択した M I S F E T のゲート電圧 (図 9 の信号 B S L n と信号 R B S L) を、そのビット線 B L に与えようとしている電圧にしきい値電圧 V_{th} を加えた電圧以上にしなければならない。しかも、M I S F E T のしきい値電圧 V_{th} は、基板バイアス効果で高くなっており、選択した M I S F E T のゲート電圧もこれに応じて高い電圧にしなければならない。M I S F E T に印加する電圧が高くなると、M I S F E T の絶縁膜にかかる電界強度が増大

50

し、これによるデバイス信頼性の低下や、消費電力の増大などの好ましくない状況に陥ることになる。

【0021】

そこで本発明は、前記課題に鑑みてなされたものであり、センスアンプの数を減らして、チップサイズの縮小化を図ることのできる半導体記憶装置を提供することを目的とする。また、ビット線セレクタを構成するMISFETのゲートに印加するビット線選択信号をより低電圧化できる半導体記憶装置を提供することを目的とする。

【0022】

【課題を解決するための手段】

本発明に係る半導体記憶装置は、

半導体基板上にマトリクス状に配置されてセルアレイを構成する複数のメモリセルであって、ドレインとソースと、前記ドレインと前記ソースとの間に位置する電氣的にフローティング状態であるチャンネルボディと、前記チャンネルボディ上に形成されたゲート電極と、を有するMISFETにより構成されており、前記チャンネルボディに多数キャリアを蓄積した第1状態と前記チャンネルボディから多数キャリアを放出した第2状態とを有する、メモリセルと、

第1方向に沿って配置された前記メモリセルの前記ゲート電極に接続する、複数のワード線と、

前記第1方向と交差する方向である第2方向に沿って配置された前記メモリセルの前記ソースと前記ドレインのうち的一方に接続されるが、センスアンプには接続されていない、第1ビット線であって、前記半導体基板の上方にある第1配線層に形成された、第1ビット線と、

前記第1配線層の上方にある第2配線層に形成されて、センスアンプに接続する、第2ビット線であって、ビット線スイッチを介して、複数の前記第1ビット線を選択的に前記センスアンプに接続するための、第2ビット線と、

を備えるとともに、

前記セルアレイは、前記第2方向に沿って並ぶ複数のセルアレイブロックに区分され、前記第1ビット線は、前記セルアレイブロック毎に個別に配置されており、

前記第2ビット線は、前記第1方向に並ぶ複数の前記第1ビット線に対して共通に、且つ、前記第2方向に並ぶ複数の前記第1ビット線に対しても共通に、設けられている、

ことを特徴とする。

【0023】

【発明の実施の形態】

〔第1実施形態〕

通常の1T1CのDRAMセルの場合、破壊型の読み出しになるために、立ち上げたワード線に接続されているすべてのメモリセルは、センスアンプに接続して信号を検知・増幅して再書き込みする必要がある。したがって、通常の1T1CのDRAMでビット線を階層化しようとするれば、2層目のビット線も1層目と同じピッチで配線して1層目のビット線に接続してあげる必要がある。

【0024】

これに対し、FBCでメモリセルMCを構成した場合には、読み出しが非破壊であるために、実際に読み出しを行うメモリセルMCだけをセンスアンプに接続すればよい。したがって、2層目のビット線はセンスアンプ単位で存在すればよく、1層目のビット線ピッチよりも格段に広いピッチで配線することが可能になる。

【0025】

カラムデコーダを複数のセルアレイブロックに共通化して一箇所に集中配置し、3層目のメタル配線層でカラム選択線(RCSL、WC SL及びDWCSL)をセルアレー上を走らせる場合においては、これらカラム選択線のピッチも比較的緩い為に、これらと同一層の3層目のメタル配線で2層目のビット線を配線することで、配線層の数を今までのものから増やすことなく、ビット線を階層化できるというメリットがある。より詳しくを、以

10

20

30

40

50

下に説明する。

【0026】

図12は、第1実施形態に係るセルアレイ100の全体レイアウトを示す図である。図13は、図12のセルアレイ100における、左右2つのセンスアンプSAと左右2つの基準電圧生成回路VGに対応するビット線セクタ200の構成を示す図であり、セルアレイブロックB0、B1のビット線セクタ200の構成を示す図である。図14は、本実施形態に係る半導体記憶装置の部分的な断面図であり、図13に対応して、左右2つのセンスアンプSAに接続される第2ビット線と、左右2つの基準電圧生成回路VGに接続される第2基準ビット線と、これに対するカラム選択線と、これらに対応して設けられている8本の第1ビット線と、1本の第1基準ビット線を示す図である。

10

【0027】

図12に示すように、本実施形態に係るセルアレイ100は、複数のメモリセルMCがマトリクス状に配置されて構成されるとともに、8個のセルアレイブロックB0～B7に区分されている。そして、セルアレイ100は、1つのカラムデコーダ140と、6系統のセンスアンプSAと基準電圧生成回路VGとを備えて構成されている。つまり、6個のセンスユニット配置領域250が設けられている。

【0028】

本実施形態においては、カラムデコーダ140は、8個のセルアレイブロックB0～B7の中央部分に集中配置されている。つまり、カラムデコーダ140の左側に4個のセルアレイブロックB0～B3が設けられており、カラムデコーダ140の右側に4個のセルアレイブロックB4～B7が設けられている。

20

【0029】

カラムデコーダ140は、カラムアドレス信号に基づいて、1つのカラムアドレスを選択し、カラム選択線（読み出しカラム選択信号線RCSL、書き込みカラム選択信号線WC SL、基準セルリフレッシュカラム信号線DWCSL）に、カラム選択信号（読み出しカラム選択信号、書き込みカラム選択信号、基準セルリフレッシュカラム選択信号）を送出する。このカラム選択線RCSL、WC SL、DWCSLは、各センスアンプSAに入力されており、カラムデコーダ140からのカラム選択信号を、各センスアンプSAに伝達する。

【0030】

センスユニット配置領域250は、4個のセルアレイブロックに対して3個の割合で設けられている。そして、本実施形態のメモリセルアレイ100は、図5に示したようなダブルエンド型のビット線配置を採用している。

30

【0031】

図14に示すように、本実施形態に係る半導体記憶装置には、第1配線層210に形成された第1ビット線1BLと第1基準ビット線1RBLと、第2配線層220に形成された第2ビット線2BL1、2BL2と、第2基準ビット線2RBL1、2RBL2とが配設されている。第1配線層210は、FBC型のメモリセルMCが形成された半導体基板230の上方にある1つのレイヤである。また、第2配線層220は、第1配線層210の上方に形成された1つのレイヤである。第1配線層210は、必ずしも半導体基板230上に直接形成された第1層目のレイヤである必要はなく、半導体基板230の上方に形成された第x層目のレイヤであれば足りる。また、第2配線層220は、必ずしも第1配線層210上に直接形成された第x+1層目のレイヤである必要はなく、第1配線層210の上方に形成された第y層目（但し、 $y > x$ ）のレイヤであれば足りる。

40

【0032】

また、本実施形態においては、第2配線層220に、読み出しカラム選択信号線RCSLと、書き込みカラム選択信号線WC SLと、基準セルリフレッシュカラム信号線DWCSLとが、形成されている。

【0033】

図13に示すように、本実施形態に係るセルアレイ100においては、各セルアレイブ

50

ックに複数のワード線WLが並列に設けられている。本実施形態においては、1つのセルアレイブロックあたり256本のワード線WL(WL0~WL255)が設けられている。詳しくは後述するが、メモリセルMCにアクセスする際には、ロウデコーダ及びワード線ドライバ130により、2つのセルアレイブロックあたり1本のワード線WLが選択されて活性化される。

【0034】

ワード線WLと第1ビット線1BLとの交点位置には、メモリセルMCが設けられている。より具体的には、ワード線WLは、ワード線方向に並ぶメモリセルMCのゲート電極に接続されている。また、第1ビット線1BLは、ビット線方向に並ぶメモリセルMCのドレインに接続されている。

10

【0035】

この図13の例では、1つのセルアレイブロックに着目した場合、1つのセンスアンプSAあたりに4本の第1ビット線1BLが設けられている。つまり、右側のセンスアンプSAに対して4本の第1ビット線1BLが設けられており、左側のセンスアンプSAに対して4本の第1ビット線1BLが設けられている。これら8本の第1ビット線1BLが交互に左右に設けられているN型のMISFET TrNを介して、第2ビット線2BL1又は第2ビット線2BL2に接続されている。

【0036】

第1ビット線1BLに接続されたMISFET TrNのゲート電極には、ビット線選択信号BSL0~BSL15が入力されており、これらビット線選択信号BSL0~BSL15に基づいて、1本の第1ビット線1BLが第2ビット線2BL1に接続され、1本の第1ビット線1BLが第2ビット線2BL2に接続される。具体的には、ビット線選択信号BSL0~BSL7のいずれか1つがハイレベルになり、1本の第1ビット線1BLが1本の第2ビット線2BL1に接続される。また、ビット線選択信号BSL8~BSL15のいずれか1つがハイレベルになり、1本の第1ビット線1BLが1本の第2ビット線2BL2に接続される。

20

【0037】

図12に示すように、第2ビット線2BL1は、左側のセンスアンプSAに入力されており、第2ビット線2BL2は、右側のセンスアンプSAに入力されている。このため、第2ビット線2BL1を流れるセル電流は、左側のセンスアンプSAでセンスされて、データが読み出され、第2ビット線2BL2を流れるセル電流は、右側のセンスアンプSAでセンスされて、データが読み出される。

30

【0038】

図13に示すように、各セルアレイブロックの右側に、ワード線WLと並列に、第1基準ワード線RWL0と第2基準ワード線RWL1とが1本ずつ設けられており、その左側に、ワード線WLと並列に、第1基準ワード線RWL0と第2基準ワード線RWL1とが1本ずつ設けられている。そして、これら第1基準ワード線RWL0と第1基準ビット線1RBLとの交点位置、及び、第2基準ワード線RWL1と第1基準ビット線1RBLとの交点位置には、基準セルが設けられている。具体的には、ビット線方向に延びる1本の第1基準ビット線1RBLには、“0”データを保持するための基準セルRC0のソースと、“1”データを保持するための基準セルRC1のソースとが接続されている。また、基準セルRC0のゲート電極は、第1基準ワード線RWL0に接続されており、基準セルRC1のゲート電極は、第2基準ワード線RWL1に接続されている。

40

【0039】

つまり、本実施形態においては、1本の第1基準ビット線1RBLに2個の基準セルRC0、RC1が接続されている。この基準セルRC0、RC1の構造は、メモリセルMCの構造と同じである。

【0040】

これら第1基準ビット線1RBLは、N型のMISFET TrNを介して、第2基準ビット線2RBL1又は第2基準ビット線2RBL2に接続されている。この第1基準ビッ

50

ト線 1 R B L に接続された M I S F E T T r N のゲート電極には、基準ビット線選択信号 R B S L 0 ~ R B S L 3 が入力されている。このため、基準ビット線選択信号 R B S L 0、R B S L 1 のいずれか 1 つがハイレベルになり、1 本の第 1 基準ビット線 1 R B L が 1 本の第 2 基準ビット線 2 R B L 1 に接続され、基準ビット線選択信号 R B S L 2、R B S L 3 のいずれか 1 つがハイレベルになり、1 本の第 1 基準ビット線 1 R B L が 1 本の第 2 基準ビット線 2 R B L 2 に接続される。

【 0 0 4 1 】

図 1 2 に示すように、第 2 基準ビット線 2 R B L 1 は、左側の基準電圧生成回路 V G に入力され、第 2 基準ビット線 2 R B L 2 は、右側の基準電圧生成回路 V G に入力される。このため、第 2 基準ビット線 2 R B L 1、2 R B L 2 を流れる電流 $I_0 + I_1$ は、左右の基準電圧生成回路 V G に入力されて、基準電圧 V R E F の生成に用いられる。各基準電圧生成回路 V G の構成は、上述した図 8 と同様である。

10

【 0 0 4 2 】

図 1 2 及び図 1 3 に示すように、カラムデコーダ 1 4 0 からは、読み出しカラム選択信号線 R C S L と、書き込みカラム選択信号線 W C S L と、基準セルリフレッシュカラム信号線 D W C S L がビット線方向に延びている。これら読み出しカラム選択信号線 R C S L と、書き込みカラム選択信号線 W C S L と、基準セルリフレッシュカラム信号線 D W C S L は、各センスアンプ S A に共通に入力されている。各センスアンプ S A の構成は、上述した図 7 と同様である。

【 0 0 4 3 】

なお、図 5 に示したのと同様に、本実施形態においては、基準電圧生成回路 V G を 2 つのセンスアンプ S A で共通に使用するように構成されている。したがって、実際には、図 1 3 において、第 1 基準ビット線 1 R B L 及び第 2 基準ビット線 2 R B L 1、2 R B L 2 を中心として、対称に、メモリセル M C や、第 1 ビット線 1 B L 及び第 2 ビット線 2 B L 1、2 B L 2、並びに、カラム選択信号線等の各配線が設けられている。そして、2 つのセンスアンプ S A と 1 つの基準電圧生成回路 V G を 1 つのセンスユニットとして、このユニットがセンスユニット配置領域 2 5 0 内で、ワード線方向に複数配置されている。この点は、後述する以下の実施形態においても同様である。

20

【 0 0 4 4 】

次に本実施形態に係る半導体記憶装置の読み出し動作について、説明する。図 1 2 に示すように、カラムデコーダ 1 4 0 は、入力されたカラムアドレスに基づいて、左右一対の読み出しカラム選択信号線 R C S L をハイレベルにする。これにより、左側に 3 個、右側に 3 個のセンスアンプ S A が選択される。すなわち、図 7 に示すように、読み出しカラム選択信号線 R C S L がハイレベルになることにより、そのカラムにあるセンスアンプ S A の M I S F E T T r 1 0 0、T r 1 0 2 がオンになる。

30

【 0 0 4 5 】

一方、図 1 2 に示すように、ロウデコーダ及びワード線ドライバ 1 3 0 は、入力されたロウアドレスに基づいて、各セルアレイブロック B 0 ~ B 7 において、1 本ずつのワード線 W L を選択してハイレベルにする。すなわち、図 1 3 に示すように、2 つのセルアレイブロックにあるワード線 W L の中から、1 本のワード線 W L をハイレベルにする。例えば、図 1 3 において、セルアレイブロック B 0、B 1 において、ハイレベルになるワード線 W L は 1 本である。

40

【 0 0 4 6 】

また、これと同時に、ビット線セレクト 2 0 0 は、2 つのセルアレイブロックにおいて、1 本の第 1 ビット線 1 B L を第 2 ビット線 2 B L 1 に接続し、1 本の第 1 ビット線 1 B L を第 2 ビット線 2 B L 2 に接続する。これにより、ハイレベルになったワード線 W L と、2 本の第 1 ビット線 1 B L、1 B L の交点位置にあるメモリセル M C の保持するデータに応じた読み出し電流 I_0 又は I_1 が、第 2 ビット線 2 B L 1、2 B L 2 に流れる。この読み出し電流は、それぞれ、センスアンプ S A に入力される。

【 0 0 4 7 】

50

さらに、ロウデコーダ及びワード線ドライバ130は、ワード線WLと同時に、ハイレベルになったワード線WLが存在するセルアレイブロック内にある、2本の基準ワード線RWL0と2本のRWL1をハイレベルにする。また、ビット線セクタ200は、ハイレベルになったワード線WLが存在するセルアレイブロック内にある第1基準ビット線1RBLを、それぞれ、第2基準ビット線2RBL1、2RBL2に接続する。このため、活性化されたセンスアンプSAのあるセンスユニットの基準電圧生成回路VGに、基準となる電流 $I_0 + I_1$ が入力される。

【0048】

図8に示すように、基準電圧生成回路VGは、オペアンプOP1と、N型のMISFET Tr110、Tr112と、P型のMISFET Tr120、Tr122、Tr124とを備えて構成されている。この図8及び図10から分かるように、基準となる電流 $I_0 + I_1$ は、MISFET Tr122、Tr110を通じて、基準セルRC0、RC1を流れる。この基準電流 $I_0 + I_1$ は、MISFET Tr122とカレントミラー接続されているTr120を流れ、MISFET Tr112を介することにより、基準電圧VREFとして出力される。

【0049】

図7に示すように、基準電圧生成回路VGから出力された基準電圧VREFは、センスアンプSAのオペアンプOP2に入力されている。さらに、このセンスアンプSAでは、選択したメモリセルMCの保持するデータに応じた電流 I_0 又は I_1 が、N型のMISFET Tr130とP型のMISFET Tr132と通じて、流れる。MISFET Tr132は、2倍のミラー比で、P型のMISFET Tr134にカレントミラー接続されている。このため、読み出し電流の2倍の電流が、MISFET Tr134に流れる。この読み出し電流は、MISFET Tr136を介することにより、読み出し電圧 $V_{REF\pm}$ となり、オペアンプOP2に入力される。オペアンプOP2では、基準電圧VREFと、読み出し電圧 $V_{REF\pm}$ とを比較して、データを判別する。この判別されたデータは、ラッチ回路LTを介して、データ線Q、BQを介して出力される。

【0050】

なお、書き込み動作の際には、図7に示すように、書き込みカラム選択信号線WC SLがハイレベルになり、MISFET Tr104がオンになる。このため、データ線Dのデータが、選択されたメモリセルMCに書き込まれる。また、リフレッシュ動作の際には、ライトバック信号WBがハイレベルになり、ラッチ回路LTに保持されているデータが、MISFET Tr106を介して、選択したメモリセルにライトバックされる。基準セルRC0、RC1をリフレッシュする際には、基準セルリフレッシュカラム信号線DWC SLがハイレベルになり、MISFET Tr108がオンになる。このため、基準セルRC0にライトバックするべきデータである“0”データが、データ線Dを介して、基準セルRC0に書き込まれ、基準セルRC1にライトバックするべきデータである“1”データが、データ線Dを介して、基準セルRC1に書き込まれる。

【0051】

以上のように、本実施形態に係る半導体記憶装置によれば、1つのセンスアンプSAを2つのセルアレイブロックで共通に使用するようにしたので、この半導体記憶装置全体のセンスアンプSAの数を、削減することができ、その占有面積を縮小することができる。このために、本実施形態においては、各メモリセルMCに接続する第1ビット線1BLを形成し、複数の第1ビット線1BLのうちの1本をビット線セクタ200により選択し、1本の第2ビット線2BL1、2BL2に接続することとした。そして、この第2ビット線2BL1、2BL2をそれぞれセンスアンプSAに接続することとした。このため、例えば、図13において、セルアレイブロックB0とセルアレイブロックB1のセンスアンプSAを、共通化することができ、セルアレイブロックB2とセルアレイブロックB3のセンスアンプSAを共通化することができる。

【0052】

同様に、1つの基準電圧生成回路VGを2つのセルアレイブロックで共通に使用するよう

10

20

30

40

50

にしたので、この半導体記憶装置全体の基準電圧生成回路V Gの数を、削減することができ、その占有面積を縮小することができる。このために、本実施形態においては、各基準セルRC 0、RC 1に接続する第1基準ビット線1 R B Lを形成し、複数の第1基準ビット線1 R B Lのうちの1本をビット線セレクタ2 0 0により選択し、1本の第2基準ビット線2 R B L 1、2 R B L 2に接続することとした。例えば、図1 2において、セルアレイブロックB 0とセルアレイブロックB 1の基準電圧生成回路V Gを、共通化することができ、セルアレイブロックB 2とセルアレイブロックB 3の基準電圧生成回路V Gを、共通化することができる。

【0 0 5 3】

しかも、第1ビット線1 B Lを第1配線層2 1 0に形成し、第2ビット線2 B L 1、2 B L 2を第2配線層2 2 0に形成したので、第2ビット線2 B L 1、2 B L 2をセンスアンプS Aまで配線するにあたって、セル面積が増大するのを防ぐことができる。また、第1基準ビット線1 R B Lを第1配線層2 1 0に形成し、第2基準ビット線2 R B L 1、2 R B L 2を第2配線層2 2 0に形成したので、第2基準ビット線2 R B L 1、2 R B L 2を基準電圧生成回路V Gまで配線するにあたって、セル面積が増大するのを防ぐことができる。

【0 0 5 4】

その上、第2配線層2 2 0に、これら第2ビット線2 B L 1、2 B L 2、第2基準ビット線2 R B L 1、2 R B L 2とともに、カラム選択線（読み出しカラム選択信号線R C S L、書き込みカラム選択信号線W C S L、基準セルリフレッシュカラム信号線D W C S L）を形成することとしたので、配線層の数の増加も回避することができる。

【0 0 5 5】

図1 5は、本実施形態におけるビット線セレクタ2 0 0の変形例を示す図であり、上述した図1 3に対応する図である。この図1 5に示すように、この変形例においては、ビット線セレクタ2 0 0を構成する各スイッチング回路として、図1 3のN型のM I S F E T T r Nの代わりに、トランスファークゲートT Gを用いている。このトランスファークゲートT Gは、N型のM I S F E TとP型のM I S F E Tとが相補的に並列に接続されて構成されている。N型のM I S F E Tには、図1 3と同様に、そのゲート電極に、ビット線選択信号B S L 0 ~ B S L 1 5、及び、基準ビット線選択信号R B S L 0 ~ R B S L 3が入力されるが、P型のM I S F E Tには、これらを反転させたビット線選択信号 / B S L 0 ~ / B S L 1 5、及び、基準ビット線選択信号 / R B S L 0 ~ / R B S L 3が入力される。

【0 0 5 6】

上述した図1 3では、N型のM I S F E T T r Nのゲート電極に、ビット線選択信号B S L 0 ~ B S L 1 4、及び、基準ビット線選択信号R B S L 0 ~ R B S L 3を入力することとしたが、このスイッチング回路は、N型のM I S F E Tであるため、第1ビット線1 B L及び第1基準ビット線1 R B Lに与えるべき電圧よりも、しきい値電圧V t h以上高くしなければならない。

【0 0 5 7】

これに対して、図1 5のビット線セレクタ2 0 0では、スイッチング回路がトランスファークゲートT Gで構成されているので、ビット線選択信号B S L 0 ~ B S L 1 4、及び、基準ビット線選択信号R B S L 0 ~ R B S L 3のハイレベルの電圧、並びに、ビット線選択信号 / B S L 0 ~ / B S L 1 4、及び、基準ビット線選択信号 / R B S L 0 ~ / R B S L 3のハイレベルの電圧は、第1ビット線1 B L及び第1基準ビット線1 R B Lに与えるべき電圧と同電圧にすることができる。このため、半導体記憶装置内で用いられる電圧の低電圧化に寄与することができる。これにより、半導体記憶装置内の周辺回路の耐圧の問題が軽減されると共に、この半導体記憶装置の消費電力も下げることが可能になる。

【0 0 5 8】

〔第2実施形態〕

第2実施形態は、第2ビット線2 B L 1、2 B L 2、及び、第2基準ビット線2 R B L 1、2 R B L 2を、第1実施形態よりも長くして、センスアンプS Aの数及び基準電圧生成

10

20

30

40

50

回路V Gの数をさらに減少させたものである。

【0059】

図16は、第2実施形態に係るセルアレイ100の全体レイアウトを示す図である。図17は、左右2つのセンスアンプSAと左右2つの基準電圧生成回路V Gに対応するビット線セクタ300の構成を示す図であり、セルアレイブロックB0～B3のビット線セクタ300の構成を示す図である。なお、本実施形態における第1配線層210及び第2配線層220の断面図は、上述した図14と同様である。

【0060】

図16に示すように、本実施形態に係るセルアレイ100も、8個のセルアレイブロックB0～B7に区分されている。そして、セルアレイ100は、1つのカラムデコーダ140と、4系統のセンスアンプSAと基準電圧生成回路V Gとを備えて構成されている。つまり、本実施形態に係るセルアレイ100には、4個のセンスユニット配置領域350が設けられている。

10

【0061】

本実施形態においては、センスユニット配置領域350は、4個のセルアレイブロックに対して2個の割合で設けられている。そして、本実施形態のメモリセルアレイ100も、図5に示したようなダブルエンド型のビット線配置を採用している。

【0062】

図17に示すように、第1ビット線1BLは、各セルアレイブロック内においてビット線方向に並ぶメモリセルMCのドレインに接続されている。これら第1ビット線1BLが交互に左右に設けられているN型のMISFET TrNを介して、第2ビット線2BL1又は第2ビット線2BL2に接続されている。

20

【0063】

第1ビット線1BLに接続されたMISFET TrNのゲート電極には、ビット線選択信号BSL0～BSL31が入力されており、これらビット線選択信号BSL0～BSL31に基づいて、1本の第1ビット線1BLが第2ビット線2BL1に接続され、1本の第1ビット線1BLが第2ビット線2BL2に接続される。具体的には、ビット線選択信号BSL0～BSL15のいずれか1つがハイレベルになり、1本の第1ビット線1BLが1本の第2ビット線2BL1に接続される。また、ビット線選択信号BSL16～BSL31のいずれか1つがハイレベルになり、1本の第1ビット線1BLが1本の第2ビット線2BL2に接続される。

30

【0064】

図16に示すように、第2ビット線2BL1は4個のセルアレイブロックをまたがって形成されており、左側のセンスアンプSAに入力されている。また、第2ビット線2BL2も、4個のセルアレイブロックをまたがって形成されており、右側のセンスアンプSAに入力されている。このため、第2ビット線2BL1、2BL2を流れるセル電流は、左右のセンスアンプSAでセンスされて、データが読み出される。

【0065】

図17に示すように、各セルアレイブロック内をビット線方向に延びる第1基準ビット線1RBLは、N型のMISFET TrNを介して、第2基準ビット線2RBL1又は第2基準ビット線2RBL2に接続されている。この第1基準ビット線1RBLに接続されたMISFET TrNのゲート電極には、基準ビット線選択信号RBSL0～RBSL7が入力されている。このため、基準ビット線選択信号RBSL0～RBSL3のいずれか1つがハイレベルになり、1本の第1基準ビット線1RBLが1本の第2基準ビット線2RBL1に接続され、基準ビット線選択信号RBSL4～RBSL7のいずれか1つがハイレベルになり、1本の第1基準ビット線1RBLが1本の第2基準ビット線2RBL2に接続される。

40

【0066】

図16に示すように、第2基準ビット線2RBL1は、4個のセルアレイブロックにまたがって形成され、左側の基準電圧生成回路V Gに入力される。また、第2基準ビット線2

50

RBL2も4個のセルアレイブロックにまたがって形成され、右側の基準電圧生成回路VGに入力される。このため、第2基準ビット線2RBL1、2RBL2を流れる基準電流は、左右の基準電圧生成回路VGに入力されて、基準電圧VREFの生成に用いられる。本実施形態においては、このようなユニットが4つのセルアレイブロックを単位で、ワード線方向に複数配置されている。各基準電圧生成回路VGの構成は、上述した図8と同様である。

【0067】

図16に示すように、カラムデコーダ140からは、読み出しカラム選択信号線RCSLと、書き込みカラム選択信号線WC SLと、基準セルリフレッシュカラム信号線DWCSLが左右に延びている。これら読み出しカラム選択信号線RCSLと、書き込みカラム選択信号線WC SLと、基準セルリフレッシュカラム信号線DWCSLは、各センスアンプSAに共通に入力されている。各センスアンプSAの構成は、上述した図7と同様である。

10

【0068】

本実施形態に係る半導体記憶装置の読み出し動作、書き込み動作、リフレッシュ動作は、4つのセルアレイブロック(B0~B3、B4~B7)単位で行われる点以外は、上述した第1実施形態と同様である。すなわち、読み出し動作においては、ロウデコーダ及びワード線ドライバ130は、4つのセルアレイブロック(B0~B3、B4~B7)で、1本のワード線WLをハイレベルにする。ビット線セクタ300は、4つのセルアレイブロック(B0~B3、B4~B7)で、1本の第1ビット線1BLを選択して、第2ビット線2BL1に接続し、また、1本の第1ビット線1BLを選択して、第2ビット線2BL2に接続する。

20

【0069】

以上のように、本実施形態に係る半導体記憶装置によれば、上述した第1実施形態よりも、さらに、この半導体記憶装置全体のセンスアンプSAの数及び基準電圧生成回路VGの数を、削減することができる。このために、本実施形態においては、4つのセルアレイブロックにまたがる第2ビット線2BL1、2BL2と、第2基準ビット線2RBL1、2RBL2を形成した。このため、例えば、図17において、セルアレイブロックB0~B3のセンスアンプSAを、共通化することができる。また、セルアレイブロックB0~B3の基準電圧生成回路VGを、共通化することができる。

30

【0070】

図18は、本実施形態におけるビット線セクタ300の変形例を示す図であり、上述した図17に対応する図である。この図18に示すように、この変形例においては、スイッチング回路として、図17のN型のMISFET TrNの代わりに、トランスファークゲートTGを用いている。このトランスファークゲートTGは、N型のMISFETとP型のMISFETとが相補的に並列に接続されて構成されている。N型のMISFETには、図17と同様に、そのゲート電極に、ビット線選択信号BSL0~BSL31、及び、基準ビット線選択信号RBSL0~RBSL7が入力されるが、P型のMISFETには、これらを反転させたビット線選択信号/BSL0~/BSL31、及び、基準ビット線選択信号/RBSL0~/RBSL7が入力される。

40

【0071】

これにより、第1実施形態で述べたのと同様に、ビット線選択信号BSL0~BSL31、及び、基準ビット線選択信号RBSL0~RBSL7のハイレベルの電圧、並びに、ビット線選択信号/BSL0~/BSL31、及び、基準ビット線選択信号/RBSL0~/RBSL7のハイレベルの電圧を、第1ビット線1BL及び第1基準ビット線1RBLに与えるべき電圧と同電圧にすることができる。このため、半導体記憶装置内で用いられる電圧の低電圧化に寄与することができる。これにより、半導体記憶装置内の周辺回路の耐圧の問題が軽減されると共に、この半導体記憶装置の消費電力も下げることが可能になる。

【0072】

50

〔第3実施形態〕

上述した第1実施形態は、図12に示したセルアレイ100のレイアウトにおいて、図5の読み出し原理でメモリセルMCのデータを読み出すものであったが、この第3実施形態は、図12に示したセルアレイ100のレイアウトにおいて、図11の読み出し原理でメモリセルMCのデータを読み出すようにしたものである。

【0073】

図19は、本実施形態に係る1つのセンスアンプSAと1つの基準電圧生成回路VGに対応するビット線セクタ200の構成を示す図であり、図20は、本実施形態に係る半導体記憶装置の部分的な断面図である。なお、本実施形態に係るセルアレイ100の全体レイアウトは、図12と同様である。

10

【0074】

図20に示すように、本実施形態に係る半導体記憶装置は、第1配線層210に、8本の第1ビット線1BLに加えて、4本の第1基準ビット線1RBL1～1RBL4が形成されている点が、上述した第1実施形態と異なる。

【0075】

また、図19に示すように、本実施形態に係るセルアレイ100においては、各ワード線WLと第1基準ビット線1RBL1～1RBL3との交点位置に、基準セルが設けられている。つまり、各ワード線WLには、4個の基準セルが接続されている。具体的には、各ワード線WLに4個の基準セルRC0、RC0、RC1、RC1のゲート電極が接続されている。図19には、1本のワード線WLが代表して示されているが、実際には複数のワード線WLが1つのセルアレイブロック内に配置されている。例えば本実施形態においては、図11と同様に、256本のワード線WLが、1つのセルアレイブロックに設けられている。

20

【0076】

各セルアレイブロックに設けられているロウデコーダ及びワード線ドライバ130により、1本のワード線が選択されて駆動されると、4個の基準セルRC0、RC0、RC1、RC1も駆動される。基準セルRC0、RC0は、“0”データが格納されるセルであり、基準セルRC1、RC1は、“1”データが格納されるセルである。

【0077】

第1基準ビット線1RBL1は、各ワード線に設けられたビット線方向に並ぶ一方の基準セルRC0のドレインに、共通に接続されている。そして、この第1基準ビット線1RBL1は、ビット線セクタ200に設けられているMISFET TrNを介して、第2基準ビット線2RBL1に接続されている。第1基準ビット線1RBL2は、各ワード線に設けられたビット線方向に並ぶ他方の基準セルRC0のドレインに、共通に接続されている。そして、この第1基準ビット線1RBL2は、ビット線セクタ200に設けられているMISFET TrNを介して、第2基準ビット線2RBL2に接続されている。

30

【0078】

第1基準ビット線1RBL3は、各ワード線に設けられたビット線方向に並ぶ一方の基準セルRC1のドレインに、共通に接続されている。そして、この第1基準ビット線1RBL3は、ビット線セクタ200に設けられているMISFET TrNを介して、第2基準ビット線2RBL1に接続されている。第1基準ビット線1RBL4は、各ワード線に設けられたビット線方向に並ぶ他方の基準セルRC1のドレインに、共通に接続されている。そして、この第1基準ビット線1RBL4は、ビット線セクタ200に設けられているMISFET TrNを介して、第2基準ビット線2RBL2に接続されている。

40

【0079】

本実施形態においては、2つのセルアレイブロックにまたがって、第2基準ビット線2RBL1、2RBL2が形成されており、第2基準ビット線2RBL1は左側の基準電圧生成回路VGに入力され、第2基準ビット線2RBL2は右側の基準電圧生成回路VGに入力されている。

【0080】

50

この第1基準ビット線1RBL1～1RBL4に接続されたN型のMISFET TrNのゲート電極には、基準ビット線選択信号RBSL0～RBSL7が入力される。そしてこの基準ビット線選択信号RBSL0～RBSL7に基づいて、1組の第1基準ビット線1RBL1、1RBL3が、1本の第2基準ビット線2RBL1に接続され、1組の第1基準ビット線1RBL2、1RBL4が、1本の第2基準ビット線2RBL2に接続される。

【0081】

具体的には、1組の基準ビット線選択信号RBSL0、RBSL1、又は、1組の基準ビット線選択信号RBSL2、RBSL3がハイレベルになり、“0”データに対応するセル電流I0と“1”データに対応するセル電流I1とを合わせた電流I0+I1が、第2基準ビット線2RBL1を流れるようになる。そして、この電流I1+I0が左側の基準電圧生成回路VGに入力され、基準電圧VREFが生成される。

10

【0082】

また、これと同時に、1組の基準ビット線選択信号RBSL4、RBSL5、又は、1組の基準ビット線選択信号RBSL6、RBSL7がハイレベルになり、“0”データに対応するセル電流I0と“1”データに対応するセル電流I1とを合わせた電流I0+I1が、第2基準ビット線2RBL2を流れるようになる。そして、この電流I1+I0が右側の基準電圧生成回路VGに入力され、基準電圧VREFが生成される。

【0083】

なお、本実施形態に係る半導体記憶装置の読み出し動作、書き込み動作、リフレッシュ動作は、上述した第1実施形態と同様である。

20

【0084】

以上のように、本実施形態に係る半導体記憶装置においても、上述した第1実施形態と同様に、1つのセンスアンプSA及び基準電圧生成回路VGを2つのセルアレイブロックで共通に使用するようにしたので、この半導体記憶装置全体のセンスアンプSAの数及び基準電圧生成回路VGの数を、削減することができる。

【0085】

しかも、読み出すメモリセルMCと、この読み出し動作の際に使用する基準セルRC0、RC1との間の距離を、所定範囲内に制限することができる。このため、製造プロセスに起因するセル特性のバラツキと、使用温度条件によるセル特性のバラツキを、同一傾向にあるようにすることができる。この結果、これらのバラツキを同相雑音として、精度よく補償することができるようになる。また、読み出し動作の際に1本の通常のワード線WLだけを活性化すれば足りるので、読み出し動作の際の消費電力の低減を図ることができる。

30

【0086】

図21は、本実施形態におけるビット線セクタ200の変形例を示す図であり、上述した図19に対応する図である。この図21に示すように、この変形例においては、ビット線セクタ200を構成するスイッチング回路として、図19のN型のMISFET TrNの代わりに、トランスファークゲートTGを用いている。このトランスファークゲートTGは、N型のMISFETとP型のMISFETとが相補的に並列に接続されて構成されている。N型のMISFETには、図19と同様に、そのゲート電極に、ビット線選択信号BSL0～BSL15、及び、基準ビット線選択信号RBSL0～RBSL7が入力されるが、P型のMISFETには、これらを反転させたビット線選択信号/BSL0～/BSL15、及び、基準ビット線選択信号/RBSL0～/RBSL7が入力される。

40

【0087】

これにより、第1実施形態で述べたのと同様に、ビット線選択信号BSL0～BSL15、及び、基準ビット線選択信号RBSL0～RBSL7のハイレベルの電圧、並びに、ビット線選択信号/BSL0～/BSL15、及び、基準ビット線選択信号/RBSL0～/RBSL7のハイレベルの電圧を、第1ビット線1BL及び第1基準ビット線1RBL1～1RBL4に与えるべき電圧と同電圧にすることができる。このため、半導体記憶装

50

置内で用いられる電圧の低電圧化に寄与することができる。これにより、半導体記憶装置内の周辺回路の耐圧の問題が軽減されると共に、この半導体記憶装置の消費電力も下げることが可能になる。

【0088】

〔第4実施形態〕

上述した第2実施形態は、図16に示したセルアレイ100のレイアウトにおいて、図5の読み出し原理でメモリセルMCのデータを読み出すものであったが、この第4実施形態は、図16に示したセルアレイ100のレイアウトにおいて、図11の読み出し原理でメモリセルMCのデータを読み出すようにしたものである。

【0089】

図22は、本実施形態に係る左右2つのセンスアンプSAと左右2つの基準電圧生成回路VGに対応するビット線セクタ300の構成を示す図である。なお、本実施形態に係る半導体記憶装置の第1配線層210及び第2配線層220の断面図は、図20と同様であり、本実施形態に係るセルアレイ100の全体レイアウトは、図16と同様である。

【0090】

この第4実施形態は、第2ビット線2BL1、2BL2、及び、第2基準ビット線2RBL1、2RBL2を、第3実施形態よりも長くして、センスアンプSAの数及び基準電圧生成回路VGの数をさらに減少させたものである。

【0091】

本実施形態においては、第2実施形態と同様に、センスアンプSAと基準電圧生成回路VGは、4個のセルアレイブロックに対して2個の割合で設けられている。そして、本実施形態のメモリセルアレイ100も、図5に示したようなダブルエンド型のビット線配置を採用している。

【0092】

図22及び図16に示すように、第2ビット線2BL1は4個のセルアレイブロックをまたがって形成されており、左側のセンスアンプSAに入力されている。また、第2ビット線2BL2も、4個のセルアレイブロックをまたがって形成されており、右側のセンスアンプSAに入力されている。このため、第2ビット線2BL1、2BL2を流れるセル電流は、左右のセンスアンプSAでセンスされて、データが読み出される。

【0093】

図22に示すように、各セルアレイブロック内をビット線方向に延びる第1基準ビット線1RBL1～1RBL4は、N型のMISFET TrNを介して、第2基準ビット線2RBL1又は第2基準ビット線2RBL2に接続されている。この第1基準ビット線1RBL1～1RBL4に接続されたMISFET TrNのゲート電極には、基準ビット線選択信号RBSL0～RBSL15が入力されている。このため、基準ビット線選択信号RBSL0、RBSL1、基準ビット線選択信号RBSL2、RBSL3、基準ビット線選択信号RBSL4、RBSL5、基準ビット線選択信号RBSL6、RBSL7のいずれか1組がハイレベルになり、1組の第1基準ビット線（例えば、RBSL0、RBSL1）が1本の第2基準ビット線2RBL1に接続される。また、基準ビット線選択信号RBSL8、RBSL9、基準ビット線選択信号RBSL10、RBSL11、基準ビット線選択信号RBSL12、RBSL13、基準ビット線選択信号RBSL14、RBSL15のいずれか1組がハイレベルになり、1組の第1基準ビット線（例えば、RBSL8、RBSL9）が1本の第2基準ビット線2RBL2に接続される。

【0094】

第2基準ビット線2RBL1は、4個のセルアレイブロックにまたがって形成され、左側の基準電圧生成回路VGに入力される。また、第2基準ビット線2RBL2も4個のセルアレイブロックにまたがって形成され、右側の基準電圧生成回路VGに入力される。このため、第2基準ビット線2RBL1、2RBL2を流れる電流I0+I1は、左右の基準電圧生成回路VGに入力されて、基準電圧VREFの生成に用いられる。本実施形態においては、このようなユニットが4つのセルアレイブロックを単位で、ワード線方向に複数

10

20

30

40

50

配置されている。

【 0 0 9 5 】

なお、本実施形態に係る半導体記憶装置における読み出し動作、書き込み動作、リフレッシュ動作は、上述した第 2 実施形態と同様である。

【 0 0 9 6 】

以上のように、本実施形態に係る半導体記憶装置によれば、上述した第 3 実施形態よりも、さらに、この半導体記憶装置全体のセンスアンプ S A の数及び基準電圧生成回路 V G の数を、削減することができる。

【 0 0 9 7 】

図 2 3 は、本実施形態におけるビット線セクタ 3 0 0 の変形例を示す図であり、上述した図 2 2 に対応する図である。この図 2 3 に示すように、この変形例においては、ビット線セクタ 3 0 0 を構成する各スイッチング回路として、図 2 2 の N 型の M I S F E T T r N の代わりに、トランスファークゲート T G を用いている。このトランスファークゲート T G は、N 型の M I S F E T と P 型の M I S F E T とが相補的に並列に接続されて構成されている。N 型の M I S F E T には、図 2 2 と同様に、そのゲート電極に、ビット線選択信号 B S L 0 ~ B S L 3 1、及び、基準ビット線選択信号 R B S L 0 ~ R B S L 1 5 が入力されるが、P 型の M I S F E T には、これらを反転させたビット線選択信号 / B S L 0 ~ / B S L 3 1、及び、基準ビット線選択信号 / R B S L 0 ~ / R B S L 1 5 が入力される。

10

【 0 0 9 8 】

これにより、第 1 実施形態で述べたのと同様に、ビット線選択信号 B S L 0 ~ B S L 3 1、及び、基準ビット線選択信号 R B S L 0 ~ R B S L 1 5 のハイレベルの電圧、並びに、ビット線選択信号 / B S L 0 ~ / B S L 3 1、及び、基準ビット線選択信号 / R B S L 0 ~ / R B S L 1 5 のハイレベルの電圧を、第 1 ビット線 1 B L 及び第 1 基準ビット線 1 R B L 1 ~ 1 R B L 4 に与えるべき電圧と同電圧にすることができる。このため、半導体記憶装置内で用いられる電圧の低電圧化に寄与することができる。これにより、半導体記憶装置内の周辺回路の耐圧の問題が軽減されると共に、この半導体記憶装置の消費電力も下げることが可能になる。

20

【 0 0 9 9 】

〔 第 5 実施形態 〕

上述した第 1 乃至第 4 実施形態においては、図 1 2 及び図 1 6 に示すように、コラムデコーダ 1 4 0 をセルアレイ 1 0 0 の中央部分に配置し、センスユニット配置領域 2 5 0、3 5 0 を、コラムデコーダ 1 4 0 で 2 分割されたセルアレイ 1 0 0 の片側において、少なくともその両側に配置した。このため、セルアレイ 1 0 0 の左右両側にセンスアンプ S A と基準電圧生成回路 V G が配置されており、センスアンプ S A に、コラムデコーダ 1 4 0 からのコラム選択線（読み出しコラム選択信号線 R C S L と、書き込みコラム選択信号線 W C S L と、基準セルリフレッシュコラム信号線 D W C S L ）とを接続する必要があることから、このコラム選択線をセルアレイ 1 0 0 のビット線方向に設ける必要があった。

30

【 0 1 0 0 】

そこで、第 5 実施形態においては、センスユニット配置領域を同一個所に一本化できるような配置を採用することにより、コラム選択線をセルアレイ 1 0 0 上に走らせる必要がないようにした。より詳しくを、以下に説明する。

40

【 0 1 0 1 】

図 2 4 は、第 5 実施形態に係るセルアレイ 1 0 0 の全体レイアウトを示す図であり、図 2 5 は、図 2 4 のセルアレイ 1 0 0 における 1 つのセンスアンプ S A と 1 つの基準電圧生成回路 V G に対応するビット線セクタ 4 0 0 の構成を示す図であり、図 2 6 は、本実施形態に係る半導体記憶装置の部分的な断面図である。

【 0 1 0 2 】

これらの図から分かるように、本実施形態においては、セルアレイ 1 0 0 上を走るコラム選択線 R C S L、W C S L、D W C S L は、設けられていない。また、図 2 4 に示すよう

50

に、カラムデコーダ140の両側に隣接して、センスアンプSAと基準電圧生成回路VGを配置する領域であるセンスユニット配置領域450が設けられている。したがって、カラムデコーダ140からの読み出しカラム選択信号線RCSLと、書き込みカラム選択信号線WCSLと、基準セルリフレッシュカラム信号線DWCSLとは、隣接するセンスユニット配置領域450にあるセンスアンプSAに直接入力される。したがって、本実施形態に係るセルアレイ100はシングルエンド型であり、センスアンプSAと基準電圧生成回路VGは、4個のセルアレイブロックに対して1個の割合で設けられている。

【0103】

このため、図26に示すように、第2配線層220には、読み出しカラム選択信号線RCSLと、書き込みカラム選択信号線WCSLと、基準セルリフレッシュカラム信号線DWCSLとが、形成されておらず、第2ビット線2BLと第2基準ビット線2RBLだけが形成されている。

10

【0104】

図25に示すように、本実施形態に係るメモリセルMC及び基準セルRC0、RC1の配置は、上述した第3実施形態及び第4実施形態と同様である。すなわち、図11に示した読み出し原理で、メモリセルMCのデータを読み出す。

【0105】

また、図25に示すように、第1配線層210に形成された第1ビット線1BLは、1本おきに交互に左右のビット線セレクタ400に入力されている。一方、第2配線層220に形成された第2ビット線2BLは、片側に設けられたセンスアンプSAに入力されている。同様に、第1配線層210に形成された第1基準ビット線1RBL1～1RBL4は、1本おきに左右のビット線セレクタ400に入力されている。一方、第2配線層220に形成された第2基準ビット線2RBLは、片側に設けられた基準電圧生成回路VGに入力されている。

20

【0106】

各セルアレイブロック内をビット線方向に延びる第1ビット線1BLのそれぞれは、N型のMISFETを介して、第2ビット線2BLに接続されている。この第2ビット線2BLに接続するスイッチング回路であるMISFETのゲート電極には、ビット線選択信号BSL0～BSL31が入力されており、これらビット線選択信号BSL0～BSL31のいずれか1つがハイレベルになることにより、1本の第1ビット線1BLが、1本の第2ビット線2BLに接続される。

30

【0107】

第2ビット線2BLは4個のセルアレイブロックをまたがって形成されており、カラムデコーダ140に隣接して設けられているセンスアンプSAに入力されている。このため、第2ビット線2BLを流れるセル電流は、左右のセンスアンプSAでセンスされて、データが読み出される。

【0108】

各セルアレイブロック内をビット線方向に延びる第1基準ビット線1RBL1～1RBL4は、N型のMISFET TrNを介して、第2基準ビット線2RBLに接続されている。この第1基準ビット線1RBL1～1RBL4に接続されたMISFET TrNのゲート電極には、基準ビット線選択信号RBSL0～RBSL15が入力されている。このため、基準ビット線選択信号RBSL0、RBSL1、基準ビット線選択信号RBSL2、RBSL3、基準ビット線選択信号RBSL4、RBSL5、基準ビット線選択信号RBSL6、RBSL7、基準ビット線選択信号RBSL8、RBSL9、基準ビット線選択信号RBSL10、RBSL11、基準ビット線選択信号RBSL12、RBSL13、基準ビット線選択信号RBSL14、RBSL15のいずれか1組がハイレベルになり、1組の第1基準ビット線（例えば、RBSL8、RBSL9）が1本の第2基準ビット線2RBLに接続される。

40

【0109】

本実施形態に係るビット線セレクタ400においては、通常のメモリセルMCを読み出す

50

ためにオンにしたMISFET TrNと同じサイドのMISFET TrNをオンにすることとしている。例えば、ビット線選択信号BSL0がハイレベルになる場合には、基準ビット線選択信号RBSL0とRBSL1がハイレベルになる。一方、ビット線選択信号BSL16がハイレベルになる場合には、基準ビット線選択信号RBSL8とRBSL9がハイレベルになる。

【0110】

このようにすることにより、メモリセルMCのビット線抵抗と、基準セルRC0、RC1の基準ビット線抵抗とが、揃うようにしている。すなわち、通常のメモリセルMCを読み出すためにオンにしたMISFET TrNと同じサイドのMISFET TrNをオンにすれば、データを読み出そうとしているメモリセルMCからセンスアンプSAまでのビット線(1BL+2BL)の長さ、使用する基準セルRC0、RC1から基準電圧生成回路VGまでの基準ビット線(1RBL+2RBL)の長さを、およそ等しくすることができる。このため、メモリセルMCのビット線抵抗と、基準セルRC0、RC1の基準ビット線抵抗とが、およそ等しくなり、より精度の高い同相雑音補償をすることができるのである。

10

【0111】

第2基準ビット線2RBLは、4個のセルアレイブロックにまたがって形成され、カラムデコーダ140に隣接して設けられている基準電圧生成回路VGに入力される。このため、第2基準ビット線2RBLを流れる電流I0+I1は、基準電圧生成回路VGに入力されて、基準電圧VREFの生成に用いられる。本実施形態におけるセンスユニット配置領域では、2個のセンスアンプSAに対して1個の基準電圧生成回路VGが設けられて、1つのセンスユニットを構成しており、このセンスユニットがワード線方向に複数配置されている。

20

【0112】

本実施形態に係る半導体記憶装置による読み出し動作においては、ロウデコーダ及びワード線ドライバ130が4つのセルアレイブロック(B0~B3、B4~B7)の中から1本のワード線WLを選択してハイレベルにする。また、このワード線WLがハイレベルになることにより、1個の基準セルRC0と1個の基準セルRC1とが選択され、基準となる電流I0+I1が基準電圧生成回路VGに入力される。そして、この基準電圧生成回路VGが生成した基準電圧VREFを用いて、4つのセルアレイブロックの中から1つのメモリセルMCのデータが1つのセンスアンプSAで読み出される。書き込み動作やリフレッシュ動作もこれと同様に、1つのセンスアンプSAにつき、4つのセルアレイブロックの中の1つのメモリセルMCが選択されて、行われる。

30

【0113】

以上のように、本実施形態に係る半導体記憶装置によっても、この半導体記憶装置全体のセンスアンプSAの数及び基準電圧生成回路VGの数を、削減することができる。

【0114】

また、センスアンプSAと基準電圧生成回路VGを、カラムデコーダ140に隣接して集中配置したので、セルアレイ100上に、複数のセルアレイブロックにまたがるカラム選択線RCSL、WC SL、DWCSLを形成する必要がなくなる。このため、第2配線層220に形成する第2ビット線2BLの配線ピッチを大きくすることができる。このため、図27に示すように、第2配線層220に、この第2ビット線2BLに加えて、電源配線PWや、別の配線WRを、形成することができるようになる。

40

【0115】

図28は、本実施形態におけるビット線セクタ400の変形例を示す図であり、上述した図25に対応する図である。この図28に示すように、この変形例においては、ビット線セクタ400を構成する各スイッチング回路として、図25のN型のMISFET TrNの代わりに、トランスファージェートTGを用いている。このトランスファージェートTGは、N型のMISFETとP型のMISFETとが相補的に並列に接続されて構成されている。N型のMISFETには、図25と同様に、そのゲート電極に、ビット線選択

50

信号 B S L 0 ~ B S L 3 1、及び、基準ビット線選択信号 R B S L 0 ~ R B S L 1 5 が入力されるが、P型の M I S F E T には、これらを反転させたビット線選択信号 / B S L 0 ~ / B S L 3 1、及び、基準ビット線選択信号 / R B S L 0 ~ / R B S L 1 5 が入力される。

【 0 1 1 6 】

これにより、ビット線選択信号 B S L 0 ~ B S L 3 1、及び、基準ビット線選択信号 R B S L 0 ~ R B S L 1 5 のハイレベルの電圧、並びに、ビット線選択信号 / B S L 0 ~ / B S L 3 1、及び、基準ビット線選択信号 / R B S L 0 ~ / R B S L 1 5 のハイレベルの電圧を、第 1 ビット線 1 B L 及び第 1 基準ビット線 1 R B L 1 ~ 1 R B L 4 に与えるべき電圧と同電圧にすることができる。このため、半導体記憶装置内で用いられる電圧の低電圧化に寄与することができる。これにより、半導体記憶装置内の周辺回路の耐圧の問題が軽減されると共に、この半導体記憶装置の消費電力も下げることが可能になる。

10

【 0 1 1 7 】

〔 第 6 実施形態 〕

第 6 実施形態は、上述した第 5 実施形態を変形して、各ワード線 W L に 1 個の基準セル R C 0 と 1 個の基準セル R C 1 とを接続するとともに、1 個の M I S F E T を介して基準セル R C 0 を接続する第 1 基準ビット線を第 2 基準ビット線 2 R B L に接続し、1 個の M I S F E T を介して基準セル R C 1 を接続する第 1 基準ビット線を第 2 基準ビット線 2 R B L に接続するようにしたものである。より詳しくを、以下に説明する。

【 0 1 1 8 】

図 2 9 は、本実施形態に係る 1 つのセンスアンプ S A と 1 つの基準電圧生成回路 V G に対応するビット線セレクタ 4 0 0 の構成を示す図であり、図 3 0 は、本実施形態に係る半導体記憶装置の第 1 配線層 2 1 0 及び第 2 配線層 2 2 0 の断面図である。なお、本実施形態に係るセルアレイ 1 0 0 の全体レイアウトは、図 2 4 と同様である。

20

【 0 1 1 9 】

図 2 9 に示すように、本実施形態においては、1 つの基準電圧生成回路 V G に対して、1 本のワード線 W L に、1 個の基準セル R C 0 のゲート電極と、1 個の基準セル R C 1 のゲート電極が接続されている。このため、図 3 0 に示すように、第 1 配線層 2 1 0 に形成される第 1 基準ビット線が 1 R B L 1、1 R B L 2 の 2 本になっている。

【 0 1 2 0 】

また、図 2 9 に示すように、第 1 基準ビット線 1 R B L 1 と第 1 基準ビット線 1 R B L 2 とで、ダブルエンド型のビット線配置を構成して。すなわち、ビット線方向に並ぶ基準セル R C 0 のドレインは、第 1 基準ビット線 1 R B L 1 に接続され、この第 1 基準ビット線 1 R B L 1 は、一方側に設けられた M I S F E T T r N を介して第 2 基準ビット線 2 R B L に接続される。同様に、ビット線方向に並ぶ基準セル R C 1 のドレインは、第 1 基準ビット線 1 R B L 2 に接続され、この第 1 基準ビット線 1 R B L 2 は、他方側に設けられた M I S F E T T r N を介して第 2 基準ビット線 2 R B L に接続される。

30

【 0 1 2 1 】

このように第 1 基準ビット線 1 R B L 1、1 R B L 2 を配置したことから、本実施形態に係る第 1 基準ビット線 1 R B L 1、1 R B L 2 の使い方が、上述した第 5 実施形態と異なる。すなわち、基準ビット線 1 R B L 1、1 R B L 2 に接続された N 型の M I S F E T T r N のゲート電極には、基準ビット線選択信号 R B S L 0 ~ R B S L 7 が入力される。そして、これら基準ビット線選択信号 R B S L 0 ~ R B S L 7 のうち、基準ビット線選択信号 R B S L 0、R B S L 1、基準ビット線選択信号 R B S L 2、R B S L 3、基準ビット線選択信号 R B S L 4、R B S L 5、基準ビット線選択信号 R B S L 6、R B S L 7 のいずれか 1 つの組がハイレベルになり、1 本の基準ビット線 1 R B L 1 と 1 本の基準ビット線 1 R B L 2 とを、1 本の第 2 基準ビット線 2 R B L に接続する。

40

【 0 1 2 2 】

例えば、セルアレイブロック B 0 にあるワード線 W L が選択されてハイレベルになる場合で、且つ、ビット線セレクタ 4 0 0 において、例えばビット線選択信号 R B S L 0 がハイ

50

レベルになる場合には、基準ビット線選択信号 $RBSL0$ と基準ビット線選択信号 $RBSL1$ がハイレベルになる。

【0123】

また、セルアレイブロック $B0$ にあるワード線 WL が選択されてハイレベルになる場合で、且つ、ビット線選択信号 $RBSL16$ がハイレベルになる場合にも、基準ビット線選択信号 $RBSL0$ と基準ビット線選択信号 $RBSL1$ がハイレベルになる。このようにして、電流 $I0 + I1$ が第2基準ビット線 $2RBL$ を流れ、基準電圧生成回路 VG に入力される。

【0124】

本実施形態に係る半導体記憶装置は、これ以外の点は、上述した第5実施形態の半導体記憶装置と同様である。

10

【0125】

以上のように、本実施形態に係る半導体記憶装置によっても、この半導体記憶装置全体のセンスアンプ SA の数及び基準電圧生成回路 VG の数を、削減することができる。

【0126】

また、センスアンプ SA と基準電圧生成回路 VG を、カラムデコーダ 140 に隣接して集中配置したので、セルアレイ 100 上に、複数のセルアレイブロックにまたがるカラム選択線 $RCSL$ 、 $WC SL$ 、 $DWC SL$ を形成する必要がなくなる。

【0127】

図31は、本実施形態におけるビット線セクタ 400 の変形例を示す図であり、上述した図29に対応する図である。この図31に示すように、この変形例においては、スイッチング回路として、図29のN型の $MISFET$ TrN の代わりに、トランスファークエート TG を用いている。このトランスファークエート TG は、N型の $MISFET$ とP型の $MISFET$ とが相補的に並列に接続されて構成されている。N型の $MISFET$ には、図29と同様に、そのゲート電極に、ビット線選択信号 $B SL0 \sim B SL31$ 、及び、基準ビット線選択信号 $RBSL0 \sim RBSL7$ が入力されるが、P型の $MISFET$ には、これらを反転させたビット線選択信号 $/B SL0 \sim /B SL31$ 、及び、基準ビット線選択信号 $/RBSL0 \sim /RBSL7$ が入力される。

20

【0128】

これにより、第1実施形態で述べたのと同様に、ビット線選択信号 $B SL0 \sim B SL31$ 、及び、基準ビット線選択信号 $RBSL0 \sim RBSL7$ のハイレベルの電圧、並びに、ビット線選択信号 $/B SL0 \sim /B SL31$ 、及び、基準ビット線選択信号 $/RBSL0 \sim /RBSL7$ のハイレベルの電圧を、第1ビット線 $1BL$ 及び第1基準ビット線 $1RBL1$ 、 $1RBL2$ に与えるべき電圧と同電圧にすることができる。このため、半導体記憶装置内で用いられる電圧の低電圧化に寄与することができる。これにより、半導体記憶装置内の周辺回路の耐圧の問題が軽減されると共に、この半導体記憶装置の消費電力も下げることが可能になる。

30

【0129】

〔第7実施形態〕

第7実施形態は、上述した第6実施形態を変形して、第1基準ビット線 $1RBL1$ 、 $1RBL2$ の両側にスイッチング回路を設けて、第1基準ビット線 $1RBL1$ 、 $1RBL2$ の両側から第2基準ビット線 $2RBL$ に接続するようにしたものである。そしてこれにより、基準セル $RC0$ の基準ビット線抵抗と、基準セル $RC1$ の基準ビット線抵抗とが、非対称になるのを回避したものである。より詳しくを、以下に説明する。

40

【0130】

図32は、本実施形態に係る1つの単位ユニットのビット線セクタ 400 の構成を示す図である。なお、本実施形態に係る半導体記憶装置の第1配線層 210 及び第2配線層 220 の断面は、図30と同様であり、本実施形態に係るセルアレイ 100 の全体レイアウトは、図24と同様である。

【0131】

50

この図32に示すように、本実施形態においては、各セルアレイブロック内でビット線方向に延びる第1基準ビット線1RBL1、1RBL2の両端に、MISFET TrN、TrNが接続されており、このMISFET TrN、TrNを介して、第2基準ビット線2RBLに接続されている。第1基準ビット線1RBL1、1RBL2に接続されたMISFETのゲート電極には、基準ビット線選択信号RBSL0~RBSL15が入力されている。そして、基準ビット線選択信号RBSL0~RBSL3、基準ビット線選択信号RBSL4~RBSL7、基準ビット線選択信号RBSL8~RBSL11、基準ビット線選択信号RBSL12~RBSL15の中のいずれか1対がハイレベルになり、1本の第1基準ビット線1RBL1と1本の第1基準ビット線1RBL0とが、1本の第2基準ビット線2RBLに接続される。

10

【0132】

例えば、ビット線セクタ400において、ビット線選択信号RBSL0がハイレベルになる場合には、基準ビット線選択信号RBSL0~RBSL3の4つのうちRBSL0とRBSL1がハイレベルになる。また、ビット線選択信号RBSL16がハイレベルになる場合にも、基準ビット線選択信号RBSL0~RBSL3の4つのうちRBSL2、RBSL3がハイレベルになる。このようにして、電流I0+I1が第2基準ビット線2RBLを流れ、基準電圧生成回路VGに入力される。

【0133】

本実施形態に係る半導体記憶装置は、これ以外の点は、上述した第6実施形態の半導体記憶装置と同様である。

20

【0134】

以上のように、本実施形態に係る半導体記憶装置によっても、この半導体記憶装置全体のセンスアンプSAの数及び基準電圧生成回路VGの数を、削減することができる。

【0135】

また、センスアンプSAと基準電圧生成回路VGを、カラムデコーダ140に隣接して集中配置したので、セルアレイ100上に、複数のセルアレイブロックにまたがるカラム選択線RCSL、WC SL、DWCSLを形成する必要がなくなる。

【0136】

図33は、本実施形態におけるビット線セクタ400の変形例を示す図であり、上述した図32に対応する図である。この図33に示すように、この変形例においては、ビット線セクタ400を構成する各スイッチング回路として、図32のN型のMISFET TrNの代わりに、トランスファークゲートTGを用いている。このトランスファークゲートTGは、N型のMISFETとP型のMISFETとが相補的に並列に接続されて構成されている。N型のMISFETには、図32と同様に、そのゲート電極に、ビット線選択信号BSL0~BSL31、及び、基準ビット線選択信号RBSL0~RBSL15が入力されるが、P型のMISFETには、これらを反転させたビット線選択信号/B SL0~/BSL31、及び、基準ビット線選択信号/RBSL0~/RBSL15が入力される。

30

【0137】

これにより、ビット線選択信号BSL0~BSL31、及び、基準ビット線選択信号RBSL0~RBSL15のハイレベルの電圧、並びに、ビット線選択信号/B SL0~/BSL31、及び、基準ビット線選択信号/RBSL0~/RBSL15のハイレベルの電圧を、第1ビット線1BL及び第1基準ビット線1RBL1、1RBL2に与えるべき電圧と同電圧にすることができる。このため、半導体記憶装置内で用いられる電圧の低電圧化に寄与することができる。これにより、半導体記憶装置内の周辺回路の耐圧の問題が軽減されると共に、この半導体記憶装置の消費電力も下げることが可能になる。

40

【0138】

〔第8実施形態〕

第8実施形態は、上述した第5乃至第7実施形態において、センスアンプSAの数及び基準電圧生成回路VGの数のさらなる削減を図ったものである。図34は、本実施形態に係

50

るセルアレイ 100 の全体レイアウトを示す図である。この図 34 に示すように、本実施形態に係るセルアレイ 100 においては、その中央部分にカラムデコーダ 140 が設けられている。すなわち、これまでの実施形態と同様に、カラムデコーダ 140 を挟んで、一方側に 4 つのセルアレイブロック B0 ~ B3 が設けられており、他方側に 4 つのセルアレイブロック B4 ~ B7 が設けられている。

【0139】

カラムデコーダ 140 の一方側に、センスアンプ SA と基準電圧生成回路 VG を形成する領域であるセンスユニット配置領域 460 が設けられている。すなわち、本実施形態においては、上述した第 5 乃至第 7 実施形態と異なり、カラムデコーダ 140 の一方側に設けられたセンスユニット配置領域 460 に、複数のセンスアンプ SA と複数の基準電圧生成回路 VG が集中配置されている。このため、本実施形態においては、8 個のセルアレイブロック B0 ~ B7 に対して共通に、センスアンプ SA と基準電圧生成回路 VG が設けられていることになる。したがって、メモリセル MC に対して読み出し動作、書き込み動作、リフレッシュ動作をする際には、次のような制約が生じる。

10

【0140】

すなわち、左右にそれぞれ 1 組ずつ設けられた第 2 ビット線 2BL と第 2 基準ビット線 2RBL に対して、1 個のセンスアンプ SA と 1 個の基準電圧生成回路 VG しか設けられていない。このため、例えば、アレイブロック B0 ~ B3 にまたがる 1 組の第 2 ビット線 2BL と第 2 基準ビット線 2RBL とが選択される場合には、これと同じセンスアンプ SA と基準電圧生成回路 VG に接続されたアレイブロック B4 ~ B7 にまたがる 1 組の第 2 ビット線 2BL と第 2 基準ビット線 2RBL は選択することができない。したがって、ロウデコーダ及びワード線ドライバ 130 は、このような条件を満たすように、ワード線を制御する必要がある。つまり、セルアレイ 100 全体にワード線は 1 本しか立てられない。

20

【0141】

なお、本実施形態に係る半導体記憶装置は、これ以外の点は、上述した第 5 乃至第 7 実施形態の半導体記憶装置と同様である。

【0142】

以上のように、本実施形態に係る半導体記憶装置によれば、1 つのセンスアンプ SA 及び基準電圧生成回路 VG を、このセルアレイ 100 にあるすべてのセルアレイブロックで共通に使用するようにしたので、この半導体記憶装置全体のセンスアンプ SA の数及び基準電圧生成回路 VG の数を、最小限に抑えることができる。

30

【0143】

〔第 9 実施形態〕

第 9 実施形態は、各セルアレイブロック内を延びる第 1 ビット線各 1BL の一端に N 型の MISFET を設けて第 2 ビット線 2BL に接続するとともに、各第 1 ビット線 1BL の他端に P 型の MISFET を設けて第 2 ビット線 2BL に接続することにより、各メモリセルのビット線抵抗が均一になるようにしたものである。より詳しくを、以下に説明する。

【0144】

図 35 は、第 9 実施形態に係るセルアレイ 100 の全体レイアウトを示す図であり、図 36 は、図 35 のセルアレイ 100 における 1 つのセンスアンプ SA と 1 つの基準電圧生成回路 VG に対応するビット線セクタ 500、510 の構成を示す図であり、セルアレイブロック B0、B1 における単位ユニットの構成を示している。図 37 は、セルアレイブロック B2 ~ B5 部分の第 1 配線層 210 と第 2 配線層 220 の構成を示す断面図であり、図 38 は、セルアレイブロック B0、B1、B6、B7 部分の第 1 配線層 210 と第 2 配線層 220 の構成を示す断面図である。

40

【0145】

図 35 に示すように、本実施形態に係るセルアレイ 100 では、中央部分にカラムデコーダ 140 が配置されている。また、セルアレイブロック B1 とセルアレイブロック B2 との間に、複数のセンスアンプ SA と複数の基準電圧生成回路 VG を配置する領域であるセ

50

ンスユニット配置領域 550 が設けられており、セルアレイブロック B5 とセルアレイブロック B6 との間にも、センスユニット配置領域 550 が設けられている。本実施形態に係るセンスユニット配置領域 550 においては、セルアレイブロック B0、B1 用のセンスアンプ SA と、セルアレイブロック B2、B3 用のセンスアンプ SA とが、1 つのセンスユニット配置領域 550 内に設けられており、セルアレイブロック B4、B5 用のセンスアンプ SA と、セルアレイブロック B6、B7 用のセンスアンプ SA とが、1 つのセンスユニット配置領域 550 内に設けられている。つまり、本実施形態に係るセルアレイ 100 には、1 つのカラムデコーダ 140 と、2 系統のセンスアンプ SA と基準電圧生成回路 VG とが、設けられている。

【0146】

第2ビット線 2BL と第2基準ビット線 2RBL は、シングルエンド型のビット線配置にされている。この図の例では、例えば、セルアレイブロック B0、B1 の第2ビット線 2BL と第2基準ビット線 2RBL は、右側に設けられたセンスユニット配置領域 550 のセンスアンプ SA と基準電圧生成回路 VG にそれぞれ入力されており、セルアレイブロック B2、B3 の第2ビット線 2BL と第2基準ビット線 2RBL も、これと同じセンスユニット配置領域 550 にあるセンスアンプ SA と基準電圧生成回路 VG にそれぞれ入力されている。

【0147】

カラムデコーダ 140 からは、センスアンプ SA に、カラム選択線（読み出しカラム選択信号線 RCSL、書き込みカラム選択信号線 WCSL と基準セルリフレッシュカラム信号線 DWCSL）が入力されている。このため、セルアレイブロック B2～B5 上には、このカラム選択線が図37に示すように形成されているが、セルアレイブロック B0、B1、B6、B7 上には、このカラム選択線が図38に示すように形成されていない。

【0148】

さらに、本実施形態においては、各セルアレイブロックの一方側には、N型の MISFET TrN により構成されたビット線セクタ 500 が設けられており、他方側には、P型の MISFET TrP により構成されたビット線セクタ 510 が設けられている。

【0149】

図36に示すように、各セルアレイブロック内をビット線方向に延びる各第1ビット線 1BL の一端側には、ビット線セクタ 500 を構成する N型の MISFET TrN が接続されており、この MISFET TrN を介して、第2ビット線 2BL に接続されている。また、各第1ビット線 1BL の他端側には、ビット線セクタ 510 を構成する P型の MISFET TrP が接続されており、この MISFET TrP を介して、第2ビット線 2BL に接続されている。

【0150】

同様に、各セルアレイブロック内をビット線方向に延びる各第1基準ビット線 1RBL の一端側には、ビット線セクタ 500 を構成する N型の MISFET TrN が接続されており、この MISFET TrN を介して、第2基準ビット線 2RBL に接続されている。また、各第1基準ビット線 1RBL の他端側には、ビット線セクタ 510 を構成する P型の MISFET TrP が接続されており、この MISFET TrP を介して、第2基準ビット線 2RBL に接続されている。

【0151】

第1ビット線 1BL に接続された MISFET TrN、TrP のゲート電極には、ビット線選択信号 BSL0～BSL31 が入力されており、これらビット線選択信号 BSL0～BSL31 のうち、同一の第1ビット線 1BL に接続されている MISFET TrN、TrP がオンになり、1本の第1ビット線 1BL を第2ビット線 2BL に接続する。例えば、ビット線選択信号 BSL0 がハイレベルになり、ビット線選択信号 BSL1 がローレベルになり、1本の第1ビット線 1BL が第2ビット線 2BL に接続される。

【0152】

図36においては、第2ビット線 2BL は、右側のセンスアンプ SA に入力されており、

10

20

30

40

50

第2ビット線2BLを流れるセル電流は、右側のセンスアンプSAでセンスされて、データが読み出される。

【0153】

第1基準ビット線1RBLに接続されたMISFET TrN、TrPのゲート電極には、基準ビット線選択信号RBSL0～RBSL7が入力されており、これらビット線選択信号RBSL0～RBSL7のうち、同一の第1基準ビット線1RBLに接続されているMISFET TrN、TrPがオンになり、1本の第1基準ビット線1RBLを第2基準ビット線2RBLに接続する。例えば、セルアレイブロックB0にあるワード線WLがハイレベルになった場合には、このハイレベルになったワード線WLがあるセルアレイブロックと同じセルアレイブロックB0の第1基準ビット線1RBL1、1RBL2が第2基準ビット線2RBLに接続される。このため、基準ビット線選択信号RBSL0とRBSL2がハイレベルになり、基準ビット線選択信号RBSL1とRBSL3がローレベルになり、1本の第1基準ビット線1RBLが第2基準ビット線2RBLに接続される。

10

【0154】

図36においては、第2基準ビット線2RBLは、右側の基準電圧生成回路VGに入力されており、第2基準ビット線2RBLを流れる電流I0+I1は、右側の基準電圧生成回路VGに入力されて、基準電圧VREFが生成される。

【0155】

図35に示すように、本実施形態に係る半導体記憶装置においては、その読み出し動作において、4つのセルアレイブロック（例えば、B0、B1、B2、B3）に1本のワード線WLがハイレベルになる。そして、第2ビット線2BLのいずれかに1本の第1ビット線1BLが接続され、各センスアンプSAでデータの読み出しが行われる。この点は、書き込み動作、及び、リフレッシュ動作においても同様である。

20

【0156】

以上のように、本実施形態に係る半導体記憶装置によれば、基準セルRC0、RC1の基準ビット線抵抗が均一になるとともに、メモリセルMCのビット線抵抗も均一になるようにすることができる。

【0157】

〔第10実施形態〕

第10実施形態は、上述した第9実施形態を变形して、カラムデコーダ140の両側に、センスアンプSAと基準電圧生成回路VGとを配置する領域であるセンスユニット配置領域560を設けることにより、各セルアレイブロック上にカラム選択線を形成する必要がなくなるようにしたものである。

30

【0158】

図39は、第10実施形態に係るセルアレイ100の全体レイアウトを示す図であり、図40は、図39のセルアレイ100における1つのセンスアンプSAと基準電圧生成回路VGに対応するビット線セクタ500、510の構成を示す図である。なお、本実施形態における第1配線層210及び第2配線層220の断面図は、上述した図38と同様である。

【0159】

図39に示すように、本実施形態においては、セルアレイ100の中央部分に設けられたカラムデコーダ140の両側に、複数のセンスアンプSAと複数の基準電圧生成回路VGとを配置するセンスユニット配置領域560が設けられている。このため、カラムデコーダ140からのカラム選択線（読み出しカラム選択信号線RCSL、書き込みカラム選択信号線WC SL、基準セルリフレッシュカラム信号線DWCSL）を、セルアレイブロック上に形成する必要がなくなる。

40

【0160】

また、本実施形態においては、4個のセルアレイブロックにまたがって、第2ビット線2BLと第2基準ビット線2RBLとが形成されており、これら第2ビット線2BLの一端がセンスアンプSAに入力されており、第2基準ビット線2RBLの一端が基準電圧生成

50

回路V Gに入力されている。このため、4個のセルアレイブロックに共通に、1つのセンスユニットが設けられていることになる。したがって、1つのセンスユニットにおいては、4つのセルアレイブロックの中から1つのメモリセルMCのデータが読み出されることとなる。

【0161】

図40に示すように、本実施形態に係るセルアレイ100においても、N型のMISFET TrNにより構成されたビット線セクタ500と、P型の未FET TrPにより構成されたビット線セクタ510とが設けられている。上述した第9実施形態と同様に、各第1ビット線1BLは、一端側に設けられたMISFET TrNと他端側に設けられたMISFET TrPを介して、1本の第2ビット線2BLに接続されている。また、各第1基準ビット線1RBLは、一端側に設けられたMISFET TrNと他端側に設けられたMISFET TrPを介して、1本の第2基準ビット線2RBLに接続されている。

10

【0162】

第1ビット線1BLに接続されたMISFET TrN、TrPのゲート電極には、ビット線選択信号BSL0~BSL63が入力されており、これらビット線選択信号BSL0~BSL63のうち、同一の第1ビット線1BLに接続されているMISFET TrN、TrPがオンになり、1本の第1ビット線1BLを第2ビット線2BLに接続する。例えば、ビット線選択信号BSL0がハイレベルになり、ビット線選択信号BSL1がローレベルになり、1本の第1ビット線1BLが第2ビット線2BLに接続される。

20

【0163】

図40においては、第2ビット線2BLは、右側のセンスアンプSAに入力されており、第2ビット線2BLを流れるセル電流は、右側のセンスアンプSAでセンスされて、データが読み出される。

【0164】

第1基準ビット線1RBLに接続されたMISFET TrN、TrPのゲート電極には、基準ビット線選択信号RBSL0~RBSL15が入力されており、これらビット線選択信号RBSL0~RBSL15のうち、同一の第1基準ビット線1RBLに接続されているMISFET TrN、TrPがオンになり、1本の第1基準ビット線1RBLを第2基準ビット線2RBLに接続する。例えば、セルアレイブロックB0にあるワード線WLがハイレベルなる場合には、基準ビット線選択信号RBSL0とRBSL2がハイレベルになり、基準ビット線選択信号RBSL1とRBSL3がローレベルになり、1本の第1基準ビット線1RBLが第2基準ビット線2RBLに接続される。

30

【0165】

図40においては、第2基準ビット線2RBLは、右側の基準電圧生成回路V Gに入力されており、第2基準ビット線2RBLを流れる電流I0+I1は、右側の基準電圧生成回路V Gに入力されて、基準電圧V REFが生成される。

【0166】

本実施形態に係る半導体記憶装置による読み出し動作においては、ロウデコーダ及びワード線ドライバ130が4つのセルアレイブロック(B0~B3、B4~B7)の中から1本のワード線WLを選択してハイレベルにする。また、このワード線WLがハイレベルになることにより、1個の基準セルRC0と1個の基準セルRC1とが選択され、基準となる電流I0+I1が基準電圧生成回路V Gに入力される。そして、この基準電圧生成回路V Gが生成した基準電圧V REFを用いて、4つのセルアレイブロックの中から1つのメモリセルMCのデータが1つのセンスアンプSAで読み出される。書き込み動作やリフレッシュ動作もこれと同様に、1つのセンスアンプSAにつき、4つのセルアレイブロックの中の1つのメモリセルMCが選択されて、行われる。

40

【0167】

以上のように、本実施形態に係る半導体記憶装置によっても、基準セルRC0、RC1の基準ビット線抵抗が均一になるとともに、メモリセルMCのビット線抵抗も均一になるよ

50

うにすることができる。また、センスアンプSAと基準電圧生成回路VGとを配置するセンスユニット配置領域560を、カラムデコーダ140の両側に隣接して設けたので、各セルアレイブロック上にカラム選択線を走らせる必要がなくなる。

【0168】

図41は、本実施形態に係るセルアレイ100の変形例を示す図である。この図41のセルアレイ100においては、複数のセンスアンプSAと複数の基準電圧生成回路VGとを配置するセンスユニット配置領域560を、カラムデコーダ140の片側に設けている。この例では、8個のセルアレイブロックに対して、1つのセンスユニットが設けられていることとなる。このため、例えば、セルアレイブロックB0～B3にあるメモセルMCのデータ読み出しをしているセンスユニットは、セルアレイブロックB4～B7にあるメモセルMCのデータ読み出しをすることができない。なぜなら、セルアレイブロックB0～B3とセルアレイブロックB4～B7とで、センスアンプSAと基準電圧生成回路VGは、共通だからである。

10

【0169】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、上述した第1及び第2実施形態においては、1本の第1基準ビット線1RBLに接続されている基準セルRC0、RC1は、2個であるが、この基準セルの個数は2N(Nは自然数)個であればよい。この場合、基準ワード線RWL0、RWL1の本数も2N本になる。例えば、上述した第1実施形態において、1本の基準ビット線1RBLに4個の基準セルRC0、RC0、RC1、RC1を設けた場合には、セルアレイ100の構成は図42に示すようになる。

20

【0170】

同様に、上述した第3乃至第10実施形態においては、1本の第2基準ビット線に対して、1つのセルアレイブロックあたり、2本の第1基準ビット線を設けたが、この第1基準ビット線の本数は2N(Nは自然数)本であればよい。例えば、上述した第3実施形態において、1本の第2基準ビット線に対して、1つのセルアレイブロックあたり、4本の第1基準ビット線を設けた場合には、図43に示すようになる。そして、基準セルを用いて基準となる電流を生成する場合には、1本の第2基準ビット線に対して4本の第1基準ビット線を選択して、4個の基準セルを用いて基準となる電流 $2 \times (I_0 + I_1)$ を取得することとなる。

30

【0171】

また、上述した各実施形態においては、1つの基準電圧生成回路VGを2つのセンスアンプSAで共通に使用することとしたが、1つの基準電圧生成回路VGをさらに多くの個数のセンスアンプSAで共通に使用するようにしてもよい。一方、これとは反対に、1つの基準電圧生成回路VGを1つのセンスアンプSAで使用するようにしてもよい。

【0172】

【発明の効果】

以上説明したように、本発明に係る半導体記憶装置によれば、センスアンプの数を減らして、チップサイズの縮小化を図ることができる。

【図面の簡単な説明】

40

【図1】FBC型のメモリセルにおいて“1”データを書き込む原理を説明するメモリセルの断面図。

【図2】FBC型のメモリセルにおいて“0”データを書き込む原理を説明するメモリセルの断面図。

【図3】FBC型のメモリセルにおいてデータを読み出す原理を説明するメモリセルの断面図。

【図4】ゲート・ソース間電圧を変化させた場合に、“0”データを保持しているメモリセルのドレイン・ソース間を流れる電流と、“1”データを保持しているメモリセルのドレイン・ソース間を流れる電流の差を説明するグラフである。

【図5】隣接するセルアレイブロックの間でセンスアンプを共有するダブルエンド型のピ

50

ット線構造を有するセルアレイにおけるメモリセルの配置を示す図である。

【図 6】図 5 に対応するセルアレイ全体のレイアウトを示す図である。

【図 7】図 5 におけるセンスアンプの構成を示す図である。

【図 8】図 5 における基準電圧生成回路の構成を示す図である。

【図 9】図 5 におけるビット線セレクタの構成を示す図である。

【図 10】図 5 のセルアレイにおけるデータ読み出し原理を説明する図である。

【図 11】別の構造のセルアレイにおけるメモリセルの配置を示す図である。

【図 12】第 1 実施形態に係るセルアレイ全体のレイアウトを示す図である。

【図 13】第 1 実施形態における、各メモリセル、各ワード線、各第 1 ビット線、各第 2 ビット線、各第 1 基準ビット線、各第 2 基準ビット線、カラム選択線、及び、ビット線セレクタの配置を説明する図である。

10

【図 14】第 1 実施形態における左右 2 つのセンスアンプと左右 2 つの基準電圧生成回路に対応する第 1 配線層と第 2 配線層の構造を説明する断面図である。

【図 15】第 1 実施形態に係るビット線セレクタの変形例を示す図であり、図 13 に対応する図である。

【図 16】第 2 実施形態に係るセルアレイ全体のレイアウトを示す図である。

【図 17】第 2 実施形態における、各メモリセル、各ワード線、各第 1 ビット線、各第 2 ビット線、各第 1 基準ビット線、各第 2 基準ビット線、カラム選択線、及び、ビット線セレクタの配置を説明する図である。

【図 18】第 2 実施形態に係るビット線セレクタの変形例を示す図であり、図 17 に対応する図である。

20

【図 19】第 3 実施形態における、各メモリセル、各ワード線、各第 1 ビット線、各第 2 ビット線、各第 1 基準ビット線、各第 2 基準ビット線、カラム選択線、及び、ビット線セレクタの配置を説明する図である。

【図 20】第 3 実施形態における左右 2 つのセンスアンプと左右 2 つの基準電圧生成回路に対応する第 1 配線層と第 2 配線層の構造を説明する断面図である。

【図 21】第 3 実施形態に係るビット線セレクタの変形例を示す図であり、図 20 に対応する図である。

【図 22】第 4 実施形態における、各メモリセル、各ワード線、各第 1 ビット線、各第 2 ビット線、各第 1 基準ビット線、各第 2 基準ビット線、カラム選択線、及び、ビット線セレクタの配置を説明する図である。

30

【図 23】第 4 実施形態に係るビット線セレクタの変形例を示す図であり、図 22 に対応する図である。

【図 24】第 5 実施形態に係るセルアレイ全体のレイアウトを示す図である。

【図 25】第 5 実施形態における、各メモリセル、各ワード線、各第 1 ビット線、各第 2 ビット線、各第 1 基準ビット線、各第 2 基準ビット線、カラム選択線、及び、ビット線セレクタの配置を説明する図である。

【図 26】第 5 実施形態における 1 つのセンスアンプと 1 つの基準電圧生成回路に対応する第 1 配線層と第 2 配線層の構造を説明する断面図である。

【図 27】第 5 実施形態において、第 2 配線層に別の配線を形成した場合の断面図である。

40

【図 28】第 5 実施形態に係るビット線セレクタの変形例を示す図であり、図 25 に対応する図である。

【図 29】第 6 実施形態における、各メモリセル、各ワード線、各第 1 ビット線、各第 2 ビット線、各第 1 基準ビット線、各第 2 基準ビット線、カラム選択線、及び、ビット線セレクタの配置を説明する図である。

【図 30】第 6 実施形態における 1 つのセンスアンプと 1 つの基準電圧生成回路に対応する第 1 配線層と第 2 配線層の構造を説明する断面図である。

【図 31】第 6 実施形態に係るビット線セレクタの変形例を示す図であり、図 29 に対応する図である。

【図 32】第 7 実施形態における、各メモリセル、各ワード線、各第 1 ビット線、各第 2

50

ビット線、各第1基準ビット線、各第2基準ビット線、カラム選択線、及び、ビット線セクタの配置を説明する図である。

【図33】第7実施形態に係るビット線セクタの変形例を示す図であり、図29に対応する図である。

【図34】第8実施形態に係るセルアレイ全体のレイアウトを示す図である。

【図35】第9実施形態に係るセルアレイ全体のレイアウトを示す図である。

【図36】第9実施形態における、各メモリセル、各ワード線、各第1ビット線、各第2ビット線、各第1基準ビット線、各第2基準ビット線、カラム選択線、及び、ビット線セクタの配置を説明する図である。

【図37】第9実施形態における1つのセンスアンプと1つの基準電圧生成回路に対応する第1配線層と第2配線層の構造を説明するための、セルアレイブロックB2～B5の断面図である。

10

【図38】第9実施形態における1つのセンスアンプと1つの基準電圧生成回路に対応する第1配線層と第2配線層の構造を説明するための、セルアレイブロックB0、B1、B6、B7の断面図である。

【図39】第10実施形態に係るセルアレイ全体のレイアウトを示す図である。

【図40】第10実施形態における、各メモリセル、各ワード線、各第1ビット線、各第2ビット線、各第1基準ビット線、各第2基準ビット線、カラム選択線、及び、ビット線セクタの配置を説明する図である。

【図41】第10実施形態の変形例を説明するためのセルアレイ全体のレイアウトを示す図である。

20

【図42】第1実施形態において、1本の基準ビット線に4個の基準セルを設けた場合のセルアレイの構成を示す図である。

【図43】第3実施形態において、各ワード線に8個の基準セルを設けた場合のセルアレイの構成を示す図である。

【符号の説明】

MC メモリセル

RC0、RC1 基準セル

BL ビット線

WL ワード線

SL ソース線

B0～B7 セルアレイブロック

SA センスアンプ

VG 基準電圧生成回路

100 セルアレイ

130 ロウデコーダ及びワード線ドライバ

200 ビット線セクタ

250 センスユニット配置領域

1BL 第1ビット線

2BL、2BL1、2BL2 第2ビット線

1RBL、1RBL1、1RBL2 第1基準ビット線

2RBL、2RBL1、2RBL2 第2基準ビット線

RCSL 読み出しカラム選択信号線

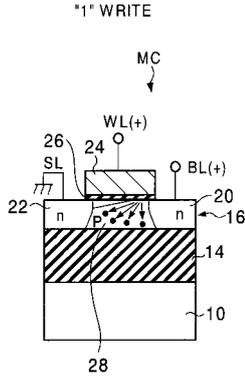
RCSL 書き込みカラム選択信号線

DWCSL 基準セルリフレッシュカラム信号線

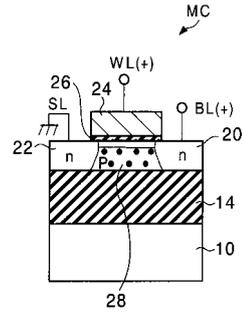
30

40

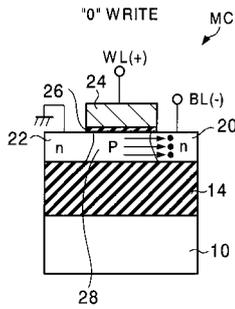
【図1】



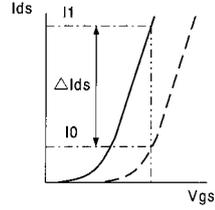
【図3】



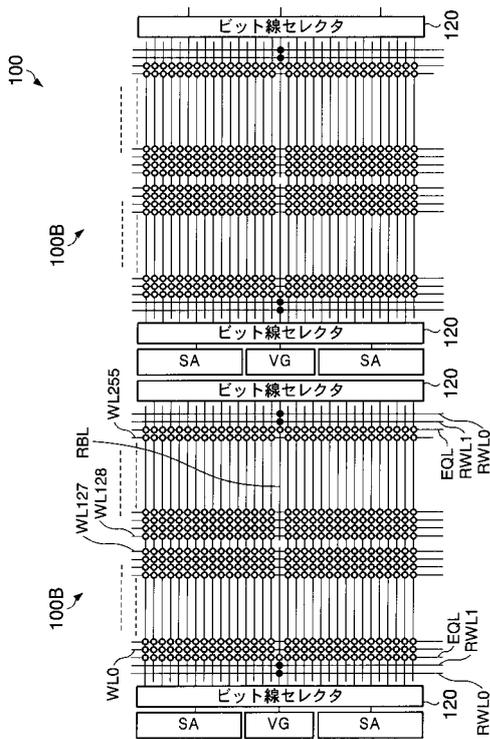
【図2】



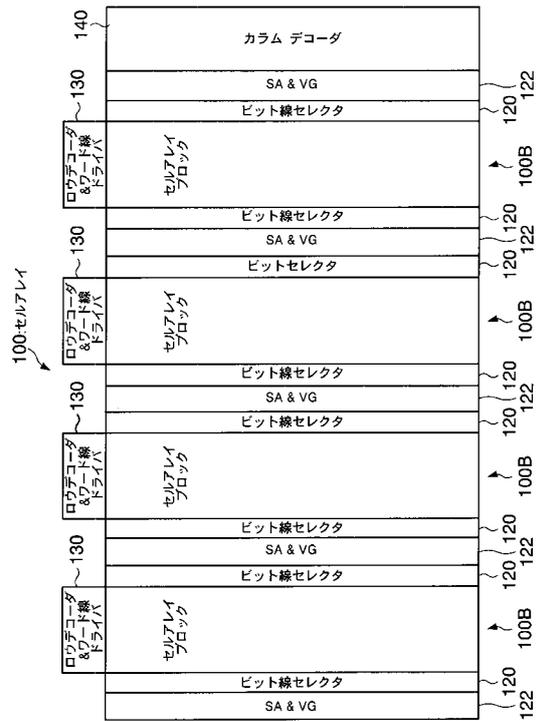
【図4】



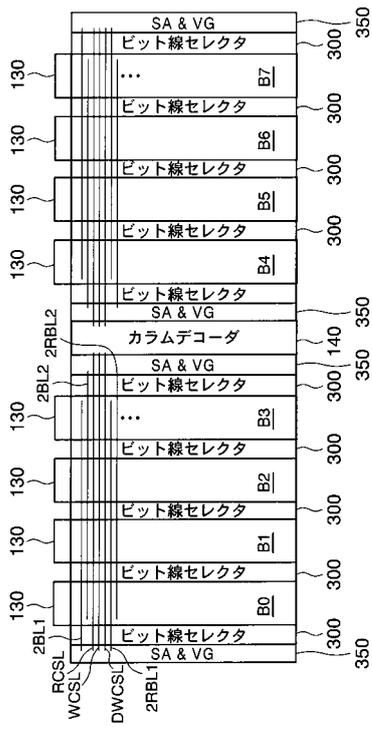
【図5】



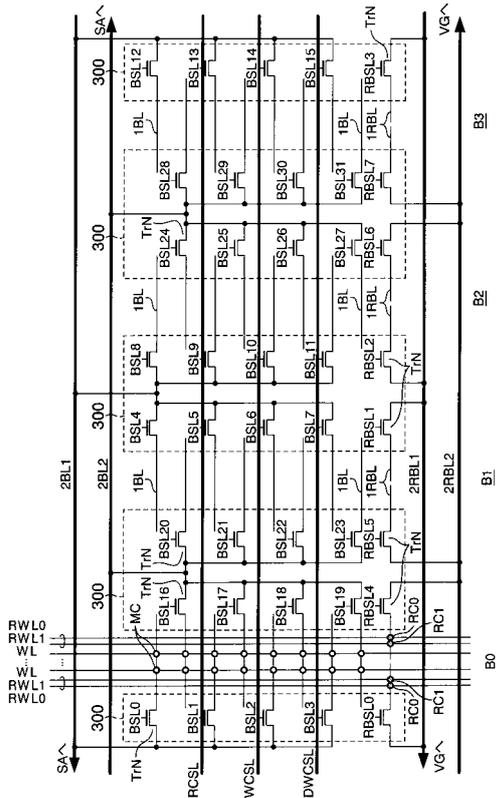
【図6】



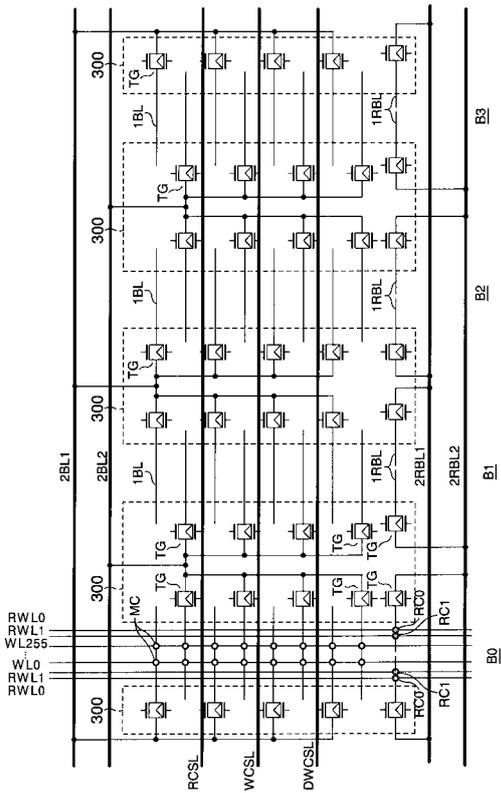
【図16】



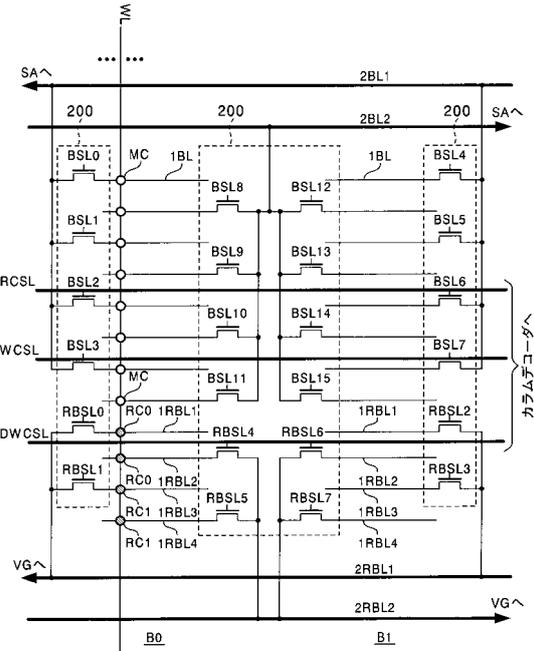
【図17】



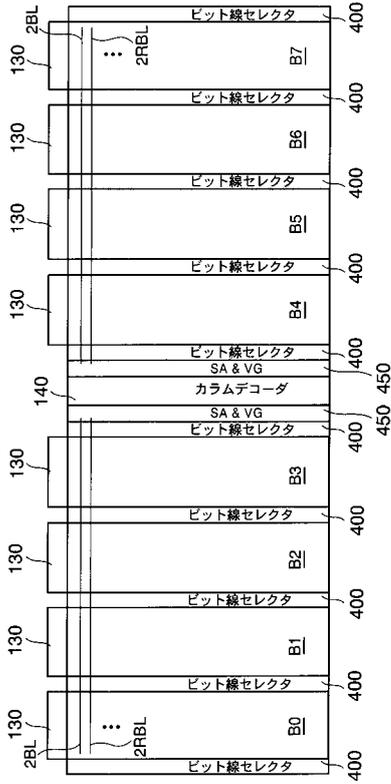
【図18】



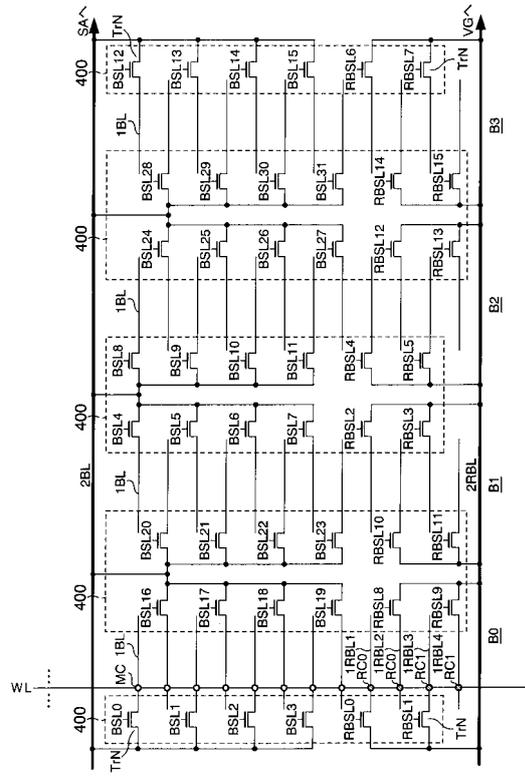
【図19】



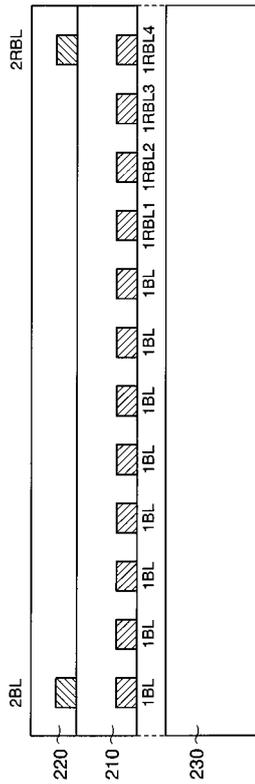
【図 24】



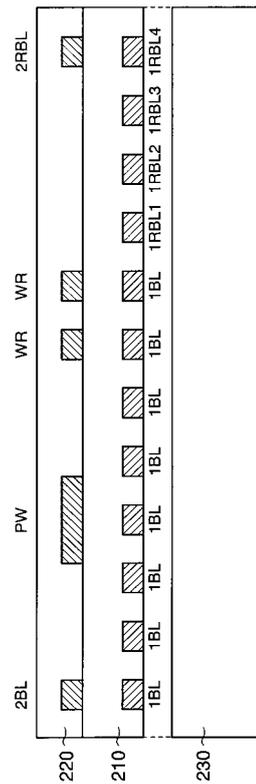
【図 25】



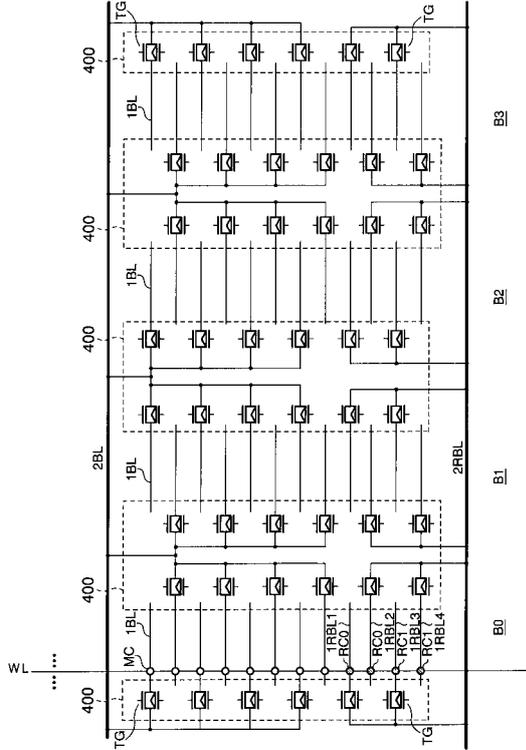
【図 26】



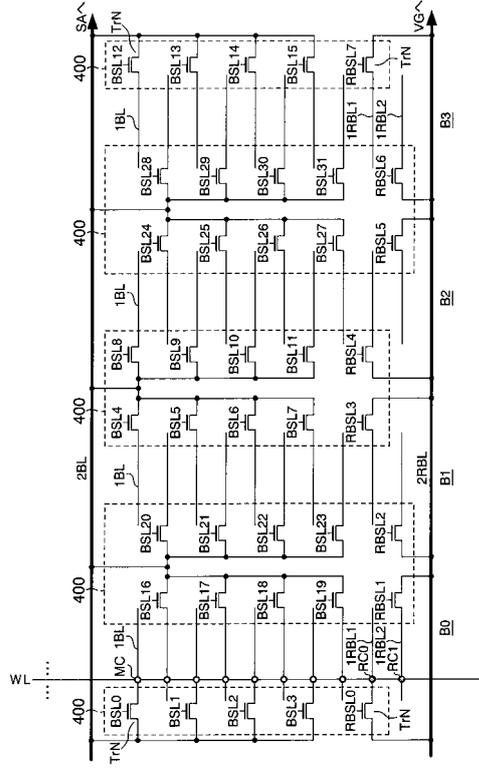
【図 27】



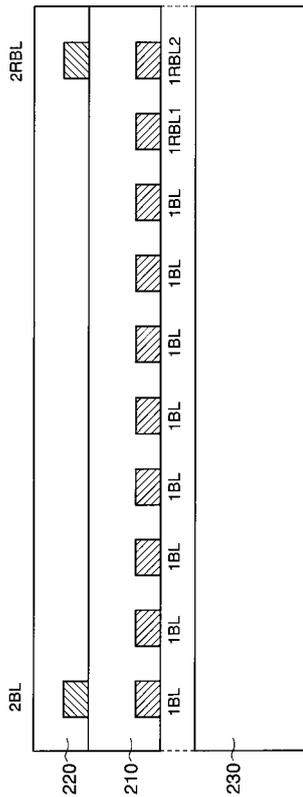
【 図 28 】



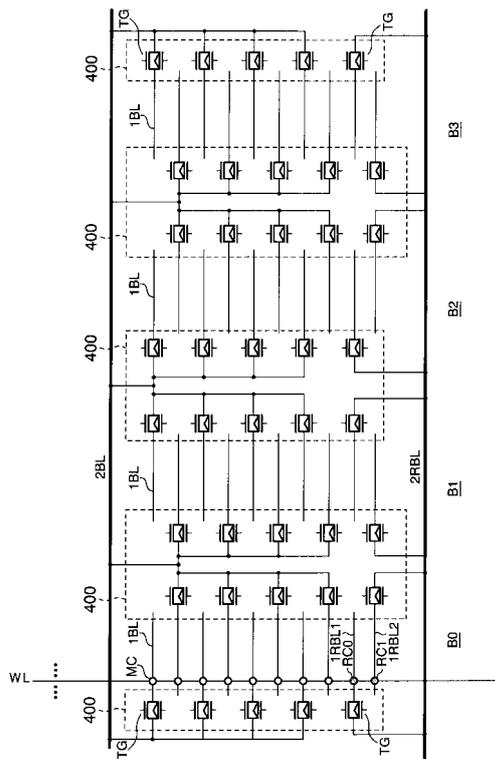
【 図 29 】



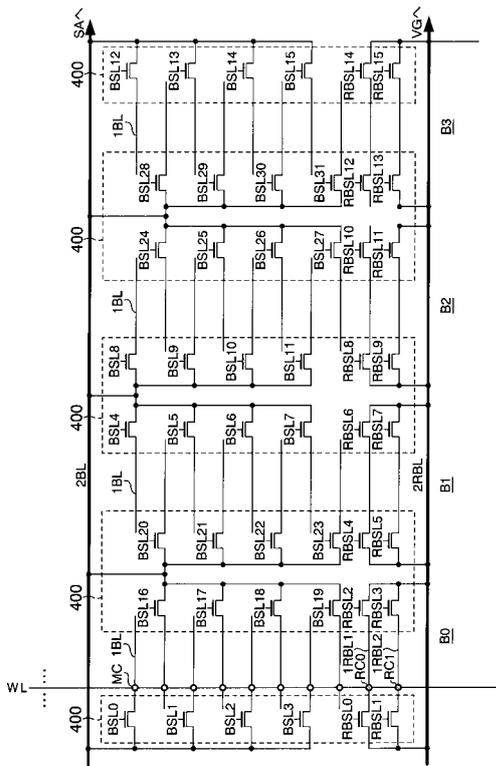
【 図 30 】



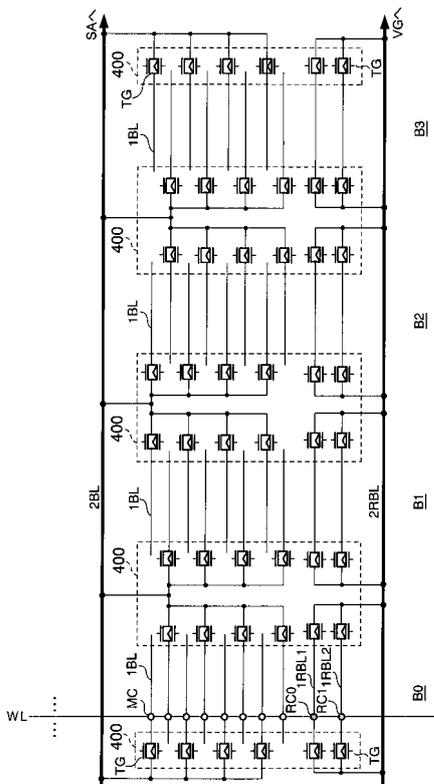
【 図 31 】



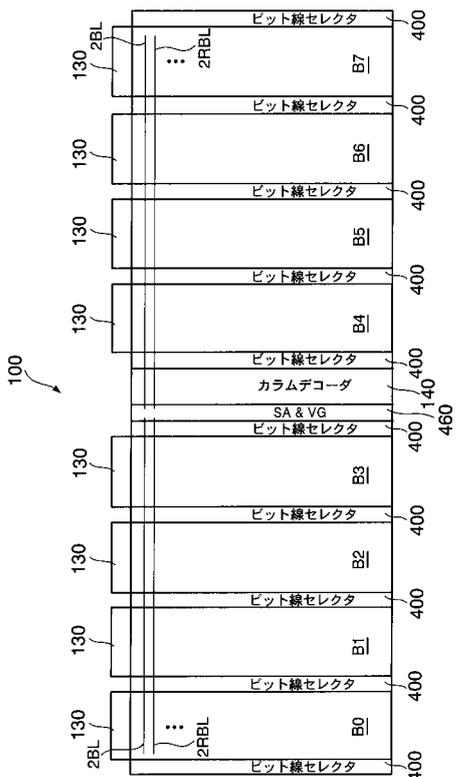
【図 3 2】



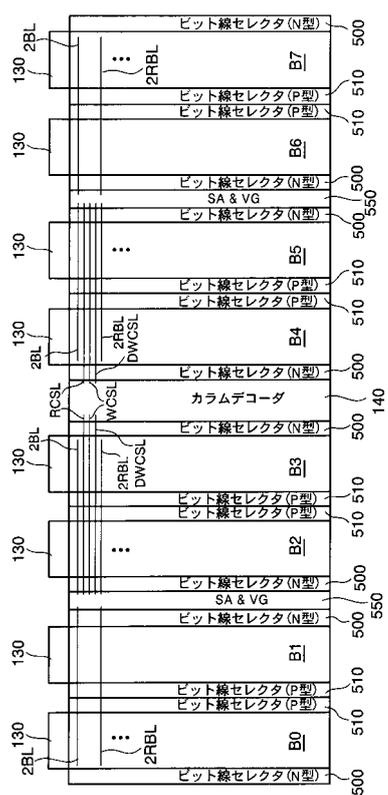
【図 3 3】



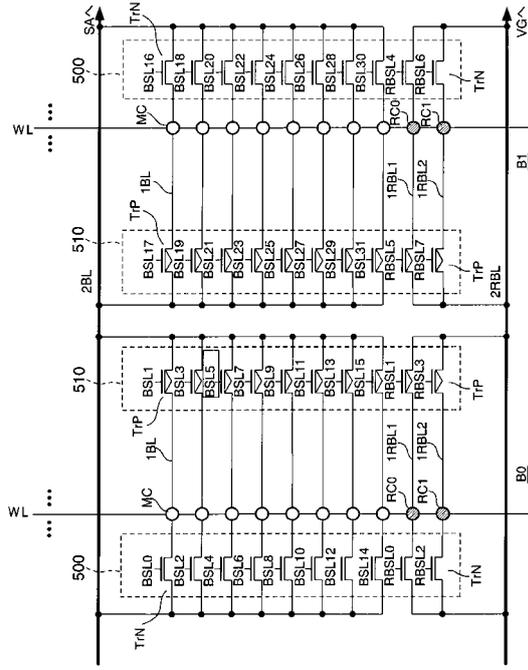
【図 3 4】



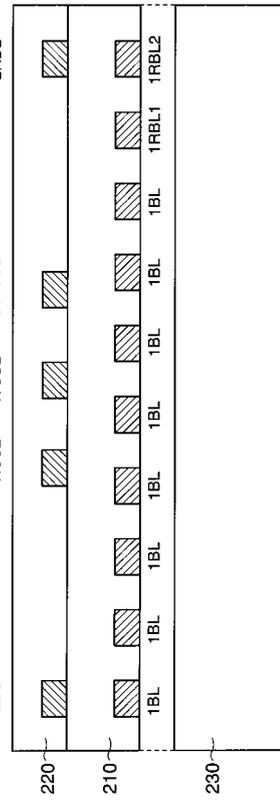
【図 3 5】



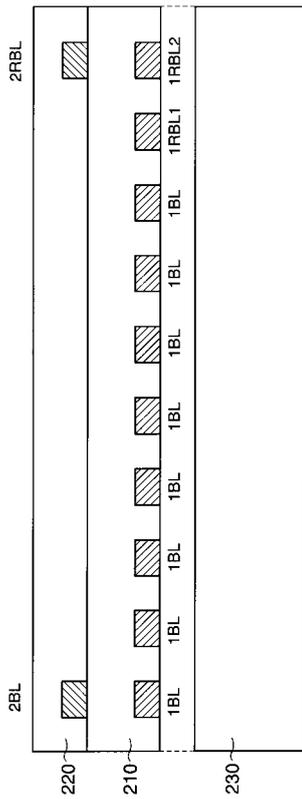
【図 36】



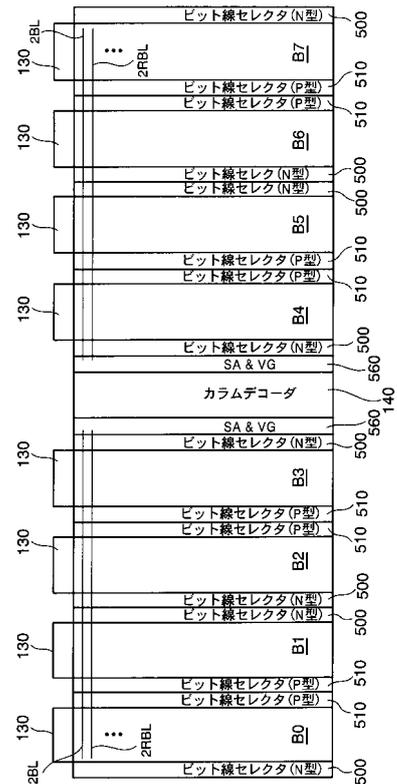
【図 37】



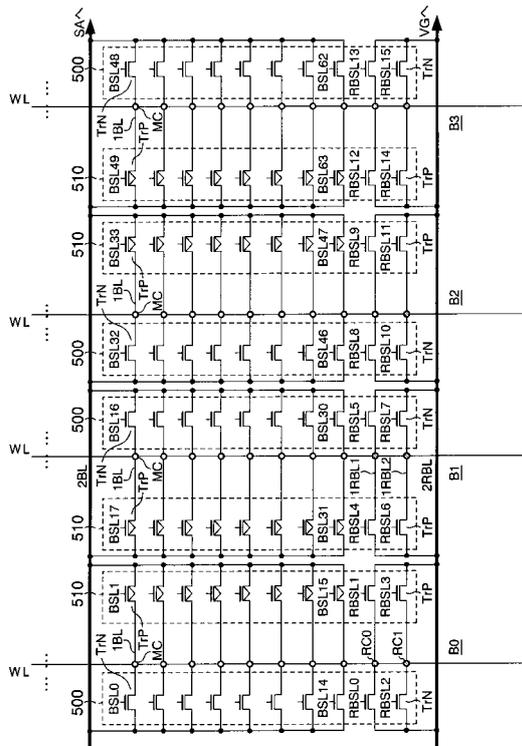
【図 38】



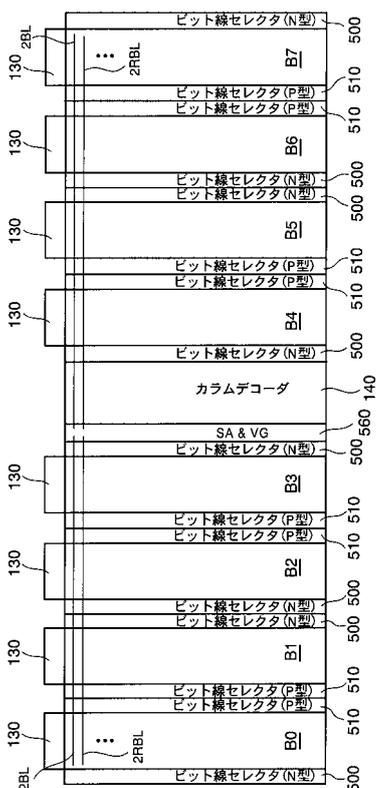
【図 39】



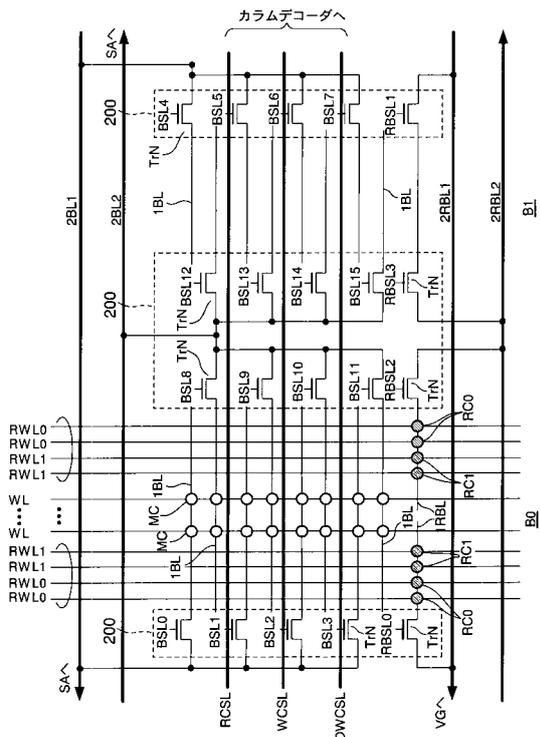
【図40】



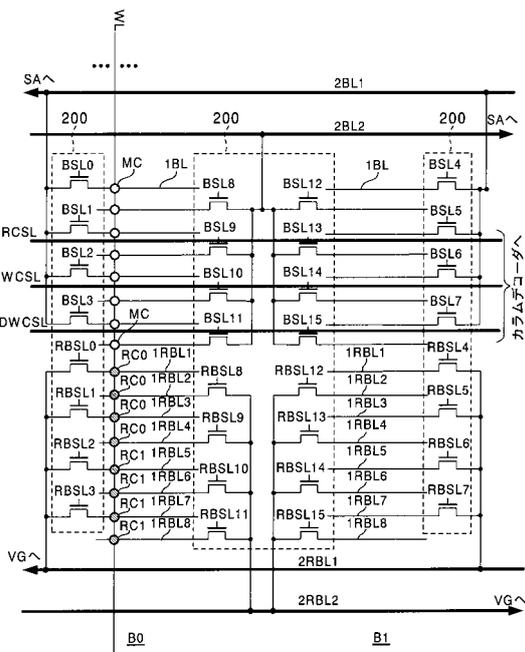
【図41】



【図42】



【図43】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) G 1 1 C 11/22 5 0 1 H
G 1 1 C 11/22 (2006.01) G 1 1 C 11/34 3 5 2 C
G 1 1 C 11/404 (2006.01)

(72)発明者 大 澤 隆
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内

審査官 園田 康弘

(56)参考文献 特開平09-073778(JP,A)
特開2000-353394(JP,A)
特開2002-246571(JP,A)
特開平03-012897(JP,A)
特開2000-150820(JP,A)
特開2002-050188(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/04
G11C 11/22
G11C 11/402
G11C 11/404
H01L 21/8242
H01L 27/10
H01L 27/108
H01L 29/786