



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0116291
(43) 공개일자 2018년10월24일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
H01L 21/385 (2006.01) H01L 21/443 (2006.01)
H01L 29/49 (2006.01)</p> <p>(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/0214 (2013.01)</p> <p>(21) 출원번호 10-2018-7024687</p> <p>(22) 출원일자(국제) 2017년02월09일
심사청구일자 없음</p> <p>(85) 번역문제출일자 2018년08월28일</p> <p>(86) 국제출원번호 PCT/IB2017/050692</p> <p>(87) 국제공개번호 WO 2017/141140
국제공개일자 2017년08월24일</p> <p>(30) 우선권주장
JP-P-2016-028586 2016년02월18일 일본(JP)
JP-P-2016-193217 2016년09월30일 일본(JP)</p> | <p>(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398</p> <p>(72) 발명자
진쵸우 마사미
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
고에즈카 준이치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)</p> <p>(74) 대리인
양영준, 박충범</p> |
|--|---|

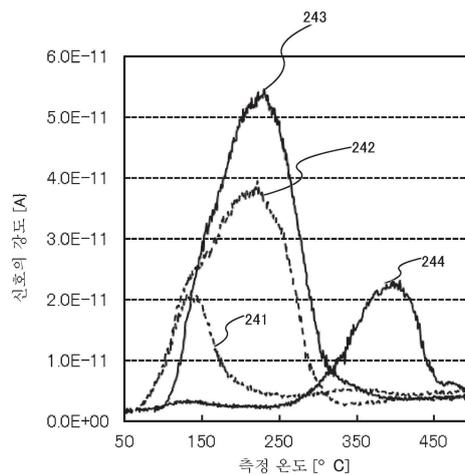
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 반도체 장치, 이의 제작 방법, 표시 장치, 및 전자 기기

(57) 요약

산화물 반도체막을 포함하는 트랜지스터의 전계 효과 이동도 및 신뢰성을 향상시킨다. 산화물 반도체막을 포함하는 반도체 장치가 제공된다. 상기 반도체 장치는 제 1 절연막, 제 1 절연막 위의 산화물 반도체막, 산화물 반도체막 위의 제 2 절연막 및 제 3 절연막, 및 제 2 절연막 위의 게이트 전극을 포함한다. 제 2 절연막은 산화 질화 실리콘막을 포함한다. 산소 플라즈마 처리에 의하여 제 2 절연막에 과잉 산소가 첨가되면, 산화물 반도체막에 충분한 산소가 공급될 수 있다.

대표도 - 도44



(52) CPC특허분류

H01L 21/0217 (2013.01)
H01L 21/022 (2013.01)
H01L 21/02274 (2013.01)
H01L 21/02326 (2013.01)
H01L 21/0234 (2013.01)
H01L 21/385 (2013.01)
H01L 21/443 (2013.01)
H01L 29/4908 (2013.01)
H01L 29/78648 (2013.01)

(72) 발명자

하모치 다카시

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

호사카 야스하루

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

트랜지스터를 포함하는 반도체 장치로서,

상기 트랜지스터는,

기판 위의 산화물 반도체막;

상기 산화물 반도체막 위의 게이트 절연층; 및

상기 게이트 절연층 위의 게이트 전극

을 포함하고,

상기 게이트 절연층은 산화 질화 실리콘막을 포함하고,

상기 게이트 절연층을 열 탈착 분광법에 의하여 분석할 때, 질량 전하비 $M/z=32$ 를 갖는 가스 방출량의 최대 피크는, 기판 온도 150°C 이상 350°C 이하에서 관찰되는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 질량 전하비 $M/z=32$ 를 갖는 방출된 가스는 산소 분자에 상당하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 열 탈착 분광법은 기판 온도 80°C 이상 500°C 이하의 범위에서 수행되는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 산화물 반도체막은 In, M, 및 Zn을 포함하고, M은 Al, Ga, Y, 및 Sn 중 하나인, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 산화물 반도체막은 결정부를 포함하고,

상기 결정부는 c축 배향을 갖는, 반도체 장치.

청구항 6

표시 장치로서,

제 1 항에 따른 반도체 장치를 포함하는, 표시 장치.

청구항 7

표시 모듈로서,

제 6 항에 따른 표시 장치; 및

터치 센서

를 포함하는, 표시 모듈.

청구항 8

전자 기기로서,
제 6 항에 따른 표시 장치; 및
조작 키 및 배터리 중 적어도 한쪽
을 포함하는, 전자 기기.

청구항 9

반도체 장치의 제작 방법으로서,
기판 위에 산화물 반도체막을 형성하는 단계;
상기 산화물 반도체막 위에 적어도 산화 질화 실리콘막을 포함하는 게이트 절연층을 형성하는 단계;
상기 게이트 절연층 위에 게이트 전극을 형성하는 단계;
상기 게이트 절연층에 산소 플라즈마 처리를 수행하는 단계; 및
상기 게이트 전극을 형성한 후, 150℃ 이상 450℃ 이하의 온도에서 가열 처리를 수행함으로써 상기 산화물 반도체막에 상기 게이트 절연층 중의 산소를 확산시켜, 상기 산화물 반도체막의 도전성을 저하시키는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 10

제 9 항에 있어서,
상기 산화 질화 실리콘막은 350℃ 이하의 기판 온도에서 플라즈마 CVD법에 의하여 형성되는, 반도체 장치의 제작 방법.

청구항 11

제 9 항에 있어서,
상기 산소 플라즈마 처리는 350℃ 이하의 기판 온도에서 수행되는, 반도체 장치의 제작 방법.

청구항 12

반도체 장치의 제작 방법으로서,
기판 위에 산화물 반도체막을 형성하는 단계;
상기 산화물 반도체막 위에 적어도 산화 질화 실리콘막을 포함하는 게이트 절연층을 형성하는 단계;
스퍼터링에 의하여 산소를 포함하는 분위기에서 상기 게이트 절연층 위에 산화물 반도체를 포함하는 층을 퇴적함으로써 상기 게이트 절연층에 산소를 첨가하는 단계;
상기 산화물 반도체를 포함하는 층을 에칭함으로써 게이트 전극을 형성하는 단계; 및
150℃ 이상 450℃ 이하의 온도에서 가열 처리를 수행함으로써 상기 산화물 반도체막에 상기 게이트 절연층 중의 산소를 확산시켜, 상기 산화물 반도체막의 도전성을 저하시키는 단계를 포함하는, 반도체 장치의 제작 방법.

청구항 13

제 12 항에 있어서,
상기 산화 질화 실리콘막은 350℃ 이하의 기판 온도에서 플라즈마 CVD법에 의하여 형성되는, 반도체 장치의 제작 방법.

발명의 설명

기술분야

- [0001] 본 발명의 일 형태는 산화물 반도체막을 포함하는 반도체 장치, 상기 반도체 장치의 제작 방법, 상기 반도체 장치를 포함하는 표시 장치, 및 상기 반도체 장치를 포함하는 전자 기기에 관한 것이다.
- [0002] 또한, 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)된 발명의 일 형태의 기술분야는 물건, 방법, 또는 제작 방법에 관한 것이다. 또한 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 특히, 본 발명의 일 형태는 반도체 장치, 표시 장치, 발광 장치, 전력 저장 장치, 또는 기억 장치, 또는 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다.
- [0003] 본 명세서 등에서 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 뜻한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 일 형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기 광학 장치, 발전 장치(박막 태양 전지 및 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함하는 경우가 있다.

배경기술

- [0004] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 형성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC) 또는 화상 표시 장치(표시 장치) 등 전자 기기에 널리 응용되고 있다. 상기 트랜지스터에 적용 가능한 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있다. 상기와 다른 재료로서는, 산화물 반도체가 주목을 받고 있다.
- [0005] 예를 들어, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하고 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 비정질 산화물을 활성층이 포함하는 트랜지스터가 개시되어 있다(특허문헌 1 참조).
- [0006] 산화물 반도체를 포함하는 트랜지스터는, 비정질 실리콘을 포함하는 트랜지스터보다 고속으로 동작할 수 있고 다결정 실리콘을 포함하는 트랜지스터보다 쉽게 제작할 수 있지만, 산화물 반도체를 포함하는 트랜지스터는, 전기 특성이 쉽게 변화되기 때문에 신뢰성이 낮다는 문제를 갖는 것이 알려져 있다. 예를 들어, 상기 트랜지스터의 문턱 전압은 바이어스-온도 스트레스 테스트(BT 테스트) 후에 변화되는 경우가 있다. 또한 본 명세서에서 문턱 전압이란, 트랜지스터를 턴온시키는 데 필요한 게이트 전압을 말한다. 게이트 전압이란, 소스 전압을 기준 전압으로 간주하였을 때, 소스 전위와 게이트 전위 사이의 전위차를 말한다.

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 일본 공개특허공보 특개2006-165528호

발명의 내용

해결하려는 과제

- [0008] 산화물 반도체막을 채널 영역에 사용하는 트랜지스터에서, 산화물 반도체막에 형성될 수 있는 산소 결손은, 트랜지스터 특성에 영향을 미친다. 예를 들어 산화물 반도체막에 산소 결손이 형성되면, 산소 결손이 수소와 결합되어 캐리어 공급원으로서 기능한다. 산화물 반도체막에 생기는 캐리어 공급원은 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변화, 대표적으로는 문턱 전압의 시프트를 일으킨다.
- [0009] 예를 들어, 산화물 반도체막 중에서 산소 결손이 지나치게 많으면, 음 방향으로 트랜지스터의 문턱 전압이 시프트되어 노멀리 온 특성이 된다. 따라서 산화물 반도체막, 특히 채널 영역은, 적은 산소 결손을 포함하거나 또는 노멀리 온 특성이 되지 않을 정도로 소량의 산소 결손을 포함하는 것이 바람직하다.
- [0010] 게이트 절연막에 캐리어 트랩 센터가 있으면 트랜지스터의 문턱 전압의 시프트를 일으킨다. 캐리어 트랩 센터의 수는 적은 것이 바람직하지만, 게이트 절연막의 형성 후에 플라즈마 처리 등의 처리를 수행하는 경우에는 증가될 수 있다.

[0011] 상술한 문제를 감안하여, 본 발명의 일 형태의 과제는, 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변화를 억제하는 것, 그리고 트랜지스터의 신뢰성을 향상시키는 것이다. 본 발명의 일 형태의 다른 과제는 신규 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 신규 표시 장치를 제공하는 것이다.

[0012] 또한, 상기 과제의 기재는, 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서, 이들 과제 모두를 달성할 필요는 없다. 상기 과제 이외의 과제는 명세서 등의 기재로부터 명백해질 것이며 추출될 수 있다.

과제의 해결 수단

[0013] 본 발명의 일 형태는 산화물 반도체막을 포함하는 트랜지스터가 제공된 반도체 장치이다. 트랜지스터는 기판 위의 산화물 반도체막, 그 위의 게이트 절연층, 및 그 위의 게이트 전극을 포함한다. 게이트 절연층은 산화 질화 실리콘막을 포함한다. 기판 위의 게이트 절연층을 열 탈착 분광법에 의하여 분석할 때, 산소 분자에 상당하는 질량 전하비 $M/z=32$ 를 갖는 가스 방출량의 최대 피크는, 기판 온도 150°C 이상 350°C 이하에 나타난다.

[0014] 상술한 형태에서, 열 탈착 분광법의 측정 온도는 80°C 이상 500°C 이하인 것이 바람직하다.

[0015] 상술한 형태 중 임의의 형태에서, 산화물 반도체막은 In, M, 및 Zn을 포함하는 것이 바람직하고, M은 Al, Ga, Y, 또는 Sn이다. 상술한 형태 중 임의의 형태에서, 산화물 반도체막은 c축 배향을 갖는 결정부를 포함하는 것이 바람직하다.

[0016] 본 발명의 다른 일 형태는, 상술한 형태 중 임의의 형태에 따른 반도체 장치, 및 표시 소자를 포함하는 표시 장치이다. 본 발명의 다른 일 형태는 상기 표시 장치 및 터치 센서를 포함하는 표시 모듈이다. 본 발명의 다른 일 형태는, 상술한 형태 중 임의의 형태에 따른 반도체 장치, 상술한 표시 장치, 또는 상술한 표시 모듈, 그리고 조작 키 또는 배터리를 포함하는 전자 기기이다.

[0017] 본 발명의 다른 일 형태는, 산화물 반도체막을 포함하는 트랜지스터가 제공된 반도체 장치의 제작 방법이다. 기판 위에 산화물 반도체막을 형성하고, 그 위에 적어도 산화 질화 실리콘막을 포함하는 게이트 절연층을 형성하고, 게이트 절연층에 산소 플라즈마 처리를 수행한다. 게이트 절연층 위에 게이트 전극을 형성한 후, 150°C 이상 450°C 이하의 온도에서 가열 처리를 수행하여 산화물 반도체막에 게이트 절연층 중의 산소를 확산시켜, 산화물 반도체막의 도전성을 저하시킨다.

[0018] 상술한 형태에서 산소 플라즈마 처리는, 350°C 이하의 기판 온도에서 수행하는 것이 바람직하다. 상술한 형태 중 임의의 형태에서, 산화 질화 실리콘막은 350°C 이하의 기판 온도에서 플라즈마 CVD법에 의하여 형성되는 것이 바람직하다.

[0019] 본 발명의 다른 일 형태는, 산화물 반도체막을 포함하는 트랜지스터가 제공된 반도체 장치의 제작 방법이다. 산화물 반도체막은 기판 위에 형성되고, 그 위에 적어도 산화 질화 실리콘막을 포함하는 게이트 절연층이 형성된다. 산화물 반도체를 스퍼터링법에 의하여 산소를 포함하는 분위기에서 게이트 절연층 위에 퇴적함으로써 게이트 절연층에 산소를 첨가하면서 게이트 전극을 형성한다. 그 후, 150°C 이상 450°C 이하의 온도에서 가열 처리를 수행하여 산화물 반도체막에 게이트 절연층 중의 산소를 확산시켜, 산화물 반도체막의 도전성을 저하시킨다.

발명의 효과

[0020] 본 발명의 일 형태는, 산화물 반도체막을 포함하는 트랜지스터의 전기 특성의 변화를 억제할 수 있고, 또한 트랜지스터의 신뢰성을 향상시킬 수 있다. 본 발명의 일 형태는 신규 반도체 장치를 제공할 수 있다. 본 발명의 일 형태는 신규 표시 장치를 제공할 수 있다.

[0021] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 반드시 상술한 모든 효과를 가질 필요는 없다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이며 추출될 수 있다.

도면의 간단한 설명

[0022] 도 1의 (A) 내지 (C)는 반도체 장치를 도시한 상면도 및 단면도이다.

도 2의 (A) 내지 (C)는 반도체 장치를 도시한 상면도 및 단면도이다.

도 3의 (A) 및 (B)는 반도체 장치를 도시한 단면도이다.

- 도 4의 (A) 및 (B)는 반도체 장치를 도시한 단면도이다.
- 도 5의 (A) 내지 (D)는 반도체 장치의 제작 방법을 도시한 단면도이다.
- 도 6의 (A) 내지 (C)는 반도체 장치의 제작 방법을 도시한 단면도이다.
- 도 7의 (A) 내지 (C)는 반도체 장치의 제작 방법을 도시한 단면도이다.
- 도 8의 (A) 내지 (C)는 본 발명의 일 형태의 산화물 반도체의 원자수비의 범위를 각각 도시한 것이다.
- 도 9의 (A) 내지 (C)는 산화물 반도체의 적층 구조의 밴드도이다.
- 도 10의 (A) 내지 (C)는 본 발명의 일 형태의 산화 질화 실리콘막의 평가 결과를 나타낸 것이다.
- 도 11의 (A) 및 (B)는 본 발명의 일 형태의 산화 질화 실리콘막의 평가 결과를 나타낸 것이다.
- 도 12의 (A) 내지 (C)는 본 발명의 일 형태의 산화 질화 실리콘막의 측정 결과를 나타낸 것이다.
- 도 13의 (A) 및 (B)는 반도체 장치의 제작 방법을 도시한 단면도이다.
- 도 14의 (A) 내지 (C)는 본 발명의 일 형태의 산소 확산 효과를 나타낸 것이다.
- 도 15는 표시 장치의 일 형태를 도시한 상면도이다.
- 도 16은 표시 장치의 일 형태를 도시한 단면도이다.
- 도 17은 표시 장치의 일 형태를 도시한 단면도이다.
- 도 18은 표시 장치의 일 형태를 도시한 단면도이다.
- 도 19는 표시 장치의 일 형태를 도시한 단면도이다.
- 도 20은 표시 장치의 일 형태를 도시한 단면도이다.
- 도 21의 (A) 내지 (D)는 EL층의 형성 방법을 도시한 단면도이다.
- 도 22는 역적 도출 장치를 도시한 개념도이다.
- 도 23의 (A) 내지 (C)는 표시 장치를 각각 도시한 블록도 및 회로도이다.
- 도 24의 (A) 내지 (C)는 본 발명의 일 형태를 나타낸 회로도 및 타이밍 차트이다.
- 도 25의 (A) 내지 (C)는 본 발명의 일 형태를 나타낸 그래프 및 회로도이다.
- 도 26의 (A) 및 (B)는 본 발명의 일 형태를 나타낸 회로도 및 타이밍 차트이다.
- 도 27의 (A) 및 (B)는 본 발명의 일 형태의 회로도 및 타이밍 차트이다.
- 도 28의 (A) 내지 (E)는 본 발명의 일 형태를 도시한 블록도, 회로도, 및 과형도이다.
- 도 29의 (A) 및 (B)는 본 발명의 일 형태를 나타낸 회로도 및 타이밍 차트이다.
- 도 30의 (A) 및 (B)는 본 발명의 일 형태를 도시한 회로도이다.
- 도 31의 (A) 내지 (C)는 본 발명의 일 형태를 각각 도시한 회로도이다.
- 도 32는 표시 모듈을 도시한 것이다.
- 도 33의 (A) 내지 (E)는 전자 기기를 도시한 것이다.
- 도 34의 (A) 내지 (G)는 전자 기기를 도시한 것이다.
- 도 35의 (A) 및 (B)는 표시 장치를 도시한 사시도이다.
- 도 36의 (A) 및 (B)는 트랜지스터의 I_d - V_g 특성 및 문턱 전압의 시프트를 나타낸 것이다.
- 도 37은 TDS 분석 결과를 나타낸 것이다.
- 도 38의 (A) 내지 (C)는 TDS 분석 결과를 나타낸 것이다.

- 도 39의 (A) 내지 (D)는 SIMS 분석 결과를 나타낸 것이다.
- 도 40의 (A) 내지 (I)는 TDS 분석 결과를 나타낸 것이다.
- 도 41은 TDS 분석 결과를 나타낸 것이다.
- 도 42의 (A) 및 (B)는 TDS 분석 결과를 나타낸 것이다.
- 도 43의 (A) 및 (B)는 IGZO막의 전기 저항을 나타낸 것이다.
- 도 44는 TDS 분석 결과를 나타낸 것이다.
- 도 45는 반도체 장치를 도시한 단면도이다.
- 도 46의 (A) 내지 (C)는 각각 본 발명의 일 형태의 반도체 장치의 회로도이다.
- 도 47의 (A) 및 (B)는 각각 본 발명의 일 형태의 반도체 장치의 회로도이다.
- 도 48은 CPU의 구조예를 도시한 블록도이다.
- 도 49는 기억 소자의 예를 도시한 회로도이다.
- 도 50의 (A) 내지 (F)는 본 발명의 일 형태의 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 것이다.
- 도 51은 본 발명의 일 형태의 트랜지스터의 GBT 테스트 결과를 나타낸 것이다.
- 도 52의 (A) 내지 (D)는 본 발명의 일 형태의 트랜지스터의 전류 스트레스 특성을 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 도면을 참조하여 실시형태에 대하여 설명한다. 그러나, 실시형태를 많은 상이한 모드로 실행할 수 있고, 본 발명의 취지 및 범위로부터 벗어남이 없이 그 모드 및 상세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자에 의하여 용이하게 이해된다. 따라서, 본 발명은 이하의 실시형태의 기재에 한정하여 해석되는 것은 아니다.
- [0024] 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 본 발명의 형태들은 이러한 스케일에 한정되지 않는다. 또한, 도면은 이상적인 예를 나타낸 개략도이고, 본 발명의 형태들은 도면에 나타난 형상 또는 값에 한정되지 않는다.
- [0025] 또한, 본 명세서에서, "제 1", "제 2", 및 "제 3" 등의 서수사는, 구성 요소들끼리의 혼동을 피하기 위하여 사용되고, 이 용어들은 구성 요소를 수적으로 한정하지 않는다.
- [0026] 또한, 본 명세서에서 "위에", "상에", "아래에", 및 "밑에" 등 배치를 설명하는 용어는, 도면을 참조하여 구성 요소 간의 위치 관계를 설명함에 있어서 편의상 사용되는 것이다. 또한, 구성 요소의 위치 관계는, 구성 요소를 설명하는 방향에 따라 적절히 변경된다. 따라서, 위치 관계는 본 명세서에 사용된 용어로 설명되는 것에 한정되지 않고, 상황에 따라 적절히 다른 용어로 설명할 수 있다.
- [0027] 본 명세서 등에서, 트랜지스터는 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자이다. 또한, 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 영역을 갖고, 드레인 영역, 채널 영역, 및 소스 영역을 통하여 전류가 흐를 수 있다. 또한 본 명세서 등에 있어서, 채널 영역이란, 전류가 주로 흐르는 영역을 말한다.
- [0028] 또한, 예를 들어, 상이한 극성을 갖는 트랜지스터가 채용되거나 또는 전류의 방향이 회로 동작에서 변화될 때, 소스 및 드레인의 기능이 전환될 수 있다. 그러므로, 본 명세서 등에서는, "소스"와 "드레인"의 용어는 전환할 수 있다.
- [0029] 본 명세서 등에서, "전기적으로 접속"이라는 표현은, 구성 요소들이 "임의의 전기적 기능을 갖는 물체"를 통하여 접속되는 경우를 포함한다. 임의의 전기적 기능을 갖는 물체"에는, 그 물체를 통하여 접속되는 구성 요소들 사이에서 전기 신호가 송수신될 수 있지만 하면, 특별한 한정은 없다. "임의의 전기적 기능을 갖는 물체"의 예에는 전극 및 배선뿐만 아니라 트랜지스터 등의 스위칭 소자, 레지스터, 인덕터, 용량 소자, 및 다양한 기능을 갖는 소자가 있다.
- [0030] 본 명세서 등에서 "평행"이라는 용어는 두 직선 사이에 형성되는 각도가 -10° 이상 10° 이하임을 나타내기 때

문에, 그 각도가 -5° 이상 5° 이하인 경우도 포함한다. "수직"이라는 용어는 두 직선 사이에 형성되는 각도가 80° 이상 100° 이하임을 나타내기 때문에, 그 각도가 85° 이상 95° 이하인 경우도 포함한다.

- [0031] 본 명세서 등에서 "막" 및 "층"이라는 용어는 서로 교체될 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또한 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.
- [0032] 별도로 언급이 없으면, 본 명세서 등에서 오프 상태 전류란, 오프 상태(비도통 상태 및 차단(cutoff) 상태라고도 함)에서의 트랜지스터의 드레인 전류를 말한다. 별도로 언급이 없으면, n채널 트랜지스터의 오프 상태는 게이트와 소스 간의 전압(V_{gs})이 문턱 전압(V_{th})보다 낮은 것을 의미하고, p채널 트랜지스터의 오프 상태는 게이트-소스 전압(V_{gs})이 문턱 전압(V_{th})보다 높은 것을 의미한다. 예를 들어, n채널 트랜지스터의 오프 상태 전류는 게이트-소스 전압(V_{gs})이 문턱 전압(V_{th})보다 낮을 때 흐르는 드레인 전류를 말하는 경우가 있다.
- [0033] 트랜지스터의 오프 상태 전류는 V_{gs} 에 의존하는 경우가 있다. 따라서, "트랜지스터의 오프 상태 전류가 I 이하"란, "트랜지스터의 오프 상태 전류가 I 이하가 되는 V_{gs} 가 있다"라는 것을 의미하는 경우가 있다. 또한 예를 들어 "트랜지스터의 오프 상태 전류"란, "소정의 V_{gs} 에서의 오프 상태 시의 오프 상태 전류", "소정의 범위 내의 V_{gs} 에서의 오프 상태 시의 오프 상태 전류", 또는 "충분히 저감된 오프 상태 전류가 얻어지는 V_{gs} 에서의 오프 상태 시의 오프 상태 전류"를 의미한다.
- [0034] 일례로서, 문턱 전압(V_{th})이 0.5V이고, 드레인 전류가 V_{gs} 0.5V에서 1×10^{-9} A, V_{gs} 0.1V에서 1×10^{-13} A, V_{gs} -0.5V에서 1×10^{-19} A, 및 V_{gs} -0.8V에서 1×10^{-22} A인 n채널 트랜지스터를 상정한다. 상기 트랜지스터의 드레인 전류는 V_{gs} -0.5V에서 또는 V_{gs} -0.8V 내지 -0.5V의 범위에서 1×10^{-19} A 이하이기 때문에, 상기 트랜지스터의 오프 상태 전류는 1×10^{-19} A 이하라고 할 수 있다. 상기 트랜지스터의 드레인 전류가 1×10^{-22} A 이하가 되는 V_{gs} 가 있기 때문에, 상기 트랜지스터의 오프 상태 전류는 1×10^{-22} A 이하라고 하는 경우가 있다.
- [0035] 본 명세서 등에서는, 채널 폭 W 를 갖는 트랜지스터의 오프 상태 전류를 채널 폭 W 당 전류값 또는 소정의 채널 폭(예를 들어, $1 \mu\text{m}$)당 전류값으로 나타내는 경우가 있다. 후자(後者)의 경우, 오프 상태 전류는 길이당 전류의 차원을 갖는 단위(예를 들어, A/ μm)로 표현될 수 있다.
- [0036] 트랜지스터의 오프 상태 전류는 온도에 의존하는 경우가 있다. 별도로 언급이 없으면, 본 명세서에서의 오프 상태 전류는 실온, 60°C , 85°C , 95°C , 또는 125°C 에서의 오프 상태 전류인 경우가 있다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 온도, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 온도(예를 들어, 5°C 내지 35°C 의 범위의 온도)에서의 오프 상태 전류인 경우가 있다. "트랜지스터의 오프 상태 전류가 I 이하"라는 기재는, 실온, 60°C , 85°C , 95°C , 125°C , 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 온도, 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 온도(예를 들어, 5°C 내지 35°C 의 범위의 온도)에서 트랜지스터의 오프 상태 전류가 I 이하인 V_{gs} 가 있는 상황을 말하는 경우가 있다.
- [0037] 트랜지스터의 오프 상태 전류는 드레인과 소스 간의 전압(V_{ds})에 의존하는 경우가 있다. 별도로 언급이 없으면, 본 명세서에서의 오프 상태 전류는, V_{ds} 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V에서의 오프 상태 전류인 경우가 있다. 또는, 오프 상태 전류는 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 V_{ds} , 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 V_{ds} 에서의 오프 상태 전류일 수 있다. "트랜지스터의 오프 상태 전류가 I 이하"라는 기재는, V_{ds} 0.1V, 0.8V, 1V, 1.2V, 1.8V, 2.5V, 3V, 3.3V, 10V, 12V, 16V, 또는 20V, 상기 트랜지스터를 포함하는 반도체 장치 등에 요구되는 신뢰성이 보장되는 V_{ds} , 또는 상기 트랜지스터를 포함하는 반도체 장치 등이 사용되는 V_{ds} 에서 트랜지스터의 오프 상태 전류가 I 이하인 V_{gs} 가 있는 상황을 말하는 경우가 있다.
- [0038] 상술한 오프 상태 전류의 기재에서, 드레인이 소스와 교체되어도 좋다. 즉, 오프 상태 전류는 오프 상태의 트

랜지스터의 소스를 통하여 흐르는 전류를 말하는 경우가 있다.

- [0039] 본 명세서 등에서, "누설 전류"라는 용어는 "오프 상태 전류"와 같은 뜻을 표현하는 경우가 있다. 본 명세서 등에서, 오프 상태 전류는 예를 들어, 트랜지스터가 오프일 때 소스와 드레인 사이에 흐르는 전류를 말하는 경우가 있다.
- [0040] 본 명세서 등에서, 트랜지스터의 문턱 전압이란, 트랜지스터에 채널이 형성된 게이트 전압(V_g)을 말한다. 구체적으로, 가로축이 게이트 전압(V_g)을 나타내고 세로축이 드레인 전류(I_d)의 평방근을 나타내는 그래프에서, 트랜지스터의 문턱 전압이란, 플롯된 커브($V_g - \sqrt{I_d}$ 특성)에, 최대 기울기를 갖는, 접선인 외삽된 직선과, 드레인 전류(I_d)의 평방근($I_d=0A$)의 교점에서의 게이트 전압(V_g)을 말하는 경우가 있다. 또는, 트랜지스터의 문턱 전압이란, L 을 채널 길이로 하고, W 를 채널 폭으로 한 $I_d[A] \times L/W[\mu m]$ 의 값이 $1 \times 10^{-9}[A]$ 인 게이트 전압(V_g)을 말하는 경우가 있다.
- [0041] 본 명세서 등에서, "반도체"는 예를 들어 도전성이 충분히 낮은 경우에는 "절연체"의 특성을 가질 수 있다. 또한, "반도체" 및 "절연체"는 "반도체"와 "절연체"의 경계가 명백하지 않기 때문에, 서로를 엄격히 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에서 "반도체"를 "절연체"라고 부를 수 있는 경우가 있다. 마찬가지로, 본 명세서 등에서 "절연체"를 "반도체"라고 부를 수 있는 경우가 있다. 본 명세서 등에서 "절연체"를 "반절연체"라고 부를 수 있는 경우가 있다.
- [0042] 본 명세서 등에서, "반도체"는 예를 들어 도전성이 충분히 높은 경우에는 "도전체"의 특성을 가질 수 있다. 또한, "반도체" 및 "도전체"는, "반도체"와 "도전체"의 경계가 명백하지 않기 때문에, 서로를 엄격히 구별할 수 없는 경우가 있다. 따라서, 본 명세서 등에서 "반도체"를 "도전체"라고 부를 수 있는 경우가 있다. 마찬가지로, 본 명세서 등에서 "도전체"를 "반도체"라고 부를 수 있는 경우가 있다.
- [0043] 본 명세서 등에서, 반도체 내의 불순물이란, 반도체막의 주성분이 아닌 원소를 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이다. 반도체가 불순물을 포함하면, 예를 들어 반도체 내에 DOS(density of states)가 형성되거나, 캐리어 이동도가 저감되거나, 또는 결정성이 저하되는 경우가 있다. 반도체가 산화물 반도체를 포함하는 경우, 반도체의 특성을 변화시키는 불순물로서의 예에는, 제 1 족 원소, 제 2 족 원소, 제 14 족 원소, 제 15 족 원소, 주성분 이외의 전이 금속 등이 포함되고, 구체적인 예로서는 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 및 질소가 있다. 반도체가 산화물 반도체인 경우, 예를 들어, 수소 등의 불순물이 들어감으로써 산소 결손이 형성될 수 있다. 또한 반도체가 실리콘을 포함하는 경우, 반도체의 특성을 변화시키는 불순물의 예에는 산소, 수소 이외의 제 1 족 원소, 제 2 족 원소, 제 13 족 원소, 및 제 15 족 원소가 포함된다.
- [0044] (실시형태 1)
- [0045] 본 실시형태에서는, 과잉 산소 영역을 갖는 게이트 절연막을 포함하는 본 발명의 일 형태의 반도체 장치에 대하여 설명한다. 또한 본 발명의 일 형태의 반도체 장치의 제작 방법에 대하여 설명한다.
- [0046] <1-1. 반도체 장치의 구조예 1>
- [0047] 도 1의 (A)는 본 발명의 일 형태의 반도체 장치인 트랜지스터(100)의 상면도이다. 도 1의 (B)는 도 1의 (A)에서의 일점쇄선 X1-X2를 따르는 단면도이고, 도 1의 (C)는 도 1의 (A)에서의 일점쇄선 Y1-Y2를 따르는 단면도이다. 또한 도 1의 (A)에서, 트랜지스터(100)의 일부의 구성 요소(예를 들어, 게이트 절연막으로서 기능하는 절연막)는 복잡화를 피하기 위하여 도시하지 않았다. 또한 일점쇄선 X1-X2 방향을 채널 길이 방향이라고 하는 경우가 있고, 일점쇄선 Y1-Y2 방향을 채널 폭 방향이라고 하는 경우가 있다. 도 1의 (A)와 같이, 아래에서 설명하는 트랜지스터의 상면도에서는 일부의 구성 요소가 도시되지 않은 경우가 있다.
- [0048] 도 1의 (A) 내지 (C)에 도시된 트랜지스터(100)는 소위 톱 게이트 트랜지스터이다.
- [0049] 트랜지스터(100)는 기판(102) 위의 절연막(104), 절연막(104) 위의 산화물 반도체막(108), 산화물 반도체막(108) 위의 절연막(110), 절연막(110) 위의 도전막(112), 및 절연막(104), 산화물 반도체막(108), 및 도전막(112) 위의 절연막(116)을 포함한다.
- [0050] 산화물 반도체막(108)은 In, M (M 은 Al, Ga, Y, 또는 Sn), 및 Zn을 포함하는 것이 바람직하다.
- [0051] 산화물 반도체막(108)은 도전막(112)과 중첩되며 절연막(104) 및 절연막(110)과 접하는 제 1 영역(108i)을 포함

한다. 산화물 반도체막(108)은 절연막(116)과 접하는 제 2 영역(108n)도 포함한다. 제 2 영역(108n)은 제 1 영역(108i)보다 캐리어 밀도가 높다. 이는, 본 발명의 일 형태의 산화물 반도체막(108)이, 캐리어 밀도가 상이한 2종류의 영역을 포함하는 것을 의미한다.

- [0052] 또한 제 1 영역(108i)의 캐리어 밀도는 $1 \times 10^{15} \text{cm}^{-3}$ 이상 $1 \times 10^{18} \text{cm}^{-3}$ 미만인 바람직하고, $1 \times 10^{17} \text{cm}^{-3}$ 이상 $1 \times 10^{19} \text{cm}^{-3}$ 이하가 더 바람직하고, $1 \times 10^{16} \text{cm}^{-3}$ 이상 $5 \times 10^{16} \text{cm}^{-3}$ 이하가 더욱 바람직하고, $1 \times 10^{10} \text{cm}^{-3}$ 이상 $1 \times 10^{16} \text{cm}^{-3}$ 이하가 더더욱 바람직하고, $1 \times 10^{11} \text{cm}^{-3}$ 이상 $1 \times 10^{15} \text{cm}^{-3}$ 이하가 보다 바람직하다.
- [0053] 도 1의 (A) 내지 (C) 및 본 발명의 형태들을 실시하기 위한 양식에서는, 산화물 반도체막(108)이 단층인 예를 주로 설명하였지만, 산화물 반도체막(108)은, 캐리어 밀도가 상이한 막의 적층 구조를 가져도 좋다. 예를 들어 산화물 반도체막(108)은, 제 1 산화물 반도체막, 및 제 1 산화물 반도체막 위의 제 2 산화물 반도체막을 포함하는 2층 구조를 가져도 좋다. 제 1 산화물 반도체막의 캐리어 밀도를 제 2 산화물 반도체막보다 높게 함으로써, 캐리어 밀도가 상이한 영역을 포함하는 산화물 반도체막이 형성될 수 있다.
- [0054] 제 1 산화물 반도체막에서의 산소 결손 또는 불순물 농도의 양은, 제 2 산화물 반도체막에서보다 약간 많다.
- [0055] 제 1 산화물 반도체막의 캐리어 밀도를 높이기 위하여, 제 1 산화물 반도체막에 산소 결손을 형성하는 원소를 첨가함으로써 수소 등이 산소 결손과 결합되어도 좋다. 산소 결손을 형성하는 원소의 대표적인 예에는 수소, 붕소, 탄소, 질소, 플루오린, 인, 황, 염소, 및 희가스 원소가 포함된다. 희가스 원소의 대표적인 예에는 헬륨, 네온, 아르곤, 크립톤, 및 제논이 포함된다. 또한 산화물 반도체막에 산소 결손을 형성하는 원소로서는, 상술한 원소 중에서도 질소가 특히 바람직하다.
- [0056] 예를 들어 제 1 산화물 반도체막을 형성하는 퇴적 가스로서 아르곤 가스 및 일산화 이질소 가스를 사용함으로써, 제 1 산화물 반도체막에 질소 원소가 포함될 수 있다. 이 경우 제 1 산화물 반도체막은, 제 2 산화물 반도체막보다 질소 농도가 높은 영역을 포함한다.
- [0057] 따라서, 제 1 산화물 반도체막은 캐리어 밀도가 높아지고 약간 n형이다. 캐리어 밀도가 증가된 산화물 반도체막은 "slightly-n 산화물 반도체막"이라고 설명되는 경우가 있다.
- [0058] 예를 들어 트랜지스터(V_g)의 게이트에 공급되는 전압이 0V보다 높고 30V 이하인 경우, 제 1 산화물 반도체막의 캐리어 밀도는 $1 \times 10^{16} \text{cm}^{-3}$ 보다 높고 $1 \times 10^{18} \text{cm}^{-3}$ 미만인 것이 바람직하고, $1 \times 10^{16} \text{cm}^{-3}$ 보다 높고 $1 \times 10^{17} \text{cm}^{-3}$ 이하가 더 바람직하다.
- [0059] 제 1 산화물 반도체막의 캐리어 밀도가 증가된 경우, 제 1 산화물 반도체막의 결정성은 제 2 산화물 반도체막보다 낮아질 수 있다. 이 경우 산화물 반도체막(108)은, 결정성이 낮은 산화물 반도체막과 결정성이 높은 산화물 반도체막의 적층 구조를 갖는다. 산화물 반도체막의 결정성은 산화물 반도체막의 막 밀도와 상관이 있고, 산화물 반도체막의 결정성이 높을수록 막 밀도가 높아진다. 따라서 산화물 반도체막(108)은, 막 밀도가 낮은 산화물 반도체막과 막 밀도가 높은 산화물 반도체막의 적층 구조를 갖는 것으로 간주할 수 있다.
- [0060] 또한 산화물 반도체막(108)의 결정성은, 예를 들어 XRD(X-ray diffraction) 또는 TEM(transmission electron microscope)에 의한 분석에 의하여 알아낼 수 있다. 산화물 반도체막(108)의 막 밀도는 예를 들어 XRR(X-ray reflectometer)에 의하여 측정할 수 있다.
- [0061] 제 2 영역(108n)은 절연막(116)과 접한다. 절연막(116)은 질소 또는 수소를 포함한다. 따라서 절연막(116)에서의 질소 또는 수소는 제 2 영역(108n)에 첨가된다. 제 2 영역(108n)의 캐리어 밀도는, 절연막(116)으로부터의 질소 또는 수소의 첨가에 의하여 증가된다.
- [0062] 트랜지스터(100)는 절연막(116) 위의 절연막(118), 절연막(116 및 118)에 제공된 개구(141a)를 통하여 제 2 영역(108n)에 전기적으로 접속되는 도전막(120a), 및 절연막(116 및 118)에 제공된 개구(141b)를 통하여 제 2 영역(108n)에 전기적으로 접속되는 도전막(120b)을 더 포함하여도 좋다.
- [0063] 본 명세서 등에서, 절연막(104)을 제 1 절연막, 절연막(110)을 제 2 절연막, 절연막(116)을 제 3 절연막, 절연막(118)을 제 4 절연막이라고 하는 경우가 있다. 도전막(112)은 게이트 전극으로서 기능하고, 도전막(120a)은 소스 전극으로서 기능하고, 도전막(120b)은 드레인 전극으로서 기능한다.
- [0064] 절연막(110)은 게이트 절연막으로서 기능한다. 또한 절연막(110)은, 산화 질화 실리콘막을 포함하는 파인 산소 영역을 포함한다. 절연막(110)이 파인 산소 영역을 갖기 때문에, 산화물 반도체막(108)의 제 1 영역(108i)에

과잉 산소가 공급될 수 있다. 본 발명에서는, 절연막(110)의 형성 후, 기판 온도 300℃ 이하, 바람직하게는 250℃ 이하에서 산소 플라즈마 처리에 의하여 절연막(110)에 산소가 첨가된다. 따라서, 종래와 비교하여 상당히 많은 양의 과잉 산소를 절연막(110)으로부터 산화물 반도체막으로 공급할 수 있다. 또한 본 발명의 일 형태에서, 산소 플라즈마 처리란, 산소를 사용한 플라즈마 처리를 의미한다. 예를 들어, 플라즈마 처리에 사용되는 가스는, 막에 산소를 첨가하는 효과를 방해하지 않는, 산소 외의 가스를 포함하여도 좋다. 예를 들어 플라즈마 처리에 사용되는 가스는, 유량비 90%의 산소 및 유량비 10%의 아르곤을 포함하여도 좋다.

[0065] 본 발명의 일 형태의 절연막(110)은, 산화 질화 실리콘막을 포함하는 단층 구조 또는 적층 구조를 갖는다. 절연막(110)이 TDS(thermal desorption spectroscopy)에 의하여 분석되는 경우, 산소 분자에 상당하는 질량 전하비 $M/z=32$ 의 가스 방출량의 최대 피크는, 측정 온도 범위 내에서 기판 온도 150℃ 이상 300℃ 이하, 이상적으로는 150℃ 이상 250℃ 이하에서 나타난다. 이하, TDS에 의하여 분석된 산소 분자의 발광 특성은, 질량 전하비 $M/z=32$ 의 가스의 발광 특성인 것으로 간주된다. TDS에 의하여 분석되는 대표적인 온도 범위는 80℃ 내지 500℃ 이고, 500℃보다 고온에서의 분석 결과는 산소 분자의 발광 특성인 것으로 간주되지 않는다. 제 1 영역(108i)에 형성된 산소 결손이 절연막(110)에서의 과잉 산소에 의하여 채워짐으로써, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한 본 명세서에서 설명한 TDS에 관하여, 기판 온도란 기판 표면 온도를 의미한다.

[0066] 산화 질화 실리콘막에 산소를 첨가하는 종래의 방법으로서, N₂O 가스 또는 NO₂ 가스를 사용한 플라즈마 처리를 들 수 있다. 그러나 본 발명자들은, 산화 질화 실리콘막에 N₂O 가스 또는 NO₂ 가스를 사용한 플라즈마 처리를 수행한 경우, 전자 트랩 센터의 수가 증가되는 것을 발견하였다. 이 요인 중 하나는, 절연막(110)에 포함되는 산화 질화 실리콘막에서의 질소 산화물(NO_x)의 증가이다. BT 테스트(bias-temperature stress test)을 수행할 때, 특히 게이트 전극에 양의 바이어스 스트레스를 가할 때, 트랜지스터(100)의 문턱 전압이 양 방향으로 시프트되는 것을 방지하기 위해서는, 질소 산화물(NO_x)의 증가를 일으키는 N₂O 가스 또는 NO₂ 가스를 사용한 플라즈마 처리를 수행하지 말아야 한다. 따라서 본 발명의 일 형태인 절연막(110)의 형성 후에 산소 플라즈마 처리를 수행하는 것이 효과적이다.

[0067] 산화물 반도체막(108)은 In의 원자 비율이 M의 원자 비율보다 큰 영역을 갖는 것이 바람직하다. 산화물 반도체막(108)이, M의 원자 비율보다 In의 원자 비율이 높은 영역을 갖는 경우, 트랜지스터(100)는 높은 전계 효과 이동도를 가질 수 있다. 구체적으로, 트랜지스터(100)의 전계 효과 이동도는 10cm²/Vs를 초과할 수 있고, 바람직하게는 30cm²/Vs를 초과할 수 있다.

[0068] 예를 들어, 게이트 신호를 생성하는 게이트 드라이버(구체적으로는, 게이트 드라이버에 포함되는 시프트 레지스터의 출력 단자와 접속되는 디멀티플렉서)에 전계 효과 이동도가 높은 트랜지스터를 사용하면, 반도체 장치 또는 표시 장치의 슬림 베젤화를 수행할 수 있다.

[0069] 산화물 반도체막(108)에 산소 결손이 형성되면, 산소 결손이 수소와 결합되어 캐리어 공급원으로서 기능한다. 산화물 반도체막(108)에 생기는 캐리어 공급원은 산화물 반도체막(108)을 포함하는 트랜지스터(100)의 전기 특성의 변화, 대표적으로는 문턱 전압의 시프트를 일으킨다. 그러므로, 산화물 반도체막(108), 특히 제 1 영역(108i)에서의 산소 결손의 양은, 가능한 한 적은 것이 바람직하다.

[0070] 제 1 영역(108i)에 형성되는 산소 결손은 절연막(110)으로부터 공급되는 과잉 산소에 의하여 채워질 수 있다. 따라서 산화물 반도체막(108)의 제 1 영역(108i)은 불순물 농도가 낮고 결합 준위 밀도가 낮다. 또한 낮은 불순물 농도 및 낮은 결합 준위 밀도(또는 소량의 산소 결손)를 갖는 막을, "고순도 진성인 막" 또는 "실질적으로 고순도 진성인 막"이라고 한다. 고순도 진성 또는 실질적으로 고순도 진성의 산화물 반도체막은 캐리어 발생원이 적기 때문에 낮은 캐리어 밀도를 가질 수 있다. 따라서 이 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 줌처럼 음의 문턱 전압을 가지지 않는다(줌처럼 노멀리 온이 되지 않는다).

[0071] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결합 준위 밀도가 낮기 때문에 트랩 상태 밀도가 낮은 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 상태 전류가 매우 낮기 때문에, 소자의 채널 폭이 1×10⁶ μm이고 채널 길이 L이 10 μm이더라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 0.1V 내지 10V일 때, 오프 상태 전류가 반도체 파라미터 애널리저의 측정 한계 이하, 즉 1×10⁻¹³ A 이하일 수 있다.

[0072] 도 2의 (A) 내지 (C)에 도시된 트랜지스터(100A)는 기판(102) 위에 도전막(106)이 제공되는 점에서, 도 1의 (A)

내지 (C)에 도시된 트랜지스터(100)와 상이하다. 도 2의 (A) 내지 (C)에 도시된 트랜지스터에서, 도전막(112) 및 도전막(106)은 게이트 전극으로서 사용될 수 있다.

[0073] 도 2의 (A) 내지 (C)에 도시된 구조를 각각 갖고, 도전막(112 및 106)을 같은 전위에서 게이트 전극으로서 사용하는 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)의 I_d-V_g 특성을 도 36의 (A)에 나타내었다. 절연막(110)을 형성한 후, 조건을 변경함으로써 트랜지스터(201 내지 203)를 얻었다. I_d-V_g 특성은 이하와 같은 조건하에서 측정하였다: 기판 온도는 실온이고, I_d 는 0.1V 및 10V로 하고, V_g 는 -15V 내지 +20V에서 변경하였다. 도 36의 (A)에는, 조건(206) 및 조건(207)하에서 얻은 트랜지스터의 I_d-V_g 특성을 나타내었다. 조건(206)에서는 채널 길이 L 을 $2\mu\text{m}$ 로 하고, 채널 폭 W 를 $50\mu\text{m}$ 로 하였다. 조건(207)에서는 채널 길이 L 을 $6\mu\text{m}$ 로 하고, 채널 폭 W 를 $50\mu\text{m}$ 로 하였다. I_d-V_g 특성은 도전막(112 및 106)을 게이트 전극으로서 사용하여 측정하였다. 0.1V 및 10V의 I_d 특성을 겹쳐 쓰고, 기판의 특정한 면에 복수의 트랜지스터의 측정 결과를 겹쳐 썼다.

[0074] 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203)에서의 절연막(110)은 같은 조건하에서 산화 질화 실리콘을 사용하여 형성하였다. 트랜지스터(201)에서는 절연막(110)의 형성 후, N_2O 플라즈마 처리 또는 산소 플라즈마 처리를 수행하지 않고 도전막(112)을 형성하였다. 트랜지스터(202)에서는 절연막(110)의 형성 후, N_2O 플라즈마 처리를 수행하여 도전막(112)을 형성하였다. 트랜지스터(203)에서는 절연막(110)의 형성 후, 산소 플라즈마 처리를 수행하여 도전막(112)을 형성하였다. 도전막(112)의 형성 후, 트랜지스터(201), 트랜지스터(202), 및 트랜지스터(203) 각각에서의 절연막(110)에 대하여 250°C 를 넘지 않는 온도에서 가열 처리를 행하였다.

[0075] 트랜지스터(201)의 I_d-V_g 특성에서 문턱 전압은 음 방향으로 크게 시프트된다. 한편, 트랜지스터(202) 및 트랜지스터(203)의 I_d-V_g 특성은 문턱 전압이 0V 부근이다. 이것은, 절연막(110) 형성 후의 N_2O 플라즈마 처리 또는 산소 플라즈마 처리를 수행하는 것이, 절연막(110)의 과잉 산소를 증가시키는 데 효과적인 것을 시사한다.

[0076] 도 36의 (B)에는 트랜지스터(202) 및 트랜지스터(203)에 대하여 수행한 BT 테스트의 결과를 나타내었다. 세로 축은 I_d-V_g 특성에서의 문턱 전압(ΔV_{th})의 시프트량을 나타내고, 단위는 V이다. BT 테스트를 수행한 트랜지스터 각각의 채널 길이 L 및 채널 폭 W 는 각각 $3\mu\text{m}$ 및 $50\mu\text{m}$ 이었다. BT 테스트가, 백색 LED광에 의한 10000lx의 조도하(照度下) 또는 어두운 환경에서, +30V 또는 -30V의 게이트 바이어스에서 60분 동안 조사되는 환경에서 수행하였다. 즉, 4종류의 BT 테스트가 수행되었다: PBTS(positive gate bias temperature stress) 테스트, NBTS(negative gate bias temperature stress) 테스트, PBITS(positive gate bias illumination temperature stress) 테스트, 및 NBITS(negative gate bias illumination temperature stress) 테스트이다. BT 테스트 동안 및 I_d-V_g 특성의 측정 동안의 기판 온도는 60°C 로 설정하였다.

[0077] BT 테스트의 결과는, PBTS(positive gate bias temperature stress) 테스트에 의한, 트랜지스터(202)의 문턱 전압의 시프트는 약 +8V이고, PBTS(positive gate bias temperature stress) 테스트에 의한, 트랜지스터(203)의 문턱 전압의 시프트는 약 +2V인 것을 나타낸다. 이것은 절연막(110)에 포함되는 산화 질화 실리콘막에서, 트랜지스터(202)가, 전자 트랩 센터로서 기능하는 질소 산화물(NO_x)을, 트랜지스터(203)보다 더 많이 포함하는 것을 나타낸다.

[0078] 상술한 바와 같이, 본 발명의 일 형태의 반도체 장치에서는, 산화물 반도체층 위에 게이트 절연막이 형성된다. 또한 게이트 절연막은, 게이트 절연막에 포함되는 산화 질화 실리콘막의 질소 산화물(NO_x)이 증가되는 것을 방지 하면서 산화물 반도체막에 과잉 산소를 공급할 수 있다. 그러므로 산화물 반도체층에 충분한 양의 산소가 공급됨으로써 산화물 반도체층의 산소 결손을 저감시킬 수 있어 트랜지스터의 신뢰성을 향상시킬 수 있다. 따라서 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0079] <1-2. 반도체 장치의 구성 요소>

[0080] 다음에, 본 실시형태의 반도체 장치의 구성 요소에 대하여 자세히 설명한다.

[0081] [기판]

[0082] 적어도 나중에 행해지는 가열 처리에 견딜 수 있을 정도의 내열성을 갖는 재료이기만 하면, 기판(102)의 재료의 특성 등에 특별한 한정은 없다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등을 기판(102)으로서 사용하여도 좋다. 또는, 실리콘 또는 탄소화 실리콘의 단결정 반도체 기판 또는 다결정 반도체

기관, 실리콘 저마늄의 화합물 반도체 기관, 또는 SOI 기관 등을 사용할 수 있고, 반도체 소자가 제공되는 이들 기관 중 임의의 것을 기관(102)으로서 사용하여도 좋다. 기관(102)으로서 유리 기관을 사용하는 경우, 다음 중 임의의 크기의 유리 기관을 사용할 수 있다: 6세대(1500mm×1850mm), 7세대(1870mm×2200mm), 8세대(2200mm×2400mm), 9세대(2400mm×2800mm), 및 10세대(2950mm×3400mm)이다. 따라서, 대형 표시 장치를 제작할 수 있다.

[0083] 또는, 기관(102)으로서 플렉시블 기관을 사용하여도 좋고, 트랜지스터(100)를 플렉시블 기관에 직접 제공하여도 좋다. 또는, 기관(102)과 트랜지스터(100) 사이에 분리층을 제공하여도 좋다. 분리층은, 분리층 위에 형성된 반도체 장치의 일부 또는 전체를 기관(102)으로부터 분리하고 다른 기관으로 전치(轉置)할 때에 사용할 수 있다. 이러한 경우, 트랜지스터(100)는 내열성이 낮은 기관 또는 플렉시블 기관에도 전치할 수 있다.

[0084] [제 1 절연막]

[0085] 절연막(104)은 스퍼터링법, CVD법, 증착법, 펄스 레이저 퇴적(PLD)법, 인쇄법, 또는 코팅법 등에 의하여 적절히 형성할 수 있다. 예를 들어, 절연막(104)은 산화물 절연막 및/또는 질화물 절연막의 단층 구조 또는 적층 구조를 갖도록 형성될 수 있다. 산화물 반도체막(108)과의 계면 특성을 향상시키기 위하여, 적어도 산화물 반도체막(108)과 접하는 절연막(104)의 영역은 산화물 절연막을 사용하여 형성되는 것이 바람직하다. 가열에 의하여 산소를 방출하는 산화물 절연막을 사용하여 절연막(104)을 형성하면, 절연막(104)에 포함되는 산소를 가열 처리에 의하여 산화물 반도체막(108)으로 이동시킬 수 있다.

[0086] 절연막(104)의 두께는 50nm 이상, 100nm 이상 3000nm 이하, 또는 200nm 이상 1000nm 이하로 할 수 있다. 절연막(104)의 두께를 두껍게 함으로써, 절연막(104)으로부터 방출되는 산소의 양을 증가시킬 수 있고, 절연막(104)과 산화물 반도체막(108)의 계면에서의 계면 준위, 및 산화물 반도체막(108)에 포함되는 산소 결손을 저감시킬 수 있다.

[0087] 예를 들어, 절연막(104)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨, 또는 Ga-Zn 산화물 등의 단층 구조 또는 적층 구조를 갖도록 형성할 수 있다. 본 실시 형태에서, 절연막(104)은 질화 실리콘막과 산화 질화 실리콘막의 적층 구조를 갖는다. 질화 실리콘막을 하층으로서, 그리고 산화 질화 실리콘막을 상층으로서 포함하는 이러한 적층 구조를 갖는 절연막(104)에 의하여, 산화물 반도체막(108)에 산소를 효율적으로 도입할 수 있다.

[0088] [도전막]

[0089] 게이트 전극으로서 기능하는 도전막(112) 및 소스 전극 및 드레인 전극으로서 기능하는 도전막(120a 및 120b)은 각각 크로뮴(Cr), 구리(Cu), 알루미늄(Al), 금(Au), 은(Ag), 아연(Zn), 몰리브덴(Mo), 탄탈럼(Ta), 타이타늄(Ti), 텅스텐(W), 망가니즈(Mn), 니켈(Ni), 철(Fe), 및 코발트(Co)로부터 선택되는 금속 원소; 이들 금속 원소 중 임의의 것을 성분으로서 포함하는 합금; 이들 금속 원소 중 임의의 것의 조합을 포함하는 합금 등을 사용하여 형성될 수 있다.

[0090] 또한 도전막(112, 120a, 및 120b)은, 인듐 및 주석을 포함하는 산화물(In-Sn 산화물), 인듐 및 텅스텐을 포함하는 산화물(In-W 산화물), 인듐, 텅스텐, 및 아연을 포함하는 산화물(In-W-Zn 산화물), 인듐 및 타이타늄을 포함하는 산화물(In-Ti 산화물), 인듐, 타이타늄, 및 주석을 포함하는 산화물(In-Ti-Sn 산화물), 인듐 및 아연을 포함하는 산화물(In-Zn 산화물), 인듐, 주석, 및 실리콘을 포함하는 산화물(In-Sn-Si 산화물), 또는 인듐, 갈륨, 및 아연을 포함하는 산화물(In-Ga-Zn 산화물) 등의 산화물 도전체 또는 산화물 반도체를 사용하여 형성될 수 있다.

[0091] 여기서, 산화물 도전체에 대하여 설명한다. 본 명세서 등에서, 산화물 도전체를 OC라고 말하여도 좋다. 예를 들어 산화물 도전체를 다음과 같이 얻는다. 산화물 반도체에 산소 결손이 형성되고 그 다음에 산소 결손에 수소가 첨가됨으로써, 전도대 근방에 도너 준위가 형성된다. 산화물 반도체의 도전성이 증가됨으로써, 산화물 반도체가 도전체가 된다. 도전체가 된 산화물 반도체를 산화물 도전체라고 할 수 있다. 산화물 반도체는 에너지 갭이 크기 때문에, 일반적으로 가시광을 투과시킨다. 산화물 도전체는 전도대 근방에 도너 준위를 갖는 산화물 반도체이기 때문에 도너 준위에 기인하는 흡수의 영향은 적고, 가시광에 대하여 산화물 반도체와 동등한 투광성을 갖는다.

[0092] 특히, 절연막(110)에 과잉 산소를 첨가할 수 있기 때문에, 상술한 산화물 도전체는 도전막(112)으로서 바람직하게 사용된다.

- [0093] Cu-X 합금막(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 도전막(112, 120a, 및 120b)에 사용하여도 좋다. Cu-X 합금막을 사용하면 웨트 에칭에 의하여 막을 가공할 수 있기 때문에 제작 비용의 저감으로 이어진다.
- [0094] 상술한 금속 원소 중에서도, 타이타늄, 텅스텐, 탄탈럼, 및 몰리브데넘 중으로부터 선택된 어느 하나 이상이 도전막(112, 120a, 및 120b)에 포함되는 것이 바람직하다. 특히 질화 탄탈럼막을 도전막(112, 120a, 및 120b)에 사용하는 것이 바람직하다. 질화 탄탈럼막은 도전성, 및 구리 또는 수소에 대한 높은 배리어성을 갖는다. 질화 탄탈럼막은 스스로부터 소량의 수소를 방출하기 때문에, 산화물 반도체막(108)과 접하는 도전막 또는 산화물 반도체막(108) 근방의 도전막으로서 바람직하게 사용할 수 있다.
- [0095] 도전막(112, 120a, 및 120b)은 무전해 도금에 의하여 형성할 수 있다. 무전해 도금에 의하여 퇴적될 수 있는 재료로서는, 예를 들어 Cu, Ni, Al, Au, Sn, Co, Ag, 및 Pd 중으로부터 선택된 하나 이상의 원소를 사용할 수 있다. 도전막의 전기 저항을 저감시킬 수 있기 때문에, Cu 또는 Ag를 사용하는 것이 더 바람직하다.
- [0096] [제 2 절연막]
- [0097] 본 발명의 일 형태인, 트랜지스터(100)의 게이트 절연막으로서 기능하는 절연막(110)은, PECVD(plasma-enhanced chemical vapor deposition)법에 의하여 형성되는 산화 질화 실리콘막을 포함하는 단층 구조 또는 적층 구조를 갖는다. 절연막(110)에는 산소 플라즈마 처리가 수행된다.
- [0098] 본 발명의 일 형태의 절연막(110)이 TDS에 의하여 분석되는 경우, 산소 분자에 상당하는 질량 전하비 $M/z=32$ 의 가스 방출량의 최대 피크는, 측정 온도 범위에서 기판 온도 150°C 이상 300°C 이하에서 나타난다. 이하에서는 본 발명의 일 형태의 절연막(110)의 특성에 대하여, 즉 산소 플라즈마 처리가 수행된 산화 질화 실리콘막에 대하여 도 37, 도 38의 (A) 내지 (C), 도 39의 (A) 내지 (D), 도 40의 (A) 내지 (I), 도 41, 도 42의 (A) 및 (B), 도 43의 (A) 및 (B), 그리고 도 44를 참조하여 설명한다.
- [0099] 산화 질화 실리콘막의 과잉 산소 원자는 열 여기에 의하여 방출된다. 또한 원자가 방출된 온도는 막에서의 원자의 결합 상태 등에 의존한다. 산화 질화 실리콘막에서의 다량의 산소 원자는 넓은 온도 범위에서 방출된다. 따라서 저온에서 산화 질화 실리콘막에 과잉 산소 원자를 첨가한 후, 고온에서 산화물 반도체막에 산소 원자를 공급하면, 산화물 반도체막에 다량의 산소 원자를 공급할 수 있다.
- [0100] PECVD(plasma-enhanced chemical vapor deposition)법을 사용하는 경우, 높은 기판 온도에서 형성된 산화 질화 실리콘막은 밀도, 전기 절연 내압 특성(electrical insulation withstand voltage characteristics), 및 내약 품성이 높다. 이들 이점에 따르면, 산화 질화 실리콘막이 반도체 소자에 사용되는 경우, 산화 질화 실리콘막의 형성 시의 기판 온도는 높은 것이 바람직하다. 동시에, 채널에 산화물 반도체를 사용한 트랜지스터의 게이트 절연막으로서 산화 질화 실리콘막을 사용한 경우, 산화 질화 실리콘막의 과잉 산소 원자를 산화물 반도체막에 더 효과적으로 공급하는 것은, 신뢰성을 향상시키는 데 중요하다.
- [0101] 과잉 산소 원자의 양을 증가시키기 위하여, 본 실시형태에서는, 산화 질화 실리콘막의 형성 후, 산화 질화 실리콘막에 대하여 산소 플라즈마 처리를 수행한다. 상기 산소 플라즈마 처리는 기판 온도 350°C 이하, 바람직하게는 250°C 이하에서 수행된다. 산화 질화 실리콘막의 과잉 산소 원자의 양을 증가시키기 위해서는, 상기 막의 형성 시의 기판 온도를 낮게 한다.
- [0102] 또한 산화 질화 실리콘막에 수행되는 산소 플라즈마 처리의 조건을 변경함으로써, 산화물 반도체막에 더 많은 산소를 공급할 수 있다; 이러한 경우의 예를 아래에서 설명한다. 도 37은, 아래에서 설명하는 시료를 TDS에 의하여 분석하였을 때의, 산소 분자에 상당하는 질량 전하비 $M/z=32$ 의 가스 방출량의 측정 결과를 나타낸 것이다. 각 시료에 대하여, 무알칼리 유리 기판 위에 두께 100nm의 산화 질화 실리콘막을 형성하고, 그 다음에 산화 질화 실리콘막에 대하여 산소 플라즈마 처리를 수행하였다. TDS 분석에서의 산소 분자의 방출량은, 기판 온도 범위 80°C 내지 450°C의 데이터를 사용하여 알아내었다. 산소 플라즈마 처리에 사용되는 가스는 산소뿐이었다. 산화 질화 실리콘막은 기판 온도 350°C에서 플라즈마 CVD법에 의하여 SiH_4 가스 및 N_2O 가스를 사용하여 형성되었다. 산소 플라즈마 처리 시의 기판 온도는 350°C이었다.
- [0103] 도 37은, 40Pa 내지 250Pa의 범위에서, 산소 플라즈마 처리 시의 압력이 작을수록 또는 방전 전력이 클수록, 산화 질화 실리콘막으로부터의 산소 분자로서 더 많은 과잉 산소 원자가 방출되는 것을 명시한 것이다.
- [0104] 도 38의 (A) 내지 (C)는, 아래에서 설명하는 시료를 TDS에 의하여 분석하였을 때의, 물 분자에 상당하는 질량 전하비 $M/z=18$ 의 가스 방출량의 측정 결과를 나타낸 것이다. 도 38의 (A)는 시료(221)의 결과를 나타낸 것이고, 도 38의 (B)는 시료(222)의 결과를 나타낸 것이고, 도 38의 (C)는 시료(223)의 결과를 나타낸 것이다.

각 시료에 대하여, 무알칼리 유리 기판 위에 두께 100nm의 IGZO막을 형성하고, 그 다음에 두께 100nm의 산화 질화 실리콘막을 형성하였다. 산화 질화 실리콘막은 기판 온도 350℃에서 플라즈마 CVD법에 의하여 SiH_4 가스 및 N_2O 가스를 사용하여 형성되었다. 그 후, 산화 질화 실리콘막에 대하여, 시료(222)에는 방전 전력 500W로, 시료(223)에는 방전 전력 3000W로 산소 플라즈마 처리를 수행하였다. 세로축은 방출량을 나타낸 신호의 강도를 나타낸 것이다.

- [0105] TDS 분석의 각 시료에서의 IGZO막은, 산소를 타겟으로서 사용한 스퍼터링에 의하여 형성되었다. 타겟에서의 인듐 대 갈륨 대 아연의 원자수비는 4:2:4.1이었다. IGZO막의 형성 시, 기판 온도를 130℃, 가스 유량비를 $\text{Ar}:\text{O}_2=9:1$, 및 압력을 0.6Pa로 하였다.
- [0106] 도 38의 (A) 내지 (C)에서의 결과는, 시료(221)가 120℃ 부근에서 가장 다량의 물 분자를 방출하는 것을 나타내고, 그 뒤에 시료(222)가 이어진다. 시료(223)는, 120℃ 부근에서 소량의 물 분자를 방출한다. 이 요인 중 하나로서, 산화 질화 실리콘막에 수행된 산소 플라즈마 처리가, 표면 흡착수를 저감시킨 것이 생각된다.
- [0107] 도 39의 (A) 및 (B)는, SIMS(secondary ion mass spectrometry)에 의하여 얻어진 시료(221), 시료(222), 및 시료(223)에서의 수소 농도의 측정 결과를 각각 나타낸 것이다. SIMS에서 프로파일은, 기판 측으로부터 산화 질화 실리콘막 표면을 향하여 측정되었다. 화살표(220)는 프로파일 측정의 방향을 나타낸다. 도 39의 (A) 내지 (D)는 산화 질화 실리콘막에서의 프로파일(216), IGZO막에서의 프로파일(217), 및 기판에서의 프로파일(218)을 나타낸 것이다.
- [0108] 도 39의 (A)는 산소 플라즈마 처리의 몇 가지의 방전 전력에 의하여 얻어진 산화 질화 실리콘막의 수소 농도의 SIMS 결과를 나타낸 것이다. 도 39의 (B)는 비슷한 식으로 얻어진 IGZO막에서의 수소 농도의 SIMS 결과를 나타낸 것이다. 시료(221)는 산소 플라즈마 처리 없이 제작되고, 시료(222)는 방전 전력 500W의 산소 플라즈마 처리에 의하여 제작되고, 시료(223)는 방전 전력 3000W의 산소 플라즈마 처리에 의하여 제작되었다.
- [0109] 도 39의 (A) 내지 (D)의 각 그래프에서의 가로축은 막 표면에 수직인 깊이 방향을 나타낸다. 또한 가로축의 0nm는, SIMS 측정에 사용되는 편의상의 위치를 나타내고, 영역(225)은 산화 질화 실리콘막의 표면 부근의 위치에서 얻어진 결과에 상당한다. 도 39의 (A)에서, 영역(225)에서의 수소 농도는, 산소 플라즈마 처리 없이 얻어진 시료(221)에서보다 산소 플라즈마 처리에 의하여 얻어진 시료(222) 및 시료(223)에서보다 더 낮다. 상술한 결과로부터, 산화 질화 실리콘막에 수행된 산소 플라즈마 처리가 표면 흡착수를 저감시켰다고 생각되기 때문에, 도 38의 (A) 내지 (C)에서, 120℃ 부근에서의 물 분자의 방출량에 서로 차이가 난 것으로 시사된다.
- [0110] 도 39의 (B)에서 수소 농도는, 산소 플라즈마 처리가 수행된 IGZO막에서 저감된다. 방전 전력이 클수록, IGZO막의 수소 농도가 더 저감된다. 산화 질화 실리콘막에 수행된 산소 플라즈마 처리는, 산화 질화 실리콘막 표면 뿐만 아니라, IGZO막, 즉 산화물 반도체막에서의 수소 농도의 저감에도 효과적이다.
- [0111] 도 39의 (C) 및 (D)는, SIMS에 의하여 얻어진 시료(226), 시료(227), 및 시료(228)에서의 수소 농도의 측정 결과를 각각 나타낸 것이다. 시료(226)는 산화 질화 실리콘막에 산소 플라즈마 처리가 수행되지 않은 시료, 즉 시료(221)와 같은 조건하에서 제작된 시료이다. 시료(227)는 가스 압력 200Pa의 챔버에서 산소 플라즈마 처리가 수행되는 것 이외는, 시료(226)의 제작 공정을 거쳐 제작된 시료이다. 시료(228)는 가스 압력 40Pa의 챔버에서 산소 플라즈마 처리가 수행되는 것 이외는, 시료(226)의 제작 공정을 거쳐 제작된 시료이다. 도 39의 (C)는 산화 질화 실리콘막에서의 수소 농도를 정량화한 측정 결과를 나타낸 것이고, 도 39의 (D)는 IGZO막에서의 수소 농도를 정량화한 측정 결과를 나타낸 것이다. 산소 플라즈마 처리 시의 챔버에서의 가스 압력의 범위는 40Pa 내지 200Pa이고, 압력이 낮아질수록 산화물 반도체막에서의 수소 농도를 저감시킬 수 있다.
- [0112] 도 40의 (A) 내지 (I)는, 아래에서 설명하는 시료를 TDS에 의하여 분석하였을 때의, 산소 분자에 상당하는 질량 전하비 $M/z=32$ 의 가스 방출량의 측정 결과를 나타낸 것이다. 각 시료에 대하여, 무알칼리 유리 기판 위에 두께 100nm의 IGZO막을 형성하고, 그 다음에 두께 100nm의 산화 질화 실리콘막을 형성하였다. 산화 질화 실리콘막은 기판 온도 350℃에서 플라즈마 CVD법에 의하여 SiH_4 가스 및 N_2O 가스를 사용하여 형성되었다. 또한 산소 플라즈마 처리는 방전 전력 3000W로 하고, 가스 압력 200Pa의 챔버에서 수행되었다.
- [0113] 산소 플라즈마 처리는, TDS 분석에 사용되는 시료에 대하여 상이한 기간 수행된다. 도 40의 (A)에는 30초의 경우의 결과를 나타내고, 도 40의 (B)에는 60초의 경우의 결과를 나타내고, 도 40의 (C)에는 100초의 경우의 결과를 나타내고, 도 40의 (D)에는 300초의 경우의 결과를 나타내고, 도 40의 (E)에는 600초의 경우의 결과를 나타내었다. 이들은 기판 온도 220℃에서 산소 플라즈마 처리를 수행함으로써 얻어진 결과이다. 도 40의 (F)에는

30초의 경우의 결과를 나타내고, 도 40의 (G)에는 60초의 경우의 결과를 나타내고, 도 40의 (H)에는 100초의 경우의 결과를 나타내고, 도 40의 (I)에는 300초의 경우의 결과를 도시하였다. 이들은 기판 온도 350℃에서 산소 플라즈마 처리를 수행함으로써 얻어진 결과이다.

- [0114] 도 40의 (A) 내지 (I)는, 산화 질화 실리콘막에 대한 산소 플라즈마 처리의 시간이 길수록 산소의 방출량이 많아지는 것을 나타내었다. 도 40의 (A) 내지 (I)는 산소 플라즈마 처리 시의 기판 온도가 낮을수록 산소의 방출량이 많아지는 것도 나타내었다.
- [0115] 도 41은, 가로축에 산소 플라즈마 처리의 시간을 나타내고 세로축에 산소의 방출량을 나타낸 도 40의 (A) 내지 (I)에 나타내어진 산소의 방출량을 나타낸 것이다. 파선(破線)(231)은, 기판 온도 220℃에서 산소 플라즈마 처리를 수행함으로써 얻어진 도 40의 (A) 내지 (E)에서의 결과로부터 얻어진 값을 나타낸다. 실선(232)은, 기판 온도 350℃에서 산소 플라즈마 처리를 수행함으로써 얻어진 도 40의 (F) 내지 (I)에서의 결과로부터 얻어진 값을 나타낸다. 기판 온도 350℃에서 산소 플라즈마 처리를 수행하는 경우, 산소 플라즈마 처리를 길게 하면, 2×10^{14} molecules/cm² 미만에서 산소의 방출량이 포화된다. 반면, 기판 온도 220℃에서 산소 플라즈마 처리를 수행하는 경우, 산소 플라즈마 처리를 길게 하여도, 적어도 1.2×10^{15} molecules/cm² 미만에서는 포화되지 않는다. 따라서 산소의 방출량을 증가시키기 위해서는, 기판 온도 350℃보다 기판 온도 220℃에서 산소 플라즈마 처리를 수행하는 것이 더 바람직하다.
- [0116] 도 42의 (A) 및 (B)는, 시료를 TDS에 의하여 분석하였을 때의, 산소 분자에 상당하는 질량 전하비 $M/z=32$ 의 가스 방출량을 나타낸 것이다. 각 시료에 대하여, 무알칼리 유리 기판 위에 두께 100nm의 산화 질화 실리콘막을 형성하고, 그 다음에 산화 질화 실리콘막에 대하여 산소 플라즈마 처리를 수행하였다. 산화 질화 실리콘막은 플라즈마 CVD법에 의하여 SiH₄ 가스 및 N₂O 가스를 사용하여 형성되었다. 도 42의 (A)는 산화 질화 실리콘막이 350℃에서 형성된 경우의 결과를 도시한 것이다. 측정 온도 범위가 80℃ 내지 450℃에서의 전체의 산소 방출량은 5.17×10^{14} molecules/cm²이다. 도 42의 (B)는 산화 질화 실리콘막이 220℃에서 형성된 경우의 결과를 나타낸 것이다. 측정 온도 범위가 80℃ 내지 450℃에서의 전체의 산소 방출량은 1.47×10^{15} molecules/cm²이다.
- [0117] 도 42의 (A) 및 (B)에서의 결과가 서로 상이해지는 요인들 중 하나는, 이하와 같다. 저온(즉 220℃)에서 형성되는 산화 질화 실리콘막은 낮은 막 밀도를 갖고 많은 결손을 포함한다. 과잉 산소가 결손에 첨가될 수 있기 때문에, 산화 질화 실리콘막은 더 다량의 과잉 산소를 흡수 또는 공급할 가능성을 갖는다.
- [0118] 상술한 바와 같이, 산화물 반도체막에 대하여 산화 질화 실리콘막으로부터 과잉 산소를 공급하기 위해서는, 낮은 기판 온도(350℃ 이하의 저온, 예를 들어 220℃)에서 산화 질화 실리콘막에 대하여 산소 플라즈마 처리를 수행하는 것, 방전 전력을 높이는 것, 방전 동안 체임버 내의 압력을 저감시키는 것, 산소 플라즈마 처리의 시간을 길게 하는 것, 또는 산화 질화 실리콘막의 형성 온도를 낮게 하는 것이 효과적이다. 과잉 산소 공급원이 되도록 산화 질화 실리콘막이 형성되기만 하면, 산화 질화 실리콘막의 두께를 증가시키는 것도 효과적이다.
- [0119] 그러나, 산화 질화 실리콘막이 플라즈마 CVD법에 의하여 산화물 반도체막 위에 형성될 때, 형성 조건에 따라서는 산화물 반도체막의 전기 저항이 저감될 수 있다. 도 43의 (A) 및 (B)는 시료에서의 IGZO막의 전기 저항을 나타낸 것이다. 각 시료에는, 두께 50nm의 IGZO막이 석영 유리 기판 위에 형성되고, 그 위에 산화 질화 실리콘막이 형성되었다. 각 시료에 대해서는, 1cm의 변을 갖는 정사각형의 기판으로 하고, 산화 질화 실리콘막의 2mm 각 영역을 네 모서리에서 제거하고, IGZO막에 전기적으로 접속된 2mm각의 전극을 형성하였다. 이들 전극은 단자로서 사용되고, 인접한 전극간의 전기 저항(단위: Ω)을 측정하였다.
- [0120] 산화 질화 실리콘막은 플라즈마 CVD법에 의하여 SiH₄ 가스 및 N₂O 가스를 사용하여 형성되었다. 산화 질화 실리콘막의 두께는 0nm(즉 막이 형성되지 않았음)에서 60nm까지 다양함이 있었다. 도 43의 (A)에 나타낸 결과의 각 시료에서, 산화 질화 실리콘막은 기판 온도 350℃에서 형성되었다. 도 43의 (B)에 나타낸 결과의 각 시료에서, 산화 질화 실리콘막은 기판 온도 220℃에서 형성되었다. 도 43의 (A) 및 (B) 각각에서의 파선(235)은, 산화 질화 실리콘막의 형성 전에서의 IGZO막의 전기 저항을 나타낸다.
- [0121] 산화 질화 실리콘막이 플라즈마 CVD법에 의하여 형성될 때, 체임버 내의 수소 플라즈마 분위기에 기인한 수소가 IGZO막으로 확산될 수 있어 산소 결손과 수소 등이 서로 결합됨으로써, 산화 질화 실리콘막의 전기 저항이 저하되는 결과가 될 수 있다. 산화 질화 실리콘막의 전기 저항의 저하는, 도 43의 (B)에 나타낸 기판 온도 220℃에서보다 도 43의 (A)에 나타낸 기판 온도 350℃에서 더 크게 일어난다. 이것은 기판 온도가 높아질수록, IGZO막

으로 수소가 확산되고 산소 결손과 수소 등 사이의 결합이 향상되기 때문이라고 생각된다. 이 관점에서 보면, 산화 질화 실리콘막이 플라즈마 CVD법에 의하여 형성될 때의 기판 온도는 낮은 것이 바람직하다.

- [0122] 본 발명자들은, 산소 플라즈마 처리의 효과를 보여주기 위하여, 산화물 반도체막 및 산소 플라즈마 처리를 수행한 산화 질화 실리콘막을 각각 포함하는 표시 장치를 제작하였다. 상기 표시 장치를 분해하고, 표시 장치로부터 화소 전극을 뽑으로써 얻어진 트랜지스터를 TDS에 의하여 분석하였다. 도 44는 산소 분자에 상당하는 질량 전하비 $M/z=32$ 를 갖는 가스의 방출량의 결과를 나타낸 것이다. 유기 수지는 측정된 각 시료로부터 제거하였다. 시료(241)는 산화 질화 실리콘막의 형성 후에 산소 플라즈마 처리 없이 제작되었다. 시료(242)는 산소 플라즈마 처리를 120초 동안 수행함으로써 얻었다. 시료(243)는 산소 플라즈마 처리를 600초 동안 수행함으로써 얻었다. 상기 표시 장치 각각은 본 발명의 일 형태와 상이한 구조를 갖지만, IGZO막 위에 산화 질화 실리콘막이 제공되고, 산화 질화 실리콘막의 형성 후, 또는 산소 플라즈마 처리 후의 최대 처리 온도는 250℃이었다.
- [0123] 한편, 산화물 반도체막과 산화 질화 실리콘막을 포함하는 게이트 절연막을 갖는, 본 발명의 일 형태와는 상이한 시판의 표시 장치를 분해하여 화소 전극을 제거한 시료(244)를 준비하였다. 도 44에는, TDS에 의하여 시료(244)를 분석함으로써 얻어진 산소 분자에 상당하는 질량 전하비 $M/z=32$ 를 갖는 가스의 방출량의 결과를 나타내었다.
- [0124] 산화 질화 실리콘막에 대하여 산소 플라즈마 처리를 수행하지 않은 시료(241)에서는, TDS 측정 온도 범위 내에서 150℃ 이하의 온도에 최대 피크가 나타난다. 산화 질화 실리콘막에 대하여 산소 플라즈마 처리가 수행된 시료(242) 및 시료(243) 각각에서는, 측정 온도 범위 내에서 150℃ 내지 350℃ 사이의 온도에 최대 피크가 나타난다. 반면, 본 발명의 일 형태와 상이한, 시판의 표시 장치로부터 얻어진 시료에서는, 측정 온도 범위 내에서 350℃ 내지 450℃ 사이의 온도에 최대 피크가 나타난다. 따라서 시판의 표시 장치로부터 얻어지는 시료는, 산화 질화 실리콘막에 대하여 산소 플라즈마 처리가 수행된 각 시료와, 최대 피크가 나타나는 시료 온도에 의하여 구별할 수 있다.
- [0125] 산소 플라즈마 처리가 수행된 산화 질화 실리콘막은, 과잉 산소를 충분히 포함한다. 그러므로, 산소 플라즈마 처리 후의 어떤 공정에서 수행되는 가열 처리에 의하여 산화물 반도체막에 산화 질화 실리콘막으로부터 산소를 공급하고, 반도체 장치 또는 표시 장치가 완성된 후에, 본 발명의 특징인 산소 플라즈마 처리가 수행된 산화 질화 실리콘막을 TDS에 의하여 분석하여도, 산소 분자에 상당하는 질량 전하비 $M/z=32$ 인 가스의 방출량에서 150℃ 내지 350℃ 사이의 온도에 가장 높은 피크가 나타난다. 상술한 온도 범위에서 가열 처리가 수행되면, 완성된 반도체 장치 또는 표시 장치에 포함되는 트랜지스터의 산화물 반도체막의 도전율이 저하된다.
- [0126] 트랜지스터의 제작 공정에서, 산화 질화 실리콘막에 산소 플라즈마 처리를 수행한 다음, 가열 처리를 150℃ 이상, 바람직하게는 200℃ 이상, 더 바람직하게는 250℃ 이상의 온도에서 수행함으로써, 산화물 반도체막에 산소를 공급할 수 있다. 가열 처리가 450℃ 이상에서 수행되면, 분위기에 따라서는 산화물 반도체막에서의 산소가 수소와 결합되어 물을 방출하기 때문에, 가열 처리는 450℃ 이하의 온도에서 수행하는 것이 바람직하다. 또한 금속 재료를 포함하는 막이 형성되는 경우, 막이 산화물 반도체막에서의 산소를 흡수하기 때문에, 이러한 경우에서도 가열 처리 온도의 상한(上限)을 적절하게 설정한다.
- [0127] 절연막(110)은, 산화 질화 실리콘막의 단층 구조 대신에 플라즈마 화학 기상 퇴적법, 스퍼터링법 등에 의하여 형성된 절연층의 2층 또는 3층 이상의 적층 구조를 가져도 좋다. 절연층은 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 이트륨막, 산화 지르코늄막, 산화 갈륨막, 산화 탄탈럼막, 산화 마그네슘막, 산화 란타넘막, 산화 세륨막, 및 산화 네오디뮴막 중 하나 이상을 포함한다.
- [0128] 트랜지스터(100)의 채널 영역으로서 기능하는 산화물 반도체막(108)과 접하는 절연막(110)은 산화물 절연막인 것이 바람직하고 화학량론적 조성을 초과하여 산소를 포함하는 영역(산소 과잉 영역)을 포함하는 것이 바람직하다. 바꿔 말하면, 절연막(110)은 산소를 방출할 수 있는 절연막이다. 절연막(110)에 과잉 산소 영역을 제공하기 위해서는, 예를 들어 산소 분위기에서 절연막(110)을 형성하거나 또는 퇴적된 절연막(110)에 대하여 산소 분위기에서 가열 처리를 수행한다.
- [0129] 절연막(110)에 산화 하프늄을 포함하는 적층 구조를 사용하는 경우, 다음 효과가 얻어진다. 산화 하프늄은 산화 실리콘 및 산화 질화 실리콘보다 유전율이 높다. 그러므로 산화 하프늄을 사용함으로써, 산화 실리콘을 사용하는 경우에 비하여 절연막(110)의 두께를 두껍게 할 수 있으므로, 터널 전류로 인한 누설 전류를 낮게 할 수 있다. 즉, 오프 상태 전류가 낮은 트랜지스터를 제공할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정

질 구조를 갖는 산화 하프늄보다 유전율이 높다. 따라서, 오프 상태 전류가 낮은 트랜지스터를 얻기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예에는 단사정 구조 및 입방정 구조가 포함된다. 또한, 본 발명의 일 형태는 상술한 예에 한정되지 않는다.

- [0130] 절연막(110)은 결합이 적고, 대표적으로는 전자 스핀 공명(ESR(electron spin resonance)) 분광법에 의하여 관찰되는 신호가 가능한 한 적은 것이 바람직하다. 상기 신호의 예에는 g인자가 2.001에서 관찰되는 E' 센터에 기인한 신호가 포함된다. 또한, E' 센터는 실리콘의 덩글링 본드에 기인한다. 절연막(110)으로서는, E' 센터에 기인한 신호의 스핀 밀도가 3×10^{17} spins/cm³ 이하이고, 바람직하게는 5×10^{16} spins/cm³ 이하인 산화 실리콘막 또는 산화 질화 실리콘막이 사용되어도 좋다.
- [0131] 상술한 신호에 더하여, 이산화 질소(NO₂)에 기인하는 신호가 절연막(110)에서 관찰되는 경우가 있다. 상기 신호는 N의 핵 스핀에 따라 제 1 신호, 제 2 신호, 및 제 3 신호의 3개의 신호로 나누어진다. 제 1 신호는 g인자가 2.037 이상 2.039 이하에서 관찰된다. 제 2 신호는 g인자가 2.001 이상 2.003 이하에서 관찰된다. 제 3 신호는 g인자가 1.964 이상 1.966 이하에서 관찰된다.
- [0132] 예를 들어, 절연막(110)으로서는, 이산화 질소(NO₂)에 기인한 신호의 스핀 밀도가 1×10^{17} spins/cm³ 이상 1×10^{18} spins/cm³ 미만인 절연막을 사용하는 것이 적합하다.
- [0133] 또한, 이산화 질소(NO₂) 등의 질소 산화물(NO_x)은 절연막(110)에 준위를 형성한다. 이 준위는 산화물 반도체막(108)의 에너지 갭에 위치한다. 따라서, 질소 산화물(NO_x)이 절연막(110)과 산화물 반도체막(108)의 계면으로 확산되면, 절연막(110) 측에서 전자가 상기 준위에 의하여 트랩될 수 있다. 그 결과, 트랩된 전자가 절연막(110)과 산화물 반도체막(108)의 계면 근방에 남아서, 트랜지스터의 문턱 전압이 양의 방향으로 시프트된다. 따라서 절연막(110)으로서 질소 산화물의 함유량이 적은 막을 사용하면, 트랜지스터의 문턱 전압의 시프트를 저감시킬 수 있다.
- [0134] 소량의 질소 산화물(NO_x)을 방출하는 절연막으로서는, 예를 들어, 산화 질화 실리콘막을 사용할 수 있다. 산화 질화 실리콘막은 TDS 분석에서 질소 산화물(NO_x)보다 암모니아를 더 방출하고, 암모니아의 방출량은, 대표적으로 1×10^{18} molecules/cm³ 이상 5×10^{19} molecules/cm³ 이하이다. 또한, 상기 암모니아의 방출량은, TDS 분석에 있어서 50℃ 내지 650℃, 또는 50℃ 내지 550℃의 범위에서 가열 처리함으로써 방출되는 암모니아의 전체량이다.
- [0135] 질소 산화물(NO_x)은 가열 처리에서 암모니아 및 산소와 반응하기 때문에, 다량의 암모니아를 방출하는 절연막을 사용함으로써 질소 산화물(NO_x)이 저감된다.
- [0136] 또한 절연막(110)이 SIMS에 의하여 분석되는 경우, 막에서의 질소 농도는 6×10^{20} atoms/cm³ 이하인 것이 바람직하다.
- [0137] [산화물 반도체막]
- [0138] 산화물 반도체막(108)은 상술한 재료를 사용하여 형성될 수 있다.
- [0139] 산화물 반도체막(108)이 In-M-Zn 산화물을 포함하는 경우, In-M-Zn 산화물의 형성에 사용되는 스퍼터링 타겟의 금속 원소의 원자수비가 In≥M을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타겟에서의 금속 원소의 원자수비는 예를 들어 In:M:Zn=2:1:3, In:M:Zn=3:1:2, 또는 In:M:Zn=4:2:4.1이다.
- [0140] 산화물 반도체막(108)을 In-M-Zn 산화물로 형성하는 경우, 스퍼터링 타겟으로서 다결정 In-M-Zn 산화물을 포함하는 타겟을 사용하는 것이 바람직하다. 다결정 In-M-Zn 산화물을 포함하는 타겟을 사용하면 결정성을 갖는 산화물 반도체막(108)의 형성이 용이해진다. 또한, 형성된 산화물 반도체막(108) 내의 금속 원소의 원자수비는, 상술한 스퍼터링 타겟의 금속 원소의 원자수비로부터 ±40%의 범위 내에서 변동된다. 예를 들어, In 대 Ga 대 Zn의 원자수비가 4:2:4.1인 스퍼터링 타겟을 사용하는 경우, 형성되는 산화물 반도체막(108)에서의 In 대 Ga 대 Zn의 원자수비는 4:2:3 또는 4:2:3 부근이 될 수 있다.
- [0141] 산화물 반도체막(108)의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상이다. 이러한 넓은 에너지 갭을 갖는 산화물 반도체를 사용함으로써, 트랜지스터(100)의 오프 상태 전류를 저감할 수 있다.

- [0142] 산화물 반도체막(108)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.
- [0143] 또한 산화물 반도체막(108)은 비단결정 구조를 가져도 좋다. 비단결정 구조의 예에는, 후술하는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 구조, 미결정(microcrystalline) 구조, 및 비정질 구조를 포함한다.
- [0144] [제 3 절연막]
- [0145] 절연막(116)은 질소 또는 수소를 포함한다. 절연막(116)으로서는 예를 들어 질화물 절연막이 사용될 수 있다. 구체적으로, 질화 실리콘, 질화 산화 실리콘, 또는 산화 질화 실리콘 등을 포함하는 막이 질화물 절연막으로서 사용될 수 있다. 절연막(116)의 수소 농도는 1×10^{22} atoms/cm³ 이상인 것이 바람직하다. 절연막(116)은 산화물 반도체막(108)의 제 2 영역(108n)과 접한다. 따라서, 절연막(116)과 접하는 제 2 영역(108n)의 불순물(질소 또는 수소)의 농도가 높아져, 제 2 영역(108n)의 캐리어 밀도의 증가로 이어진다.
- [0146] [제 4 절연막]
- [0147] 절연막(118)으로서는, 산화물 절연막이 사용될 수 있다. 또는 산화물 절연막과 질화물 절연막의 적층막을 절연막(118)으로서 사용할 수 있다. 절연막(118)은 예를 들어 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 haf늄, 산화 갈륨, 또는 Ga-Zn 산화물을 사용하여 형성할 수 있다.
- [0148] 또한 절연막(118)은 외부로부터의 수소 및 물 등에 대한 배리어막으로서 기능하는 것이 바람직하다.
- [0149] 절연막(118)의 두께는 30nm 이상 500nm 이하, 또는 100nm 이상 400nm 이하로 할 수 있다.
- [0150] <1-3. 트랜지스터의 구조에 2>
- [0151] 다음에, 도 1의 (A) 내지 (C)와 상이한 트랜지스터의 구조에 대하여 도 2의 (A) 내지 (C)를 참조하여 설명한다.
- [0152] 도 2의 (A)는 트랜지스터(100A)의 상면도이다. 도 2의 (B)는 도 2의 (A)에서의 일점쇄선 X1-X2를 따르는 단면도이다. 도 2의 (C)는 도 2의 (A)에서의 인점쇄선 Y1-Y2를 따르는 단면도이다.
- [0153] 도 2의 (A) 내지 (C)에 도시된 트랜지스터(100A)는 기판(102) 위의 도전막(106), 도전막(106) 위의 절연막(104), 절연막(104) 위의 산화물 반도체막(108), 산화물 반도체막(108) 위의 절연막(110), 절연막(110) 위의 도전막(112), 및 절연막(104), 산화물 반도체막(108), 및 도전막(112) 위의 절연막(116)을 포함한다.
- [0154] 트랜지스터(100A)는 상술한 트랜지스터(100)의 구성 요소에 더하여, 도전막(106) 및 개구(143)를 포함한다.
- [0155] 또한 개구(143)는 절연막(104 및 110)에 제공된다. 도전막(106)은 개구(143)를 통하여 도전막(112)에 전기적으로 접속된다. 그러므로 도전막(106) 및 도전막(112)에 같은 전위가 인가된다. 또한 개구(143)를 제공하지 않고 도전막(106) 및 도전막(112)에 대하여 상이한 전위가 인가되어도 좋다. 또는, 개구(143)를 제공하지 않고 도전막(106)을 차광막으로서 사용하여도 좋다. 예를 들어 도전막(106)이 광 차단 재료를 사용하여 형성되는 경우, 하면으로부터 제 1 영역(108i)에 조사되는 광을 저감시킬 수 있다.
- [0156] 트랜지스터(100A)의 구조의 경우, 도전막(106)은 제 1 게이트 전극(보통 게이트 전극이라고도 함)으로서 기능하고, 도전막(112)은 제 2 게이트 전극(툽 게이트 전극이라고도 함)으로서 기능하고, 절연막(104)은 제 1 게이트 절연막으로서 기능하고, 절연막(110)은 제 2 게이트 절연막으로서 기능한다.
- [0157] 도전막(106)은 상술한 도전막(112, 120a, 및 120b)과 같은 재료를 사용하여 형성될 수 있다. 전기적 저항을 저하시킬 수 있기 때문에, 도전막(106)으로서 구리를 포함하는 재료를 사용하는 것이 바람직하다. 예를 들어 도전막(106, 120a, 및 120b)은 각각 질화 타이타늄막, 질화 탄탈륨막, 또는 텅스텐막 위에 구리막이 있는 적층 구조를 갖는 것이 바람직하다. 이 경우, 트랜지스터(100A)를 표시 장치의 화소 트랜지스터 및/또는 구동 트랜지스터를 사용함으로써 도전막(106)과 도전막(120a) 사이에 생기는 기생 용량 및 도전막(106)과 도전막(120b) 사이에 생기는 기생 용량을 저감시킬 수 있다. 따라서, 도전막(106, 120a, 및 120b)은 트랜지스터(100A)의 제 1 게이트 전극, 소스 전극, 및 드레인 전극뿐만 아니라, 표시 장치의 전원 공급 배선, 신호 공급 배선, 또는 접속 배선 등으로서 사용할 수도 있다.
- [0158] 이러한 식으로, 상술한 트랜지스터(100)와 달리, 도 2의 (A) 내지 (C)의 트랜지스터(100A)는 산화물 반도체막(108) 상하에 게이트 전극으로서 기능하는 도전막이 제공되는 구조를 갖는다. 트랜지스터(100A)에서와 같이,

본 발명의 일 형태의 반도체 장치는 복수의 게이트 전극을 가져도 좋다.

- [0159] 도 2의 (B) 및 (C)에 도시된 바와 같이, 산화물 반도체막(108)은 제 1 게이트 전극으로서 기능하는 도전막(106) 및 제 2 게이트 전극으로서 기능하는 도전막(112)과 대향하고, 게이트 전극으로서 기능하는 상기 2개의 도전막 사이에 위치한다.
- [0160] 또한, 도전막(112)의 채널 폭 방향의 길이는 산화물 반도체막(108)의 채널 폭 방향의 길이보다 길다. 채널 폭 방향에서는, 산화물 반도체막(108) 전체가 절연막(110)을 개재(介在)하여 도전막(112)으로 덮인다. 절연막(104 및 110)에 제공된 개구(143)를 통하여 도전막(112)이 도전막(106)과 접촉되기 때문에, 산화물 반도체막(108)의 채널 폭 방향의 측면은 절연막(110)을 개재하여 도전막(112)과 대향한다.
- [0161] 바꿔 말하면 도전막(106) 및 도전막(112)은, 절연막(104 및 110)에 제공된 개구(143)를 통하여 접촉되고, 산화물 반도체막(108)의 단부 외측에 위치하는 영역을 각각 포함한다.
- [0162] 이러한 구조에 의하여, 트랜지스터(100A)에 포함되는 산화물 반도체막(108)을, 제 1 게이트 전극으로서 기능하는 도전막(106) 및 제 2 게이트 전극으로서 기능하는 도전막(112)의 전계로 전기적으로 둘러쌀 수 있다. 트랜지스터(100A)와 같이, 채널 영역이 형성되는 산화물 반도체막(108)을 제 1 게이트 전극 및 제 2 게이트 전극의 전계로 전기적으로 둘러싸는 트랜지스터의 디바이스 구조를 S-channel(surrounded channel) 구조라고 할 수 있다.
- [0163] 트랜지스터(100A)는 S-channel 구조를 갖기 때문에, 채널을 유발시키기 위한 전계를, 도전막(106) 또는 도전막(112)에 의하여 산화물 반도체막(108)에 효과적으로 인가할 수 있어, 트랜지스터(100A)의 전류 구동 능력을 향상시킬 수 있고, 높은 온 상태 전류 특성을 얻을 수 있다. 높은 온 상태 전류의 결과로서, 트랜지스터(100A)의 크기를 줄일 수 있다. 또한 트랜지스터(100A)는, 산화물 반도체막(108)이 도전막(106)과 도전막(112)에 의하여 둘러싸인 구조를 갖기 때문에, 트랜지스터(100A)의 기계적 강도를 높일 수 있다.
- [0164] 트랜지스터(100A)의 채널 폭 방향에서 보았을 때, 개구(143)가 형성되지 않은 산화물 반도체막(108) 측에 개구(143)와 상이한 개구를 형성하여도 좋다.
- [0165] 트랜지스터(100A)에서와 같이, 반도체막을 개재하는 한 쌍의 게이트 전극을 트랜지스터가 갖는 경우, 한쪽 게이트 전극에는 신호 A가 공급되고, 다른 쪽 게이트 전극에는 고정 전위(V_b)가 공급되어도 좋다. 또는, 한쪽 게이트 전극에 신호 A가 공급되고, 다른 쪽 게이트 전극에 신호 B가 공급되어도 좋다. 또는, 한쪽 게이트 전극에 고정 전위(V_b)가 공급되고, 다른 쪽 게이트 전극에 고정 전위(V_b)가 공급되어도 좋다.
- [0166] 신호 A는 예를 들어 온/오프 상태를 제어하는 신호이다. 신호 A는 2종류의 전위(전위(V1) 및 전위(V2)($V1 > V2$))를 갖는 디지털 신호이어도 좋다. 예를 들어 전위(V1)를 고전원 전위로 할 수 있고, 전위(V2)를 저전원 전위로 할 수 있다. 신호 A는 아날로그 신호이어도 좋다.
- [0167] 고정 전위(V_b)는 예를 들어 트랜지스터의 문턱 전압(V_{thA})을 제어하는 전위이다. 고정 전위(V_b)는 전위(V1) 또는 전위(V2)이어도 좋다. 이 경우, 고정 전위(V_b)를 생성하기 위한 전위 발생 회로가 필요 없으므로 바람직하다. 고정 전위(V_b)는 전위(V1) 또는 전위(V2)와 상이하여도 좋다. 고정 전위(V_b)가 낮으면, 문턱 전압(V_{thA})을 높게 할 수 있는 경우가 있다. 그 결과, 게이트-소스 전압(V_{gs})이 0V일 때에 흐르는 드레인 전류를 저감시킬 수 있고, 트랜지스터를 포함하는 회로의 누설 전류를 저감시킬 수 있는 경우가 있다. 고정 전위(V_b)는 예를 들어 저전원 전위보다 낮게 하여도 좋다. 한편, 높은 고정 전위(V_b)에 의하여, 문턱 전압(V_{thA})을 낮게 할 수 있는 경우가 있다. 그 결과, 게이트-소스 전압(V_{gs})이 고전원 전위일 때 흐르는 드레인 전류를 증가시키고, 트랜지스터를 포함하는 회로의 동작 속도를 상승시킬 수 있는 경우가 있다. 고정 전위(V_b)는 예를 들어 저전원 전위보다 높게 하여도 좋다.
- [0168] 신호 B는 예를 들어 온/오프 상태를 제어하는 신호이다. 신호 B는 전위(V3) 및 전위(V4)($V3 > V4$)의 2종류의 전위를 갖는 디지털 신호이어도 좋다. 예를 들어 전위(V3)를 고전원 전위로 할 수 있고, 전위(V4)를 저전원 전위로 할 수 있다. 신호 B는 아날로그 신호이어도 좋다.
- [0169] 신호 A 및 신호 B가 둘 다 디지털 신호인 경우, 신호 B는 신호 A와 같은 디지털 값을 가져도 좋다. 이 경우, 트랜지스터의 온 상태 전류 및 트랜지스터를 포함하는 회로의 동작 속도를 높일 수 있는 경우가 있다. 여기서,

신호 A의 전위(V1) 및 전위(V2)는 신호 B의 전위(V3) 및 전위(V4)와 달라도 좋다. 예를 들어, 신호 B가 입력되는 게이트를 위한 게이트 절연막이, 신호 A가 입력되는 게이트를 위한 게이트 절연막보다 두꺼운 경우, 신호 B의 전위 진폭(V3-V4)을 신호 A의 전위 진폭(V1-V2)보다 크게 하여도 좋다. 이러한 식으로, 트랜지스터의 온/오프 상태에 대하여 신호 A가 미치는 영향과 신호 B가 미치는 영향을 실질적으로 같게 할 수 있는 경우가 있다.

[0170] 신호 A 및 신호 B가 둘 다 디지털 신호인 경우, 신호 B는 신호 A와 상이한 디지털 값을 가져도 좋다. 이 경우, 신호 A 및 신호 B에 의하여 트랜지스터를 독립적으로 제어할 수 있으므로, 더 높은 성능을 달성할 수 있다. 예를 들어 n채널 트랜지스터인 트랜지스터는, 신호 A가 전위(V1)를 갖고 신호 B가 전위(V3)를 가질 때만 트랜지스터가 온 상태가 되거나, 또는 신호 A가 전위(V2)를 갖고 신호 B가 전위(V4)를 가질 때만 트랜지스터가 오프 상태가 되는 경우에, 그 트랜지스터 하나로 NAND 회로 또는 NOR 회로 등으로서 기능할 수 있다. 신호 B는 문턱 전압(V_{thA})을 제어하는 신호이어도 좋다. 예를 들어, 트랜지스터를 포함하는 회로가 동작하는 기간의 신호 B의 전위는 이 회로가 동작하지 않는 기간의 신호 B의 전위와 상이하여도 좋다. 신호 B의 전위는 회로의 동작 모드에 따라 변화되어도 좋다. 이 경우, 신호 B의 전위는 신호 A의 전위만큼 빈번하게 변화하지 않는 경우가 있다.

[0171] 신호 A와 신호 B가 둘 다 아날로그 신호인 경우, 신호 B는 신호 A와 같은 전위를 갖는 아날로그 신호이어도 좋고, 신호 A의 전위를 상수배한 전위의 아날로그 신호이어도 좋고, 또는 신호 A의 전위보다 상수만큼 높거나 낮은 전위의 아날로그 신호 등이어도 좋다. 이 경우, 트랜지스터의 온 상태 전류 및 트랜지스터를 포함하는 회로의 동작 속도를 높일 수 있는 경우가 있다. 신호 B는 신호 A와는 상이한 아날로그 신호이어도 좋다. 이 경우, 신호 A 및 신호 B에 의하여 트랜지스터를 독립적으로 제어할 수 있으므로, 더 높은 성능을 달성할 수 있다.

[0172] 신호 A가 디지털 신호이어도 좋고 신호 B가 아날로그 신호이어도 좋다. 또는 신호 A가 아날로그 신호이어도 좋고 신호 B가 디지털 신호이어도 좋다.

[0173] 트랜지스터의 양쪽 게이트 전극에 고정 전위를 공급하는 경우, 트랜지스터는 레지스터와 동등한 소자로서 기능할 수 있는 경우가 있다. 예를 들어, 트랜지스터가 n채널 트랜지스터인 경우, 고정 전위(V_a) 또는 고정 전위(V_b)가 높게(낮게) 되면, 트랜지스터의 실효 저항을 낮게(높게) 할 수 있는 경우가 있다. 고정 전위(V_a)와 고정 전위(V_b)가 둘 다 높으면(낮으면), 게이트를 하나만 갖는 트랜지스터보다 실효 저항을 낮게(높게) 할 수 있는 경우가 있다.

[0174] 트랜지스터(100A)의 다른 구성 요소는 상술한 트랜지스터(100)의 구성 요소와 비슷하고, 비슷한 효과를 갖는다.

[0175] 트랜지스터(100A) 위에 절연막을 더 형성하여도 좋다. 이러한 경우의 예를 도 3의 (A) 및 (B)에 도시하였다. 도 3의 (A) 및 (B)는 트랜지스터(100B)의 단면도이다. 트랜지스터(100B)의 상면도는 도 2의 (A)에서의 트랜지스터(100A)의 상면도와 비슷하기 때문에 도시하지 않았다.

[0176] 도 3의 (A) 및 (B)에 도시된 트랜지스터(100B)는 도전막(120a 및 120b) 및 절연막(118) 위에 절연막(122)을 포함한다. 트랜지스터(100B)의 다른 구성 요소는 트랜지스터(100A)의 구성 요소와 비슷하고, 비슷한 효과를 갖는다.

[0177] 절연막(122)은 트랜지스터 등으로 생긴 요철 등을 덮는 기능을 갖는다. 절연막(122)은 절연성을 갖고, 무기 재료 또는 유기 재료를 사용하여 형성된다. 무기 재료의 예에는 산화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 및 질화 알루미늄막이 포함된다. 유기 재료의 예에는 아크릴 수지 및 폴리이미드 수지 등의 감광성 수지 재료가 포함된다.

[0178] <1-4. 트랜지스터의 구조예 3>

[0179] 다음에, 도 2의 (A) 내지 도 3의 (C)에서의 트랜지스터(100A)와 상이한 트랜지스터의 구조에 대하여 도 4의 (A) 및 (B)를 참조하여 설명한다.

[0180] 도 4의 (A) 및 (B)는 트랜지스터(100C)의 단면도이다. 트랜지스터(100C)의 상면도는 도 2의 (A)에서의 트랜지스터(100A)의 상면도와 비슷하기 때문에 도시하지 않았다.

[0181] 도 4의 (A) 및 (B)에 도시된 트랜지스터(100C)는 도전막(112)의 적층 구조, 도전막(112)의 형상, 및 절연막(110)의 형상이 트랜지스터(100A)와 상이하다.

[0182] 트랜지스터(100C)에서의 도전막(112)은, 절연막(110) 위의 도전막(112_1) 및 도전막(112_1) 위의 도전막(112_2)을 포함한다. 예를 들어 도전막(112_1)으로서 산화물 도전막을 사용함으로써, 절연막(110)에 파인 산소

를 첨가할 수 있다. 산화물 도전막은 산소 가스를 포함한 분위기에서 스퍼터링법에 의하여 형성될 수 있다. 산화물 도전막으로서는 예를 들어, 인듐 및 주석을 포함하는 산화물, 텅스텐 및 인듐을 포함하는 산화물, 텅스텐, 인듐, 및 아연을 포함하는 산화물, 타이타늄 및 인듐을 포함하는 산화물, 타이타늄, 인듐, 및 주석을 포함하는 산화물, 인듐 및 아연을 포함하는 산화물, 실리콘, 인듐, 및 주석을 포함하는 산화물, 또는 인듐, 갈륨, 및 아연을 포함하는 산화물 등을 사용할 수 있다.

[0183] 도 4의 (B)에 도시된 바와 같이, 도전막(112_2)은 개구(143)를 통하여 도전막(106)에 접속된다. 도전막(112_1)이 되는 도전막을 형성한 후에 개구(143)를 형성함으로써, 도 4의 (B)에 도시된 형상을 얻을 수 있다. 산화물 도전막이 도전막(112_1)으로서 사용되는 경우, 도전막(112_2)이 도전막(106)에 접속되는 구조는, 도전막(112)과 도전막(106) 사이의 접속 저항을 저감시킬 수 있다.

[0184] 트랜지스터(100C)에서의 도전막(112)과 절연막(110)은 테이퍼 형상을 갖는다. 더 구체적으로는, 도전막(112)의 하단부(lower edge portion)는 도전막(112)의 상단부(upper edge portion)의 외측에 위치한다. 절연막(110)의 하단부는 절연막(110)의 상단부의 외측에 위치한다. 또한 도전막(112)의 하단부는 절연막(110)의 상단부의 위치와 실질적으로 같은 위치에 형성된다.

[0185] 도전막(112)과 절연막(110)이 직사각형을 갖는 트랜지스터(100A)에 비하여, 도전막(112)과 절연막(110)이 테이퍼 형상을 갖는 트랜지스터(100C)는, 절연막(116)의 피복성이 더 좋기 때문에 바람직하다.

[0186] 트랜지스터(100C)의 다른 구성 요소는 상술한 트랜지스터(100A)의 구성 요소와 비슷하고, 비슷한 효과를 갖는다.

[0187] <1-5. 반도체 장치의 제작 방법>

[0188] 다음에, 도 2의 (A) 내지 (C)에 도시된 트랜지스터(100A)의 제작 방법의 예에 대하여, 도 5의 (A) 내지 (D), 도 6의 (A) 내지 (C), 및 도 7의 (A) 내지 (C)를 참조하여 설명한다. 또한 도 5의 (A) 내지 (D), 도 6의 (A) 내지 (C), 및 도 7의 (A) 내지 (C)는 채널 길이(L) 방향 및 채널 폭(W) 방향에서의 단면도이고, 트랜지스터(100A)의 제작 방법을 도시한 것이다.

[0189] 먼저, 기판(102) 위에 도전막(106)을 형성한다. 다음에, 절연막(104)을 기판(102) 및 도전막(106) 위에 형성하고, 섬 형상의 산화물 반도체막(108i_0)을 절연막(104) 위에 형성한다(도 5의 (A) 참조).

[0190] 도전막(106)은 상술한 재료로부터 선택한 재료를 사용하여 형성될 수 있다. 본 실시형태에서는 도전막(106)으로서, 스퍼터링 장치를 사용하여 두께 50nm의 텅스텐막 및 두께 400nm의 구리막의 적층막을 형성한다.

[0191] 도전막(106)이 되는 도전막의 가공에는, 웨트 에칭법 및/또는 드라이 에칭법을 사용할 수 있다. 본 실시형태에서는, 도전막을 가공하여 도전막(106)으로 할 때, 구리막을 웨트 에칭법에 의하여 에칭한 다음, 텅스텐막을 드라이 에칭법에 의하여 에칭한다.

[0192] 절연막(104)은 스퍼터링법, CVD법, 증착법, 펄스 레이저 퇴적(PLD)법, 인쇄법, 또는 코팅법 등에 의하여 적절히 형성할 수 있다. 본 실시형태에서는, 절연막(104)으로서, 플라즈마 CVD 장치를 사용하여 두께 400nm의 질화 실리콘막 및 두께 50nm의 산화 질화 실리콘막을 형성한다.

[0193] 절연막(104)을 형성한 후에 절연막(104)에 산소를 첨가하여도 좋다. 절연막(104)에 첨가하는 산소로서는 산소 라디칼, 산소 원자, 산소 원자 이온, 또는 산소 분자 이온 등을 사용하여도 좋다. 산소는 이온 도핑법, 이온 주입법, 또는 플라즈마 처리법 등에 의하여 첨가할 수 있다. 또는, 절연막(104) 위에 산소 방출을 억제하는 막을 형성한 다음, 이 막을 통하여 절연막(104)에 산소를 첨가하여도 좋다.

[0194] 산소 방출을 억제하는 막은, 인듐, 아연, 갈륨, 주석, 알루미늄, 크로뮴, 탄탈럼, 타이타늄, 몰리브데넘, 니켈, 철, 코발트, 및 텅스텐 중 하나 이상을 포함하는 도전막 또는 반도체막을 사용하여 형성할 수 있다.

[0195] 마이크로파에 의하여 산소를 여기시켜 고밀도 산소 플라즈마를 발생시키는 플라즈마 처리에 의하여 산소를 첨가하는 경우, 절연막(104)에 첨가되는 산소량을 증가시킬 수 있다.

[0196] 섬 형상의 산화물 반도체막(108i_0)은 예를 들어 단층 구조를 가질 수 있다. 산화물 반도체막(108i_0)이 제 1 산화물 반도체막 및 제 2 산화물 반도체막의 적층 구조를 갖는 것이 바람직하다. 산화물 반도체막(108i_0)이 적층 구조를 갖는 경우, 제 1 산화물 반도체막의 형성에서의 기판 온도 및 산소 유량비 중 한쪽 또는 양쪽이, 제 2 산화물 반도체막의 형성에서의 기판 온도 및 산소 유량비보다 낮은 것이 바람직하다.

- [0197] 구체적으로, 제 1 산화물 반도체막의 형성 조건을 다음과 같이 설정한다: 기판 온도는 실온 이상 150℃ 미만으로 하고, 바람직하게는 100℃ 이상 140℃ 이하로 하고, 산소 유량비는 0%보다 높고 30% 미만으로 한다. 또한 제 2 산화물 반도체막의 형성 조건을 다음과 같이 설정한다: 기판 온도는 150℃ 이상 350℃ 이하로 하고, 바람직하게는 160℃ 이상 200℃ 이하로 하고, 산소 유량비는 30% 이상 100% 이하로 한다.
- [0198] 상술한 형성 조건하에서, 상이한 캐리어 밀도를 갖는 산화물 반도체막을 적층할 수 있다. 또한 계면에서 불순물이 잡히는 것을 방지할 수 있기 때문에, 진공에서 제 1 산화물 반도체막과 제 2 산화물 반도체막을 연속적으로 형성하는 것이 더 바람직하다.
- [0199] 산화물 반도체막(108i_0)을 가열하여 형성하면, 산화물 반도체막(108)의 결정성을 높일 수 있다. 그러나, 기판(102)으로서 대형의 유리 기판(예를 들어, 6세대 내지 10세대)을 사용하고 산화물 반도체막(108)을 200℃ 이상 300℃ 이하의 기판 온도에서 형성한 경우, 기판(102)이 변형될 수 있다(비틀어지거나 또는 휘 수 있다). 대형의 유리 기판을 사용하는 경우에는, 100℃ 이상 200℃ 미만의 기판 온도에서 산화물 반도체막(108)을 형성함으로써, 유리 기판의 변형을 억제할 수 있다.
- [0200] 또한, 스퍼터링 가스의 순도를 높일 필요가 있다. 예를 들어, 스퍼터링 가스로서 사용되는 산소 가스 또는 아르곤 가스로서, 이슬점이 -40℃ 이하, 바람직하게는 -80℃ 이하, 더 바람직하게는 -100℃ 이하, 더욱 바람직하게는 -120℃ 이하이도록 고순도화된 가스를 사용함으로써, 산화물 반도체막에 수분 등이 들어가는 것을 최소화할 수 있다.
- [0201] 산화물 반도체막을 스퍼터링법에 의하여 퇴적하는 경우, 스퍼터링 장치에서의 챔버는 산화물 반도체막에 있어서 불순물로서 작용하는 물 등을 가능한 한 제거하기 위하여, 크라이오펌프(cryopump)와 같은 흡착 진공 배기 펌프에 의하여 고진공 상태가 되도록(약 5×10^{-7} Pa 내지 1×10^{-4} Pa 정도까지) 배기하는 것이 바람직하다. 특히, 스퍼터링 장치의 대기 모드에서의 챔버 내의 H₂O에 상당하는 가스 분자($M/z=18$ 에 상당하는 가스 분자)의 부분 압력은 1×10^{-4} Pa 이하가 바람직하고, 5×10^{-5} Pa 이하가 더 바람직하다.
- [0202] 또한 제 1 산화물 반도체막은 In-Ga-Zn 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 형성된다. 제 1 산화물 반도체막 형성 시의 기판 온도를 130℃로 하고, 퇴적 가스로서 유량 20sccm의 산소 가스, 및 유량 180sccm의 아르곤 가스를 사용한다(산소 유량비: 10%).
- [0203] 제 2 산화물 반도체막은 In-Ga-Zn 산화물 반도체 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 형성된다. 제 2 산화물 반도체막 형성 시의 기판 온도를 170℃로 하고, 퇴적 가스로서 유량 60sccm의 산소 가스, 및 유량 140sccm의 아르곤 가스를 사용한다(산소 유량비: 30%).
- [0204] 또한 상이한 캐리어 밀도를 갖는 산화물 반도체막의 적층 구조에 대하여, 상술한 예에서는 제 1 산화물 반도체막과 제 2 산화물 반도체막의 기판 온도 및 산소 유량비를 변경시켜 형성하였지만, 상기 구조의 형성 방법은 이 예에 한정되지 않는다. 예를 들어, 제 1 산화물 반도체막 형성 시에 불순물 원소를 첨가하여, 제 1 산화물 반도체막의 캐리어 밀도와 제 2 산화물 반도체막의 캐리어 밀도를 상이하게 하여도 좋다. 상기 불순물 원소의 예에는 수소, 붕소, 탄소, 질소, 플루오린, 인, 황, 염소, 및 희가스 원소가 포함된다.
- [0205] 상술한 원소 중에서도 질소는 제 1 산화물 반도체막에 첨가되는 불순물 원소로서 특히 바람직하다. 예를 들어 제 1 산화물 반도체막의 형성 시에서 퇴적 가스로서 아르곤 가스 및 질소 가스를 사용하거나 퇴적 가스로서 아르곤 가스 및 일산화 이질소 가스를 사용함으로써 제 1 산화물 반도체막에 질소를 첨가할 수 있다.
- [0206] 제 1 산화물 반도체막의 형성에 불순물 원소가 사용되는 경우, 불순물 원소가 첨가되지 않는 것이 바람직한 막, 예를 들어 제 2 산화물 반도체막으로 불순물 원소가 침입되는 것을 방지하기 위하여, 제 1 산화물 반도체막을 형성하는 챔버를 독립적으로 제공하는 것이 바람직하다.
- [0207] 제 1 산화물 반도체막을 형성한 후, 제 1 산화물 반도체막에 불순물 원소를 첨가하여도 좋다. 제 1 산화물 반도체막을 형성한 후에 불순물 원소를 첨가하는 방법으로서, 예를 들어 도핑 처리 또는 플라즈마 처리를 사용할 수 있다.
- [0208] 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 형성한 후, 가열 처리에 의하여 제 1 산화물 반도체막 및 제 2 산화물 반도체막을 탈수화 또는 탈수소화하여도 좋다. 가열 처리의 온도는 대표적으로 150℃ 이상 기판 변형점(strain point of the substrate) 미만, 250℃ 이상 450℃ 이하, 또는 300℃ 이상 450℃ 이하이다.
- [0209] 가열 처리는 헬륨, 네온, 아르곤, 제논, 또는 크립톤 등의 희가스, 또는 질소를 포함하는 불활성 가스 분위기에

서 수행될 수 있다. 또는, 먼저 불활성 가스 분위기에서 가열 처리한 다음, 산소 분위기에서 가열 처리하여도 좋다. 상기 불활성 가스 분위기 및 상기 산소 분위기는 수소 및 물 등을 포함하지 않는 것이 바람직하다. 처리 시간은 3분 이상 24시간 이하로 하여도 좋다.

- [0210] 가열 처리에는 전기로 또는 RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 가열 시간이 짧은 경우에 기관의 변형점 이상의 온도에서 가열 처리를 수행할 수 있다. 따라서, 가열 처리 시간을 짧게 할 수 있다.
- [0211] 가열하면서 산화물 반도체막을 퇴적시키거나, 또는 산화물 반도체막 형성 후에 가열 처리를 수행함으로써, SIMS에 의하여 측정되는 산화물 반도체막의 수소 농도를 5×10^{19} atoms/cm³ 이하, 1×10^{19} atoms/cm³ 이하, 5×10^{18} atoms/cm³ 이하, 1×10^{18} atoms/cm³ 이하, 5×10^{17} atoms/cm³ 이하, 또는 1×10^{16} atoms/cm³ 이하로 할 수 있다.
- [0212] 다음에, 절연막(104) 및 산화물 반도체막 위에 절연막(110_0)을 형성한다(도 5의 (B) 참조).
- [0213] 절연막(110_0)으로서, 플라즈마 강화 CVD 장치(PECVD 장치 또는 단순히 플라즈마 CVD 장치라고 함)를 사용하여 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다. 이 경우, 실리콘을 포함하는 퇴적 가스 및 산화성 가스를 원료 가스로서 사용하는 것이 바람직하다. 실리콘을 포함하는 퇴적 가스의 대표적인 예에는 실레인, 다이실레인, 트라이실레인, 및 플루오린화 실레인이 포함된다. 산화성 가스의 예로서는 산소, 오존, 일산화 이질소, 및 이산화 질소를 들 수 있다.
- [0214] 절연막(110_0)으로서, 산화성 가스의 유량을 퇴적 가스의 유량의 20배보다 크고 100배 미만, 또는 40배 이상 80배 이하로 하고, 처리 챔버 내의 압력을 100Pa 미만 또는 50Pa 이하로 하는 조건하에서, 결함이 적은 산화 질화 실리콘막을 플라즈마 CVD 장치를 사용하여 형성할 수 있다.
- [0215] 절연막(110_0)으로서, 플라즈마 CVD 장치의 진공 배기된 처리 챔버에 배치된 기관을 280℃ 이상 400℃ 이하의 온도에서 유지하고, 원료 가스가 도입된 처리 챔버 내의 압력을 20Pa 이상 250Pa 이하, 바람직하게는 100Pa 이상 250Pa 이하로 하고, 처리 챔버 내에 제공된 고주파 전력을 공급하는 조건하에서 치밀한 산화 실리콘막 또는 치밀한 산화 질화 실리콘막을 형성할 수 있다.
- [0216] 절연막(110_0)은 마이크로파를 사용한 플라즈마 CVD법에 의하여 형성하여도 좋다. 마이크로파란 300MHz 내지 300GHz의 주파수 범위의 파를 말한다. 마이크로파에서는, 전자 온도 및 전자 에너지가 낮다. 또한 공급된 전력에서, 전자의 가속에 사용되는 전력의 비율이 낮으므로, 분자의 해리 및 전리에 더 많은 전력을 사용할 수 있다. 따라서 밀도가 높은 플라즈마(고밀도 플라즈마)를 여기할 수 있다. 이 방법은 퇴적면 또는 퇴적물에 대한 플라즈마 대미지가 적기 때문에, 결함이 적은 절연막(110_0)을 형성할 수 있다.
- [0217] 또는 절연막(110_0)은, 유기 실레인 가스를 사용한 CVD법에 의하여 형성할 수도 있다. 유기 실레인 가스로서는, 테트라에틸오쏘실리케이트(TEOS)(화학식: $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실레인(TMS)(화학식: $\text{Si}(\text{CH}_3)_4$), 테트라메틸사이클로테트라실록산(TMCTS), 옥타메틸사이클로테트라실록산(OMCTS), 헥사메틸다이실라잔(HMDS), 트라이에톡시실레인($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 또는 트리스다이메틸아미노실레인($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘을 포함하는 화합물을 사용할 수 있다. 유기 실레인 가스를 사용한 CVD법을 사용함으로써, 피복성이 높은 절연막(110_0)을 형성할 수 있다.
- [0218] 본 실시형태에서는 절연막(110_0)으로서, 플라즈마 CVD 장치를 사용하여 두께 100nm의 산화 질화 실리콘막을 형성한다.
- [0219] 다음에, 절연막(110_0) 위의 원하는 위치에 리소그래피로 마스크를 형성한 다음, 절연막(110_0) 및 절연막(104)을 부분적으로 에칭하여, 도전막(106)에 도달하는 개구(143)를 형성한다(도 5의 (C) 참조).
- [0220] 개구(143)의 형성에는, 웨트 에칭법 및/또는 드라이 에칭법을 사용할 수 있다. 본 실시형태에서 개구(143)는, 드라이 에칭법에 의하여 형성된다.
- [0221] 다음에, 개구(143)를 덮도록 도전막(106) 및 절연막(110_0) 위에 도전막(112_0)을 형성한다. 도전막(112_0)으로서 예를 들어 금속 산화물막이 사용되는 경우, 도전막(112_0)의 형성 시에 도전막(112_0)으로부터 절연막(110_0)에 산소가 첨가될 수 있다(도 5의 (D) 참조).
- [0222] 도 5의 (D)에서는, 절연막(110_0)에 첨가되는 산소를 화살표로 모식적으로 나타내었다. 또한 개구(143)를 덮도록 형성되는 도전막(112_0)은 도전막(106)에 전기적으로 접속된다.
- [0223] 도전막(112_0)으로서 금속 산화물막을 사용하는 경우, 도전막(112_0)은 산소 가스를 포함하는 분위기에서 스퍼

터링법에 의하여 형성되는 것이 바람직하다. 산소 가스를 포함하는 분위기에서의 도전막(112_0)의 형성에 의하여, 절연막(110_0)에 산소를 적합하게 첨가할 수 있다. 또한, 도전막(112_0)의 형성 방법은 스퍼터링법에 한정되지 않고, ALD(atomic layer deposition)법 등 다른 방법을 사용하여도 좋다.

- [0224] 본 실시형태에서는, 도전막(112_0)으로서, 스퍼터링법에 의하여 In-Ga-Zn 산화물을 포함하는 두께 100nm의 IGZO막(In:Ga:Zn=4:2:4.1[원자수비])을 형성한다. 또한, 도전막(112_0)의 형성 전 또는 형성 후에 절연막(110_0)에 산소 첨가 처리를 수행하여도 좋다. 상기 산소 첨가 처리는, 절연막(104)의 형성 후에 수행할 수 있는 산소 첨가와 비슷한 식으로 수행할 수 있다.
- [0225] 다음에, 도전막(112_0) 위의 원하는 위치에 리소그래피 공정에 의하여 마스크(140)를 형성한다(도 6의 (A) 참조).
- [0226] 다음에, 마스크(140) 상방에서 에칭을 수행하여 도전막(112_0) 및 절연막(110_0)을 가공한다. 도전막(112_0) 및 절연막(110_0)의 가공 후, 마스크(140)를 제거한다. 도전막(112_0) 및 절연막(110_0)의 가공의 결과, 섬 형상의 도전막(112) 및 섬 형상의 절연막(110)이 형성된다(도 6의 (B) 참조).
- [0227] 본 실시형태에서는, 도전막(112_0) 및 절연막(110_0)이 드라이 에칭법에 의하여 가공된다.
- [0228] 도전막(112) 및 절연막(110)의 가공에서, 도전막(112)과 중첩되지 않는 영역에서의 산화물 반도체막의 두께는, 얇아지는 경우가 있다. 또는, 도전막(112) 및 절연막(110)의 가공에서, 산화물 반도체막과 중첩되지 않는 영역의 절연막(104)의 두께는 얇아지는 경우가 있다. 도전막(112_0) 및 절연막(110_0)의 가공에서, 에천트(etchant) 또는 에칭 가스(예를 들어, 염소)가 산화물 반도체막에 첨가될 수 있거나, 도전막(112_0) 또는 절연막(110_0)의 구성 원소가 산화물 반도체막에 첨가될 수 있다.
- [0229] 다음에, 절연막(104), 산화물 반도체막, 및 도전막(112) 위에 절연막(116)을 형성함으로써, 절연막(116)과 접하는 산화물 반도체막의 일부는 제 2 영역(108n)이 된다. 또한 절연막(110)과 접하는 산화물 반도체막의 일부는 제 1 영역(108i)이 된다. 따라서 제 1 영역(108i) 및 제 2 영역(108n)을 포함하는 산화물 반도체막(108)이 형성된다(도 6의 (C) 참조).
- [0230] 절연막(116)은 상술한 재료로부터 선택된 재료를 사용하여 형성될 수 있다. 본 실시형태에서는 절연막(116)으로서, 플라즈마 CVD 장치를 사용하여 두께 100nm의 질화 산화 실리콘막을 형성한다. 이 질화 산화 실리콘막의 형성에서는, 플라즈마 처리 및 퇴적 처리를 220°C에서 수행한다. 플라즈마 처리는, 퇴적 전에 다음과 같은 조건하에서 수행된다: 챔버 내에 유량비 100sccm의 아르곤 가스를 도입하고, 챔버 내의 압력을 40Pa로 설정하고, 1000W의 전력을 RF 전원에 공급한다(27.12MHz). 퇴적 처리는 다음 조건하에서 수행된다: 챔버 내에 유량비 50sccm의 실레인 가스, 유량비 5000sccm의 질소 가스, 및 유량비 100sccm의 암모니아 가스를 도입하고, 챔버 내의 압력을 100Pa로 설정하고, 1000W의 전력을 RF 전원에 공급한다(27.12MHz).
- [0231] 절연막(116)이 질화 산화 실리콘막을 포함하면, 질화 산화 실리콘막에서의 질소 또는 수소를 절연막(116)과 접하는 제 2 영역(108n)에 공급할 수 있다. 또한 절연막(116)을 형성하는 온도를 상술한 온도로 하면, 절연막(110)에 포함되는 과잉 산소가 외측으로 방출되는 것을 억제할 수 있다.
- [0232] 다음에, 절연막(118)은 절연막(116) 위에 형성된다(도 7의 (A) 참조).
- [0233] 절연막(118)은 상술한 재료로부터 선택된 재료를 사용하여 형성될 수 있다. 본 실시형태에서는, 절연막(118)으로서 플라즈마 CVD 장치를 사용하여 두께 300nm의 산화 질화 실리콘막을 형성한다.
- [0234] 다음에, 리소그래피에 의하여 절연막(118)의 원하는 위치에 마스크를 형성하고, 절연막(118) 및 절연막(116)을 부분적으로 에칭한다. 이에 의하여, 제 2 영역(108n)에 도달하는 개구(141a 및 141b)를 형성한다(도 7의 (B) 참조).
- [0235] 절연막(118 및 116)을 에칭하기 위하여 웨트 에칭법 및/또는 드라이 에칭법을 사용할 수 있다. 본 실시형태에서는, 절연막(118 및 116)을 드라이 에칭법에 의하여 가공한다.
- [0236] 다음에, 개구(141a 및 141b)를 덮도록 제 2 영역(108n) 및 절연막(118) 위에 도전막을 형성하고, 원하는 형상으로 가공함으로써 도전막(120a 및 120b)을 형성한다(도 7의 (C) 참조).
- [0237] 도전막(120a 및 120b)은 상술한 재료로부터 선택된 재료를 사용하여 형성될 수 있다. 본 실시형태에서는 도전막(120a, 120b)으로서, 스퍼터링 장치를 사용하여 두께 50nm의 텅스텐막 및 두께 400nm의 구리막의 적층막을 형성한다.

- [0238] 도전막(120a 및 120b)이 되는 도전막의 가공에는, 웨트 에칭법 및/또는 드라이 에칭법을 사용할 수 있다. 본 실시형태에서는, 도전막을 도전막(120a 및 120b)으로 가공할 때, 구리막을 웨트 에칭법에 의하여 에칭한 다음, 텅스텐막을 드라이 에칭법에 의하여 에칭한다.
- [0239] 상술한 공정을 거쳐, 도 2의 (A) 내지 (C)에서의 트랜지스터(100A)를 제작할 수 있다.
- [0240] 또한 트랜지스터(100A)에 포함되는 막(절연막, 금속 산화물막, 산화물 반도체막, 및 도전막 등)은, 상술한 형성 방법 외에, 스퍼터링법, CVD(chemical vapor deposition)법, 진공 증착법, PLD(pulsed laser deposition)법, 또는 ALD법에 의하여 형성될 수 있다. 또는, 코팅법 또는 인쇄법을 사용할 수 있다. 스퍼터링법 및 PECVD(plasma-enhanced chemical vapor deposition)법이 막 형성 방법의 대표적인 예이지만, 열 CVD법을 사용하여도 좋다. 열 CVD법의 예로서는, MOCVD(metal organic chemical vapor deposition)법을 들 수 있다.
- [0241] 열 CVD법에 의한 퇴적은, 챔버 내의 압력을 대기압 또는 감압으로 설정하고, 원료 가스 및 산화제를 동시에 챔버에 공급하고 기판 부근 또는 기판 위에서 서로 반응시키는 식으로 수행하여도 좋다. 따라서, 퇴적 시 플라즈마가 생성되지 않기 때문에, 열 CVD법은 플라즈마 대미지로 인한 결함이 생기지 않는다는 이점을 갖는다.
- [0242] 상술한 도전막, 절연막, 산화물 반도체막, 및 금속 산화물막 등의 막은, MOCVD법 등의 열 CVD법에 의하여 형성될 수 있다. 예를 들어 In-Ga-Zn-O막을 형성하는 경우에는, 트라이메틸인듐($\text{In}(\text{CH}_3)_3$), 트라이메틸갈륨($\text{Ga}(\text{CH}_3)_3$), 및 다이메틸아연($\text{Zn}(\text{CH}_3)_2$)을 사용한다. 상술한 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨($\text{Ga}(\text{C}_2\text{H}_5)_3$)을 사용할 수 있고, 다이메틸아연 대신에 다이에틸아연($\text{Zn}(\text{C}_2\text{H}_5)_2$)을 사용할 수 있다.
- [0243] ALD법을 채용한 퇴적 장치를 사용하여 산화 하프늄막을 형성하는 경우에는, 2종류의 가스, 즉 용매와 하프늄 전구체가 포함된 액체(하프늄알콕사이드, 또는 테트라키스(다이메틸아마이드)하프늄(TDMAH , $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) 또는 테트라키스(에틸메틸아마이드)하프늄 등의 하프늄아마이드)를 기화시켜 얻은 원료 가스와, 산화제로서 오존(O_3)을 사용한다.
- [0244] ALD법을 채용한 퇴적 장치를 사용하여 산화 알루미늄막을 형성하는 경우에는, 2종류의 가스, 즉 용매와 알루미늄 전구체가 포함된 액체(예를 들어 트라이메틸알루미늄(TMA , $\text{Al}(\text{CH}_3)_3$))를 기화시켜 얻은 원료 가스와, 산화제로서 H_2O 를 사용한다. 다른 재료의 예에는 트리스(다이메틸아마이드)알루미늄, 트리아이소부틸알루미늄, 및 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵테인다이오네이트)가 포함된다.
- [0245] ALD법을 채용한 퇴적 장치를 사용하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을, 막이 형성되는 면에 흡착시키고, 산화성 가스(O_2 또는 일산화 이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.
- [0246] ALD법을 채용한 퇴적 장치를 사용하여 텅스텐막을 형성하는 경우에는, WF_6 가스와 B_2H_6 가스를 순차적으로 도입하여 초기 텅스텐막을 형성한 후에, WF_6 가스 및 H_2 가스를 사용하여 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.
- [0247] ALD법을 채용한 퇴적 장치를 사용하여 In-Ga-Zn-O막 등의 산화물 반도체막을 형성하는 경우에는, $\text{In}(\text{CH}_3)_3$ 가스 및 O_3 가스를 사용하여 In-O층을 형성하고, $\text{Ga}(\text{CH}_3)_3$ 가스 및 O_3 가스를 사용하여 GaO층을 형성하고, 그 다음에, $\text{Zn}(\text{CH}_3)_2$ 가스와 O_3 가스를 사용하여 ZnO층을 형성한다. 또한, 이들 층의 순서는 이 예에 한정되지 않는다. 이들 가스를 사용하여 In-Ga-O층, In-Zn-O층, 또는 Ga-Zn-O층 등의 혼합 화합물층을 형성하여도 좋다. 또한 O_3 가스 대신에 Ar 등의 불활성 가스로 물을 버블링하여 얻어진 H_2O 가스를 사용하여도 좋지만, H를 포함하지 않는 O_3 가스를 사용하는 것이 바람직하다.
- [0248] 본 발명의 일 형태는, 트랜지스터가 산화물 반도체막을 포함하는 본 실시형태에서 설명한 예에 한정되지 않는다. 본 발명의 일 형태에서 트랜지스터는, 산화물 반도체막을 반드시 포함할 필요는 없다. 예를 들어, 트랜지스터의 채널 영역, 채널 영역 근방, 소스 영역, 또는 드레인 영역은 실리콘(Si), 저마늄(Ge), 실리콘 저마늄(SiGe), 또는 갈륨 비소(GaAs) 등을 포함하는 재료를 사용하여 형성되어도 좋다.
- [0249] 또한 본 실시형태에서 설명한 구조 및 방법은, 다른 실시형태들 중 임의의 것에서 설명하는 구조 및 방법과 적절히 조합하여 사용할 수 있다.

- [0250] (실시형태 2)
- [0251] 본 실시형태에서는, 본 발명의 일 형태에 사용될 수 있는, 실시형태 1에서 설명한 트랜지스터의 변형예에 대하여 설명한다.
- [0252] 도 4의 (A) 및 (B)에 도시된 트랜지스터(100C)에서, 트랜지스터의 채널 길이 방향으로 절연막(110)보다 짧게 도전막(112)을 형성하고, 가열 처리를 수행하거나 도핑 처리 또는 플라즈마 처리에 의하여 불순물 원소를 첨가함으로써, 도 45에 도시된 바와 같이 제 1 영역(108i)과 제 2 영역(108n) 사이에 영역(108n₂)을 제공하여도 좋다. 영역(108n₂)의 도전성은, 제 1 영역(108i)보다 높고 제 2 영역(108n)보다 낮다. 영역(108n₂)에 의하여, 반도체 장치 또는 표시 장치의 동작 시에, 트랜지스터의 드레인 단부의 전계의 강도가 국소적으로 증가되는 것을 방지할 수 있다.
- [0253] 또한 본 실시형태에서 설명한 구조 및 방법은, 다른 실시형태들 중 임의의 것에서 설명하는 구조 및 방법과 적절히 조합하여 사용할 수 있다.
- [0254] (실시형태 3)
- [0255] 본 실시형태에서는, 본 발명의 일 형태에 사용될 수 있는 산화물 반도체에 대하여 설명한다.
- [0256] <2-1. 산화물 반도체의 조성>
- [0257] 산화물 반도체는 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한 알루미늄, 갈륨, 이트륨, 또는 주석 등이 포함되는 것이 바람직하다. 또한 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등으로부터 선택된 하나 이상의 원소가 포함되어도 좋다.
- [0258] 여기서, 산화물 반도체가 인듐, 원소 *M*, 및 아연을 포함하는 InM₂ZnO인 경우를 생각한다. 원소 *M*은 알루미늄, 갈륨, 이트륨, 또는 주석 등이다. 또는, 원소 *M*은 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등일 수 있다. 또한, 원소 *M*으로서, 상술한 원소를 2개 이상 조합하여 사용하여도 좋은 경우가 있다.
- [0259] <구조>
- [0260] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체의 예에는 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체가 포함된다.
- [0261] CAAC-OS는 c축 배향을 갖고, 나노 결정들이 a-b면 방향에서 연결되고, 결정 구조는 변형을 갖는다. 또한 변형이란, 나노 결정들이 연결된 영역에서, 균일한 격자 배열을 갖는 영역과 균일한 격자 배열을 갖는 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 말한다.
- [0262] 나노 결정의 형상은 기본적으로 육각형이지만 반드시 육각형인 것은 아니고, 비정육각형인 경우도 많다. 오각형의 격자 배열 및 칠각형의 격자 배열 등이 변형에 포함되는 경우가 있다. 또한 CAAC-OS의 변형 근방에서도 명확한 결정립계를 관찰할 수 없다. 즉, 격자 배열이 변형됨으로써 결정립계의 형성이 억제된다. 이것은, a-b면 방향에서 산소 원자의 배열의 밀도가 낮은 것, 금속 원소의 치환에 의하여 원자간 결합 거리가 변화되는 것 등에 의하여 CAAC-OS가 변형을 허용할 수 있기 때문이라고 생각된다.
- [0263] CAAC-OS는, 인듐 및 산소를 포함하는 층(이하, In층), 그리고 원소 *M*, 아연, 및 산소를 포함하는 층(이하, (*M*, Zn)층)이 적층된 층상 결정 구조를 갖는 경향이 있다. 또한 인듐 및 원소 *M*은 서로 치환될 수 있고, (*M*, Zn)층의 원소 *M*이 인듐으로 치환되는 경우, 상기 층을 (In, *M*, Zn)층이라고 할 수도 있다. In층의 인듐이 원소 *M*으로 치환되는 경우, 상기 층을 (In, *M*)층이라고 할 수도 있다.
- [0264] nc-OS에서, 미소 영역(예를 들어, 크기가 1nm 이상 10nm 이하인 영역, 특히 크기가 1nm 이상 3nm 이하인 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 나노 결정들 간에 결정 배향의 규칙성은 없다. 따라서, 막 전체에서 배향이 관찰되지 않는다. 그러므로, 분석 방법에 따라서는 nc-OS를 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다.
- [0265] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는다. a-like OS는 공동 또는 밀도가 낮은 영역

을 갖는다. 즉, a-like OS는 nc-OS 및 CAAC-OS와 비교하여 낮은 결정성을 갖는다.

- [0266] 산화물 반도체는 각각 상이한 특성을 나타내는 다양한 구조를 가질 수 있다. 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, 및 CAAC-OS 중 2개 이상이 본 발명의 일 형태의 산화물 반도체에 포함되어도 좋다.
- [0267] <원자수비>
- [0268] 다음에, 도 8의 (A) 내지 (C)를 참조하여 본 발명에 따른 산화물 반도체에 포함되는 인듐, 원소 M , 및 아연의 원자수비의 바람직한 범위에 대하여 설명한다. 또한, 도 8의 (A) 내지 (C)에는 산소 원자의 비율에 대하여 도시하지 않았다. 산화물 반도체에 포함되는 인듐, 원소 M , 및 아연의 원자수비의 항을 각각 $[In]$, $[M]$, 및 $[Zn]$ 으로 나타낸다.
- [0269] 도 8의 (A) 내지 (C)에서, 파선은 원자수비 $[In]:[M]:[Zn]$ 이 $(1+a):(1-a):1(-1 \leq a \leq 1)$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $(1+a):(1-a):2$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $(1+a):(1-a):3$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $(1+a):(1-a):4$ 인 라인, 및 원자수비 $[In]:[M]:[Zn]$ 이 $(1+a):(1-a):5$ 인 라인을 나타낸다.
- [0270] 일점쇄선은 원자수비 $[In]:[M]:[Zn]$ 이 $5:1:\beta(\beta \geq 0)$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $2:1:\beta$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $1:1:\beta$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $1:2:\beta$ 인 라인, 원자수비 $[In]:[M]:[Zn]$ 이 $1:3:\beta$ 인 라인, 및 원자수비 $[In]:[M]:[Zn]$ 이 $1:4:\beta$ 인 라인을 나타낸다.
- [0271] 또한 도 8의 (A) 내지 (C)에서, $[In]:[M]:[Zn]$ 이 $0:2:1$ 또는 그 근방의 원자수비를 갖는 산화물 반도체는 스피넬 결정 구조를 갖는 경향이 있다.
- [0272] 산화물 반도체에는 복수의 상(phase)(예를 들어, 2상 또는 3상)이 존재하는 경우가 있다. 예를 들어, $0:2:1$ 에 가까운 원자수비 $[In]:[M]:[Zn]$ 을 가지면, 스피넬 결정 구조 및 층상 결정 구조의 2상이 존재하기 쉽다. 또한, $1:0:0$ 에 가까운 원자수비 $[In]:[M]:[Zn]$ 을 가지면, 빅스비아이트(bixbyite) 결정 구조 및 층상 결정 구조의 2상이 존재하기 쉽다. 산화물 반도체에 복수의 상이 존재하는 경우, 상이한 결정 구조들 사이에 결정립계가 형성될 수 있다.
- [0273] 도 8의 (A)에서의 영역(A)은, 산화물 반도체에 포함되는 인듐, 원소 M , 및 아연의 원자수비의 바람직한 범위의 예를 나타낸 것이다.
- [0274] 또한 더 높은 비율로 인듐을 포함하는 산화물 반도체는 높은 캐리어 이동도(전자 이동도)를 가질 수 있다. 따라서 인듐의 함유량이 높은 산화물 반도체는, 인듐의 함유량이 적은 산화물 반도체보다 높은 캐리어 이동도를 갖는다.
- [0275] 한편, 산화물 반도체 내의 인듐의 함유량 및 아연의 함유량이 낮아지면, 캐리어 이동도가 낮아진다. 따라서, $[In]:[M]:[Zn]=0:1:0$ 및 그 근방의 원자수비(예를 들어, 도 8의 (C)의 영역(C))를 가지면, 절연성이 좋아진다.
- [0276] 따라서, 본 발명의 일 형태의 산화물 반도체는 도 8의 (A)의 영역(A)으로 나타내어지는 원자수비를 갖는 것이 바람직하다. 상기 원자수비를 가지면, 캐리어 이동도가 높고 결정립계가 적은 적층 구조가 쉽게 얻어진다.
- [0277] 도 8의 (B)에서의 영역(A), 특히 영역(B)에서의 원자수비를 갖는 산화물 반도체는, CAAC-OS가 되기 쉽고 캐리어 이동도가 높은 산화물 반도체이기 때문에 우수하다.
- [0278] CAAC-OS는 결정성이 높은 산화물 반도체이다. 한편, CAAC-OS에서는, 명확한 결정립계를 관찰할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 감소가 일어나기 어렵다. 불순물의 침입 또는 결함의 형성 등은 산화물 반도체의 결정성을 저하시킬 수 있다. 이것은, CAAC-OS의 불순물 및 결함(예를 들어 산소 결손)의 양이 적다는 것을 의미한다. 따라서 CAAC-OS를 포함하는 산화물 반도체는 물리적으로 안정된다. 그러므로 CAAC-OS를 포함하는 산화물 반도체는 내열성이 있고 신뢰성이 높다.
- [0279] 또한 영역(B)은 $[In]:[M]:[Zn]=4:2:3$ 내지 $4:2:4.1$ 및 그 근방의 원자수비를 포함한다. 근방에는 $[In]:[M]:[Zn]=5:3:4$ 의 원자수비가 포함된다. 또한 영역(B)은 $[In]:[M]:[Zn]=5:1:6$ 및 그 근방의 원자수비, 그리고 $[In]:[M]:[Zn]=5:1:7$ 및 그 근방의 원자수비를 포함한다.
- [0280] 또한 산화물 반도체의 성질은 원자수비에 의하여 일의적으로 결정되지 않는다. 같은 원자수비이어도, 산화물 반도체의 성질은 형성 조건에 따라 달라질 수 있다. 예를 들어 산화물 반도체를 스퍼터링 장치를 사용하여 퇴적하는 경우, 타겟의 원자수비에서 벗어난 원자수비를 갖는 막이 형성된다. 특히, 퇴적 시의 기판 온도에 따라

서는 타깃의 [Zn]보다 막의 [Zn]이 작아질 수 있다. 따라서 도시된 영역은, 산화물 반도체가 특정의 특성을 갖는 경향이 있는 원자수비를 나타내고, 영역(A 내지 C)의 경계는 명확하지 않다.

- [0281] [산화물 반도체를 포함하는 트랜지스터]
- [0282] 다음에, 상술한 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0283] 또한, 상기 산화물 반도체를 트랜지스터에 사용하면, 결정립계에서의 캐리어 산란 등을 저감시킬 수 있어, 전계 효과 이동도가 높은 트랜지스터로 할 수 있다. 또한, 트랜지스터는 높은 신뢰성을 가질 수 있다.
- [0284] 트랜지스터의 채널 영역에는 캐리어 밀도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체막의 캐리어 밀도를 저감하기 위해서는, 산화물 반도체막 내의 불순물 농도를 저감하여 결합 준위의 밀도를 저감할 수 있다. 본 명세서 등에서, 불순물 농도가 낮고 결합 준위의 밀도가 낮은 상태를 고순도 진성 또는 실질적으로 고순도 진성 상태라고 한다. 예를 들어, 캐리어 밀도가 $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이고 $1 \times 10^{-9}/\text{cm}^3$ 이상인 산화물 반도체가 사용된다.
- [0285] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결합 준위 밀도가 낮기 때문에 트랩 상태 밀도가 낮은 경우가 있다.
- [0286] 산화물 반도체의 트랩 상태에 의하여 트랩된 전하는 방출되는 데 긴 시간이 걸리고, 고정 전하처럼 작용될 수 있다. 따라서, 트랩 상태의 밀도가 높은 산화물 반도체에 채널 영역이 형성되는 트랜지스터는 불안정한 전기 특성을 갖는 경우가 있다.
- [0287] 트랜지스터의 안정적인 전기 특성을 얻기 위해서는, 산화물 반도체에서의 불순물 농도를 저감시키는 것이 효과적이다. 또한 산화물 반도체에서의 불순물 농도를 저감시키기 위해서는, 산화물 반도체에 인접한 막에서의 불순물 농도를 저감시키는 것이 바람직하다. 불순물의 예에는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 및 실리콘이 포함된다.
- [0288] <불순물>
- [0289] 여기서, 산화물 반도체에서의 불순물의 영향에 대하여 설명한다.
- [0290] 제 14 족 원소 중 하나인 실리콘 또는 탄소가 산화물 반도체에 포함되면, 결합 준위가 형성된다. 따라서, 산화물 반도체에서의, 그리고 산화물 반도체와의 계면 근방에서의 실리콘 또는 탄소의 농도(SIMS(secondary ion mass spectrometry)에 의하여 측정됨)를 $2 \times 10^{18} \text{atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{atoms}/\text{cm}^3$ 이하로 설정한다.
- [0291] 산화물 반도체가 알칼리 금속 또는 알칼리 토금속을 포함하면, 결합 준위가 형성되고 캐리어가 생성되는 경우가 있다. 그러므로, 알칼리 금속 또는 알칼리 토금속이 포함된 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 따라서, 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감시키는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{atoms}/\text{cm}^3$ 이하로 설정한다.
- [0292] 산화물 반도체가 질소를 포함하면, 캐리어로서 기능하는 전자의 생성 및 캐리어 밀도의 증가에 의하여 산화물 반도체가 n형화되기 쉽다. 따라서, 반도체가, 질소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이러한 이유로, 상기 산화물 반도체의 질소는 가능한 한 저감되어 있는 것이 바람직하고, 예를 들어 SIMS에 의하여 측정되는 산화물 반도체의 질소 농도를 $5 \times 10^{19} \text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{atoms}/\text{cm}^3$ 이하로 할 수 있다.
- [0293] 산화물 반도체에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산소 결손을 일으키는 경우가 있다. 산소 결손에 수소가 들어가는 것으로 인하여, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합됨으로써, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 따라서, 수소를 포함한 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이로써, 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로, SIMS에 의하여 측정되는 산화물 반도체의 수소 농도는, $1 \times 10^{20} \text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{atoms}/\text{cm}^3$ 미만, 더 바람직하

계는 5×10^{18} atoms/cm³ 미만, 더욱 바람직하게는 1×10^{18} atoms/cm³ 미만으로 설정된다.

- [0294] 불순물 농도가 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용하면, 전기 특성이 안정된 트랜지스터로 할 수 있다.
- [0295] <밴드도>
- [0296] 다음으로, 산화물 반도체가 2층 구조 또는 3층 구조를 갖는 경우에 대하여 설명한다. 산화물 반도체(S1), 산화물 반도체(S2), 및 산화물 반도체(S3)의 적층 구조, 및 적층 구조와 접하는 절연체의 밴드도, 그리고 산화물 반도체(S2 및 S3)의 적층 구조, 및 적층 구조와 접하는 절연체의 밴드도, 그리고 산화물 반도체(S1 및 S2)의 적층 구조, 및 적층 구조와 접하는 절연체의 밴드도에 대하여 도 9의 (A) 내지 (C)를 참조하여 설명한다.
- [0297] 도 9의 (A)는 절연체(I1), 산화물 반도체(S1), 산화물 반도체(S2), 산화물 반도체(S3), 및 절연체(I2)를 포함하는 적층 구조의 두께 방향에서의 밴드도의 예이다. 도 9의 (B)는 절연체(I1), 산화물 반도체(S2), 산화물 반도체(S3), 및 절연체(I2)를 포함하는 적층 구조의 두께 방향에서의 밴드도의 예이다. 도 9의 (C)는 절연체(I1), 산화물 반도체(S1), 산화물 반도체(S2), 및 절연체(I2)를 포함하는 적층 구조의 두께 방향에서의 밴드도의 예이다. 또한, 쉽게 이해하기 위하여, 밴드도에는 절연체(I1), 산화물 반도체(S1), 산화물 반도체(S2), 산화물 반도체(S3), 및 절연체(I2) 각각의 전도대 하단(Ec)을 나타낸다.
- [0298] 산화물 반도체(S1 및 S3) 각각의 전도대 하단은 산화물 반도체(S2)보다 진공 준위에 가깝다. 대표적으로는, 산화물 반도체(S2)와 산화물 반도체(S1 및 S3) 각각의 전도대 하단의 차이가 0.15eV 이상 또는 0.5eV 이상이고, 2eV 이하 또는 1eV 이하인 것이 바람직하다. 즉, 산화물 반도체(S1 및 S3) 각각의 전자 친화력과 산화물 반도체(S2)의 전자 친화력 사이의 차이는 0.15eV 이상 또는 0.5eV 이상이고, 2eV 이하 또는 1eV 이하인 것이 바람직하다.
- [0299] 도 9의 (A) 내지 (C)에 나타난 바와 같이, 산화물 반도체(S1 내지 S3) 각각의 전도대 하단은 서서히 변화한다. 바꿔 말하면, 전도대 하단은 연속적으로 변화하거나 연속적으로 접속된다. 이러한 밴드도를 얻기 위해서는, 산화물 반도체(S1)와 산화물 반도체(S2)의 계면, 또는 산화물 반도체(S2)와 산화물 반도체(S3)의 계면에 형성되는 혼합층의 결합 준위의 밀도를 낮게 하는 것이 바람직하다.
- [0300] 구체적으로는, 산화물 반도체(S1 및 S2) 또는 산화물 반도체(S2 및 S3)가 산소에 더하여 같은 원소를 포함하면 (주성분으로서), 결합 준위의 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어, 산화물 반도체(S2)가 In-Ga-Zn 산화물 반도체인 경우, 산화물 반도체(S1 및 S3) 각각으로서 In-Ga-Zn 산화물 반도체, Ga-Zn 산화물 반도체, 또는 산화 갈륨 등을 사용하는 것이 바람직하다.
- [0301] 이때, 산화물 반도체(S2)는 주된 캐리어의 경로로서 기능한다. 산화물 반도체(S1)와 산화물 반도체(S2)의 계면과, 산화물 반도체(S2)와 산화물 반도체(S3)의 계면에서의 결합 준위의 밀도를 낮게 할 수 있기 때문에, 캐리어 전도에 대한 계면 산란의 영향이 작고, 높은 온 상태 전류를 얻을 수 있다.
- [0302] 트랩 상태에 전자가 트랩되면, 트랩된 전자가 고정 전하처럼 작용되기 때문에, 트랜지스터의 문턱 전압이 양의 방향으로 시프트된다. 산화물 반도체(S1 및 S3)에 의하여 산화물 반도체(S2)로부터 트랩 상태를 떨어지게 할 수 있다. 이 구조에 의하여 트랜지스터의 문턱 전압의 양으로의 시프트를 방지할 수 있다.
- [0303] 산화물 반도체(S1 및 S3)에는, 산화물 반도체(S2)보다 도전율이 충분히 낮은 재료를 사용한다. 이러한 경우에는, 산화물 반도체(S2), 산화물 반도체(S1)와 산화물 반도체(S2)의 계면, 그리고 산화물 반도체(S2)와 산화물 반도체(S3)의 계면이 주로 채널 영역으로서 기능한다. 예를 들어, 도 8의 (C)에서, 절연성이 높고, 영역(C)으로 나타내어지는 원자수비를 갖는 산화물 반도체를 산화물 반도체(S1 및 S3)로서 사용하여도 좋다. 또한 도 8의 (C)에 도시된 영역(C)은 [In]:[M]:[Zn]이 0:1:0, 1:3:2, 및 1:3:4, 및 이들 근방의 원자수비를 나타낸다.
- [0304] 영역(A)으로 나타내어지는 원자수비를 갖는 산화물 반도체를 산화물 반도체(S2)로서 사용하는 경우, 산화물 반도체(S1 및 S3) 각각으로서, [M]/[In]이 1 이상, 바람직하게는 2 이상인 원자수비를 갖는 산화물 반도체를 사용하는 것이 특히 바람직하다. 또한, 산화물 반도체(S3)로서, 절연성이 충분히 높고 [M]/([Zn]+[In])이 1 이상인 원자수비를 갖는 산화물 반도체를 사용하는 것이 적합하다.
- [0305] <2-2. 산화물 반도체를 트랜지스터에 사용하는 구조>
- [0306] 다음에, 이 산화물 반도체를 트랜지스터에 사용하는 구조에 대하여 설명한다.
- [0307] 또한, 이 산화물 반도체를 트랜지스터에 사용하면, 결정립계에서의 캐리어 산란 등을 저감할 수 있다; 따라서,

전계 효과 이동도가 높은 트랜지스터로 할 수 있다. 또한, 신뢰성이 높은 트랜지스터로 할 수 있다.

- [0308] 트랜지스터의 채널 영역에는 캐리어 밀도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어, 캐리어 밀도가 $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이고 $1 \times 10^{-9}/\text{cm}^3$ 이상인 산화물 반도체를 사용한다.
- [0309] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에, 캐리어 밀도를 낮출 수 있다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 결함 준위의 밀도가 낮기 때문에, 트랩 준위의 밀도가 낮아지는 경우가 있다.
- [0310] 산화물 반도체의 트랩 준위에 의하여 트랩된 전하는 방출되는 데 긴 시간이 걸리고, 고정 전하처럼 작용할 수 있다. 따라서, 트랩 준위의 밀도가 높은 산화물 반도체에 채널 영역이 형성되는 트랜지스터는 불안정한 전기 특성을 갖는 경우가 있다.
- [0311] 트랜지스터의 안정적인 전기 특성을 얻기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 효과적이다. 또한, 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 산화물 반도체에 인접한 막 내의 불순물 농도를 저감하는 것이 바람직하다. 불순물의 예에는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 및 실리콘이 포함된다.
- [0312] 여기서, 산화물 반도체에서의 불순물의 영향에 대하여 설명한다.
- [0313] 제 14족 원소 중 하나인 실리콘 또는 탄소가 산화물 반도체에 포함되면, 결함 준위가 형성된다. 따라서, 산화물 반도체에서의, 그리고 산화물 반도체와의 계면 근방에서의 실리콘 또는 탄소의 농도(SIMS(secondary ion mass spectrometry)에 의하여 측정됨)를 $2 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms}/\text{cm}^3$ 이하로 설정한다.
- [0314] 산화물 반도체가 알칼리 금속 또는 알칼리 토금속을 포함하면, 결함 준위가 형성되고 캐리어가 생성되는 경우가 있다. 따라서, 알칼리 금속 또는 알칼리 토금속이 포함된 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 그러므로, 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms}/\text{cm}^3$ 이하로 설정한다.
- [0315] 산화물 반도체가 질소를 포함하면, 캐리어로서 기능하는 전자의 생성 및 캐리어 밀도의 증가에 의하여 산화물 반도체가 n형화되기 쉽다. 따라서, 반도체가 질소를 포함하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이러한 이유로, 이 산화물 반도체의 질소는 가능한 한 저감되어 있는 것이 바람직하고, SIMS에 의하여 측정되는 산화물 반도체에서의 질소의 농도를 예를 들어, $5 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms}/\text{cm}^3$ 이하로 할 수 있다.
- [0316] 산화물 반도체에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산소 결손을 발생시키는 경우가 있다. 산소 결손에 수소가 들어가는 것으로 인하여, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합됨으로써, 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 따라서, 수소를 포함한 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 따라서, 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, SIMS에 의하여 측정되는 산화물 반도체의 수소 농도를 $1 \times 10^{20} \text{ atoms}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{ atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 미만으로 설정한다.
- [0317] 불순물 농도가 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용하면, 전기 특성이 안정된 트랜지스터로 할 수 있다.
- [0318] 산화물 반도체막의 에너지 갭은 2eV 이상, 2.5eV 이상, 또는 3eV 이상인 것이 바람직하다.
- [0319] 산화물 반도체막의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 60nm 이하이다.
- [0320] 산화물 반도체막이 In-M-Zn 산화물이라면, In-M-Zn 산화물의 형성에 사용되는 스퍼터링 타겟에서의 금속 원소의

원자수비로서는, In:M:Z=1:1:0.5, In:M:Z=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=2:1:1.5, In:M:Zn=2:1:2.3, In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:4.1, 또는 In:M:Zn=5:1:7 등이 바람직하다.

- [0321] 또한, 형성된 산화물 반도체막에서의 금속 원소의 원자수비는 상기 스퍼터링 타깃에서의 금속 원소의 원자수비로부터 약 ±40%의 범위 내에서 각각 변동될 수 있다. 예를 들어, 원자수비 In:Ga:Zn=4:2:4.1의 스퍼터링 타깃을 사용하면, 산화물 반도체막에서의 In 대 Ga 대 Zn의 원자수비는 약 4:2:3이 될 수 있다. 원자수비 In:Ga:Zn=5:1:7의 스퍼터링 타깃을 사용하면, 형성된 산화물 반도체막에서의 In 대 Ga 대 Zn의 원자수비는 약 5:1:6이 될 수 있다.
- [0322] <2-3. 산화물 반도체의 구조>
- [0323] 이하에서는 본 발명의 일 형태에 개시된 트랜지스터에 적용할 수 있는 CAC-OS(cloud-aligned compose oxide semiconductor)의 구성에 대하여 설명한다.
- [0324] CAC-OS는 예를 들어, 산화물 반도체에 포함되는 원소가 고르지 않게 분포되어 있는 구성을 갖는다. 고르지 않게 분포된 원소를 포함하는 각 재료는 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 갖는다. 또한, 이하에서 설명하는 산화물 반도체에서, 하나 이상의 금속 원소가 고르지 않게 분포되어 있고 이 금속 원소(들)를 포함하는 영역이 혼합되는 상태를 모자이크 패턴 또는 패치상 패턴이라고 한다. 그 영역은 0.5nm 이상 10nm 이하, 바람직하게는 1nm 이상 2nm 이하, 또는 이와 비슷한 크기를 갖는다.
- [0325] 또한, 산화물 반도체는 적어도 인듐을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한, 알루미늄, 갈륨, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중 하나 이상이 포함되어도 좋다.
- [0326] 예를 들어, CAC-OS에서 CAC 구성을 갖는 In-Ga-Zn 산화물(이러한 In-Ga-Zn 산화물을 특히 CAC-IGZO라고 하여도 좋음)은 인듐 산화물(InO_{X1} , $X1$ 은 0보다 큰 실수(實數)) 또는 인듐 아연 산화물($In_{X2}Zn_{Y2}O_{Z2}$, $X2$, $Y2$, 및 $Z2$ 는 0보다 큰 실수)와, 갈륨 산화물(GaO_{X3} , $X3$ 은 0보다 큰 실수), 또는 갈륨 아연 산화물($Ga_{X4}Zn_{Y4}O_{Z4}$, $X4$, $Y4$, 및 $Z4$ 는 0보다 큰 실수)로 재료가 분리됨으로써 모자이크 패턴이 형성되는 구성을 갖는다. 모자이크 패턴을 형성하는 InO_{X1} 또는 $In_{X2}Zn_{Y2}O_{Z2}$ 가 막 내에 균일하게 분포된다. 이 구성을 클라우드상(cloud-like) 구성이라고도 한다.
- [0327] 즉, CAC-OS는 GaO_{X3} 을 주성분으로서 포함하는 영역과, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 을 주성분으로서 포함하는 영역이 혼합되는 구성을 갖는 복합 산화물 반도체이다. 또한, 본 명세서에서, 예를 들어 제 1 영역의 원소 M 에 대한 In의 원자수비가 제 2 영역의 원소 M 에 대한 In의 원자수비보다 클 때, 제 1 영역은 제 2 영역보다 In 농도가 높다.
- [0328] 또한, IGZO로서, In, Ga, Zn, 및 O를 포함하는 화합물도 알려져 있다. 대표적인 IGZO의 예에는 $InGaO_3(ZnO)_m$ (m 은 자연수) 및 $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_m$ ($-1 \leq x0 \leq 1$, m 은 임의의 수)로 나타내어지는 결정성 화합물이 포함된다.
- [0329] 상기 결정성 화합물은, 단결정 구조, 다결정 구조, 또는 CAAC 구조를 갖는다. 또한, CAAC 구조는 복수의 IGZO 나노 결정이 c축 배향을 갖고 a-b면 방향에서는 배향하지 않고 연결된 결정 구조이다.
- [0330] 한편, CAC-OS는 산화물 반도체의 재료 구성에 관한 것이다. In, Ga, Zn, 및 O를 포함하는 CAC-OS의 재료 구성에서, Ga를 주성분으로서 포함하는 나노 입자 영역이 CAC-OS의 일부에 관찰되고, In을 주성분으로서 포함하는 나노 입자 영역이 그 일부에 관찰된다. 이들 나노 입자 영역은 무작위로 분산되어 모자이크 패턴을 형성한다. 그러므로, 이 결정 구조는 CAC-OS에서 부차적인 요소이다.
- [0331] 또한, CAC-OS에서, 원자수비가 상이한 2개 이상의 막을 포함하는 적층 구조는 포함되지 않는다. 예를 들어, In을 주성분으로서 포함하는 막과 Ga를 주성분으로서 포함하는 막의 2층 구조는 포함되지 않는다.
- [0332] GaO_{X3} 을 주성분으로서 포함하는 영역과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 을 주성분으로서 포함하는 영역의 경계가 명확하게 관찰되지 않는 경우가 있다.
- [0333] CAC-OS에서 갈륨 대신에, 알루미늄, 이트륨, 구리, 바나듐, 베릴륨, 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 및 마그네슘 등 중 하나 이상이 포함되는 경우, CAC-OS의 일부에 선택된 금속 원소(들)를 주성분으로서 포함하는 나노 입자 영역이 관찰되

고, 그 일부에 In을 주성분으로서 포함하는 나노 입자 영역이 관찰되고, 이들 나노 입자 영역은 CAC-OS에서 무작위로 분산되어 모자이크 패턴을 형성한다.

- [0334] 예를 들어, 기관을 의도적으로 가열하지 않는 조건하에서 스퍼터링법에 의하여 CAC-OS를 형성할 수 있다. 스퍼터링법에 의하여 CAC-OS를 형성하는 경우, 퇴적 가스로서, 불활성 가스(대표적으로는, 아르곤), 산소 가스, 및 질소 가스로부터 선택된 하나 이상을 사용하여도 좋다. 퇴적 시의 퇴적 가스의 총 유량에서의 산소 가스의 유량의 비율은 가능한 한 낮은 것이 바람직하고, 예를 들어, 산소 가스의 유량비의 비율은 0% 이상 30% 미만인 것이 바람직하고, 0% 이상 10% 이하인 것이 더 바람직하다.
- [0335] CAC-OS는 X선 회절(XRD) 측정법인, out-of-plane법에 의한 $\theta/2\theta$ 스캔을 사용한 측정에서 명확한 피크가 관찰되지 않는다는 특징을 갖는다. 즉, X선 회절은 측정 영역에서 a-b면 방향 및 c축 방향에서의 배향성을 나타내지 않는다.
- [0336] 프로브 직경 1nm의 전자 빔(나노미터 크기의 전자 빔이라고도 함)에 의한 조사에 의하여 얻어지는, CAC-OS의 전자 회절 패턴에서, 휘도가 높은 링 형상의 영역, 및 이 링 형성의 영역에서 복수의 휘점이 관찰된다. 그러므로, 전자 회절 패턴은 CAC-OS의 결정 구조가 평면 방향 및 단면 방향에서 배향성이 없는 나노 결정(nc) 구조를 포함하는 것을 가리킨다.
- [0337] 예를 들어, 에너지 분산형 X선 분광법(EDX)의 매핑 화상으로부터, CAC 구성을 갖는 In-Ga-Zn 산화물은 GaO_{X3} 을 주성분으로서 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 을 포함하는 영역이 고르지 않게 분포되고 혼합되는 구조를 갖는 것이 확인된다.
- [0338] CAC-OS는 금속 원소가 균일하게 분포된 IGZO 화합물과는 상이한 구조를 갖고, IGZO 화합물과 상이한 특징을 갖는다. 즉, CAC-OS에서, GaO_{X3} 등을 주성분으로서 포함하는 영역 및 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 을 주성분으로서 포함하는 영역은 분리되어, 모자이크 패턴이 형성된다.
- [0339] $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 을 주성분으로서 포함하는 영역의 도전성은, GaO_{X3} 등을 주성분으로 포함하는 영역의 도전성보다 높다. 바꿔 말하면, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 을 주성분으로서 포함하는 영역을 캐리어가 흐를 때, 산화물 반도체의 도전성이 나타내어진다. 따라서, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 을 주성분으로서 포함하는 영역이, 산화물 반도체에 클라우드로 분포됨으로써, 높은 전계 효과 이동도(μ)가 실현될 수 있다.
- [0340] 한편, GaO_{X3} 등을 주성분으로서 포함하는 영역의 절연성은, $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 을 주성분으로서 포함하는 영역의 절연성보다 높다. 바꿔 말하면, GaO_{X3} 등을 주성분으로서 포함하는 영역이 산화물 반도체에 분포되면, 누설 전류가 억제될 수 있고 양호한 스위칭 동작이 실현될 수 있다.
- [0341] 따라서, CAC-OS를 반도체 소자에 사용한 경우, GaO_{X3} 등에서 유래하는 절연성과 $In_{X2}Zn_{Y2}O_{Z2}$ 또는 InO_{X1} 에서 유래하는 도전성이 서로를 보완함으로써, 높은 온 상태 전류(I_{on}) 및 높은 전계 효과 이동도(μ)를 달성할 수 있다.
- [0342] CAC-OS를 포함하는 반도체 소자는 신뢰성이 높다. 따라서, CAC-OS는 디스플레이를 대표로 하는 다양한 반도체 장치에 적합하게 사용된다.
- [0343] 본 실시형태의 적어도 일부는 본 명세서에서 설명하는 다른 실시형태 중 임의의 것과 적절히 조합하여 실시할 수 있다.
- [0344] (실시형태 4)
- [0345] 본 발명의 일 형태의 트랜지스터(100)에 포함되는 도전막(112)에 산화물 도전체를 사용하면, 과잉 산소를 절연막(110)에 첨가할 수 있고, 그리고 산화물 반도체막(108)의 제 1 영역(108i)으로 산소를 확산시킬 수 있기 때문에 적합하다. 이 경우, 산화 질화 실리콘막을 포함하는 절연막(110)의 결합을 저감할 수 있다. 본 실시형태에서는, 산화물 도전체를 도전막(112)에 사용하였을 때의 절연막(110)의 결합에 대하여 설명한다.
- [0346] 산화 질화 실리콘막의 결합은 산화 질화 실리콘막 상하의 막들 사이에 전계를 가할 때에 생성되는 누설 전류에 영향을 미친다. 따라서, 산화 질화 실리콘막 위에 금속막을 갖는 MOS(metal-oxide-silicon) 샘플, 및 산화 질화 실리콘막 위에 산화물 도전체를 갖는 MOS 샘플을 제작하고 MOS 샘플에서의 산화 질화 실리콘막의 누설 전류를 측정하면, 산화 질화 실리콘막의 결합에서의 데이터를 얻을 수 있다.

[0347] 도전막(112)에 산화물 도전체를 사용하였을 때의 절연막(110)에서의 결합의 평가를 위하여, 제 1 MOS 샘플(317) 및 제 2 MOS 샘플(318)의 2개의 샘플을 준비한다. 제 1 MOS 샘플(317)에서는, p-형 도전성을 부여하는 불순물을 첨가한 실리콘 기판 위에 두께 10nm의 산화 질화 실리콘막을 형성하고, 이 산화 질화 실리콘막 위에 금속막을 형성한다.

[0348] 제 2 MOS 샘플(318)에서는, p-형 도전성을 부여하는 불순물을 첨가한 실리콘 기판 위에 두께 10nm의 산화 질화 실리콘막을 형성하고, 산화 질화 실리콘막 위에 산화물 도전막을 형성하고, 이 산화물 도전막 위에 금속막을 형성한다.

[0349] 각 금속막은 두께 30nm의 질화 타이타늄, 그 위의 두께 135nm의 텅스텐, 및 그 위의 두께 200nm의 알루미늄을 사용하여 형성된다. In-Ga-Zn 산화물 타깃(In:Ga:Zn=4:2:4.1 [원자수비])을 사용하여 산소 가스(100%)를 포함하는 분위기에서 스퍼터링법에 의하여 산화물 도전막을 형성한다.

[0350] 고전계 영역에서, F-N(Fowler-Nordheim) 전류는 산화 질화 실리콘막에 흐르는 전류가 지배적이다. F-N 전류는 식(1)의 J_{FN} 으로 나타내어진다.

[0351] [식(1)]

$$J_{FN} = \left(\frac{q^2 E^2 m}{8\pi\hbar\Phi_b m^*} \right) * \exp \left\{ - \left[\frac{4\sqrt{2m^*} (q\Phi_b)^{3/2}}{3q\hbar E} \right] \right\}$$

[0352]

[0353] 식(1)으로부터 얻어지는, $\ln(J/E^2)$ 와 $1/E$ 을 플롯함으로써 직선을 얻을 수 있다. 깊은 결합 준위가 있는 경우, F-N 플롯은 부분적으로 직선으로부터 벗어난다. 이 직선으로부터 벗어난, 렛지 영역(ledge region)이라고 불리는 영역은 깊은 결합 준위에 F-N 전류의 전자를 포획시키는 공정에 의하여 생긴다. 구체적으로, 트랩된 전자는 고정 전하를 형성하고 $I-V$ 곡선의 평행한 시프트를 발생시켜, 렛지 영역을 형성한다. 트랩된 전하의 밀도를 평행한 시프트량으로부터 추산할 수 있다.

[0354] 도 10의 (A)는 MOS 구조에서, 금속 영역(310), 산화물 영역(311), 및 실리콘 영역(312)의 에너지 밴드도이다.

[0355] 산화물 영역(311)에 상당하는 막은 제 1 MOS 샘플(317) 및 제 2 MOS 샘플(318) 각각의 경우에서의 산화 질화 실리콘막이다. 금속 영역(310)에 상당하는 막은 제 1 MOS 샘플(317)의 경우에는 금속막이고, 제 2 MOS 샘플(318)의 경우에는 산화물 도전막, 및 그 위의 금속막이다.

[0356] 산화 질화 실리콘막 상하의 막들 사이에 전압을 인가하면, 도 10의 (A)에 나타낸 바와 같이, 산화물 영역(311)의 트랩(314)으로의 금속 영역(310)에서의 전자의 주입(315)이 일어난다.

[0357] 포지티브 전하가 트랩 준위에 의하여 포획되는 경우의 식(2), 네거티브 전하가 트랩 준위에 의하여 포획되는 경우의 식(3), 및 전하 주입 전후의 $I-V$ 곡선에서의 시프트량(ΔV_g)으로부터, 포획된 전하의 밀도($Q_i(t)$), 및 트랩된 전하(x)의 중심 위치(316)를 추산할 수 있다. 식(2)에서, t_{ox} 는 산화물 영역(311)의 두께를 의미한다.

[0358] [식(2)]

$$\Delta V_g (+) = \frac{Q_i(t)}{\epsilon_0 \epsilon_{OX}} (t_{OX} - \bar{x})$$

[0359]

[0360] [식(3)]

$$\Delta V_g (-) = \frac{Q_i(t)}{\epsilon_0 \epsilon_{OX}} \bar{x}$$

[0361]

[0362] 여기서, 산화물 영역(311)에서의, 포획된 전하의 중심 위치(316)는 실리콘 영역(312)과의 계면으로부터의 거리로 나타내어진다. 또한, 트랩된 전하의 밀도의 전하 주입 시간 의존성으로부터 산화물 영역(311)에서의 트랩된 모든 전하의 면 밀도를 산출할 수 있다.

[0363] 도 10의 (B)는 상기 식으로 얻어진 산화물 영역에서의 트랩된 모든 전하의 면 밀도를 나타낸 것이고, 도 10의 (C)는 트랩된 전하의 중심 위치를 나타낸 것이다. 이 결과는 제 2 MOS 샘플(318)의 산화 질화 실리콘막에서의

트랩된 모든 전하의 면 밀도가 제 1 MOS 샘플(317)보다 낮은 것을 가리킨다. 또한, 제 2 MOS 샘플(318)의 트랩된 전하의 중심 위치(316)는 제 1 MOS 샘플(317)의 트랩된 전하의 중심 위치(316)보다 전극으로부터 멀어진다.

- [0364] F-N 플롯(도 11의 (A) 참조)에서는, 제 1 MOS 샘플(317)의 측정 결과에 보이는 렛지 영역(321)이 제 2 MOS 샘플(318)의 측정 결과에는 보이지 않는다. 도 11의 (A)에서의 세로축은 단위 면적당 누설 전류에 상당하는 $\ln(J/E^2)[A/MV^2]$ 를 나타낸다. 도 10의 (A) 내지 (C) 그리고 도 11의 (A) 및 (B)는 산화물 도전막이 산화 질화 실리콘막 위에 형성되기 때문에, 제 2 MOS 샘플(318)에서의 산화 질화 실리콘막의 트랩된 전하 밀도(깊은 결합 준위에 의하여 트랩된 전자의 밀도)가 저감되는 것을 가리킨다.
- [0365] 도 11의 (B)는 제 1 MOS 샘플(317) 및 제 2 MOS 샘플(318)의 구조를 모식적으로 도시한 것이다. 각 샘플은 실리콘(319), 산화 질화 실리콘막(326), 및 금속막(325)을 포함한다. 제 2 MOS 샘플(318)은 산화물 도전막(313)을 더 포함한다. 금속막(325)이 산화 질화 실리콘막(326) 위에 형성된 제 1 MOS 샘플(317)에서는, 산화 질화 실리콘막(326)에서의 트랩된 전하(327)의 중심 위치(328)가 산화 질화 실리콘막(326)의 거의 중심이고, 이것은 결합이 산화 질화 실리콘막(326)에 균일하게 존재할 수 있는 것을 가리킨다(도 11의 (B) 참조). 한편, 산화물 도전막(313)을 사용하는 경우, 트랩된 전하(327)의 중심 위치(329)가 실리콘(319)과 산화 질화 실리콘막(326)의 계면에 가깝고, 트랩된 전하의 밀도가 낮다. 상기 결과는 산화물 도전막(313)에 가까운 영역에서의 산화 질화 실리콘막(326)의 결합 밀도가 산화물 도전막(313)의 형성에 의하여 저감되는 것을 시사한다.
- [0366] 상술한 바와 같이, 본 발명의 일 형태의 트랜지스터(100)에서 도전막(112)에 산화물 도전체를 사용함으로써, 절연막(110)의 결합 밀도를 저감할 수 있다.
- [0367] (실시형태 5)
- [0368] 본 실시형태에서는, 기판 온도가 350℃일 때 산화 질화 실리콘막으로 절연막(110)을 형성하는 경우의 트랜지스터(100)의 특성에 대하여 설명한다.
- [0369] 본 발명의 일 형태의 트랜지스터(100)의 게이트 절연막으로서 기능하는 절연막(110)은, 예를 들어, 결합이 적거나, 산화물 반도체막(108)에 대한 대미지가 적거나, 산화물 반도체막(108)에 과잉 산소를 공급하기 때문에 바람직하다.
- [0370] 실시형태 1에서는, 플라즈마 강화 화학 기상 퇴적법에 의하여 형성되는 산화 질화 실리콘막이 본 발명의 일 형태의 트랜지스터(100)의 게이트 절연막으로서 기능하는 절연막(110)에 사용된다. 실시형태 1에서 설명한 바와 같이, 저온에서 형성되는 산화 질화 실리콘막의 결손에 과잉 산소가 첨가되어, 다량의 과잉 산소를 흡수하거나 또는 산화물 반도체막에 공급할 수 있다.
- [0371] 고온에서 형성되는 산화 질화 실리콘막의 막 밀도를 높일 수 있다, 즉, 결합을 적게 할 수 있다. 따라서, 신뢰성을 높이기 위해서는, 산화물 반도체막(108)의 제 1 영역(108i) 위에, 기판 온도가 350℃일 때에 형성되는 산화 질화 실리콘막과, 기판 온도가 220℃일 때에 형성되는 산화 질화 실리콘막의 적층 구조를 갖는 절연막(110)이 효과적이다.
- [0372] 적층 구조를 갖는 절연막(110)의 생산성을 고려하면, 적층막을 동일한 온도에서 형성하는 것이 바람직하다.
- [0373] 도 12의 (A)는 산화 질화 실리콘막의 웨트 에칭 레이트의 비교 결과를 나타낸 것이다. 샘플(351) 및 샘플(352) 각각에서, 산화 질화 실리콘막을 유리 위에 형성하였다. 샘플(351)의 경우 형성 시의 기판 온도는 220℃이고, 샘플(352)의 경우 형성 시의 기판 온도는 350℃이었다.
- [0374] 샘플(351) 및 샘플(352) 각각에서는, 산화 질화 실리콘막을 20sccm의 SiH₄ 및 3000sccm의 N₂O를 포함하는 가스를 사용하여 플라즈마 CVD법에 의하여 형성하였다. 퇴적 압력은 200Pa이고, 퇴적 전력은 100W이었다. 웨트 에칭에서는, HF(0.5%)를 용액으로서 사용하고, 온도를 실온으로 설정하였다.
- [0375] 도 12의 (A)에 나타난 바와 같이, 샘플(352)의 에칭 레이트는 낮다. 이것은 350℃의 기판 온도에서 형성된 산화 질화 실리콘막을 220℃의 기판 온도에서 형성된 산화 질화 실리콘막보다 치밀하게 할 수 있는 것을 가리킨다.
- [0376] 도 12의 (B)는 FT-IR에 의하여 측정되는 산화 질화 실리콘막의 비교 결과를 나타낸 것이다. 샘플(353) 및 샘플(354) 각각에서, 산화 질화 실리콘막을 실리콘 웨이퍼 위에 형성하였다. 샘플(353)의 경우 형성 시의 기판 온도는 220℃이고, 샘플(354)의 경우 형성 시의 기판 온도는 350℃이었다. 도 12의 (B)에서의 세로축에 평행한,

과수 1050cm^{-1} 의 점선(357)은 Si-O 결합에서 유래하는 과수를 가리킨다.

- [0377] 샘플(353) 및 샘플(354) 각각에서는, 산화 질화 실리콘막을 20sccm의 SiH_4 및 3000sccm의 N_2O 를 포함하는 가스를 사용하여 플라즈마 CVD법에 의하여 형성하였다. 퇴적 압력은 200Pa이고, 퇴적 전력은 100W이었다.
- [0378] 도 12의 (B)에 나타낸 바와 같이, 샘플(354)은 샘플(353)의 Si-O 결합의 밀도보다 약간 높은 Si-O 결합의 밀도를 갖는다. 이것은 350℃의 기판 온도에서 형성된 산화 질화 실리콘막을 220℃의 기판 온도에서 형성된 산화 질화 실리콘막보다 치밀하게 할 수 있는 것을 가리킨다.
- [0379] 도 12의 (C)는 ESR법에 의하여 측정된 산화 질화 실리콘막의 질화 산화물(NO_x) 농도의 비교 결과를 나타낸 것이다. 세로축은 스핀 밀도를 나타낸다. 샘플(355) 및 샘플(356) 각각에서는, 두께 10nm의 산화물 반도체막을 유리 위에 형성하고, 두께 20nm의 산화 질화 실리콘막을 형성하고, 그 위에 두께 100nm의 산화물 도전막을 형성하였다. 또한, 산화물 도전막을 ESR 측정 전에 제거하였다.
- [0380] 산화 질화 실리콘막을 샘플(355)에서는 기판 온도 220℃에서 형성하고, 샘플(356)에서는 기판 온도 350℃에서 형성하였다. 샘플(355) 및 샘플(356) 각각에서는, 기판 온도 130℃에서 아르곤 가스(90%) 및 산소 가스(10%)를 포함하는 분위기에서 In-Ga-Zn 산화물 타겟(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 산화물 반도체막을 형성하였다. 20sccm의 SiH_4 및 3000sccm의 N_2O 를 포함하는 가스를 사용하여 플라즈마 CVD법에 의하여 산화 질화 실리콘막을 각각 형성하였다. 퇴적 압력은 200Pa이고, 퇴적 전력은 100W이었다. In-Ga-Zn 산화물 타겟(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 산화물 도전막을 각각 형성하였다.
- [0381] 도 12의 (C)는 산화 질화 실리콘막의 형성 후 및 산화물 도전막의 제거 후의 질소 산화물(NO_x)에서 유래하는 스핀 밀도[spins/ cm^3]를 나타낸 것이다. 도 12의 (C)에 나타낸 바와 같이, 220℃의 기판 온도에서 형성될 때보다 350℃의 기판 온도에서 형성될 때의 질소 산화물(NO_x) 농도가 낮아지도록 산화 질화 실리콘막을 형성할 수 있다.
- [0382] 상기 결과는 밀도가 높고, 결합이 적고, 질소 산화물(NO_x) 농도가 낮은, 기판 온도 350℃에서 형성된 산화 질화 실리콘막을 절연막(110)에 사용하는 것이 바람직한 것을 시사한다. 그러나, 도 43의 (A)에 나타낸 바와 같이, 기판 온도 350℃에서 형성된 산화 질화 실리콘막을 절연막(110)에 사용하면, 산화물 반도체막(108)의 저항이 저하될 수 있다.
- [0383] 산화물 반도체막(108)의 저항의 저하를 방지하기 위해서는, 다음과 같은 방법을 채용할 수 있다. 하나의 방법은 절연막(110)의 형성 후에 플라즈마 CVD 장치를 사용하여 수행하는 산소 플라즈마 처리(361)이다(도 13의 (A) 참조). 다른 방법은 절연막(116)의 형성 후에 수행하는 가열 처리이다(도 13의 (B) 참조). 상기 처리는 산화물 반도체막(108)으로의 과잉 산소(362)의 공급을 촉진할 수 있다. 특히, 양쪽 처리를 사용하는 것이 바람직하다.
- [0384] 절연막(110)의 형성 후의 플라즈마 CVD 장치를 사용한 산소 플라즈마 처리(361)는 예를 들어, 실시예 1에서 설명하는 방법에 의하여 수행할 수 있다. 절연막(116)의 형성 후의 가열 처리는 예를 들어, 350℃에서 질소 분위기에서 1시간 동안 수행할 수 있다.
- [0385] 도 14의 (A) 및 (B)는 절연막(116)의 형성 후에 수행하는 가열 처리가 산화물 반도체막에 산소를 첨가하는 데 있어서 효과적인 것을 증명하기 위하여 수행하는 실험의 결과를 나타낸 것이다. 이 실험에 사용되는 각 샘플에서는, 두께 100nm의 산화물 반도체막을 유리 기판 위에 형성하고, 두께 100nm의 산화 질화 실리콘막을 그 위에 형성하고, 두께 100nm의 산화물 도전막을 그 위에 형성하고, 두께 100nm의 질화 실리콘막을 그 위에 형성하였다.
- [0386] 기판 온도 130℃에서 아르곤 가스(90%) 및 산소 가스(10%)를 포함하는 분위기에서 In-Ga-Zn 산화물 타겟(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 스퍼터링법에 의하여 산화물 반도체막을 각각 형성하였다.
- [0387] 기판 온도 220℃에서 플라즈마 CVD법에 의하여 상이한 조건하에서 형성된 2개의 층의 적층 구조를 갖도록 산화 질화 실리콘막을 각각 형성하였다. 제 1 조건은 다음과 같았다: 50sccm의 SiH_4 및 2000sccm의 N_2O 를 포함하는 가스를 사용하고, 퇴적 압력은 20Pa로 하고, 퇴적 전력은 100W로 하였다. 제 1 조건하에서 형성된 산화 질화 실리콘막의 두께는 30nm로 하였다. 이 막은 소량의 NO_x 를 포함하였다. 제 2 조건은 다음과 같았다: 160sccm의

SiH₄ 및 4000sccm의 N₂O를 포함하는 가스를 사용하고, 퇴적 압력은 200Pa로 하고, 퇴적 전력은 1500W로 하였다. 제 2 조건하에서 형성된 산화 질화 실리콘막의 두께는 70nm로 하였다.

- [0388] In-Ga-Zn 산화물 타깃(In:Ga:Zn=4:2:4.1[원자수비])을 사용하여 상이한 조건하에서 형성되는 2개의 층의 적층 구조를 갖도록, 산화물 도전막을 각각 형성하였다. 제 1 조건은 다음과 같았다: 스퍼터링법을 사용하고, ¹⁸O 가스(100%)를 포함하는 분위기로 하고, 기판 온도를 170℃로 설정하였다. 제 1 조건하에서 형성된 산화물 도전막의 두께는 10nm로 하였다. 제 2 조건은 다음과 같았다: 스퍼터링법을 사용하고, 아르곤 가스(90%) 및 ¹⁸O 가스(10%)를 포함하는 분위기로 하고, 기판 온도를 170℃로 설정하였다. 제 2 조건하에서 형성된 산화물 도전막의 두께는 90nm로 하였다.
- [0389] 질화 실리콘막은 다음과 같은 조건하에서 형성되었다: 기판의 온도를 220℃로 설정하였다; 유량 50sccm의 실레인 가스, 유량 5000sccm의 질소 가스, 및 유량 100sccm의 암모니아 가스를 챔버에 도입하였다; 압력은 200Pa 이었다; 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 1000W의 RF 전력을 공급하였다.
- [0390] 샘플(365)을 가열 처리 없이 완성시키고, 샘플(366)을 250℃에서 질소 분위기에서 가열 처리를 수행함으로써 완성시키고, 샘플(367)을 350℃에서 질소 분위기에서 가열 처리를 수행함으로써 완성시켰다.
- [0391] 도 14의 (A) 및 (B)는 SIMS에 의하여 분석되는 샘플(365), 샘플(366), 및 샘플(367)에서의 ¹⁸O의 농도 분포의 결과를 나타낸 것이다. 샘플(365), 샘플(366), 및 샘플(367) 각각에서는, 산화물 도전막을 형성하였을 때, ¹⁸O만을 사용하였다; 따라서, 다른 막 내에서 ¹⁸O 농도가 높으면, ¹⁸O는 산화물 도전막으로부터 확산된 ¹⁸O라고 생각된다. 기판으로부터 막의 표면 측에 굴착을 수행하면서 SIMS 분석을 수행하여 프로파일을 얻었다.
- [0392] 도 14의 (A) 및 (B) 각각에서, 가로축은 샘플 표면으로부터의 깊이를 나타내고, 세로축은 산화물 도전막(368), 산화 질화 실리콘막(369), 및 산화물 반도체막(370)의 ¹⁸O를 검출함으로써 얻어지는 SIMS 신호를 나타낸다. 도 14의 (A)는 산화 질화 실리콘막(369)에서의 ¹⁸O 농도의 정량화된 측정 결과를 나타낸 것이다. 도 14의 (B)는 산화물 반도체막(370)에서의 ¹⁸O 농도의 정량화된 측정 결과를 나타낸 것이다.
- [0393] 도 14의 (A) 및 (B)에서의 결과로부터 명백해지는 바와 같이, 질화 실리콘막의 형성 후에 가열 처리를 수행하면, 산화 질화 실리콘막으로부터 산화물 반도체막으로 확산된 산소의 양을 증가시킬 수 있다.
- [0394] 도 14의 (C)는 산화물 반도체막으로 산소를 효과적으로 첨가하는 데 어느 공정에서 가열 처리를 수행해야 할지를 조사하기 위하여 수행한 실험의 결과를 나타낸 것이다.
- [0395] 실험에 사용되는 샘플에서는, 두께 40nm의 산화물 반도체막을 석영 기판 위에 형성하고, 두께 150nm의 산화 질화 실리콘막을 그 위에 형성하고, 두께 100nm의 산화물 도전막을 그 위에 형성하고, 두께 100nm의 질화 실리콘막을 그 위에 형성하였다. 도 14의 (C)에서, 가로축은 형성 공정을 나타내고, 세로축은 산화물 반도체막의 저항을 나타낸다. 형성 공정에 대하여 이하에서 설명한다.
- [0396] 우선, 산화물 반도체막을 기판 위에 형성하였다(공정(A)). 산화물 반도체막의 형성 조건은 샘플(365) 내지 샘플(367)에서의 산화물 반도체막의 형성 조건과 동일하다. 공정(A) 후에 산화물 반도체막의 저항을 측정하였다.
- [0397] 다음에, 산화 질화 실리콘막을 산화물 반도체막 위에 형성하였다(공정(B)). 기판 온도 350℃에서 20sccm의 SiH₄ 및 3000sccm의 N₂O를 포함하는 가스를 사용하여 플라즈마 CVD법에 의하여 산화 질화 실리콘막을 형성하였다. 퇴적 압력은 200Pa이고, 퇴적 전력은 100W이었다. 공정(B) 후에 산화물 반도체막의 저항을 측정하였다.
- [0398] 그리고, 가열 처리를 350℃에서 질소 분위기에서 수행하였다(공정(C)). 공정(C) 후에 산화물 반도체막의 저항을 측정하였다.
- [0399] 그 후, 산소 플라즈마 처리를 기판 온도 350℃에서 수행하였다(공정(D)). 산소 플라즈마 처리를 다음과 같은 조건하에서 250초 동안 수행하였다: 유량 3000sccm의 산소를 챔버에 도입하고, 압력을 40Pa로 설정하고, 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 3000W의 RF 전력을 공급하였다. 공정(D) 후에 산화물 반도체막의 저항을 측정하였다.
- [0400] 다음에, 산화물 도전막을 형성하였다(공정(E)). 산화물 도전막의 형성 조건은 샘플(365) 내지 샘플(367)에서의

산화물 도전막의 형성 조건과 동일하다. 공정(E) 후에 산화물 반도체막의 저항을 측정하였다.

- [0401] 이어서, 질화 실리콘막을 형성하였다(공정(F)). 질화 실리콘막의 형성 조건은 샘플(365) 내지 샘플(367)에서의 질화 실리콘막의 형성 조건과 동일하다. 공정(F) 후에 산화물 반도체막의 저항을 측정하였다.
- [0402] 그리고, 가열 처리를 250℃에서 질소 분위기에서 수행하였다(공정(G1)). 공정(G1) 후에 산화물 반도체막의 저항을 측정하였다. 또한, 다른 샘플에는 250℃ 대신에 350℃에서, 질소 분위기에서 가열 처리를 수행하였다(공정(G2)). 공정(G2) 후에 산화물 반도체막의 저항을 측정하였다.
- [0403] 도 14의 (C)에 나타낸 공정(A) 내지 공정(G1) 또는 공정(G2) 후에 측정된 산화물 반도체막의 저항으로부터 명백해지는 바와 같이, 산화물 반도체막의 저항은 산화 질화 실리콘의 형성 공정 시에 저하되고, 질화 실리콘막의 형성 후에 350℃에서 가열 처리를 수행하면 서서히 증가된다. 또한, 공정(A) 및 공정(G2) 후의 산화물 반도체막의 저항은 저항 측정 장치의 측정 상한인 $4.0 \times 10^7 \Omega$ 보다 높다.
- [0404] 이 결과는 질화 실리콘막의 형성 후에 350℃에서 가열 처리를 수행하면, 과잉 산소의 공급이 촉진되는 것을 가리킨다. 도 14의 (A) 및 (B)에 나타낸, SIMS에 의하여 분석되는 ^{18}O 농도도 이 과잉 산소의 공급의 촉진을 가리킨다.
- [0405] 산화 질화 실리콘막의 형성 후에 산소 플라즈마 처리를 수행하고, 질화 실리콘막의 형성 후에 350℃에서 가열 처리를 수행하면, 350℃에서 형성된 산화 질화 실리콘막을 절연막(110)에 사용한 트랜지스터(100)의 신뢰성은, 산화 질화 실리콘막을 기판 온도 350℃에서 형성하고, 산화 질화 실리콘막을 기판 온도 220℃에서 형성하여 절연막(110)을 형성한 트랜지스터(100)의 신뢰성과 동등하였다. 또한, 여기서, 신뢰성은 나중에 실시예 1에서 설명하는 바이어스-온도 스트레스 시험에 의하여 측정하였다.
- [0406] 바꿔 말하면, 밀도가 높고 결함 밀도가 낮은, 기판 온도 350℃에서 형성된 산화 질화 실리콘막은 산화물 반도체막(108)에 충분한 과잉 산소를 공급하는 처리를 수행하기만 하면, 절연막(110)에 사용될 수 있다. 이 경우, 생산성을 향상시킬 수 있다.
- [0407] 본 실시형태에서 설명한 구조는 다른 실시형태들에서 설명하는 구조들 중 임의의 것과 적절히 조합할 수 있다.
- [0408] (실시형태 6)
- [0409] 본 실시형태에서는, 상기 실시형태에서 설명한 트랜지스터를 포함하는 표시 장치의 예에 대하여 도 15, 도 16, 도 17, 도 18, 도 19, 및 도 20을 참조하여 이하에서 설명한다.
- [0410] 도 15는 표시 장치의 예를 도시한 상면도이다. 도 15에서의 표시 장치(700)는, 제 1 기판(701) 위에 제공된 화소부(702), 제 1 기판(701) 위에 제공된 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706), 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)를 둘러싸도록 제공된 실란트(712), 및 제 1 기판(701)과 대향하도록 제공된 제 2 기판(705)을 포함한다. 제 1 기판(701)과 제 2 기판(705)은 실란트(712)로 밀봉되어 있다. 즉, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는 제 1 기판(701), 실란트(712), 및 제 2 기판(705)으로 둘러싸여 있다. 도 15에 도시되어 있지 않지만, 제 1 기판(701)과 제 2 기판(705) 사이에 표시 소자가 제공된다.
- [0411] 표시 장치(700)에서, 제 1 기판(701) 위에 있고 실란트(712)로 둘러싸여 있는 영역과는 상이한 영역에, 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)와 전기적으로 접속되는 FPC(flexible printed circuit) 단자부(708)가 제공된다. 또한, FPC 단자부(708)와 FPC(716)가 접속되고, FPC(716)로부터 다양한 신호 등이 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)에 공급된다. 또한, 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)와 신호선(710)이 접속된다. 신호선(710)을 통하여 다양한 신호 등이 FPC(716)로부터 화소부(702), 소스 드라이버 회로부(704), 게이트 드라이버 회로부(706), 및 FPC 단자부(708)에 공급된다.
- [0412] 표시 장치(700)에 복수의 게이트 드라이버 회로부(706)를 제공하여도 좋다. 표시 장치(700)의 구조는 여기서 나타낸, 소스 드라이버 회로부(704) 및 게이트 드라이버 회로부(706)가 화소부(702)와 함께 제 1 기판(701) 위에 형성되는 예에 한정되지 않는다. 예를 들어, 게이트 드라이버 회로부(706)만을 제 1 기판(701) 위에 형성하여도 좋고, 또는 소스 드라이버 회로부(704)만을 제 1 기판(701) 위에 형성하여도 좋다. 이 경우, 소스 드라이버 회로 또는 게이트 드라이버 회로 등이 형성된 기판(예를 들어, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기판)을, 제 1 기판(701)에 형성하여도 좋다. 또한, 별도로 준비된 구동 회로 기판의

접속 방법에 특별한 제한은 없고, COG(chip on glass)법 또는 와이어 본딩법 등을 사용할 수 있다.

- [0413] 표시 장치(700)에 포함되는 화소부(702), 소스 드라이버 회로부(704), 및 게이트 드라이버 회로부(706)는 복수의 트랜지스터를 포함한다.
- [0414] 표시 장치(700)는 다양한 소자를 포함할 수 있다. 이 소자의 예로서는, 일렉트로루미네선스(EL) 소자(예를 들어, 유기 및 무기 재료를 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자, 또는 LED), 발광 트랜지스터 소자(전류에 따라 광을 방출하는 트랜지스터), 전자 방출체(electron emitter), 액정 소자, 전자 잉크 디스플레이, 전기 영동 소자, 일렉트로웨팅 소자, PDP(plasma display panel), MEMS(micro electro mechanical systems) 디스플레이(예를 들어, GLV(grating light valve), DMD(digital micromirror device), DMS(digital micro shutter) 소자, 또는 IMOD(interferometric modulator display) 소자), 및 압전 세라믹 디스플레이를 들 수 있다.
- [0415] EL 소자를 포함하는 표시 장치의 예는 EL 디스플레이이다. 전자 방출체를 포함하는 표시 장치의 예에는 FED(field emission display) 및 SED 방식 평판 디스플레이(SED: surface-conduction electron-emitter display)가 포함된다. 액정 소자를 포함하는 표시 장치의 예에는, 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 또는 투사형 액정 디스플레이)이다. 전자 잉크 디스플레이 또는 전기 영동 소자를 포함하는 표시 장치의 예는 전자 종이이다. 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이에서, 화소 전극의 일부 또는 전부는 반사 전극으로서 기능하여도 좋다. 예를 들어, 화소 전극의 일부 또는 전부는 알루미늄 또는 은 등을 포함하여도 좋다. 이 경우, 반사 전극 아래에, SRAM 등의 메모리 회로를 제공할 수 있어, 소비전력이 저감된다.
- [0416] 표시 장치(700)의 표시 시스템으로서, 프로그래시브 시스템 또는 인터레이스 시스템 등을 채용할 수 있다. 또한, 컬러 표시 시에 화소에서 제어되는 색 요소는, 3색에 한정되지 않는다: R, G, 및 B(R, G, 및 B는 각각 적색, 녹색, 및 청색에 대응함)이다. 예를 들어, R 화소, G 화소, B 화소, 및 W(백색) 화소의 4개의 화소를 사용하여도 좋다. 또는, 색 요소는, 펜타일(PenTile) 레이아웃과 같이, R, G, 및 B 중 2색으로 구성되어도 좋다. 색 요소에 따라 2색이 상이하여도 좋다. 또는, RGB에 황색, 시안, 및 마젠타(magenta) 등 중 하나 이상의 색을 추가하여도 좋다. 또한, 표시 영역의 크기는 색 요소의 도트들마다 상이하여도 좋다. 개시된 발명의 일 형태는 컬러 표시 장치에 한정되지 않고; 개시된 발명은 흑백 표시 장치에 적용될 수도 있다.
- [0417] 백라이트(예를 들어, 유기 EL 소자, 무기 EL 소자, LED, 또는 형광등)에 백색광(W)을 사용한 풀 컬러 표시 장치를 얻기 위하여, 착색층(컬러 필터라고도 함)을 사용하여도 좋다. 예를 들어, 적색(R) 착색층, 녹색(G) 착색층, 청색(B) 착색층, 및 황색(Y) 착색층을 적절히 조합할 수 있다. 착색층을 사용하면, 착색층이 없는 경우와 비교하여 높은 색 재현성을 얻을 수 있다. 여기서, 착색층이 있는 영역과 착색층이 없는 영역을 제공함으로써, 착색층이 없는 영역에서의 백색광을 직접 표시에 이용하여도 좋다. 착색층이 없는 영역을 부분적으로 제공함으로써, 착색층으로 인한 밝은 화상의 휘도 저하를 억제할 수 있고, 소비전력을 약 20% 내지 30% 저감할 수 있는 경우가 있다. 유기 EL 소자 또는 무기 EL 소자 등의 자기 발광 소자를 사용하여 풀 컬러 표시를 수행하는 경우, 소자들이 R, G, B, Y, 및 W의 각각의 광을 방출하여도 좋다. 자기 발광 소자를 사용함으로써, 착색층을 사용하는 경우와 비교하여 소비전력이 더 저감되는 경우가 있다.
- [0418] 착색 시스템으로서, 다음 시스템 중 어느 것을 사용하여도 좋다: 백색광의 일부를 컬러 필터를 통하여 적색광, 녹색광, 및 청색광으로 변환하는 상술한 착색 시스템; 적색광, 녹색광, 및 청색광을 사용하는 3색 시스템; 및 청색광의 일부를 적색광 또는 녹색광으로 변환하는 색 변환 시스템 또는 퀀텀닷(quantum dot) 시스템이다.
- [0419] 본 실시형태에서는, 표시 소자로서 액정 소자를 포함하는 구조 및 표시 소자로서 EL 소자를 포함하는 구조에 대하여 도 16, 도 17, 및 도 18을 참조하여 설명한다. 도 16 및 도 17은 각각 도 15에서의 일점쇄선 Q-R를 따른 단면도이고 표시 소자로서 액정 소자를 포함하는 구조를 도시한 것이다. 도 18은 도 15에서의 일점쇄선 Q-R를 따른 단면도이고 표시 소자로서 EL 소자를 포함하는 구조를 도시한 것이다.
- [0420] 우선, 도 16, 도 17, 및 도 18에서 공통된 부분에 대하여 설명하고 나서, 상이한 부분에 대하여 설명한다.
- [0421] <3-1. 표시 장치에 공통된 부분>
- [0422] 도 16, 도 17, 및 도 18에서의 표시 장치(700)는 리드 배선부(711), 화소부(702), 소스 드라이버 회로부(704), FPC 단자부(708), 및 실란트(712)를 포함한다. 리드 배선부(711)는 신호선(710)을 포함한다. 화소부(702)는

트랜지스터(750) 및 용량 소자(790)를 포함한다. 소스 드라이버 회로부(704)는 트랜지스터(752)를 포함한다.

- [0423] 트랜지스터(750) 및 트랜지스터(752)는 각각 도 3의 (A) 및 (B)에 도시된 트랜지스터(100B)와 비슷한 구조를 갖는다. 또한, 트랜지스터(750) 및 트랜지스터(752)는 각각 상기 실시형태에서 설명한 다른 트랜지스터들 중 어느 것의 구조를 가져도 좋다.
- [0424] 본 실시형태에서 사용되는 트랜지스터는, 고순도화되며 산소 결손의 형성이 억제된 산화물 반도체막을 포함한다. 이 트랜지스터는 낮은 오프 상태 전류를 가질 수 있다. 따라서, 화상 신호 등의 전기 신호가 오랫동안 유지될 수 있고, 온 상태에서 기록 간격을 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 저감할 수 있어, 소비전력이 억제된다.
- [0425] 또한, 본 실시형태에서 사용되는 트랜지스터는 비교적 높은 전계 효과 이동도를 가질 수 있기 때문에, 고속 동작이 가능하다. 예를 들어, 고속 동작이 가능한 이러한 트랜지스터를 포함한 액정 표시 장치에서는 화소부의 스위칭 트랜지스터와 드라이버 회로부의 구동 트랜지스터를 하나의 기판 위에 형성할 수 있다. 즉, 실리콘 웨이퍼 등을 사용하여 형성된 추가적인 반도체 장치를 구동 회로로서 필요로 하지 않는다; 그러므로, 반도체 장치의 부품 수를 저감할 수 있다. 또한, 고속 동작이 가능한 트랜지스터를 화소부에 사용함으로써, 고품질의 화상을 제공할 수 있다.
- [0426] 용량 소자(790)는 하부 전극 및 상부 전극을 포함한다. 하부 전극은 트랜지스터(750)의 제 1 게이트 전극으로서 기능하는 도전막이 되는 도전막을 가공하는 공정을 거쳐 형성된다. 상부 전극은 트랜지스터(750)의 소스 전극 및 드레인 전극, 또는 제 2 게이트 전극으로서 기능하는 도전막이 되는 도전막을 가공하는 공정을 거쳐 형성된다. 하부 전극과 상부 전극 사이에는, 트랜지스터(750)의 제 1 게이트 절연막으로서 기능하는 절연막이 되는 절연막을 형성하는 공정을 거쳐 형성되는 절연막과, 트랜지스터(750) 위의 보호 절연막으로서 기능하는 절연막이 되는 절연막을 형성하는 공정을 거쳐 형성되는 절연막이 제공된다. 즉, 용량 소자(790)는 한 쌍의 전극 사이에 유전체막으로서 기능하는 절연막이 위치한 적층 구조를 갖는다.
- [0427] 도 16, 도 17, 및 도 18에서는, 트랜지스터(750), 트랜지스터(752), 및 용량 소자(790) 위에 평탄화 절연막(770)이 제공된다.
- [0428] 도 16, 도 17, 및 도 18에는 각각 화소부(702)에 포함되는 트랜지스터(750)와, 소스 드라이버 회로부(704)에 포함되는 트랜지스터(752)가 동일한 구조를 갖는 예를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 화소부(702)와 소스 드라이버 회로부(704)는 상이한 트랜지스터를 포함하여도 좋다. 구체적으로는, 화소부(702)에 톱 게이트 트랜지스터를 사용하고 소스 드라이버 회로부(704)에 보텀 게이트 트랜지스터를 사용하는 구조, 또는 화소부(702)에 보텀 게이트 트랜지스터를 사용하고 소스 드라이버 회로부(704)에 톱 게이트 트랜지스터를 사용하는 구조를 채용하여도 좋다. 또한, "소스 드라이버 회로부(704)"라는 용어를 "게이트 드라이버 회로부"라는 용어로 치환할 수 있다.
- [0429] 신호선(710)은 트랜지스터(750) 및 트랜지스터(752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 동일한 공정을 거쳐 형성된다. 구리를 포함하는 재료를 사용하여 신호선(710)을 형성하는 경우, 배선 저항으로 인한 신호 지연 등이 저감되고, 이에 의하여 대화면 표시가 가능해진다.
- [0430] FPC 단자부(708)는 접속 전극(760), 이방성 도전막(780), 및 FPC(716)를 포함한다. 또한, 접속 전극(760)은, 트랜지스터(750) 및 트랜지스터(752)의 소스 전극 및 드레인 전극으로서 기능하는 도전막과 동일한 공정을 거쳐 형성된다. 접속 전극(760)은, 이방성 도전막(780)을 통하여 FPC(716)에 포함되는 단자와 전기적으로 접속된다.
- [0431] 예를 들어, 제 1 기판(701) 및 제 2 기판(705)으로서, 유리 기판을 사용할 수 있다. 제 1 기판(701) 및 제 2 기판(705)으로서, 플렉시블 기판을 사용하여도 좋다. 플렉시블 기판의 예는 플라스틱 기판이다.
- [0432] 제 1 기판(701)과 제 2 기판(705) 사이에 구조체(778)가 제공된다. 구조체(778)는, 절연막의 선택적 에칭에 의하여 얻어지는 기둥형 스페이서이며, 제 1 기판(701)과 제 2 기판(705) 사이의 거리(셀 갭)를 제어하기 위하여 제공된다. 또는, 구조체(778)로서, 구(球)형 스페이서를 사용하여도 좋다.
- [0433] 제 2 기판(705) 측에는, 블랙 매트릭스로서 기능하는 차광막(738), 컬러 필터로서 기능하는 착색막(736), 및 차광막(738) 및 착색막(736)과 접하는 절연막(734)이 제공된다.
- [0434] <3-2. 액정 소자를 포함하는 표시 장치의 구조예>
- [0435] 도 16에서의 표시 장치(700)는 액정 소자(775)를 포함한다. 액정 소자(775)는, 도전막(772), 도전막(774), 및

액정층(776)을 포함한다. 도전막(774)은, 제 2 기관(705) 측에 제공되며 대향 전극으로서 기능한다. 도 16에 서의 표시 장치(700)는, 도전막(772)과 도전막(774) 사이에 인가되는 전압에 따라 변화되는 액정층(776)의 배향 상태에 의하여 광의 투과 또는 비투과를 제어하는 식으로, 화상을 표시할 수 있다.

- [0436] 도전막(772)은, 트랜지스터(750)의 소스 전극 또는 드레인 전극으로서 기능하는 도전막과 전기적으로 접속된다. 도전막(772)은, 평탄화 절연막(770) 위에 형성되고, 화소 전극, 즉 표시 소자의 한쪽 전극으로서 기능한다.
- [0437] 가시광을 투과시키는 도전막 또는 가시광을 반사하는 도전막을, 도전막(772)으로서 사용할 수 있다. 예를 들어, 인듐(In), 아연(Zn), 및 주석(Sn) 중에서 선택되는 원소를 포함하는 재료를, 가시광을 투과시키는 도전막에 사용하여도 좋다. 예를 들어, 알루미늄 또는 은을 포함하는 재료를, 가시광을 반사하는 도전막에 사용하여도 좋다.
- [0438] 가시광을 반사하는 도전막이 도전막(772)으로서 사용되는 경우, 표시 장치(700)는 반사형 액정 표시 장치가 된다. 가시광을 투과시키는 도전막이 도전막(772)으로서 사용되는 경우, 표시 장치(700)는 투과형 액정 표시 장치가 된다.
- [0439] 도전막(772) 위의 구조를 변경함으로써 액정 소자의 구동 방법을 변경할 수 있고, 이 경우의 예를 도 17에 도시하였다. 도 17에 도시된 표시 장치(700)는 액정 소자의 구동 모드로서 수평 전개 모드(예를 들어, FFS 모드)를 채용하는 예이다. 도 17에 도시된 구조에서는, 절연막(773)이 도전막(772) 위에 제공되고, 도전막(774)이 절연막(773) 위에 제공된다. 이러한 구조에서, 도전막(774)은 공통 전극으로서 기능하고, 절연막(773)을 통하여 도전막(772)과 도전막(774) 사이에 생기는 전계는 액정층(776)의 배향 상태를 제어할 수 있다.
- [0440] 도 16 및 도 17에 도시되지 않았지만, 도전막(772) 및/또는 도전막(774)에는 액정층(776)과 접하는 측에 배향막을 제공하여도 좋다. 도 16 및 도 17에 도시되지 않았지만, 편광 부재, 위상차 부재, 또는 반사 방지 부재 등의 광학 부재(광학 기관) 등을 적절히 제공하여도 좋다. 예를 들어, 편광 기관 및 위상차 기관을 사용함으로써 원편광을 얻어도 좋다. 또한, 광원으로서 백라이트 또는 사이드 라이트 등을 사용하여도 좋다.
- [0441] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽(thermotropic) 액정, 저분자 액정, 고분자 액정, 폴리머 분산형 액정, 강유전성 액정, 또는 반(anti)강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는, 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 또는 등방상 등을 나타낸다.
- [0442] 수평 전개 모드를 채용하는 경우, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루상은, 콜레스테릭 액정의 온도가 상승될 때 콜레스테릭상이 등방상으로 전이하기 직전에 생기는 액정상 중 하나이다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 향상시키기 위하여, 수증량% 이상의 키랄제를 혼합한 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정, 및 키랄제를 포함하는 액정 조성물은 응답 속도가 짧고, 광학적 등방성을 갖고, 이에 의하여 배향 처리가 불필요하게 된다. 배향막을 제공할 필요가 없기 때문에, 러빙 처리가 불필요하다; 따라서, 러빙 처리에 의하여 생기는 정전기 방전 대미지를 방지할 수 있고, 제작 공정에서의 액정 표시 장치의 불량 및 대미지를 저감할 수 있다. 또한, 블루상을 나타내는 액정 재료는 시야각 의존성이 작다.
- [0443] 표시 소자로서 액정 소자를 사용하는 경우, TN(twisted nematic) 모드, IPS(in-plane switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, 또는 AFLC(anti-ferroelectric liquid crystal) 모드 등을 사용할 수 있다.
- [0444] 또한, 수직 배향(VA: vertical alignment) 모드의 투과형 액정 표시 장치 등의 노멀리 블랙 액정 표시 장치를 사용하여도 좋다. 수직 배향 모드의 예에는 몇 가지 예가 있다; 예를 들어, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, 또는 ASV 모드 등을 채용할 수 있다.
- [0445] <3-3. 발광 소자를 포함하는 표시 장치>
- [0446] 도 18에 도시된 표시 장치(700)는 발광 소자(782)를 포함한다. 발광 소자(782)는 도전막(772), EL층(786), 및 도전막(788)을 포함한다. 도 18에 도시된 표시 장치(700)는 발광 소자(782)의 EL층(786)으로부터의 발광을 이용함으로써 화상을 표시할 수 있다. 또한, EL층(786)은 퀀텀닷으로서 유기 화합물 또는 무기 화합물을 포함한다.
- [0447] 유기 화합물에 사용할 수 있는 재료의 예에는 형광 재료 및 인광 재료가 포함된다. 퀀텀닷에 사용할 수 있는 재료의 예에는 콜로이드상 퀀텀닷 재료, 합금형 퀀텀닷 재료, 코어 셸형 퀀텀닷 재료, 및 코어형 퀀텀닷 재료가

포함된다. 제 12족 및 제 16족에 속하는 원소, 제 13족 및 제 15족에 속하는 원소, 또는 제 14족 및 제 16족에 속하는 원소를 포함하는 재료를 사용하여도 좋다. 또는, 카드뮴(Cd), 셀레늄(Se), 아연(Zn), 황(S), 인(P), 인듐(In), 텔루륨(Te), 납(Pb), 갈륨(Ga), 비소(As), 또는 알루미늄(Al) 등의 원소를 포함하는 쿼터닷 재료를 사용하여도 좋다.

- [0448] 증착법(진공 증착법을 포함함), 액적 토출법(잉크젯법이라고도 함), 코팅법, 또는 그라비아 인쇄법 등의 방법에 의하여, 상술한 유기 화합물, 및 무기 화합물을 퇴적할 수 있다. 저분자 재료, 중분자 재료(올리고머 및 덴드리머를 포함함), 또는 고분자 재료가 EL층(786)에 포함되어도 좋다.
- [0449] 여기서는, 액적 토출법에 의한 EL층(786)의 형성 방법에 대하여, 도 21의 (A) 내지 (D)를 참조하여 설명한다. 도 21의 (A) 내지 (D)는 EL층(786)의 형성 방법을 도시한 단면도이다.
- [0450] 우선, 도전막(772)을 평탄화 절연막(770) 위에 형성하고, 도전막(772)의 일부를 덮도록 절연막(730)을 형성한다(도 21의 (A) 참조).
- [0451] 그리고, 절연막(730)의 개구인 도전막(772)의 노출된 부분에, 액적 토출 장치(783)로부터 액적(784)을 토출하여, 조성물을 포함하는 층(785)을 형성한다. 액적(784)은 용매를 포함하는 조성물이며, 도전막(772)에 부착된다(도 21의 (B) 참조).
- [0452] 또한, 액적(784)의 토출 공정은 감압하에서 수행해져도 좋다.
- [0453] 다음에, 조성물을 포함하는 층(785)으로부터 용매를 제거하고, 그 층을 고체화하여 EL층(786)을 형성한다(도 21의 (C) 참조).
- [0454] 용매를 건조 또는 가열에 의하여 제거하여도 좋다.
- [0455] 다음에, EL층(786) 위에 도전막(788)을 형성한다; 따라서, 발광 소자(782)가 형성된다(도 21의 (D) 참조).
- [0456] 상술한 바와 같이, 액적 토출법에 의하여 EL층(786)을 형성하면, 조성물을 선택적으로 토출할 수 있다; 따라서, 재료의 낭비를 저감할 수 있다. 또한, 성형을 위한 리소그래피 공정 등이 불필요하기 때문에, 공정을 간략화할 수 있고, 저비용화를 실현할 수 있다.
- [0457] 상술한 액적 토출법은 조성물의 토출구를 구비한 노즐을 포함하는 수단, 또는 하나 또는 복수의 노즐을 갖는 헤드 등의 액적 토출 수단의 총칭이다.
- [0458] 다음에, 액적 토출법에 사용하는 액적 토출 장치에 대하여 도 22를 참조하여 설명한다. 도 22는 액적 토출 장치(1400)를 도시한 개념도이다.
- [0459] 액적 토출 장치(1400)는 액적 토출 수단(1403)을 포함한다. 또한, 액적 토출 수단(1403)은 헤드(1405) 및 헤드(1412)를 구비한다.
- [0460] 헤드(1405) 및 헤드(1412)는 제어 수단(1407)과 접속되고, 이 제어 수단(1407)이 컴퓨터(1410)에 의하여 제어된다; 따라서, 미리 프로그램된 패턴을 묘화할 수 있다.
- [0461] 묘화는 예를 들어, 기관(1402) 위에 형성되는 마커(1411)에 기초한 타이밍에서 수행하여도 좋다. 또는, 기관(1402)의 외단부를 바탕으로 기준점을 결정하여도 좋다. 여기서는, 활상 수단(1404)에 의하여 마커(1411)를 검출하고, 화상 처리 수단(1409)에 의하여 디지털 신호로 변환한다. 그리고, 디지털 신호를 컴퓨터(1410)에 의하여 인식하고 나서, 제어 신호를 생성하고 제어 수단(1407)으로 전송한다.
- [0462] 활상 수단(1404)으로서는 전하 결합 장치(CCD) 또는 상보형 금속 산화물 반도체(CMOS)를 사용한 이미지 센서 등을 사용할 수 있다. 또한, 기관(1402) 위에 형성될 패턴에 대한 정보는 기억 매체(1408)에 저장되고, 이 정보에 기초하여 제어 신호가 제어 수단(1407)으로 전송되어, 액적 토출 수단(1403)의 헤드(1405) 및 헤드(1412)가 개별적으로 제어될 수 있다. 재료 공급원(1413) 및 재료 공급원(1414)으로부터 배관을 통하여 토출되도록, 헤드(1405) 및 헤드(1412)에 각각 재료가 공급된다.
- [0463] 헤드(1405)의 내부에는, 점선(1406)으로 나타낸 바와 같이 액체 재료로 충전된 공간, 및 토출구인 노즐이 제공된다. 나타내지 않았지만, 헤드(1412)의 내부 구조는 헤드(1405)의 내부 구조와 비슷하다. 헤드(1405) 및 헤드(1412)의 노즐의 크기가 서로 상이하면, 상이한 재료를 상이한 폭으로 동시에 토출할 수 있다. 각 헤드로 복수의 발광 재료를 토출하여 묘화할 수 있다. 넓은 영역에 묘화하는 경우, 스루풋을 향상시키기 위하여, 복수의 노즐로부터 동일한 재료를 동시에 토출하여 묘화할 수 있다. 대형 기관을 사용하는 경우, 헤드(1405) 및 헤드

(1412)는 도 22에서 화살표(X), 화살표(Y), 및 화살표(Z)로 가리킨 방향으로 기관을 자유로이 주사할 수 있고, 패턴을 묘화하는 영역을 자유로이 설정할 수 있다. 따라서, 복수의 동일한 패턴을 하나의 기관 위에 묘화할 수 있다.

[0464] 또한, 조성물을 토출하는 공정은 감압하에서 수행하여도 좋다. 조성물을 토출할 때에 기관을 가열하여도 좋다. 조성물을 토출한 후, 건조 및 베이킹 중 한쪽 또는 양쪽 모두를 수행한다. 건조와 베이킹은 양쪽 가열 처리이지만, 목적, 온도, 및 시간이 상이하다. 건조 및 베이킹의 공정은 상압하 또는 감압하에서 레이저 조사, RTA(rapid thermal annealing), 또는 가열로를 사용한 가열 등에 의하여 수행한다. 또한, 이 가열 처리의 타이밍 및 횟수에 특별한 제한은 없다. 건조 및 베이킹의 공정 각각을 양호하게 수행하기 위한 온도는 기관의 재료 및 조성물의 성질에 의존한다.

[0465] 상술한 식으로, 액적 토출 장치로 EL층(786)을 형성할 수 있다.

[0466] 도 18에 도시된 표시 장치(700)의 설명으로 되돌아간다.

[0467] 도 18에서의 표시 장치(700)에서는, 평탄화 절연막(770) 및 도전막(772) 위에 절연막(730)이 제공된다. 절연막(730)은 도전막(772)의 일부를 덮는다. 또한, 발광 소자(782)는 톱 이미션 구조를 갖는다. 따라서, 도전막(788)은 투광성을 가지며, EL층(786)으로부터 방출되는 광을 투과시킨다. 본 실시형태에서는 톱 이미션 구조를 예시하였지만, 구조는 이에 한정되지 않는다. 예를 들어, 광이 도전막(772) 측으로 방출되는 보텀 이미션 구조, 또는 광이 도전막(772) 측 및 도전막(788) 측의 양쪽으로 방출되는 듀얼 이미션 구조를 채용하여도 좋다.

[0468] 착색막(736)은 발광 소자(782)와 중첩되도록 제공되고, 차광막(738)은 절연막(730)과 중첩되도록 리드 배선부(711) 및 소스 드라이버 회로부(704)에 제공된다. 착색막(736) 및 차광막(738)은 절연막(734)으로 덮인다. 발광 소자(782)와 절연막(734) 사이의 공간은 밀봉막(732)으로 충전되어 있다. 표시 장치(700)의 구조는 착색막(736)이 제공된 도 18의 예에 한정되지 않는다. 예를 들어, EL층(786)이 분리 착색에 의하여 형성되는 경우에는 착색막(736)이 없는 구조를 채용하여도 좋다.

[0469] <3-4. 입출력 장치가 제공되는 표시 장치의 구조예>

[0470] 도 17 및 도 18에 도시된 표시 장치(700)에는 입출력 장치를 제공하여도 좋다. 입출력 장치의 예로서는, 터치 패널 등을 들 수 있다.

[0471] 도 19는 도 17에 도시된 표시 장치(700)가 터치 패널(791)을 포함하는 구조를 도시한 것이다. 도 20은 도 18에 도시된 표시 장치(700)가 터치 패널(791)을 포함하는 구조를 도시한 것이다.

[0472] 도 19는 도 17에 도시된 표시 장치(700)에 터치 패널(791)이 제공되는 구조의 단면도이고, 도 20은 도 18에 도시된 표시 장치(700)에 터치 패널(791)이 제공되는 구조의 단면도이다.

[0473] 우선, 도 19 및 도 20에 도시된 터치 패널(791)에 대하여, 이하에서 설명한다.

[0474] 도 19 및 도 20에 도시된 터치 패널(791)은 기관(705)과 착색막(736) 사이에 제공되는, 소위 인셀 터치 패널이다. 터치 패널(791)은 착색막(736)을 형성하기 전에 기관(705) 측에 형성된다.

[0475] 또한, 터치 패널(791)은 차광막(738), 절연막(792), 전극(793), 전극(794), 절연막(795), 전극(796), 및 절연막(797)을 포함한다. 예를 들어, 손가락 또는 스타일러스 등의 물체가 근접하면, 전극(793) 및 전극(794)에서의 상호 용량의 변화를 검출할 수 있다.

[0476] 도 19 및 도 20에 도시된 트랜지스터(750)의 상부에는 전극(793)이 전극(794)과 교차되는 부분을 도시하였다. 전극(796)은 절연막(795)에 제공된 개구를 통하여 전극(794)을 끼우는 2개의 전극(793)과 전기적으로 접속된다. 또한, 도 19 및 도 20에는 전극(796)이 제공되는 영역이 화소부(702)에 제공되는 구조를 예로서 도시하였다; 그러나, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 전극(796)이 제공되는 영역을 소스 드라이버 회로부(704)에 제공하여도 좋다.

[0477] 전극(793) 및 전극(794)은 차광막(738)과 중첩되는 영역에 제공된다. 도 19에 도시된 바와 같이, 전극(793)은 발광 소자(775)와 중첩되지 않는 것이 바람직하다. 도 20에 도시된 바와 같이, 전극(793)은 액정 소자(782)와 중첩되지 않는 것이 바람직하다. 바꿔 말하면, 전극(793)은 발광 소자(782) 및 액정 소자(775)와 중첩되는 영역에 개구를 갖는다. 즉, 전극(793)은 메시 형상을 갖는다. 이러한 구조로 함으로써, 전극(793)은 발광 소자(782)로부터 방출되는 광을 차단하지 않거나 또는 전극(793)은 액정 소자(775)를 투과하는 광을 차단하지 않는다. 따라서, 터치 패널(791)이 제공되더라도 휘도는 저감되기 어렵기 때문에, 시인성이 높고 소비전력이 낮은

표시 장치를 얻을 수 있다. 또한, 전극(794)은 전극(793)의 구조와 비슷한 구조를 가질 수 있다.

- [0478] 전극(793) 및 전극(794)은 발광 소자(782)와 중첩되지 않기 때문에, 가시광에 대한 투과율이 낮은 금속 재료를 전극(793) 및 전극(794)에 사용할 수 있다. 또한, 전극(793) 및 전극(794)은 액정 소자(775)와 중첩되지 않기 때문에, 가시광에 대한 투과율이 낮은 금속 재료를 전극(793) 및 전극(794)에 사용할 수 있다.
- [0479] 따라서, 가시광의 투과율이 높은 산화물 재료를 사용하는 경우와 비교하여, 전극(793) 및 전극(794)의 저항을 저감할 수 있음으로써, 터치 패널의 센서의 감도를 높일 수 있다.
- [0480] 예를 들어, 전극(793), 전극(794), 및 전극(796)에 도전성 나노와이어를 사용하여도 좋다. 이 나노와이어는 1nm 이상 100nm 이하, 바람직하게는 5nm 이상 50nm 이하, 더 바람직하게는 5nm 이상 25nm 이하의 평균 직경을 가져도 좋다. 나노와이어로서는, Ag 나노와이어, Cu 나노와이어, 또는 Al 나노와이어 등의 금속 나노와이어, 또는 카본 나노튜브를 사용하여도 좋다. 예를 들어, Ag 나노와이어를 전극(793), 전극(794), 및 전극(796) 중 어느 하나, 또는 모두에 사용하는 경우, 가시광의 투과율을 89% 이상으로 할 수 있고, 시트 저항을 40Ω/square 이상 100Ω/square 이하로 할 수 있다.
- [0481] 인셀 터치 패널의 구조를 도 19 및 도 20에 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, 표시 장치(700) 위에 형성되는 터치 패널, 소위, 온셀 터치 패널, 또는 표시 장치(700)에 부착되는 터치 패널, 소위 아웃셀 터치 패널을 사용하여도 좋다.
- [0482] 이런 식으로, 본 발명의 일 형태의 표시 장치는 다양한 종류의 터치 패널과 조합할 수 있다.
- [0483] 또한, 본 실시형태에서 설명한 구조는 다른 실시형태들에서 설명하는 구조들 중 임의의 것과 적절히 조합할 수 있다.
- [0484] (실시형태 7)
- [0485] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치를 포함하는 표시 장치에 대하여 도 23의 (A) 내지 (C)를 참조하여 설명한다.
- [0486] <4. 표시 장치의 회로 구성>
- [0487] 도 23의 (A)에 도시된 표시 장치는 표시 소자의 화소를 포함하는 영역(이하에서는 화소부(502)라고 함), 화소부(502) 외부에 제공되고 화소를 구동하는 회로를 포함하는 회로부(이하에서는 이 회로부를 드라이버 회로부(504)라고 함), 소자를 보호하는 기능을 갖는 회로(이하에서는 이 회로를 보호 회로(506)라고 함), 및 단자부(507)를 포함한다. 또한, 보호 회로(506)를 반드시 제공할 필요는 없다.
- [0488] 드라이버 회로부(504)의 일부 또는 전체는, 화소부(502)가 형성된 기판 위에 형성되는 것이 바람직하다. 이로써, 부품 수 및 단자의 수를 저감할 수 있다. 드라이버 회로부(504)의 일부 또는 전체가, 화소부(502)가 형성된 기판 위에 형성되지 않는 경우, 드라이버 회로부(504)의 일부 또는 전체를 COG 또는 TAB(tape automated bonding)에 의하여 실장할 수 있다.
- [0489] 화소부(502)는, $X(X$ 는 2 이상의 자연수임)행 및 $Y(Y$ 는 2 이상의 자연수임)열로 배치된 표시 소자들을 구동시키기 위한 복수의 회로(이하에서는, 이 회로를 화소 회로(501)라고 함)를 포함한다. 드라이버 회로부(504)는, 화소를 선택하기 위하여 신호(주사 신호)를 공급하기 위한 회로(이하에서는, 이 회로를 게이트 드라이버(504a)라고 함) 및 화소의 표시 소자를 구동시키기 위하여 신호(데이터 신호)를 공급하기 위한 회로(이하에서는, 이 회로를 소스 드라이버(504b)라고 함) 등의 구동 회로를 포함한다.
- [0490] 게이트 드라이버(504a)는 시프트 레지스터 등을 포함한다. 게이트 드라이버(504a)는, 단자부(507)를 통하여 시프트 레지스터를 구동시키기 위한 신호를 받고, 신호를 출력한다. 예를 들어, 게이트 드라이버(504a)는, 스타트 펄스 신호 또는 클럭 신호 등을 받고, 펄스 신호를 출력한다. 게이트 드라이버(504a)는, 주사 신호가 공급되는 복수의 배선(이하에서는, 주사선(GL₁) 내지 주사선(GL_X)이라고 함)의 전위를 제어하는 기능을 갖는다. 또한, 복수의 게이트 드라이버(504a)를 제공하여 주사선(GL₁) 내지 주사선(GL_X)을 개별적으로 제어하여도 좋다. 또는, 게이트 드라이버(504a)는, 초기화 신호를 공급하는 기능을 갖는다. 이에 한정되지 않고, 게이트 드라이버(504a)로부터는 다른 신호가 공급될 수 있다.
- [0491] 소스 드라이버(504b)는 시프트 레지스터 등을 포함한다. 소스 드라이버(504b)는, 단자부(507)를 통하여 시프트 레지스터를 구동시키기 위한 신호뿐만 아니라, 데이터 신호가 생성되는 신호(화상 신호)를 받는다. 소스 드라이버(504b)는, 화소 회로(501)에 기록될, 화상 신호로부터 데이터 신호를 생성하는 기능을 갖는다. 또한, 소스

드라이버(504b)는, 스타트 펄스 신호 또는 클럭 신호 등의 입력에 의하여 생성되는 펄스 신호에 따라, 데이터 신호의 출력을 제어하는 기능을 갖는다. 또한, 소스 드라이버(504b)는, 데이터 신호가 공급되는 복수의 배선(이하에서는, 데이터선(DL₁) 내지 데이터선(DL_{*n*})이라고 함)의 전위를 제어하는 기능을 갖는다. 또는, 소스 드라이버(504b)는, 초기화 신호를 공급하는 기능을 갖는다. 이에 한정되지 않고, 소스 드라이버(504b)로부터는 다른 신호가 공급될 수 있다.

- [0492] 소스 드라이버(504b)는 예를 들어, 복수의 아날로그 스위치를 포함한다. 소스 드라이버(504b)는, 복수의 아날로그 스위치를 순차적으로 온 상태로 함으로써 얻어지는 시분할 화상 신호를 데이터 신호로서 출력할 수 있다. 소스 드라이버(504b)는 시프트 레지스터 등을 포함하여도 좋다.
- [0493] 주사 신호가 공급되는 복수의 주사선(GL) 중 하나 및 데이터 신호가 공급되는 복수의 데이터선(DL) 중 하나를 통하여, 복수의 화소 회로(501) 각각에, 펄스 신호 및 데이터 신호가 각각 입력된다. 복수의 화소 회로(501) 각각에서의 데이터 신호의 기록 및 유지는, 게이트 드라이버(504a)에 의하여 제어된다. 예를 들어, *m*행 및 *n*열(*m*은 *X* 이하의 자연수이고, *n*은 *Y* 이하의 자연수임)의 화소 회로(501)에는, 주사선(GL_{*m*})을 통하여 게이트 드라이버(504a)로부터 펄스 신호가 입력되고, 주사선(GL_{*m*})의 전위에 따라 데이터선(DL_{*n*})을 통하여 소스 드라이버(504b)로부터 데이터 신호가 입력된다.
- [0494] 도 23의 (A)에서의 보호 회로(506)는, 예를 들어 게이트 드라이버(504a)와 화소 회로(501) 사이의 주사선(GL)과 접속된다. 또는, 보호 회로(506)는, 소스 드라이버(504b)와 화소 회로(501) 사이의 데이터선(DL)과 접속된다. 또는, 보호 회로(506)는, 게이트 드라이버(504a)와 단자부(507) 사이의 배선과 접속될 수 있다. 또는, 보호 회로(506)는, 소스 드라이버(504b)와 단자부(507) 사이의 배선과 접속될 수 있다. 또한, 단자부(507)란, 외부 회로로부터 표시 장치에 전력, 제어 신호, 및 화상 신호를 입력하기 위한 단자를 갖는 부분을 말한다.
- [0495] 보호 회로(506)는, 이 보호 회로와 접속된 배선에 특정한 범위 외의 전위가 공급되었을 때에, 이 보호 회로에 접속된 배선을 다른 배선과 전기적으로 접속시킨다.
- [0496] 도 23의 (A)에 도시된 바와 같이, 화소부(502) 및 드라이버 회로부(504)에 제공되는 보호 회로(506)는, ESD(electrostatic discharge) 등에 의하여 발생하는 과전류에 대한 표시 장치의 저항을 향상시킬 수 있다. 또한, 보호 회로(506)의 구성은 이에 한정되지 않는다; 예를 들어, 게이트 드라이버(504a) 또는 소스 드라이버(504b)와 보호 회로(506)가 접속될 수 있다. 또는, 단자부(507)와 보호 회로(506)가 접속될 수 있다.
- [0497] 본 발명의 일 형태는 드라이버 회로부(504)가 게이트 드라이버(504a) 및 소스 드라이버(504b)를 포함하는 도 23의 (A)의 예에 한정되지 않는다. 예를 들어, 게이트 드라이버(504a)만을 형성하여도 좋고, 별도로 준비된 소스 드라이버 회로가 형성된 기관(예를 들어, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기관)을 실장하여도 좋다.
- [0498] 도 23의 (A)에서의 복수의 화소 회로(501) 각각은 예를 들어, 도 23의 (B)에 도시된 구성을 가질 수 있다.
- [0499] 도 23의 (B)에서의 화소 회로(501)는 액정 소자(570), 트랜지스터(550), 및 용량 소자(560)를 포함한다. 트랜지스터(550)로서는, 상기 실시형태에서 설명한 트랜지스터를 사용할 수 있다.
- [0500] 화소 회로(501)의 사양에 따라, 액정 소자(570)의 한 쌍의 전극 중 한쪽의 전위가 적절히 설정된다. 액정 소자(570)의 배향 상태는 기록되는 데이터에 의존한다. 복수의 화소 회로(501) 각각에 포함되는 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공통 전위를 공급하여도 좋다. 화소 회로(501)에서의 액정 소자(570)의 한 쌍의 전극 중 한쪽에 공급되는 전위는 행마다 상이하여도 좋다.
- [0501] 액정 소자(570)를 포함하는 표시 장치의 구동 방법의 예에는, TN 모드, STN 모드, VA 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(anti-ferroelectric liquid crystal) 모드, MVA 모드, PVA(patterned vertical alignment) 모드, IPS 모드, FFS 모드, 및 TBA(transverse bend alignment) 모드가 포함된다. 표시 장치의 구동 방법의 다른 예에는 ECB(electrically controlled birefringence) 모드, PDLC(polymer-dispersed liquid crystal) 모드, PNLC(polymer network liquid crystal) 모드, 및 게스트-호스트 모드가 포함된다. 이에 한정되지 않고, 다양한 액정 소자 및 구동 방법을 사용할 수 있다.
- [0502] *m*행 및 *n*열에서의 화소 회로(501)에서, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 한쪽은, 데이터선(DL_{*n*})과 전기적으로 접속되고, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽과 전기적으로 접속된다. 트랜지스터(550)의 게이트 전극은 주사선(GL_{*m*})과 전기적으

로 접속된다. 트랜지스터(550)는, 온 상태 또는 오프 상태가 되어 데이터 신호가 기록될지를 제어한다.

- [0503] 용량 소자(560)의 한 쌍의 전극 중 한쪽은, 전위가 공급되는 배선(이하에서는, 전위 공급선(VL)이라고 함)과 전기적으로 접속되고, 용량 소자(560)의 한 쌍의 전극 중 다른 쪽은 액정 소자(570)의 한 쌍의 전극 중 다른 쪽과 전기적으로 접속된다. 전위 공급선(VL)의 전위는, 화소 회로(501)의 사양에 따라 적절히 설정된다. 용량 소자(560)는, 기록된 데이터를 저장하기 위한 저장 용량 소자(storage capacitor)로서 기능한다.
- [0504] 예를 들어, 도 23의 (B)에서의 화소 회로(501)를 포함하는 표시 장치에서는, 도 23의 (A)에서의 게이트 드라이버(504a)가 화소 회로(501)를 행마다 순차적으로 선택하여 트랜지스터(550)를 온 상태로 하고, 데이터 신호가 기록된다.
- [0505] 트랜지스터(550)가 오프 상태가 되면, 데이터가 기록된 화소 회로(501)는 유지 상태가 된다. 이 동작을 행마다 순차적으로 수행한다; 따라서, 화상을 표시할 수 있다.
- [0506] 또는, 도 23의 (A)에서의 복수의 화소 회로(501) 각각은, 예를 들어 도 23의 (C)에 도시된 구성을 가질 수 있다.
- [0507] 도 23의 (C)에서의 화소 회로(501)는, 트랜지스터(552) 및 트랜지스터(554), 용량 소자(562), 그리고 발광 소자(572)를 포함한다. 트랜지스터(552) 및/또는 트랜지스터(554)로서, 상기 실시형태에서 설명한 트랜지스터를 사용할 수 있다.
- [0508] 트랜지스터(552)의 소스 전극 및 드레인 전극 중 한쪽은, 데이터 신호가 공급되는 배선(이하에서는, 데이터선(DL_n)이라고 함)과 전기적으로 접속된다. 트랜지스터(552)의 게이트 전극은, 게이트 신호가 공급되는 배선(이하에서는, 주사선(GL_m)이라고 함)과 전기적으로 접속된다.
- [0509] 트랜지스터(552)는, 온 상태 또는 오프 상태가 되어 데이터 신호가 기록될지를 제어한다.
- [0510] 용량 소자(562)의 한 쌍의 전극 중 한쪽은, 전위가 공급되는 배선(이하에서는, 전위 공급선(VL_a)이라고 함)과 전기적으로 접속되고, 용량 소자(562)의 한 쌍의 전극 중 다른 쪽은 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속된다.
- [0511] 용량 소자(562)는, 기록된 데이터를 저장하기 위한 저장 용량 소자로서 기능한다.
- [0512] 트랜지스터(554)의 소스 전극 및 드레인 전극 중 한쪽은, 전위 공급선(VL_a)과 전기적으로 접속된다. 트랜지스터(554)의 게이트 전극은, 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속된다.
- [0513] 발광 소자(572)의 양극 및 음극 중 한쪽은, 전위 공급선(VL_b)과 전기적으로 접속되고, 발광 소자(572)의 양극 및 음극 중 다른 쪽은 트랜지스터(554)의 소스 전극 및 드레인 전극 중 다른 쪽과 전기적으로 접속된다.
- [0514] 발광 소자(572)로서는, 예를 들어 유기 전계 발광 소자(유기 EL 소자라고도 함)를 사용할 수 있다. 또한, 발광 소자(572)는 이에 한정되지 않고, 무기 재료를 포함하는 무기 EL 소자이어도 좋다.
- [0515] 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 한쪽에 고전원 전위(V_{DD})가 공급되고, 전위 공급선(VL_a) 및 전위 공급선(VL_b) 중 다른 쪽에 저전원 전위(V_{SS})가 공급된다.
- [0516] 도 23의 (C)에서의 화소 회로(501)를 포함하는 표시 장치에서는, 도 23의 (A)에서의 게이트 드라이버(504a)가 화소 회로(501)를 행마다 순차적으로 선택하여 트랜지스터(552)를 온 상태로 하고, 데이터 신호가 기록된다.
- [0517] 트랜지스터(552)가 오프 상태가 되면, 데이터가 기록된 화소 회로(501)는 유지 상태가 된다. 또한, 트랜지스터(554)의 소스 전극과 드레인 전극 사이에 흐르는 전류량은, 기록된 데이터 신호의 전위에 따라 제어된다. 발광 소자(572)는 흐르는 전류의 양에 대응하는 휘도로 광을 방출한다. 이 동작을 행마다 순차적으로 수행한다; 따라서, 화상을 표시할 수 있다.
- [0518] 또한, 본 실시형태에서 설명한 구조는 다른 실시형태들에서 설명하는 구조들 중 임의의 것과 적절히 조합할 수 있다.
- [0519] (실시형태 8)
- [0520] 본 실시형태에서는, 상기 실시형태에서 설명한 트랜지스터를 적용할 수 있는 회로 구성예에 대하여, 도 24의 (A) 내지 (C), 도 25의 (A) 내지 (C), 도 26의 (A) 및 (B), 그리고 도 27의 (A) 및 (B)를 참조하여 설명한다.

- [0521] 또한, 본 실시형태에서의 이하의 설명에서는, 상기 실시형태에서 설명한 산화물 반도체를 포함하는 트랜지스터를 OS 트랜지스터라고 한다.
- [0522] <5. 인버터 회로의 구성예>
- [0523] 도 24의 (A)는 구동 회로에 포함되는 시프트 레지스터 또는 버퍼 등에 사용할 수 있는 인버터의 회로도이다. 인버터(800)는, 논리가 입력 단자(IN)에 공급되는 신호의 논리로부터 반전되는 신호를 출력 단자(OUT)에 출력한다. 인버터(800)는 복수의 OS 트랜지스터를 포함한다. 신호 S_{BG} 는 OS 트랜지스터의 전기 특성을 전환할 수 있다.
- [0524] 도 24의 (B)는 인버터(800)의 예를 도시한 것이다. 인버터(800)는 OS 트랜지스터(810) 및 OS 트랜지스터(820)를 포함한다. n-채널 트랜지스터만을 사용하여 인버터(800)를 형성할 수 있다; 따라서, 상보형 금속 산화물 반도체(즉, CMOS 인버터)를 사용하여 형성한 인버터보다 저렴한 비용으로 인버터(800)를 형성할 수 있다.
- [0525] 또한, OS 트랜지스터를 포함하는 인버터(800)는 Si 트랜지스터를 포함하는 CMOS 회로 위에 제공될 수 있다. 인버터(800)는 CMOS 회로와 중첩되도록 제공될 수 있기 때문에, 인버터(800)에는 추가 면적은 필요 없으므로, 회로 면적의 증가를 억제할 수 있다.
- [0526] OS 트랜지스터(810) 및 OS 트랜지스터(820) 각각은 프론트 게이트로서 기능하는 제 1 게이트, 백 게이트로서 기능하는 제 2 게이트, 소스 및 드레인 중 한쪽으로서 기능하는 제 1 단자, 및 소스 및 드레인 중 다른 쪽으로서 기능하는 제 2 단자를 포함한다.
- [0527] OS 트랜지스터(810)의 제 1 게이트는 제 2 단자와 접속된다. OS 트랜지스터(810)의 제 2 게이트는 신호 S_{BG} 를 공급하는 배선과 접속된다. OS 트랜지스터(810)의 제 1 단자는 전압(V_{DD})을 공급하는 배선과 접속된다. OS 트랜지스터(810)의 제 2 단자는 출력 단자(OUT)와 접속된다.
- [0528] OS 트랜지스터(820)의 제 1 게이트는 입력 단자(IN)와 접속된다. OS 트랜지스터(820)의 제 2 게이트는 입력 단자(IN)와 접속된다. OS 트랜지스터(820)의 제 1 단자는 출력 단자(OUT)와 접속된다. OS 트랜지스터(820)의 제 2 단자는 전압(V_{SS})을 공급하는 배선과 접속된다.
- [0529] 도 24의 (C)는 인버터(800)의 동작을 도시한 타이밍 차트이다. 도 24의 (C)에서의 타이밍 차트는 입력 단자(IN)의 신호 파형, 출력 단자(OUT)의 신호 파형, 신호 S_{BG} 의 신호 파형, 및 OS 트랜지스터(810)의 문턱 전압의 변화를 도시한 것이다.
- [0530] 신호 S_{BG} 를 OS 트랜지스터(810)의 제 2 게이트에 공급하여 OS 트랜지스터(810)의 문턱 전압을 제어할 수 있다.
- [0531] 신호 S_{BG} 는 음의 방향으로 문턱 전압을 시프트하기 위한 전압(V_{BG-A}) 및 양의 방향으로 문턱 전압을 시프트하기 위한 전압(V_{BG-B})을 포함한다. OS 트랜지스터(810)의 문턱 전압은 전압(V_{BG-A})이 제 2 게이트에 인가될 때 문턱 전압(V_{TH-A})이 되도록 음의 방향으로 시프트될 수 있다. OS 트랜지스터(810)의 문턱 전압은 전압(V_{BG-B})이 제 2 게이트에 인가될 때 문턱 전압(V_{TH-B})이 되도록 양의 방향으로 시프트될 수 있다.
- [0532] 상기 설명을 가시화하기 위하여, 도 25의 (A)에는 트랜지스터의 전기 특성 중 하나인 I_d-V_g 곡선을 나타내었다.
- [0533] 전압(V_{BG-A}) 등의 고전압이 제 2 게이트에 인가될 때, OS 트랜지스터(810)의 전기 특성을 도 25의 (A)에서의 곡선(840)으로 나타낸 곡선과 일치하도록 시프트시킬 수 있다. 전압(V_{BG-B}) 등의 저전압이 제 2 게이트에 인가될 때, OS 트랜지스터(810)의 전기 특성을 도 25의 (A)에서의 실선(841)으로 나타낸 곡선과 일치하도록 시프트시킬 수 있다. 도 25의 (A)에 나타낸 바와 같이, 전압(V_{BG-A})과 전압(V_{BG-B}) 사이에서 신호 S_{BG} 를 전환함으로써, OS 트랜지스터(810)의 문턱 전압이 양의 방향 또는 음의 방향으로 시프트될 수 있다.
- [0534] 문턱 전압의 문턱 전압(V_{TH-B})으로의 양 방향 시프트는 OS 트랜지스터(810)에서 전류가 흐르기 어렵게 할 수 있다. 도 25의 (B)는 이 상태를 가시화한다.
- [0535] 도 25의 (B)에 도시된 바와 같이, OS 트랜지스터(810)에서 흐르는 전류(I_B)를 매우 낮게 할 수 있다. 입력 단자(IN)에 공급된 신호가 고레벨이고 OS 트랜지스터(820)가 온(ON)일 때, 출력 단자(OUT)의 전압을 급격히 하강

시킬 수 있다.

- [0536] 도 25의 (B)에 도시된 바와 같이, OS 트랜지스터(810)에서 전류가 흐르기 어려운 상태를 얻을 수 있기 때문에, 도 24의 (C)에서의 타이밍 차트의 출력 단자의 신호 파형(831)을 가파르게 할 수 있다. 전압(V_{DD})을 공급하는 배선과 전압(V_{SS})을 공급하는 배선 사이의 숏-스루(shoot-through) 전류를 낮게 할 수 있어, 저전력으로 동작된다.
- [0537] 문턱 전압의 문턱 전압(V_{TH_A})으로의 음 방향 시프트는 OS 트랜지스터(810)에서 전류가 흐르기 쉽게 할 수 있다. 도 25의 (C)는 이 상태를 가시화한다. 도 25의 (C)에 도시된 바와 같이, 이때 흐르는 전류(I_A)는 적어도 전류(I_B)보다 높아질 수 있다. 따라서, 입력 단자(IN)에 공급된 신호가 저레벨이고 OS 트랜지스터(820)가 오프(OFF)일 때, 출력 단자(OUT)의 전압은 급격히 증가될 수 있다. 도 25의 (C)에 도시된 바와 같이, OS 트랜지스터(810)에서 전류가 흐르기 쉬운 상태를 얻을 수 있기 때문에, 도 24의 (C)에서의 타이밍 차트의 출력 단자의 신호 파형(832)을 가파르게 할 수 있다.
- [0538] 또한, OS 트랜지스터(810)의 문턱 전압은 OS 트랜지스터(820)의 상태가 전환되기 전, 즉 시간(T1) 또는 시간(T2) 전에, 신호 S_{BG} 에 의하여 제어되는 것이 바람직하다. 예를 들어, 도 24의 (C)와 같이, OS 트랜지스터(810)의 문턱 전압은, 입력 단자(IN)에 공급되는 신호의 레벨이 고레벨로 전환되는 시간(T1) 전에, 문턱 전압(V_{TH_A})로부터 문턱 전압(V_{TH_B})로 전환되는 것이 바람직하다. 또한, 도 24의 (C)와 같이, OS 트랜지스터(810)의 문턱 전압은, 입력 단자(IN)에 공급되는 신호의 레벨이 저레벨로 전환되는 시간(T2) 전에, 문턱 전압(V_{TH_B})로부터 문턱 전압(V_{TH_A})로 전환되는 것이 바람직하다.
- [0539] 도 24의 (C)에서의 타이밍 차트는 신호 S_{BG} 의 레벨이 입력 단자(IN)에 공급되는 신호에 따라 전환되는 구조를 도시한 것이지만, 예를 들어 문턱 전압을 제어하는 전압이 플로팅 상태에서 OS 트랜지스터(810)의 제 2 게이트에 의하여 유지되는 상이한 구조를 채용하여도 좋다. 도 26의 (A)는 이러한 회로 구성의 예를 도시한 것이다.
- [0540] 도 26의 (A)의 회로 구성은 OS 트랜지스터(850)가 추가되는 점을 제외하여, 도 24의 (B)와 동일하다. OS 트랜지스터(850)의 제 1 단자는 OS 트랜지스터(810)의 제 2 게이트와 접속된다. OS 트랜지스터(850)의 제 2 단자는 전압(V_{BG_B})(또는 전압(V_{BG_A}))를 공급하는 배선과 접속된다. OS 트랜지스터(850)의 제 1 게이트는 신호 S_F 를 공급하는 배선과 접속된다. OS 트랜지스터(850)의 제 2 게이트는 전압(V_{BG_B})(또는 전압(V_{BG_A}))를 공급하는 배선과 접속된다.
- [0541] 도 26의 (A)에서의 회로 구성의 동작에 대해서는 도 26의 (B)에서의 타이밍 차트를 참조하여 설명한다.
- [0542] OS 트랜지스터(810)의 문턱 전압을 제어하기 위한 전압은 입력 단자(IN)에 공급되는 신호의 레벨이 고레벨로 전환되는 시간(T3) 전에 OS 트랜지스터(810)의 제 2 게이트에 공급된다. 신호 S_F 가 고레벨로 설정되고 OS 트랜지스터(850)가 온 상태가 되어, 문턱 전압을 제어하기 위한 전압(V_{BG_B})은 노드(N_{BG})에 공급된다.
- [0543] OS 트랜지스터(850)는 노드(N_{BG})의 전압이 V_{BG_B} 가 된 후에 오프 상태가 된다. OS 트랜지스터(850)의 오프 상태 전류가 매우 낮기 때문에, OS 트랜지스터(850)가 오프 상태를 유지하는 동안 노드(N_{BG})에 의하여 전압(V_{BG_B})은 유지될 수 있다. 따라서, 전압(V_{BG_B})이 OS 트랜지스터(850)의 제 2 게이트에 공급되는 횟수는 저감될 수 있기 때문에, 전압(V_{BG_B})을 재기록하는 소비전력을 저감할 수 있다.
- [0544] 도 24의 (B) 및 도 26의 (A) 각각은 전압이 외부로부터의 제어에 의하여 OS 트랜지스터(810)의 제 2 게이트에 공급되는 경우를 도시한 것이지만, 예를 들어 문턱 전압을 제어하기 위한 전압이 입력 단자(IN)에 공급되는 신호를 바탕으로 생성되고 OS 트랜지스터(810)의 제 2 게이트에 공급되는, 상이한 구조를 채용하여도 좋다. 도 27의 (A)는 이러한 회로 구성의 예를 도시한 것이다.
- [0545] 도 27의 (A)에서의 회로 구성은 CMOS 인버터(860)가 입력 단자(IN)와 OS 트랜지스터(810)의 제 2 게이트 사이에 제공되는 점을 제외하여 도 24의 (B)와 동일하다. CMOS 인버터(860)의 입력 단자는 입력 단자(IN)와 접속된다. CMOS 인버터(860)의 출력 단자는 OS 트랜지스터(810)의 제 2 게이트와 접속된다.
- [0546] 도 27의 (A)에서의 회로 구성의 동작에 대해서는 도 27의 (B)에서의 타이밍 차트를 참조하여 설명한다. 도 27

의 (B)에서의 타이밍 차트는 입력 단자(IN)의 신호 파형, 출력 단자(OUT)의 신호 파형, CMOS 인버터(860)의 출력 파형(IN_B), 및 OS 트랜지스터(810)의 문턱 전압의 변화를 도시한 것이다.

- [0547] 논리가 입력 단자(IN)에 공급되는 신호의 논리로부터 반전되는 신호에 상응하는 출력 파형(IN_B)은 OS 트랜지스터(810)의 문턱 전압을 제어하는 신호로서 사용될 수 있다. 따라서, OS 트랜지스터(810)의 문턱 전압은 도 25의 (A) 내지 (C)를 참조하여 설명한 바와 같이 제어될 수 있다. 예를 들어, 도 27의 (B)에서의 시간 T4에서, 입력 단자(IN)에 공급되는 신호는 고레벨이고 OS 트랜지스터(820)는 온 상태가 된다. 이때, 출력 파형(IN_B)은 저레벨이다. 따라서, 전류는 OS 트랜지스터(810)에서 흐르기 어려워질 수 있다; 따라서, 출력 단자(OUT)의 전압을 급격히 하강시킬 수 있다.
- [0548] 또한, 도 27의 (B)에서의 시간(T5)에서, 입력 단자(IN)에 공급되는 신호는 저레벨이고 OS 트랜지스터(820)는 오프 상태가 된다. 이때, 출력 파형(IN_B)은 고레벨이다. 따라서, 전류는 OS 트랜지스터(810)에서 흐르기 쉬워질 수 있다; 따라서, 출력 단자(OUT)의 전압의 상승은 가파르게 될 수 있다.
- [0549] 상술한 바와 같이, 본 실시형태에서 OS 트랜지스터를 포함하는 인버터의 구성에서, 백 게이트의 전압은 입력 단자(IN)에 공급되는 신호의 논리에 따라 전환된다. 이러한 구성에서, OS 트랜지스터의 문턱 전압을 제어할 수 있다. 입력 단자(IN)에 공급되는 신호에 의한 OS 트랜지스터의 문턱 전압의 제어는, 출력 단자(OUT)의 전압의 가파른 변화를 일으킬 수 있다. 또한, 전원 전압을 공급하는 배선들 사이의 숏-스루 전류를 저감할 수 있다. 따라서, 소비전력을 저감할 수 있다.
- [0550] 또한, 본 실시형태에서 설명한 구조는 다른 실시형태들에서 설명하는 구조들 중 임의의 것과 적절히 조합할 수 있다.
- [0551] (실시형태 9)
- [0552] 본 실시형태에서는, 상기 실시형태에서 설명한 산화물 반도체를 포함하는 트랜지스터(OS 트랜지스터)를 복수의 회로에 사용하는 반도체 장치의 예에 대하여, 도 28의 (A) 내지 (E), 도 29의 (A) 및 (B), 도 30의 (A) 및 (B), 그리고 도 31의 (A) 내지 (C)를 참조하여 설명한다.
- [0553] <6. 반도체 장치의 회로 구성예>
- [0554] 도 28의 (A)는 반도체 장치(900)의 블록도이다. 반도체 장치(900)는 전원 회로(901), 회로(902), 전압 생성 회로(903), 회로(904), 전압 생성 회로(905), 및 회로(906)를 포함한다.
- [0555] 전원 회로(901)는 기준으로서 사용되는 전압(V_{ORG})을 생성하는 회로이다. 전압(V_{ORG})은 반드시 단일의 전압일 필요는 없고 복수의 전압일 수 있다. 전압(V_{ORG})은 반도체 장치(900)의 외부로부터 공급되는 전압(V_0)을 바탕으로 생성될 수 있다. 반도체 장치(900)는 외부로부터 공급되는 단일의 전원 전압을 바탕으로 전압 (V_{ORG})를 생성될 수 있다. 따라서, 반도체 장치(900)는 외부로부터 복수의 전원 전압을 공급받지 않고 동작할 수 있다.
- [0556] 회로(902), 회로(904), 및 회로(906)는 상이한 전원 전압으로 동작한다. 예를 들어, 회로(902)의 전원 전압은 전압(V_{ORG}) 및 전압(V_{SS})($V_{ORG} > V_{SS}$)을 바탕으로 인가되는 전압이다. 예를 들어, 회로(904)의 전원 전압은 전압(V_{POG}) 및 전압(V_{SS})($V_{POG} > V_{ORG}$)을 바탕으로 인가되는 전압이다. 예를 들어, 회로(906)의 전원 전압은 전압(V_{ORG}), 전압(V_{SS}), 및 전압(V_{NEG})($V_{ORG} > V_{SS} > V_{NEG}$)을 바탕으로 인가되는 전압이다. 전압(V_{SS})이 접지 전위(GND)와 동등하면, 전원 회로(901)에서 생성하는 전압의 종류를 삭감할 수 있다.
- [0557] 전압 생성 회로(903)는 전압(V_{POG})을 생성하는 회로이다. 전압 생성 회로(903)는 전원 회로(901)로부터 공급되는 전압(V_{ORG})을 바탕으로 전압(V_{POG})을 생성할 수 있다. 따라서, 회로(904)를 포함하는 반도체 장치(900)는 외부로부터 공급되는 단일의 전원 전압을 바탕으로 동작할 수 있다.
- [0558] 전압 생성 회로(905)는 전압(V_{NEG})을 생성하는 회로이다. 전압 생성 회로(905)는 전원 회로(901)로부터 공급되는 전압(V_{ORG})을 바탕으로 전압(V_{NEG})을 생성할 수 있다. 따라서, 회로(906)를 포함하는 반도체 장치(900)는 외부로부터 공급되는 단일의 전원 전압을 바탕으로 동작할 수 있다.
- [0559] 도 28의 (B)는 전압(V_{POG})으로 동작하는 회로(904)의 예를 도시한 것이고, 도 28의 (C)는 회로(904)를 동작시키기 위한 신호의 파형의 예를 도시한 것이다.

- [0560] 도 28의 (B)는 트랜지스터(911)를 도시한 것이다. 트랜지스터(911)의 게이트에 공급되는 신호는, 예를 들어 전압(V_{POG}) 및 전압(V_{SS})을 바탕으로 생성된다. 이 신호는 트랜지스터(911)가 온 상태가 될 때 전압(V_{POG})을 바탕으로 생성되고, 트랜지스터(911)가 오프 상태가 될 때 전압(V_{SS})을 바탕으로 생성된다. 도 28의 (C)에 나타난 바와 같이, 전압(V_{POG})은 전압(V_{ORG})보다 크다. 그러므로, 트랜지스터(911)의 소스(S)와 드레인(D) 사이의 도통 상태를 더 확실하게 얻을 수 있다. 결과적으로, 회로(904)의 오동작의 빈도를 저감할 수 있다.
- [0561] 도 28의 (D)는 전압(V_{NEG})으로 동작하는 회로(906)의 예를 도시한 것이고, 도 28의 (E)는 회로(906)를 동작시키기 위한 신호의 파형의 예를 도시한 것이다.
- [0562] 도 28의 (D)는 백 게이트를 갖는 트랜지스터(912)를 도시한 것이다. 트랜지스터(912)의 게이트에 공급되는 신호는 예를 들어, 전압(V_{ORG}) 및 전압(V_{SS})을 바탕으로 생성된다. 이 신호는 트랜지스터(912)가 온 상태가 될 때 전압(V_{ORG})을 바탕으로 생성되고, 트랜지스터(912)가 오프 상태가 될 때 전압(V_{SS})을 바탕으로 생성된다. 트랜지스터(912)의 백 게이트에 공급되는 신호는 전압(V_{NEG})을 바탕으로 생성된다. 도 28의 (E)에 나타난 바와 같이, 전압(V_{NEG})은 전압(V_{SS})(GND)보다 낮다. 그러므로, 트랜지스터(912)의 문턱 전압이 양의 방향으로 시프트되도록 제어할 수 있다. 따라서, 트랜지스터(912)를 확실하게 오프 상태로 전환할 수 있고, 소스(S)와 드레인(D) 사이를 흐르는 전류를 저감할 수 있다. 결과적으로, 회로(906)의 오동작의 빈도를 저감할 수 있고, 그 소비전력을 저감할 수 있다.
- [0563] 전압(V_{NEG})을 트랜지스터(912)의 백 게이트에 직접 공급하여도 좋다. 또는, 전압(V_{ORG}) 및 전압(V_{NEG})을 바탕으로 트랜지스터(912)의 게이트에 공급되는 신호를 생성하여도 좋고, 생성된 신호를 트랜지스터(912)의 백 게이트에 공급하여도 좋다.
- [0564] 도 29의 (A) 및 (B)는 도 28의 (D) 및 (E)의 변형예를 도시한 것이다.
- [0565] 도 29의 (A)에 도시된 회로도에서는, 제어 회로(921)에 의하여 도통 상태가 제어될 수 있는 트랜지스터(922)가 전압 생성 회로(905)와 회로(906) 사이에 제공된다. 트랜지스터(922)는 n-채널 OS 트랜지스터이다. 제어 회로(921)로부터 출력되는 제어 신호 S_{BG} 는 트랜지스터(922)의 도통 상태를 제어하기 위한 신호이다. 회로(906)에 포함되는 트랜지스터(912A) 및 트랜지스터(912B)는 트랜지스터(922)와 동일한 OS 트랜지스터이다.
- [0566] 도 29의 (B)에서의 타이밍 차트는 제어 신호 S_{BG} 의 전위 및 노드(N_{BG})의 전위의 변화를 나타낸 것이다. 노드(N_{BG})의 전위는 트랜지스터(912A) 및 트랜지스터(912B)의 백 게이트의 전위 상태를 가리킨다. 제어 신호 S_{BG} 가 고레벨일 때 트랜지스터(922)가 온 상태가 되고, 노드(N_{BG})의 전압이 전압(V_{NEG})이 된다. 그리고, 제어 신호 S_{BG} 가 저레벨일 때 노드(N_{BG})가 전기적으로 플로팅 상태가 된다. 트랜지스터(922)는 OS 트랜지스터이기 때문에, 오프 상태 전류가 낮다. 따라서, 노드(N_{BG})가 전기적으로 플로팅 상태가 되더라도 공급된 전압(V_{NEG})을 유지할 수 있다.
- [0567] 도 30의 (A)는 상술한 전압 생성 회로(903)에 적용 가능한 회로 구성의 예를 도시한 것이다. 도 30의 (A)에 도시된 전압 생성 회로(903)는 다이오드(D1) 내지 다이오드(D5), 용량 소자(C1) 내지 용량 소자(C5), 및 인버터(INV)를 포함하는 5단의 차지 펌프이다. 클록 신호 CLK는 용량 소자(C1) 내지 용량 소자(C5)에 직접 또는 인버터(INV)를 통하여 공급된다. 인버터(INV)의 전원 전압이 전압(V_{ORG}) 및 전압(V_{SS})을 바탕으로 인가되는 전압일 때, 클록 신호 CLK의 인가에 의하여 전압(V_{ORG})을 전압(V_{ORG})과 전압(V_{SS})의 전위차의 5배로 승압함으로써 전압(V_{POG})을 얻을 수 있다. 또한, 다이오드(D1) 내지 다이오드(D5)의 순방향 전압은 0V이다. 차지 펌프의 단수를 변경하면, 원하는 전압(V_{POG})을 얻을 수 있다.
- [0568] 도 30의 (B)는 상술한 전압 생성 회로(905)에 적용 가능한 회로 구성의 예를 도시한 것이다. 도 30의 (B)에 도시된 전압 생성 회로(905)는 다이오드(D1) 내지 다이오드(D5), 용량 소자(C1) 내지 용량 소자(C5), 및 인버터(INV)를 포함하는 4단의 차지 펌프이다. 클록 신호 CLK는 용량 소자(C1) 내지 용량 소자(C5)에 직접 또는 인버터(INV)를 통하여 공급된다. 인버터(INV)의 전원 전압이 전압(V_{ORG}) 및 전압(V_{SS})을 바탕으로 인가되는 전압일 때, 클록 신호 CLK의 인가에 의하여 접지 전압, 즉, 전압(V_{SS})을 전압(V_{ORG})과 전압(V_{SS})의 전위차의 4배로 강압

함으로써 전압(V_{NEG})을 얻을 수 있다. 또한, 다이오드(D1) 내지 다이오드(D5)의 순방향 전압은 0V이다. 차지 펌프의 단수를 변경하면, 원하는 전압(V_{NEG})을 얻을 수 있다.

- [0569] 전압 생성 회로(903)의 회로 구성은 도 30의 (A)에 도시된 회로도의 구성에 한정되지 않는다. 전압 생성 회로(903)의 변형예를 도 31의 (A) 내지 (C)에 나타내었다. 또한, 도 31의 (A) 내지 (C)에 도시된 전압 생성 회로(903A) 내지 전압 생성 회로(903C)에서 배선에 공급되는 전압 또는 소자의 배치를 변경함으로써, 전압 생성 회로(903)의 변형예를 추가로 실현할 수 있다.
- [0570] 도 31의 (A)에 도시된 전압 생성 회로(903A)는 트랜지스터(M1) 내지 트랜지스터(M10), 용량 소자(C11) 내지 용량 소자(C14), 및 인버터(INV1)를 포함한다. 클록 신호 CLK는 트랜지스터(M1) 내지 트랜지스터(M10)의 게이트에 직접 또는 인버터(INV1)를 통하여 공급된다. 클록 신호 CLK의 인가에 의하여 전압(V_{ORG})을 전압(V_{ORG})과 전압(V_{SS})의 전위차의 4배로 승압함으로써 전압(V_{POG})을 얻을 수 있다. 단수를 변경하면, 원하는 전압(V_{POG})을 얻을 수 있다. 도 31의 (A)에서의 전압 생성 회로(903A)에서는, 트랜지스터(M1) 내지 트랜지스터(M10)가 OS 트랜지스터라면, 트랜지스터(M1) 내지 트랜지스터(M10) 각각의 오프 상태 전류를 낮게 할 수 있고, 용량 소자(C11) 내지 용량 소자(C14)에 유지된 전하의 누설을 억제할 수 있다. 따라서, 전압(V_{ORG})으로부터 전압(V_{POG})으로 효율적으로 승압할 수 있다.
- [0571] 도 31의 (B)에 도시한 전압 생성 회로(903B)는 트랜지스터(M11) 내지 트랜지스터(M14), 용량 소자(C15) 및 용량 소자(C16), 그리고 인버터(INV2)를 포함한다. 클록 신호 CLK는 트랜지스터(M11) 내지 트랜지스터(M14)의 게이트에 직접 또는 인버터(INV2)를 통하여 공급된다. 클록 신호 CLK의 인가에 의하여, 전압(V_{ORG})을 전압(V_{ORG})과 전압(V_{SS})의 전위차의 2배로 승압함으로써 전압(V_{POG})을 얻을 수 있다. 도 31의 (B)에서의 전압 생성 회로(903B)에서는, 트랜지스터(M11) 내지 트랜지스터(M14)가 OS 트랜지스터라면, 트랜지스터(M11) 내지 트랜지스터(M14) 각각의 오프 상태 전류를 낮게 할 수 있고, 용량 소자(C15) 및 용량 소자(C16)에 유지된 전하의 누설을 억제할 수 있다. 따라서, 전압(V_{ORG})으로부터 전압(V_{POG})으로 효율적으로 승압할 수 있다.
- [0572] 도 31의 (C)에서의 전압 생성 회로(903C)는 인덕터(Ind1), 트랜지스터(M15), 다이오드(D6), 및 용량 소자(C17)를 포함한다. 트랜지스터(M15)의 도통 상태는 제어 신호 EN에 의하여 제어된다. 전압(V_{ORG})을 승압함으로써 얻어지는 전압(V_{POG})을 제어 신호 EN에 의하여 얻을 수 있다. 도 31의 (C)에서의 전압 생성 회로(903C)는 인덕터(Ind1)를 사용하여 전압을 승압하기 때문에, 전압을 효율적으로 승압할 수 있다.
- [0573] 상술한 바와 같이, 본 실시형태의 구성 중 어느 것에서는 반도체 장치에 포함되는 회로에 필요한 전압을 내부에서 생성할 수 있다. 따라서, 반도체 장치에서 외부로부터 공급되는 전원 전압의 종류를 삭감할 수 있다.
- [0574] 또한, 본 실시형태에서 설명한 구조 등은 다른 실시형태들에서 설명하는 구조들 중 임의의 것과 적절히 조합할 수 있다.
- [0575] (실시형태 10)
- [0576] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치를 각각 포함하는 표시 모듈 및 전자 기기에 대하여, 도 32, 도 33의 (A) 내지 (E), 도 34의 (A) 내지 (G), 그리고 도 35의 (A) 및 (B)를 참조하여 설명한다.
- [0577] <7-1. 표시 모듈>
- [0578] 도 32에 도시된 표시 모듈(7000)에서, 상부 커버(7001)와 하부 커버(7002) 사이에, FPC(7003)와 접속된 터치 패널(7004), FPC(7005)와 접속된 표시 패널(7006), 백라이트(7007), 프레임(7009), 인쇄 기관(7010), 및 배터리(7011)가 제공된다.
- [0579] 본 발명의 일 형태의 반도체 장치는 예를 들어, 표시 패널(7006)에 사용될 수 있다.
- [0580] 상부 커버(7001) 및 하부 커버(7002)의 형상 및 크기는, 터치 패널(7004) 및 표시 패널(7006)의 크기에 따라 적절히 변경될 수 있다.
- [0581] 터치 패널(7004)은, 저항 터치 패널 또는 정전 터치 패널일 수 있고, 표시 패널(7006)과 중첩될 수 있다. 또는, 표시 패널(7006)의 대향 기관(밀봉 기관)은 터치 패널 기능을 가질 수 있다. 또는, 표시 패널(7006)의 각 화소에 포토센서를 제공하여, 광학식 터치 패널을 형성하여도 좋다.

- [0582] 백라이트(7007)는 광원(7008)을 포함한다. 본 발명의 일 형태는 광원(7008)이 백라이트(7007) 위에 제공된 도 32의 구조에 한정되지 않는다. 예를 들어, 백라이트(7007)의 단부에 광원(7008)이 제공되고, 광 확산판이 더 제공되는 구조를 채용하여도 좋다. 또한, 유기 EL 소자 등의 자기 발광의 발광 소자를 사용하는 경우 또는 반사형 패널 등을 채용하는 경우, 백라이트(7007)를 제공할 필요는 없다.
- [0583] 프레임(7009)은 표시 패널(7006)을 보호하고, 인쇄 기관(7010)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자기 실드로서 기능한다. 프레임(7009)은 방열판(radiator plate)으로서 기능하여도 좋다.
- [0584] 인쇄 기관(7010)은, 전원 회로와, 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로를 포함한다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원, 또는 별도의 배터리(7011)를 사용하여도 좋다. 배터리(7011)는 상용 전원을 사용하는 경우에는 생략할 수 있다.
- [0585] 표시 모듈(7000)에, 편광판, 위상차판, 또는 프리즘 시트 등의 부재를 추가적으로 제공하여도 좋다.
- [0586] <7-2. 전자 기기 1>
- [0587] 다음에, 도 33의 (A) 내지 (E)는 전자 기기의 예를 도시한 것이다.
- [0588] 도 33의 (A)는 파인더(8100)가 장착된 카메라(8000)의 외관도이다.
- [0589] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 및 셔터 버튼(8004) 등을 포함한다. 또한, 탈착 가능한 렌즈(8006)가 카메라(8000)에 장착된다.
- [0590] 여기서는, 카메라(8000)의 렌즈(8006)는 교환을 위하여 하우징(8001)으로부터 떼어낼 수 있지만, 렌즈(8006)는 하우징(8001)에 포함되어도 좋다.
- [0591] 셔터 버튼(8004)을 눌러서 카메라(8000)로 화상을 찍을 수 있다. 또한, 터치 패널로서 기능하는 표시부(8002)를 터치하여 화상을 찍을 수 있다.
- [0592] 카메라(8000)의 하우징(8001)은 전극을 포함하는 마운트를 포함하여, 파인더(8100) 또는 스트로보스코프 등을 하우징(8001)에 접속시킬 수 있다.
- [0593] 파인더(8100)는 하우징(8101), 표시부(8102), 및 버튼(8103) 등을 포함한다.
- [0594] 하우징(8101)은 카메라(8000)의 마운트와 연결하는 마운트를 포함하여, 파인더(8100)를 카메라(8000)에 접속시킬 수 있다. 이 마운트는 전극을 포함하고 전극을 통하여 카메라(8000)로부터 수신한 화상 등을 표시부(8102)에 표시할 수 있다.
- [0595] 버튼(8103)은 전원 버튼으로서 기능한다. 버튼(8103)으로 표시부(8102)의 온/오프 상태를 온 상태 및 오프 상태로 전환할 수 있다.
- [0596] 본 발명의 일 형태의 표시 장치를 카메라(8000)의 표시부(8002), 및 파인더(8100)의 표시부(8102)에 사용할 수 있다.
- [0597] 도 33의 (A)에서 카메라(8000)와 파인더(8100)는 분리되고 탈착 가능한 전자 기기이지만, 카메라(8000)의 하우징(8001)에는 표시 장치를 갖는 파인더가 포함되어도 좋다.
- [0598] 도 33의 (B)는 헤드 마운트 디스플레이(8200)의 외관도이다.
- [0599] 헤드 마운트 디스플레이(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 및 케이블(8205) 등을 포함한다. 장착부(8201)는 배터리(8206)를 포함한다.
- [0600] 케이블(8205)을 통하여 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 포함하여, 화상 데이터 등의 영상 데이터를 수신하고, 그것을 표시부(8204)에 표시한다. 본체(8203)의 카메라에 의하여 사용자의 눈알 및 눈꺼풀의 움직임을 파악하고 나서, 그 파악한 데이터를 사용하여 시점의 좌표를 산출함으로써, 사용자의 눈을 입력 수단으로서 이용한다.
- [0601] 장착부(8201)는 사용자와 접하도록 복수의 전극을 포함하여도 좋다. 본체(8203)는 사용자의 눈알의 움직임에 따라 전극을 흐르는 전류를 검지하여 사용자의 눈의 방향을 인식하여도 좋다. 본체(8203)는 상기 전극을 흐르는 전류를 검지하여 사용자의 맥박을 모니터하여도 좋다. 장착부(8201)는 온도 센서, 압력 센서, 또는 가속도 센서 등의 센서를 포함하여 사용자의 생체 정보를 표시부(8204)에 표시시킬 수 있어도 좋다. 본체(8203)는 사용자의 머리 등의 움직임을 검지하여 사용자의 머리 등의 움직임에 맞추어 표시부(8204)에 표시하는 화상을 움

직여도 좋다.

- [0602] 표시부(8204)에 본 발명의 일 형태의 표시 장치를 사용할 수 있다.
- [0603] 도 33의 (C) 내지 (E)는 헤드 마운트 디스플레이(8300)의 외관도이다. 헤드 마운트 디스플레이(8300)는 하우징(8301), 표시부(8302), 고정 밴드(8304), 및 한 쌍의 렌즈(8305)를 포함한다.
- [0604] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 볼 수 있다. 표시부(8302)는 만곡되는 것이 바람직하다. 표시부(8302)가 만곡되면, 사용자는 화상의 높은 현실감을 느낄 수 있다. 본 실시형태에서 예로서 설명한 구조는 하나의 표시부(8302)를 갖지만, 제공되는 표시부(8302)의 수는 하나에 한정되지 않는다. 예를 들어, 2개의 표시부(8302)를 제공하여도 좋고, 이 경우, 하나의 표시부가 사용자의 한쪽 눈에 대응하도록 제공되어, 시차(視差)를 사용한 입체적인 표시 등이 가능해진다.
- [0605] 본 발명의 일 형태의 표시 장치를 표시부(8302)에 사용할 수 있다. 본 발명의 일 형태의 반도체 장치를 포함하는 표시 장치는 해상도가 매우 높다; 따라서, 도 33의 (E)에 도시된 바와 같이, 렌즈(8305)를 사용하여 화상을 확대하더라도, 사용자는 화소를 인식하지 않기 때문에, 더 현실적인 화상을 표시할 수 있다.
- [0606] <7-3. 전자 기기 2>
- [0607] 다음에, 도 34의 (A) 내지 (G)는 도 33의 (A) 내지 (E)에 도시된 전자 기기의 예와 상이한 전자 기기의 예를 도시한 것이다.
- [0608] 도 34의 (A) 내지 (G)에 도시된 전자 기기는, 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006), 센서(9007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 소리, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기율기, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서), 및 마이크로폰(9008) 등을 포함한다.
- [0609] 도 34의 (A) 내지 (G)에서의 전자 기기는 다양한 정보(예를 들어, 정지 화상, 동영상, 및 텍스트 화상)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 및 시간 등을 표시하는 기능, 다양한 소프트웨어(프로그램)로 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능으로 다양한 컴퓨터 네트워크에 접속되는 기능, 무선 통신 기능으로 다양한 데이터를 송수신하는 기능, 및 기록 매체에 저장된 프로그램 또는 데이터를 판독하고 표시부에 표시하는 기능 등의 다양한 기능을 갖는다. 또한, 도 34의 (A) 내지 (G)에서의 전자 기기의 기능은 이에 한정되지 않고, 전자 기기는 다양한 기능을 가질 수 있다. 도 34의 (A) 내지 (G)에는 도시되지 않았지만, 전자 기기들은 각각 복수의 표시부를 가져도 좋다. 또한, 전자 기기들 각각에 카메라 등이 제공되어, 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영한 화상을 메모리 매체(외부 메모리 매체 또는 카메라에 내장되는 메모리 매체)에 저장하는 기능, 또는 촬영한 화상을 표시부에 표시하는 기능 등을 가져도 좋다.
- [0610] 도 34의 (A) 내지 (G)에서의 전자 기기에 대하여 이하에서 자세히 설명한다.
- [0611] 도 34의 (A)는 텔레비전 장치(9100)를 도시한 사시도이다. 텔레비전 장치(9100)는 예를 들어, 50인치 이상, 또는 100인치 이상의 큰 화면 크기를 갖는 표시부(9001)를 포함할 수 있다.
- [0612] 도 34의 (B)는 휴대 정보 단말(9101)의 사시도이다. 휴대 정보 단말(9101)은 예를 들어, 전화기, 노트, 및 정보 열람 시스템 중 하나 이상으로서 기능한다. 구체적으로는, 휴대 정보 단말(9101)은 스마트폰으로서 사용할 수 있다. 또한, 휴대 정보 단말(9101)은 스피커(9003), 접속 단자(9006), 또는 센서(9007) 등을 포함하여도 좋다. 휴대 정보 단말(9101)은 문자 및 화상 정보를 그 복수의 면에 표시할 수 있다. 예를 들어, 3개의 조작 버튼(9050)(조작 아이콘 또는 단순히 아이콘이라고도 함)을 표시부(9001)의 하나의 면에 표시할 수 있다. 또한, 파선의 직사각형으로 가리킨 정보(9051)를 표시부(9001)의 다른 면에 표시할 수 있다. 정보(9051)의 예에는, 이메일, SNS(social networking service) 메시지, 또는 전화의 수신을 알리는 표시, 이메일 또는 SNS 메시지의 제목 및 송신자, 날짜, 시각, 배터리의 잔량, 및 안테나의 수신 강도가 포함된다. 또는, 정보(9051) 대신에 조작 버튼(9050) 등을 표시하여도 좋다.
- [0613] 도 34의 (C)는 휴대 정보 단말(9102)의 사시도이다. 휴대 정보 단말(9102)은 표시부(9001)의 3개 이상의 면에 정보를 표시하는 기능을 갖는다. 여기서는, 정보(9052), 정보(9053), 및 정보(9054)가 상이한 면에 표시된다. 예를 들어, 휴대 정보 단말(9102)의 사용자는, 자신 옷의 가슴 포켓에 휴대 정보 단말(9102)을 넣은 상태로 표시(여기서는, 정보(9053))를 볼 수 있다. 구체적으로는, 착신한 전화의 발신자의 전화 번호 또는 이름 등이, 휴대 정보 단말(9102)의 상방에서 볼 수 있는 위치에 표시된다. 사용자는 휴대 정보 단말(9102)을 포켓으로부

터 꺼내지 않고 표시를 보고, 전화를 받을지 여부를 결정할 수 있다.

- [0614] 도 34의 (D)는 시계형 휴대 정보 단말(9200)의 사시도이다. 휴대 정보 단말(9200)은 이동 전화, 이메일, 문자의 열람 및 편집, 음악 재생, 인터넷 통신, 및 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다. 표시부(9001)의 표시면이 만곡되고, 만곡된 표시면에 표시가 수행될 수 있다. 휴대 정보 단말(9200)은, 통신 표준에 맞는 근거리 무선 통신을 채용할 수 있다. 예를 들어, 휴대 정보 단말(9200)과 무선 통신이 가능한 헤드셋 간의 상호 통신에 의하여 핸즈프리 통화를 실현할 수 있다. 또한, 휴대 정보 단말(9200)은 접속 단자(9006)를 포함하고, 커넥터를 통하여 다른 정보 단말과 직접 데이터 통신을 수행할 수 있다. 접속 단자(9006)를 통한 충전도 가능하다. 또한, 접속 단자(9006)를 사용하지 않고 무선 급전에 의하여 충전 동작을 수행하여도 좋다.
- [0615] 도 34의 (E), (F), 및 (G)는 각각, 펼친 상태, 펼친 상태에서부터 접힌 상태로 시프트되거나 접힌 상태에서부터 펼친 상태로 시프트되는 도중 상태, 그리고 접힌 상태인 폴더블 휴대 정보 단말(9201)이다. 휴대 정보 단말(9201)은 접힌 경우에 휴대성이 높다. 휴대 정보 단말(9201)을 펼치면, 이음매가 없고 큰 표시 영역에 의하여 일람성이 높다. 휴대 정보 단말(9201)의 표시부(9001)는, 힌지(9055)에 의하여 연결된 3개의 하우징(9000)에 의하여 지지된다. 인접한 2개의 하우징(9000) 사이의 힌지(9055)에서 접힘으로써, 휴대 정보 단말(9201)을, 펼친 상태에서 접은 상태로 가역적으로 변형할 수 있다. 예를 들어, 휴대 정보 단말(9201)은 곡률 반경 1mm 이상 150mm 이하로 구부릴 수 있다.
- [0616] 다음에, 도 33의 (A) 내지 (E) 그리고 도 34의 (A) 내지 (G)에 도시된 전자 기기와 상이한 전자 기기의 예를 도 35의 (A) 및 (B)에 도시하였다. 도 35의 (A) 및 (B)는 복수의 표시 패널을 포함하는 표시 장치의 사시도이다. 도 35의 (A)에서의 사시도는 복수의 표시 패널을 만 상태이고, 도 35의 (B)에서의 사시도는 편 상태이다.
- [0617] 도 35의 (A) 및 (B)에 도시된 표시 장치(9500)는 복수의 표시 패널(9501), 힌지(9511), 및 베어링(9512)을 포함한다. 복수의 표시 패널(9501)은 각각 표시 영역(9502) 및 광 투과 영역(9503)을 포함한다.
- [0618] 복수의 표시 패널(9501) 각각은 플렉시블하다. 인접한 2개의 표시 패널(9501)은 서로 부분적으로 중첩되도록 제공된다. 예를 들어, 인접한 2개의 표시 패널(9501)의 광 투과 영역들(9503)을 서로 중첩시킬 수 있다. 복수의 표시 패널(9501)로 큰 화면을 갖는 표시 장치를 얻을 수 있다. 이 표시 장치는 용도에 따라 표시 패널(9501)을 말 수 있기 때문에 범용성이 높다.
- [0619] 도 35의 (A) 및 (B)에서는 인접한 표시 패널들(9501)의 표시 영역들(9502)이 서로 분리되어 있지만, 이 구조에 한정되지 않고, 예를 들어 인접한 표시 패널들(9501)의 표시 영역들(9502)을 틈 없이 서로 중첩시켜 연속적인 표시 영역(9502)을 얻어도 좋다.
- [0620] 본 실시형태에서 설명한 전자 기기들은 어떤 종류의 정보를 표시하기 위한 표시부를 갖는 것을 특징으로 한다. 또한, 본 발명의 일 형태의 반도체 장치는 표시부를 갖지 않는 전자 기기에도 사용될 수 있다.
- [0621] 또한, 본 실시형태에서 설명한 구조는 다른 실시형태들에서 설명하는 구조들 중 임의의 것과 적절히 조합할 수 있다.
- [0622] (실시형태 11)
- [0623] <반도체 회로>
- [0624] 본 명세서 등에 개시된 트랜지스터를 다양한 반도체 회로에, 예를 들어, OR 회로, AND 회로, NAND 회로, 및 NOR 회로 등의 논리 회로, 인버터 회로, 버퍼 회로, 시프트 레지스터 회로, 플립플롭 회로, 인코더 회로, 디코더 회로, 증폭 회로, 아날로그 스위치 회로, 적분 회로, 미분 회로, 및 기억 소자 등을 사용할 수 있다.
- [0625] 본 명세서 등에 개시된 트랜지스터를 포함하는 반도체 회로의 예를 도 46의 (A) 내지 (C)에서의 회로도에 도시하였다. 회로드에서, 산화물 반도체를 포함하는 트랜지스터를 명확히 나타내기 위하여, 산화물 반도체를 포함하는 트랜지스터의 회로 기호 옆에 "OS"를 부기한다.
- [0626] 도 46의 (A)에 도시된 반도체 회로는, p-채널 트랜지스터(281)와 n-채널 트랜지스터(282)가 서로 직렬로 접속되며 트랜지스터들의 게이트가 서로 접속되는 인버터 회로의 구성을 갖는다.
- [0627] 도 46의 (B)에 도시된 반도체 회로는, p-채널 트랜지스터(281)와 n-채널 트랜지스터(282)가 서로 병렬로 접속되는 아날로그 스위치 회로의 구성을 갖는다.
- [0628] 도 46의 (C)에 도시된 반도체 회로는, 트랜지스터(281a), 트랜지스터(281b), 트랜지스터(282a), 및 트랜지스터

(282b)를 포함하는 NAND 회로의 구성을 갖는다. NAND 회로로부터 출력되는 전위는 입력 단자(IN_A) 및 입력 단자(IN_B)에 입력되는 전위의 조합에 따라 변화된다.

- [0629] <기억 장치>
- [0630] 도 47의 (A)에 도시된 반도체 회로는, 트랜지스터(289)의 소스 및 드레인 중 한쪽이 트랜지스터(1281)의 게이트, 및 용량 소자(257)의 한쪽 전극과 접속되는 기억 장치의 구성을 갖는다. 도 47의 (B)에 도시된 회로는, 트랜지스터(289)의 소스 및 드레인 중 한쪽이 용량 소자(257)의 한쪽 전극과 접속되는 기억 장치의 구성을 갖는다.
- [0631] 도 47의 (A) 및 (B)에 도시된 반도체 회로들 각각에서, 트랜지스터(289)의 소스 및 드레인 중 다른 쪽으로부터 주입된 전하는 노드(256)에 저장될 수 있다. 트랜지스터(289)는, 전하가 노드(256)에 오랫동안 유지될 수 있는, 산화물 반도체를 포함하는 트랜지스터이다.
- [0632] 트랜지스터(1281)는 도 47의 (A)에서의 p-채널 트랜지스터이지만, 트랜지스터(1281)는 n-채널 트랜지스터이어도 좋다. 예를 들어, 트랜지스터(281) 또는 트랜지스터(282)를 트랜지스터(1281)로서 사용하여도 좋다. OS 트랜지스터를 트랜지스터(1281)로서 사용하여도 좋다.
- [0633] 여기서, 도 47의 (A) 및 (B)에 도시된 반도체 장치(기억 장치)에 대하여 자세히 설명한다.
- [0634] 도 47의 (A)에 도시된 반도체 장치는 제 1 반도체를 사용한 트랜지스터(1281), 제 2 반도체를 사용한 트랜지스터(289), 및 용량 소자(257)를 포함한다.
- [0635] 트랜지스터(289)는 상기 실시형태에 개시된 OS 트랜지스터의 하나이다. 트랜지스터(289)는 오프 상태 전류가 낮기 때문에, 저장된 데이터를 반도체 장치의 소정의 노드에 오랫동안 유지할 수 있다. 바꿔 말하면, 리프래시 동작이 불필요해지거나 또는 리프래시 동작의 빈도를 매우 낮게 할 수 있기 때문에 기억 장치의 소비전력을 저감할 수 있다.
- [0636] 도 47의 (A)에서는 배선(251)이 트랜지스터(1281)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 배선(252)이 트랜지스터(1281)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 배선(253)이 트랜지스터(289)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 배선(254)이 트랜지스터(289)의 게이트와 전기적으로 접속된다. 트랜지스터(1281)의 게이트, 트랜지스터(289)의 소스 및 드레인 중 다른 쪽, 및 용량 소자(257)의 한쪽 전극이 노드(256)와 전기적으로 접속된다. 배선(255)이 용량 소자(257)의 다른 쪽 전극과 전기적으로 접속된다.
- [0637] 도 47의 (A)에서의 기억 장치는 노드(256)에 공급된 전하를 유지할 수 있다는 특징을 갖기 때문에, 아래와 같이 데이터의 기록, 유지, 및 판독이 가능하다.
- [0638] [기록 및 유지 동작]
- [0639] 데이터의 기록 및 유지에 대하여 설명한다. 우선, 배선(254)의 전위를 트랜지스터(289)가 온 상태가 되는 전위로 설정한다. 따라서, 배선(253)의 전위가 노드(256)에 공급된다. 즉, 소정의 전하가 노드(256)에 공급된다(기록). 여기서, 상이한 전위 레벨을 제공하는 2종류의 전하(이하에서는, "로(low) 레벨 전하" 및 "하이(high) 레벨 전하"라고 함) 중 한쪽이 공급된다. 그 후, 배선(254)의 전위를 트랜지스터(289)가 오프 상태가 되는 전위로 설정한다. 따라서, 전하는 노드(256)에 유지된다.
- [0640] 또한, 하이 레벨 전하는 로 레벨 전하보다 높은 전위를 노드(256)에 공급하는 전하이다. 트랜지스터(1281)가 p-채널 트랜지스터인 경우, 하이 레벨 전하 및 로 레벨 전하는 각각 트랜지스터(1281)의 문턱 전압보다 높은 전위를 공급하는 전하이다. 트랜지스터(1281)가 n-채널 트랜지스터인 경우, 하이 레벨 전하 및 로 레벨 전하는 각각 트랜지스터(1281)의 문턱 전압보다 낮은 전위를 공급하는 전하이다. 바꿔 말하면, 하이 레벨 전하 및 로 레벨 전하는 각각 트랜지스터(1281)가 오프 상태가 되는 전위를 공급하는 전하이다.
- [0641] 트랜지스터(289)의 오프 상태 전류가 매우 낮기 때문에, 노드(256)의 전하는 오랫동안 유지된다.
- [0642] [판독 동작]
- [0643] 다음에, 데이터의 판독에 대하여 설명한다. 배선(252)의 전위와 상이한 소정의 전위(일정한 전위)를 배선(251)에 공급하면서, 판독 전위(V_R)를 배선(255)에 공급함으로써, 노드(256)에 유지된 데이터를 판독할 수 있다.
- [0644] V_R 가 하이 레벨 전하의 경우에 공급되는 전위이고, V_L 이 로 레벨 전하의 경우에 공급되는 전위인, 판독 전위(V

V_R)를 $\{(V_{th}-V_H)+(V_{th}+V_L)\}/2$ 로 설정한다. 또한, 데이터가 판독되지 않는 기간에서의 배선(255)의 전위를, 트랜지스터(1281)가 p-채널 트랜지스터인 경우에는 V_H 보다 높은 전위로 설정하고, 트랜지스터(1281)가 n-채널 트랜지스터인 경우에는 V_L 보다 낮은 전위로 설정한다.

[0645] 예를 들어, 트랜지스터(1281)가 p-채널 트랜지스터인 경우, 트랜지스터(1281)의 V_{th} 가 -2V이고, V_H 가 1V이고, V_L 이 -1V이라면, V_R 는 -2V이다. 노드(256)에 기록된 전위가 V_H 이고 V_R 가 배선(255)에 인가되면, V_R+V_H , 즉, -1V가 트랜지스터(1281)의 게이트에 인가된다. -1V는 V_{th} 보다 높기 때문에, 트랜지스터(1281)는 온 상태가 되지 않는다. 따라서, 배선(252)의 전위는 변화되지 않는다. 노드(256)에 기록된 전위가 V_L 이고 V_R 가 배선(255)에 인가되면, V_R+V_L , 즉, -3V가 트랜지스터(1281)의 게이트에 인가된다. -3V는 V_{th} 보다 낮기 때문에, 트랜지스터(1281)는 온 상태가 된다. 따라서, 배선(252)의 전위는 변화된다.

[0646] 트랜지스터(1281)가 n-채널 트랜지스터인 경우, 트랜지스터(1281)의 V_{th} 가 2V이고, V_H 가 1V이고, V_L 이 -1V이라면, V_R 는 2V이다. 노드(256)에 기록된 전위가 V_H 이고 V_R 가 배선(255)에 인가되면, V_R+V_H , 즉, 3V가 트랜지스터(1281)의 게이트에 인가된다. 3V는 V_{th} 보다 높기 때문에, 트랜지스터(1281)는 온 상태가 된다. 따라서, 배선(252)의 전위는 변화된다. 노드(256)에 기록된 전위가 V_L 이고 V_R 가 배선(255)에 인가되면, V_R+V_L , 즉, 1V가 트랜지스터(1281)의 게이트에 인가된다. 1V는 V_{th} 보다 낮기 때문에, 트랜지스터(1281)는 온 상태가 되지 않는다. 따라서, 배선(252)의 전위는 변화되지 않는다.

[0647] 배선(252)의 전위를 결정함으로써, 노드(256)에 유지된 데이터를 판독할 수 있다.

[0648] 도 47의 (B)에서의 반도체 장치는 트랜지스터(1281)가 제공되지 않는 점에서 도 47의 (A)에서의 반도체 장치와 상이하다. 이 경우에도 데이터는 도 47의 (A)에서의 반도체 장치와 비슷한 식으로 기록 및 유지될 수 있다.

[0649] 도 47의 (B)에서의 반도체 장치의 데이터의 판독에 대하여 설명한다. 트랜지스터(289)가 온 상태가 되는 전위가 배선(254)에 공급되면, 플로팅 상태에 있는 배선(253), 및 용량 소자(257)가 도통 상태가 되고, 배선(253)과 용량 소자(257) 사이에서 전하가 재분배된다. 결과적으로, 배선(253)의 전위가 변화된다. 배선(253)의 전위의 변화량은 노드(256)의 전위(또는 노드(256)에 축적된 전하)에 따라 달라진다.

[0650] 예를 들어, 전하 재분배 후의 배선(253)의 전위는 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 이고, 여기서 V 는 노드(256)의 전위이고, C 는 용량 소자(257)의 용량이고, C_B 는 배선(253)의 용량 성분이고, V_{B0} 는 전하 재분배 전의 배선(253)의 전위이다. 따라서, 메모리 셀이 노드(256)의 전위가 V_1 및 $V_0 (V_1 > V_0)$ 인 2개의 상태 중 어느 상태에 있다고 가정하면, 전위(V_1)를 유지하는 경우의 배선(253)의 전위($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$)가 전위(V_0)를 유지하는 경우의 배선(253)의 전위($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$)보다 높다는 것을 알 수 있다.

[0651] 그리고, 배선(253)의 전위를 소정의 전위와 비교함으로써 데이터를 판독할 수 있다.

[0652] 산화물 반도체를 사용하며, 오프 상태 전류가 매우 낮은 트랜지스터를 포함하는 경우, 상술한 기억 장치는 저장된 데이터를 오랫동안 유지할 수 있다. 바꿔 말하면, 리프레시 동작이 불필요해지거나 또는 리프레시 동작의 빈도를 매우 낮게 할 수 있기 때문에, 반도체 장치의 소비전력을 저감할 수 있다. 또한 전력이 공급되지 않는 경우(또한 전위는 바람직하게는 고정됨)에도 저장된 데이터를 오랫동안 유지할 수 있다.

[0653] 이 기억 장치에서는, 데이터 기록에 높은 전압이 불필요하고 소자의 열화가 일어나기 어렵다. 예를 들어, 종래의 비휘발성 메모리와 달리, 예를 들어, 플로팅 게이트로의 전자의 주입 및 플로팅 게이트로부터의 전자의 추출이 불필요하기 때문에 절연체의 열화 등의 문제가 일어나지 않는다. 즉, 본 발명의 일 형태의 기억 장치는 종래의 비휘발성 메모리의 문제인 데이터를 재기록할 수 있는 횟수에 대한 제한이 없고, 그 신뢰성이 대폭으로 향상된 것이다. 또한, 트랜지스터의 온/오프 상태에 따라 데이터가 기록됨으로써, 고속 동작을 달성할 수 있다.

[0654] <CPU>

[0655] 다음에, 상술한 트랜지스터 중 어느 것을 포함하는 CPU의 예에 대하여 설명한다. 도 48은 상술한 트랜지스터 중 어느 것을 구성 요소로서 포함하는 CPU의 구조예를 도시한 블록도이다.

[0656] 도 48에 도시한 CPU는 기관(1190) 위에 ALU(1191)(arithmetic logic unit), ALU 컨트롤러(1192), 인스트럭션

디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(Bus I/F)(1198), 재기록 가능한 ROM(1199), 및 ROM 인터페이스(ROM I/F)(1189)를 포함한다. 기관(1190)으로서는 반도체 기관, SOI 기관, 또는 유리 기관 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)를 별개의 칩 위에 제공하여도 좋다. 도 48에서의 CPU는 구조를 간략화한 예일 뿐이고 실제의 CPU는 애플리케이션에 따라 다양한 구성을 가져도 좋다는 것은 말할 나위 없다. 예를 들어, CPU는 다음과 같은 구성을 가져도 좋다: 도 48에 도시된 CPU 또는 연산 회로를 포함하는 구조를 하나의 코어로 생각한다; 복수의 코어를 포함한다; 코어들이 병렬로 동작한다. CPU가 내부 연산 회로 또는 데이터 버스에서 처리할 수 있는 비트 수는 예를 들어, 8, 16, 32, 또는 64일 수 있다.

[0657] 버스 인터페이스(1198)를 통하여 CPU에 입력되는 명령은 인스트럭션 디코더(1193)에 입력되고 거기서 디코딩되고 나서, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)에 입력된다.

[0658] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 및 타이밍 컨트롤러(1195)는 디코딩된 명령에 따라 다양한 제어를 수행한다. 구체적으로, ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. CPU가 프로그램을 실행하는 동안, 인터럽트 컨트롤러(1194)는 외부 입출력 장치 또는 주변 회로로부터의 인터럽트 요구를 그 우선도 또는 마스크 상태를 바탕으로 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)로부터 데이터를 판독하거나 레지스터(1196)에 데이터를 기록한다.

[0659] 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는, 기준 클럭 신호를 바탕으로 내부 클럭 신호를 생성하는 내부 클럭 생성기를 포함하고, 내부 클럭 신호를 상기 회로에 공급한다.

[0660] 도 48에 도시된 CPU에서, 레지스터(1196)에 메모리 셀이 제공된다. 상술한 트랜지스터 중 어느 것 또는 상술한 기억 장치 등을 레지스터(1196)의 메모리 셀에 사용할 수 있다.

[0661] 도 48에 도시된 CPU에서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 명령에 따라 레지스터(1196)에서의 데이터 유지 동작을 선택한다. 즉, 레지스터 컨트롤러(1197)는 레지스터(1196)에 포함되는 메모리 셀에서 플립플롭에 의하여 데이터를 유지할지 또는 용량 소자에 의하여 데이터를 유지할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되면, 레지스터(1196)의 기억 소자에 전원 전압이 공급된다. 용량 소자에 의한 데이터 유지가 선택되면, 용량 소자에서 데이터가 재기록되고 레지스터(1196)의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0662] 도 49는 레지스터(1196)로서 사용될 수 있는 기억 소자의 회로도 예이다. 기억 소자(1730)는 전원 공급이 정지될 때 저장된 데이터가 휘발성인 회로(1701), 전원 공급이 정지되더라도 저장된 데이터가 비휘발성인 회로(1702), 스위치(1703), 스위치(1704), 논리 소자(1706), 용량 소자(1707), 및 선택 기능을 갖는 회로(1720)를 포함한다. 회로(1702)는 용량 소자(1708), 트랜지스터(1709), 및 트랜지스터(1710)를 포함한다. 또한, 기억 소자(1730)는 필요에 따라 다이오드, 레지스터, 또는 인덕터 등의 다른 소자를 더 포함하여도 좋다.

[0663] 여기서, 상술한 기억 장치를 회로(1702)로서 사용할 수 있다. 기억 소자(1730)에 대한 전원 전압의 공급이 정지되면, 접지 전위(0V), 또는 회로(1702)의 트랜지스터(1709)가 오프 상태가 되는 전위가 트랜지스터(1709)의 게이트에 계속 입력된다. 예를 들어, 트랜지스터(1709)의 게이트가 레지스터 등의 부하를 통하여 접지된다.

[0664] 여기서 스위치(1703)가 하나의 도전형을 갖는 트랜지스터(1713)(예를 들어, n-채널 트랜지스터)이고, 스위치(1704)가 이 하나의 도전형과 반대의 도전형을 갖는 트랜지스터(1714)(예를 들어, p-채널 트랜지스터)인 예에 대하여 설명한다. 스위치(1703)의 제 1 단자는 트랜지스터(1713)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1703)의 제 2 단자는 트랜지스터(1713)의 소스 및 드레인 중 다른 쪽에 대응하고, 스위치(1703)의 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(1713)의 온/오프 상태)은 트랜지스터(1713)의 게이트에 입력되는 제어 신호 RD에 의하여 선택된다. 스위치(1704)의 제 1 단자는 트랜지스터(1714)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1704)의 제 2 단자는 트랜지스터(1714)의 소스 및 드레인 중 다른 쪽에 대응하고, 스위치(1704)의 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉, 트랜지스터(1714)의 온/오프 상태)은 트랜지스터(1714)의 게이트에 입력되는 제어 신호 RD에 의하여 선택된다.

[0665] 트랜지스터(1709)의 소스 및 드레인 중 한쪽은 용량 소자(1708)의 한 쌍의 전극 중 한쪽 및 트랜지스터(1710)의

게이트와 전기적으로 접속된다. 여기서, 접속 부를 노드(M2)라고 한다. 트랜지스터(1710)의 소스 및 드레인 중 한쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어, GND선)과 전기적으로 접속되고, 다른 쪽은 스위치(1703)의 제 1 단자(트랜지스터(1713)의 소스 및 드레인 중 한쪽)와 전기적으로 접속된다. 스위치(1703)의 제 2 단자(트랜지스터(1713)의 소스 및 드레인 중 다른 쪽)는 스위치(1704)의 제 1 단자(트랜지스터(1714)의 소스 및 드레인 중 한쪽)와 전기적으로 접속된다. 스위치(1704)의 제 2 단자(트랜지스터(1714)의 소스 및 드레인 중 다른 쪽)는 전원 전위(VDD)를 공급할 수 있는 배선과 전기적으로 접속된다. 스위치(1703)의 제 2 단자(트랜지스터(1713)의 소스 및 드레인 중 다른 쪽), 스위치(1704)의 제 1 단자(트랜지스터(1714)의 소스 및 드레인 중 한쪽), 논리 소자(1706)의 입력 단자, 및 용량 소자(1707)의 한 쌍의 전극 중 한쪽은 서로 전기적으로 접속된다. 여기서, 접속부를 노드(M1)라고 한다. 용량 소자(1707)의 한 쌍의 전극 중 다른 쪽에는 정전위가 공급될 수 있다. 예를 들어, 용량 소자(1707)의 한 쌍의 전극 중 다른 쪽에는 저전원 전위(예를 들어, GND) 또는 고전원 전위(예를 들어, VDD)가 공급될 수 있다. 용량 소자(1707)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어, GND선)과 전기적으로 접속된다. 용량 소자(1708)의 한 쌍의 전극 중 다른 쪽에는 정전위가 공급될 수 있다. 예를 들어, 용량 소자(1708)의 한 쌍의 전극 중 다른 쪽에는 저전원 전위(예를 들어, GND) 또는 고전원 전위(예를 들어, VDD)가 공급될 수 있다. 용량 소자(1708)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어, GND선)과 전기적으로 접속된다.

- [0666] 트랜지스터 또는 배선 등의 기생 용량을 적극적으로 이용하기만 하면 용량 소자(1707) 및 용량 소자(1708)를 반드시 제공할 필요는 없다.
- [0667] 트랜지스터(1709)의 게이트에 제어 신호 WE가 입력된다. 스위치(1703) 및 스위치(1704) 각각에 대하여, 제어 신호 WE와 상이한 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택된다. 스위치 중 하나의 제 1 단자와 제 2 단자가 도통 상태일 때, 스위치 중 다른 쪽의 제 1 단자와 제 2 단자는 비도통 상태이다.
- [0668] 회로(1701)에 유지된 데이터에 대응하는 신호가 트랜지스터(1709)의 소스 및 드레인 중 다른 쪽에 입력된다. 도 49는 회로(1701)로부터 출력되는 신호가 트랜지스터(1709)의 소스 및 드레인 중 다른 쪽에 입력되는 예를 도시한 것이다. 스위치(1703)의 제 2 단자(트랜지스터(1713)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호의 논리값은 논리 소자(1706)에 의하여 반전되고, 반전된 신호가 회로(1720)를 통하여 회로(1701)에 입력된다.
- [0669] 도 49의 예에서는, 스위치(1703)의 제 2 단자(트랜지스터(1713)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호가 논리 소자(1706) 및 회로(1720)를 통하여 회로(1701)에 입력된다; 그러나, 본 발명의 일 형태는 이에 한정되지 않는다. 스위치(1703)의 제 2 단자(트랜지스터(1713)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 그 논리값이 반전되지 않고 회로(1701)에 입력되어도 좋다. 예를 들어, 입력 단자로부터 입력되는 신호의 논리값이 반전됨으로써 얻어지는 신호가 유지되는 노드를 회로(1701)가 포함하는 경우, 스위치(1703)의 제 2 단자(트랜지스터(1713)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호를 그 노드에 입력할 수 있다.
- [0670] 도 49에서의 트랜지스터(1709)로서는, 상기 실시형태에서 설명한 트랜지스터(100)를 사용할 수 있다. 게이트 전극에는 제어 신호 WE를 입력하고, 백 게이트 전극에는 제어 신호 WE2를 입력할 수 있다. 제어 신호 WE2는 일정한 전위를 갖는 신호이다. 이 일정한 전위로서, 예를 들어 접지 전위 또는 트랜지스터(1709)의 소스 전위보다 낮은 전위가 선택된다. 제어 신호 WE2는 트랜지스터(1709)의 문턱 전압을 제어하기 위한 전위 신호이고, 게이트 전압이 0V일 때의 트랜지스터(1709)의 드레인 전류를 더 저감할 수 있다. 또한, 트랜지스터(1709)로서는, 제 2 게이트를 갖지 않는 트랜지스터를 사용하여도 좋다.
- [0671] 도 49에서 트랜지스터(1709)를 제외한 기억 소자(1730)에 포함되는 트랜지스터는 각각 산화물 반도체 이외의 반도체를 사용하여 형성되는 층, 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 트랜지스터는 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또는, 기억 소자(1730)의 모든 트랜지스터를 산화물 반도체층에 채널이 형성되는 트랜지스터로 하여도 좋다. 또는, 기억 소자(1730)에는 트랜지스터(1709) 이외의 트랜지스터와, 산화물 반도체층에 채널이 형성되는 트랜지스터, 및 산화물 반도체 이외의 반도체를 사용하여 형성되는 층 또는 기판(1190)에 채널이 형성되는 트랜지스터를 조합하여 사용할 수도 있다.
- [0672] 도 49에서의 회로(1701)로서, 예를 들어 플립플롭 회로를 사용할 수 있다. 논리 소자(1706)로서는, 예를 들어 인버터 또는 클록드 인버터를 사용할 수 있다.
- [0673] 기억 소자(1730)에 전원 전압이 공급되지 않는 기간에는, 본 발명의 일 형태의 반도체 장치는 회로(1701)에 저

장된 데이터를 회로(1702)에 제공된 용량 소자(1708)에 의하여 노드(M2)에 유지할 수 있다.

- [0674] 상술한 바와 같이, OS 트랜지스터의 오프 상태 전류는 매우 낮다. 예를 들어, OS 트랜지스터의 오프 상태 전류는 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 상태 전류보다 현저히 낮다. 따라서, 트랜지스터(1709)로서 이 트랜지스터를 사용하면, 기억 소자(1730)에 전원 전압이 공급되지 않는 기간에도 용량 소자(1708)에 의하여 유지된 신호가 오랫동안 유지된다. 따라서, 기억 소자(1730)는 전원 전압의 공급이 정지되는 기간에도 저장된 내용(데이터)을 유지할 수 있다.
- [0675] 스위치(1703) 및 스위치(1704)가 제공되기 때문에, 전원 전압의 공급이 재개된 후 회로(1701)가 원래의 데이터를 다시 유지하는 데 필요한 시간을 단축할 수 있다.
- [0676] 회로(1702)에서는, 노드(M2)에 유지된 신호가 트랜지스터(1710)의 게이트에 입력된다. 그러므로, 기억 소자(1730)에 대한 전원 전압의 공급이 재개된 후, 노드(M2)에 유지된 신호에 따라 트랜지스터(1710)의 상태(온 상태 또는 오프 상태)가 결정되고, 회로(1702)로부터 신호를 판독할 수 있다. 이 결과, 노드(M2)에 유지된 신호에 대응하는 전위가 어느 정도 변동되더라도 원래의 신호를 정확히 판독할 수 있다.
- [0677] CPU에 포함되는 레지스터 또는 캐시 메모리 등의 기억 장치에 상술한 기억 소자(1730)를 적용함으로써, 전원 전압의 공급 정지로 인하여 기억 장치의 데이터가 소실되는 것을 방지할 수 있다. 또한, 전원 전압의 공급이 재개된 직후에 기억 장치는 전력의 공급이 정지되기 전과 동일한 상태로 복원할 수 있다. 그러므로, CPU 또는 CPU에 포함되는 하나 또는 복수의 논리 회로에서 짧은 시간이라도 전력의 공급을 더 높은 빈도로 정지할 수 있기 때문에, 소비전력을 저감할 수 있다.
- [0678] 본 실시형태에서는 기억 소자(1730)를 CPU에 사용하지만, 기억 소자(1730)는 DSP(digital signal processor), 커스텀 LSI, 또는 PLD(programmable logic device) 등의 LSI, 및 RF-ID(radio frequency identification)에도 사용될 수 있다.
- [0679] 본 실시형태에서 설명한 구조는 다른 실시형태들에서 설명한 구조들 중 임의의 것과 적절히 조합할 수 있다.
- [0680] (실시에 1)
- [0681] 본 실시예에서는, 도 2의 (A) 내지 (C)에 도시된 트랜지스터(100A)에 해당하는 트랜지스터를 제작하고, 트랜지스터에 신뢰성 시험을 수행하였다. 본 실시예에서는, 이하에서 설명하는 샘플(381) 및 샘플(382)을 제작하고 평가하였다. 또한, 샘플(381) 및 샘플(382)은 본 발명의 일 형태의 트랜지스터를 포함하였다. 샘플(381) 및 샘플(382) 각각에 포함된 트랜지스터의 채널 길이 L 은 $3\mu\text{m}$ 이고, 채널 폭 W 는 $50\mu\text{m}$ 이었다. 샘플(381)과 샘플(382)은 절연막(110)의 형성 방법의 점에서 서로 상이하였다.
- [0682] 본 실시예에서 제작한 샘플(381) 및 샘플(382)에 대하여 이하에서 설명한다. 또한, 이하의 설명에서는 도 2의 (A) 내지 (C)에서의 트랜지스터(100A)에 사용한 부호를 사용한다.
- [0683] 우선, 기판(102) 위에 도전막(106)을 형성하였다. 기판(102)으로서는 유리 기판을 사용하였다. 도전막(106)에는 스퍼터링 장치로 두께 10nm 의 타이타늄막 및 두께 100nm 의 구리막을 형성하였다.
- [0684] 다음에, 기판(102) 및 도전막(106) 위에 절연막(104)을 형성하였다. 절연막(104)에는, 플라즈마 CVD 장치로 두께 400nm 의 질화 실리콘막 및 두께 50nm 의 산화 질화 실리콘막을 형성하였다.
- [0685] 절연막(104)은 다음과 같이 형성하였다. 우선, 두께 50nm 의 질화 실리콘막을 다음과 같은 조건하에서 형성하였다: 기판 온도를 350°C 로 설정하였다; 유량 200sccm 의 실레인 가스, 유량 2000sccm 의 질소 가스, 및 유량 100sccm 의 암모니아 가스를 챔버에 도입하였다; 압력을 100Pa 로 설정하였다; 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 2000W 의 RF 전력을 공급하였다. 다음에, 암모니아 가스의 유량을 2000sccm 으로 변경하여 두께 300nm 의 질화 실리콘막을 형성하였다. 그리고, 암모니아 가스의 유량을 100sccm 으로 변경하여 두께 50nm 의 질화 실리콘막을 형성하였다. 그 후, 두께 50nm 의 산화 질화 실리콘막을 다음과 같은 조건하에서 형성하였다: 기판 온도를 350°C 로 설정하고, 유량 20sccm 의 실레인 가스 및 유량 3000sccm 의 일산화 이질소 가스를 챔버에 도입하고, 압력을 40Pa 로 설정하고, 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 100W 의 RF 전력을 공급하였다.
- [0686] 그리고, 절연막(104) 위에 산화물 반도체막(108)을 형성하였다. 산화물 반도체막(108)을 스퍼터링 장치로 형성하였다.
- [0687] 산화물 반도체막(108)으로서는, 두께 40nm 의 IGZO막을 다음과 같은 조건하에서 형성하였다: 기판 온도를 130°C

로 설정하고, 유량비 9:1의 아르곤 가스 및 산소 가스를 챔버에 도입하고, 압력을 0.6Pa로 설정하고, 스퍼터링 장치에 배치된 산화물 반도체 타겟(In:Ga:Zn=4:2:4.1[원자수비])에 2500W의 AC 전력을 인가하였다.

- [0688] 그 후, 절연막(104) 및 산화물 반도체막(108) 위에 절연막(110)을 형성하였다.
- [0689] 샘플(381)의 절연막(110)에서는, 두께 30nm의 제 1 산화 질화 실리콘막, 두께 100nm의 제 2 산화 질화 실리콘막, 및 두께 20nm의 제 3 산화 질화 실리콘막을 플라즈마 CVD 장치로 형성하였다. 제 1 산화 질화 실리콘막을 다음과 같은 조건하에서 형성하였다: 기판 온도를 350℃로 설정하고, 유량 20sccm의 실레인 가스 및 유량 3000sccm의 일산화 이질소 가스를 챔버에 도입하고, 압력을 200Pa로 설정하고, 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 100W의 RF 전력을 공급하였다. 제 2 산화 질화 실리콘막을 다음과 같은 조건하에서 형성하였다: 기판 온도를 220℃로 설정하고, 유량 160sccm의 실레인 가스 및 유량 4000sccm의 일산화 이질소 가스를 챔버에 도입하고, 압력을 200Pa로 설정하고, 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 1500W의 RF 전력을 공급하였다. 제 3 산화 질화 실리콘막을 제 1 산화 질화 실리콘막과 동일한 조건하에서 형성하였다.
- [0690] 샘플(382)의 절연막(110)에서는, 두께 150nm의 산화 질화 실리콘막의 단층을 플라즈마 CVD 장치를 사용하여 형성하였다. 산화 질화 실리콘막을 다음과 같은 조건하에서 형성하였다: 기판 온도를 350℃로 설정하고, 유량 20sccm의 실레인 가스 및 유량 18000sccm의 일산화 이질소 가스를 챔버에 도입하고, 압력을 200Pa로 설정하고, 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 100W의 RF 전력을 공급하였다.
- [0691] 상술한 바와 같이, 절연막(110)의 형성 방법을 제외하고는 동일한 공정을 거쳐, 샘플(381) 및 샘플(382)을 제작하였다.
- [0692] 다음에, 기판 온도 350℃에서 질소 분위기에서 1시간 동안 샘플(381) 및 샘플(382)에 가열 처리를 수행하였다.
- [0693] 그리고, 기판 온도 350℃에서 샘플(381) 및 샘플(382)에 산소 플라즈마 처리를 수행하였다. 산소 플라즈마 처리를 다음과 같은 조건하에서 250초 동안 수행하였다: 유량 3000sccm의 산소를 챔버에 도입하고, 압력을 40Pa로 설정하고, 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 3000W의 RF 전력을 공급하였다.
- [0694] 다음에, 절연막(110) 및 절연막(104)의 원하는 영역을 제거하여 도전막(106)에 도달되는 개구(143)를 형성하였다.
- [0695] 이어서, 개구(143)를 덮도록 절연막(110) 위에 도전막(112)을 형성하였다. 도전막(112)에는, 두께 10nm의 제 1 In-Ga-Zn 산화물 및 두께 90nm의 제 2 In-Ga-Zn 산화물을 스퍼터링 장치로 형성하였다. 제 1 In-Ga-Zn 산화물을 다음과 같은 조건하에서 형성하였다: 기판 온도를 170℃로 설정하고, 유량 200sccm의 산소 가스를 챔버에 도입하고, 압력을 0.6Pa로 설정하고, 스퍼터링 장치에 배치된 산화물 반도체 타겟(In:Ga:Zn=4:2:4.1[원자수비])에 2500W의 AC 전력을 공급하였다. 제 2 In-Ga-Zn 산화물을 다음과 같은 조건하에서 형성하였다: 기판 온도를 170℃로 설정하고, 유량 180sccm의 아르곤 가스 및 유량 20sccm의 산소 가스를 챔버에 도입하고, 압력을 0.6Pa로 설정하고, 스퍼터링 장치에 배치된 산화물 반도체 타겟(In:Ga:Zn=4:2:4.1[원자수비])에 2500W의 AC 전력을 공급하였다.
- [0696] 그 후, 절연막(110) 및 도전막(112)을 드라이 에칭 장치로 섬 형상으로 가공하고, 산화물 반도체막(108)의 표면을 부분적으로 제거하였다.
- [0697] 그리고, 절연막(104), 산화물 반도체막(108), 및 도전막(112) 위에 절연막(116)을 형성하였다.
- [0698] 절연막(116)을 플라즈마 처리 및 퇴적 처리의 2개의 공정을 거쳐 형성하였다. 플라즈마 처리를 다음과 같은 조건하에서 수행하였다: 기판 온도를 220℃로 설정하고, 유량 100sccm의 아르곤 가스를 챔버에 도입하고, 압력을 40Pa로 설정하고, 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 1000W의 RF 전력을 공급하였다. 이어서, 두께 100nm의 질화 실리콘막을 다음과 같은 조건하에서 형성하였다: 기판 온도를 220℃로 설정하였다; 유량 50sccm의 실레인 가스, 유량 5000sccm의 질소 가스, 및 유량 100sccm의 암모니아 가스를 챔버에 도입하였다; 압력을 100Pa로 설정하였다; 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 1000W의 RF 전력을 공급하였다.
- [0699] 다음에, 절연막(116) 위에 절연막(118)을 형성하였다.
- [0700] 절연막(118)에는, 두께 300nm의 산화 질화 실리콘막을 다음과 같은 조건하에서 형성하였다: 기판 온도를 220℃로 설정하고, 유량 160sccm의 실레인 가스 및 유량 4000sccm의 일산화 이질소 가스를 챔버에 도입하고, 압력

을 200Pa로 설정하고, 플라즈마 CVD 장치에 제공된 평행 평판 전극들 사이에 1500W의 RF 전력을 공급하였다.

- [0701] 다음에, 절연막(116) 및 절연막(118)의 원하는 영역을 제거하여 산화물 반도체막(108)에 도달되는 개구(141a) 및 개구(141b)를 형성하였다.
- [0702] 개구(141a) 및 개구(141b)를 드라이 에칭법에 의하여 형성하였다.
- [0703] 그리고, 개구(141a) 및 개구(141b)를 덮도록, 절연막(118) 위에 도전막을 형성하고, 이 도전막을 섬 형상으로 가공함으로써, 소스 전극 및 드레인 전극으로서 기능하는 도전막(120a) 및 도전막(120b)을 형성하였다.
- [0704] 도전막(120a) 및 도전막(120b)에는, 두께 50nm의 Ti막, 두께 400nm의 Al막, 및 두께 100nm의 Ti막을 스퍼터링 장치로 형성하였다.
- [0705] 이어서, 두께 1.5 μm 의 아크릴을 평탄화막으로서 형성하였다.
- [0706] 다음에, 기판 온도 250 $^{\circ}\text{C}$ 에서 질소 분위기에서 1시간 동안 가열 처리를 수행하였다.
- [0707] 상기 공정을 거쳐, 본 실시예의 샘플(381) 및 샘플(382)을 제작하였다. 또한, 샘플(381) 및 샘플(382)의 제작 공정에서의 최고 온도는 350 $^{\circ}\text{C}$ 이었다.
- [0708] 샘플(381)에서, 도 50의 (A)는 채널 길이가 2 μm 인, 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 것이고, 도 50의 (B)는 채널 길이가 3 μm 인, 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 것이고, 도 50의 (C)는 채널 길이가 6 μm 인, 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 것이다. 샘플(382)에서, 도 50의 (D)는 채널 길이가 2 μm 인, 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 것이고, 도 50의 (E)는 채널 길이가 3 μm 인, 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 것이고, 도 50의 (F)는 채널 길이가 6 μm 인, 트랜지스터의 드레인 전류-게이트 전압 특성을 나타낸 것이다. 각 트랜지스터의 채널 폭은 50 μm 이었다. 소스 전극과 드레인 전극 사이의 전압(드레인 전압) 0.1V 및 10V에서 측정을 수행하였다. 각 그래프에는, 동일한 기판 위의 20개의 트랜지스터의 특성을 겹쳐 썼다.
- [0709] 도 50의 (A) 내지 (F)에 나타낸 바와 같이, 제작한 샘플(381) 및 샘플(382)은 모두 정상적인 드레인 전류-게이트 전압 특성(I_d - V_g 특성)을 갖는다.
- [0710] 트랜지스터의 신뢰성을 평가하였다. 본 실시예에서의 신뢰성 평가 시험은, 게이트 전압(V_g)을 $\pm 30\text{V}$ 로 하고; 드레인 전압(V_d) 및 소스 전압(V_s)을 0V(comm)로 하고; 스트레스 온도를 60 $^{\circ}\text{C}$ 로 하고; 스트레스 인가 시간을 1시간으로 하고; 암 환경과 광 환경(백색 LED로 약 10000lx의 광을 조사)의 2종류의 측정 환경을 채용하는 조건하에서 수행하였다. 바꿔 말하면, 트랜지스터의 소스 전극과 드레인 전극을 동일한 전위로 설정하고, 소스 및 드레인 전극들과 상이한 전위를 게이트 전극에 소정의 시간 동안(여기서는, 1시간) 인가하였다. 상기 시험은 GBT(gate bias-temperature-stress) 시험이라고도 한다.
- [0711] 게이트 전극에 인가되는 전위가 소스 및 드레인 전극들에 인가되는 전위보다 높은 경우를 포지티브 스트레스라고 부르고, 게이트 전극에 인가되는 전위가 소스 및 드레인 전극들에 인가되는 전위보다 낮은 경우를 네거티브 스트레스라고 부른다. 따라서, 신뢰성 평가는 총 4개의 조건, 즉 포지티브 GBT(dark)(376), 네거티브 GBT(dark)(377), 포지티브 GBT(조사)(378), 및 네거티브 GBT(조사)(379)하에서 수행하였다.
- [0712] 또한, 포지티브 GBT(dark)를 PBTS(positive bias temperature stress)라고 할 수 있고, 네거티브 GBT(dark)를 NBTS(negative bias temperature stress)라고 할 수 있고, 포지티브 GBT(조사)를 PBITS(positive bias illumination temperature stress)라고 할 수 있고, 네거티브 GBT(조사)를 NBITS(negative bias illumination temperature stress)라고 할 수 있다.
- [0713] 도 51은 샘플(381) 및 샘플(382)의 GBT 시험 결과를 나타낸 것이다. 도 51에서, 세로축은 트랜지스터의 문턱 전압(ΔV_{th})에서의 변화량을 나타낸다.
- [0714] 도 51의 결과는 본 실시예에서 제작한 샘플(381) 및 샘플(382)에 포함되는 각 트랜지스터의 문턱 전압(ΔV_{th})에서의 변화량이, GBT 시험에서의, 표시 장치를 구동하기 위한 사양 범위 내인 것을 가리킨다. 따라서, 샘플(381) 및 샘플(382)에 포함되는 트랜지스터는 각각 신뢰성이 높은 것이 확인되었다.
- [0715] 또한, PBTS에서, 샘플(382)의 문턱 전압에서의 변화량은 샘플(381)의 문턱 전압에서의 변화량보다 작다. 이것은 350 $^{\circ}\text{C}$ 에서 형성된 산화 질화 실리콘막이 소량의 질소 산화물(NO_x)을 포함하기 때문이라고 생각된다.

[0716] 도 52의 (A)는 전류 스트레스 시험 전후의 샘플(381)에서의 트랜지스터의, 겹쳐 쓰인 I_d-V_g 곡선을 나타낸 것이다. 전류 스트레스 시험을 다음과 같은 조건하에서 3600초 동안 수행하였다: 샘플 온도를 60°C로 하고, 드레인 전압을 10V로 하고, 소스 전극과 드레인 전극 사이의 전류(드레인 전류)를 100nA로 하고, 샘플을 어두운 환경에 배치하였다. 전류 스트레스 시험을, 채널 길이가 3 μm 이고 채널 폭이 3 μm 인 트랜지스터에 수행하였다. 이 경우, 트랜지스터의 문턱 전압(V_{th})에서의 변화는 0.08V이고, 전계 효과 이동도에서의 변화는 -1.45%이었다.

[0717] 도 52의 (B)는 비슷한 식으로 얻어진, 샘플(382)에서의 트랜지스터의 결과를 나타낸 것이다. 트랜지스터의 문턱 전압(V_{th})에서의 변화는 0.014V이고, 전계 효과 이동도에서의 변화는 -0.02%이었다.

[0718] 도 52의 (C)는 전류 스트레스 시험 동안의 샘플(381)에서의 트랜지스터의 드레인 전류에서의 변화의 비율을 나타낸 것이다. 마찬가지로, 도 52의 (D)는 샘플(382)에서의 트랜지스터의 드레인 전류에서의 변화의 비율을 나타낸 것이다. 도 52의 (C) 및 (D)에 나타난 바와 같이, 전류 스트레스에 의한 드레인 전류의 변화는 샘플(381)의 트랜지스터보다 샘플(382)의 트랜지스터가 작다. 이것은 절연막(110)에 기판 온도 350°C에서 형성되는 산화 질화 실리콘막의 단층을 사용함으로써, 전류 스트레스 시험에 의한 열화를 방지할 수 있는 것을 가리킨다.

[0719] 본 실시예에서 설명한 구조는 상기 실시형태들에서 설명한 구조들 중 임의의 것과 적절히 조합할 수 있다.

부호의 설명

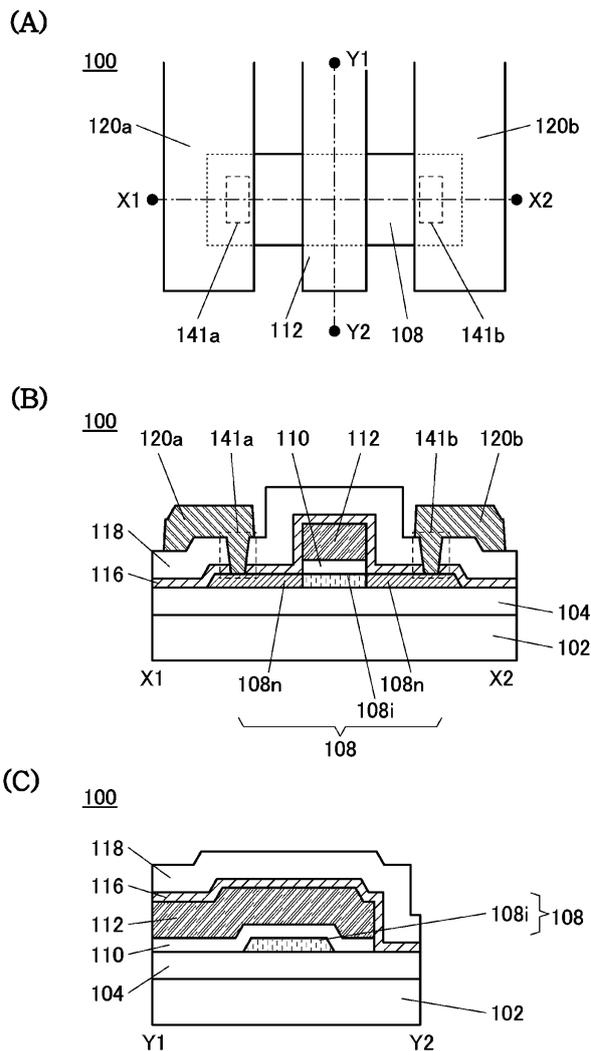
[0720] 100: 트랜지스터, 100A: 트랜지스터, 100B: 트랜지스터, 100C: 트랜지스터, 102: 기판, 104: 절연막, 106: 도전막, 108: 산화물 반도체막, 108i: 영역, 108i_0: 산화물 반도체막, 108n: 영역, 108n_2: 영역, 110: 절연막, 110_0: 절연막, 112: 도전막, 112_0: 도전막, 112_1: 도전막, 112_2: 도전막, 116: 절연막, 118: 절연막, 120a: 도전막, 120b: 도전막, 122: 절연막, 140: 마스크, 141a: 개구, 141b: 개구, 143: 개구, 201: 트랜지스터, 202: 트랜지스터, 203: 트랜지스터, 216: 포로필, 217: 포로필, 218: 포로필, 220: 화살표, 221: 샘플, 222: 샘플, 223: 샘플, 225: 영역, 226: 샘플, 227: 샘플, 228: 샘플, 231: 파선, 232: 실선, 235: 파선, 241: 샘플, 242: 샘플, 243: 샘플, 244: 샘플, 251: 배선, 252: 배선, 253: 배선, 254: 배선, 255: 배선, 256: 노드, 257: 용량 소자, 281: 트랜지스터, 282: 트랜지스터, 289: 트랜지스터, 310: 영역, 311: 영역, 312: 영역, 317: 샘플, 318: 샘플, 319: 실리콘, 321: 영역, 325: 금속막, 329: 중심 위치, 351: 샘플, 352: 샘플, 353: 샘플, 354: 샘플, 355: 샘플, 356: 샘플, 357: 점선, 365: 샘플, 366: 샘플, 367: 샘플, 368: 도전막, 370: 산화물 반도체막, 376: 포지티브 GBT(dark), 377: 네거티브 GBT(dark), 378: 포지티브 GBT(조사), 379: 네거티브 GBT(조사), 381: 샘플, 382: 샘플, 501: 화소 회로, 502: 화소부, 504: 드라이버 회로부, 504a: 게이트 드라이버, 504b: 소스 드라이버, 506: 보호 회로, 507: 단자부, 550: 트랜지스터, 552: 트랜지스터, 554: 트랜지스터, 560: 용량 소자, 562: 용량 소자, 570: 액정 소자, 572: 발광 소자, 700: 표시 장치, 701: 기판, 702: 화소부, 704: 소스 드라이버 회로부, 705: 기판, 706: 게이트 드라이버 회로부, 708: FPC 단자부, 710: 신호선, 711: 배선부, 712: 실란트, 716: FPC, 730: 절연막, 732: 밀봉막, 734: 절연막, 736: 착색막, 738: 차광막, 750: 트랜지스터, 752: 트랜지스터, 760: 접속 전극, 770: 평탄화 절연막, 772: 도전막, 773: 절연막, 774: 도전막, 775: 액정 소자, 776: 액정층, 778: 구조체, 780: 이방성 도전막, 782: 발광 소자, 783: 액적 토출 장치, 784: 액적, 785: 층, 786: EL층, 788: 도전막, 790: 용량 소자, 791: 터치 패널, 792: 절연막, 793: 전극, 794: 전극, 795: 절연막, 796: 전극, 797: 절연막, 800: 인버터, 810: OS 트랜지스터, 820: OS 트랜지스터, 831: 신호 파형, 832: 신호 파형, 840: 파선, 841: 실선, 850: OS 트랜지스터, 860: CMOS 인버터, 900: 반도체 장치, 901: 전원 회로, 902: 회로, 903: 전압 생성 회로, 903A: 전압 생성 회로, 903B: 전압 생성 회로, 903C: 전압 생성 회로, 904: 회로, 905: 전압 생성 회로, 906: 회로, 911: 트랜지스터, 912: 트랜지스터, 912A: 트랜지스터, 912B: 트랜지스터, 921: 제어 회로, 922: 트랜지스터, 1189: 인터페이스, 1190: 기판, 1191: ALU, 1192: 컨트롤러, 1193: 디코더, 1194: 컨트롤러, 1195: 컨트롤러, 1196: 레지스터, 1197: 컨트롤러, 1198: 인터페이스, 1199: ROM, 1281: 트랜지스터, 1400: 액적 토출 장치, 1402: 기판, 1403: 액적 토출 수단, 1404: 활상 수단, 1405: 헤드, 1406: 점선, 1407: 제어 수단, 1408: 기억 매체, 1409: 화상 처리 수단, 1410: 컴퓨터, 1411: 마커, 1412: 헤드, 1413: 재료 공급원, 1414: 재료 공급원, 1701: 회로, 1707: 용량 소자, 1708: 용량 소자, 1709: 트랜지스터, 1710: 트랜지스터, 1713: 트랜지스터, 1714: 트랜지스터, 1720: 회로, 7000: 표시 모듈, 7001: 상부 커버, 7002: 하부 커버, 7003: FPC, 7004: 터치 패널, 7005: FPC, 7006: 표시 패널, 7007: 백라이트, 7008: 광원, 7009: 프레임, 7010: 인쇄 기판, 7011: 배터리, 8000: 카메라, 8001: 하우징, 8002: 표시부, 8003: 조작 버튼, 8004: 셔터 버튼, 8006: 렌즈, 8100: 파인더, 8101: 하우징, 8102: 표시부, 8103: 버튼, 8200: 헤드 마운트 디스플레이, 8201: 장착부, 8202: 렌즈, 8203: 본체, 8204: 표시부,

8205: 케이블, 8206: 배터리, 8300: 헤드 마운트 디스플레이, 8301: 하우징, 8302: 표시부, 8304: 고정 밴드, 8305: 렌즈, 9000: 하우징, 9001: 표시부, 9003: 스피커, 9005: 조작 키, 9006: 접속 단자, 9007: 센서, 9008: 마이크로폰, 9050: 조작 버튼, 9051: 정보, 9052: 정보, 9053: 정보, 9054: 정보, 9055: 힌지, 9100: 텔레비전 장치, 9101: 휴대 정보 단말, 9102: 휴대 정보 단말, 9200: 휴대 정보 단말, 9201: 휴대 정보 단말, 9500: 표시 장치, 9501: 표시 패널, 9502: 표시 영역, 9503: 영역, 9511: 힌지, 및 9512: 베어링.

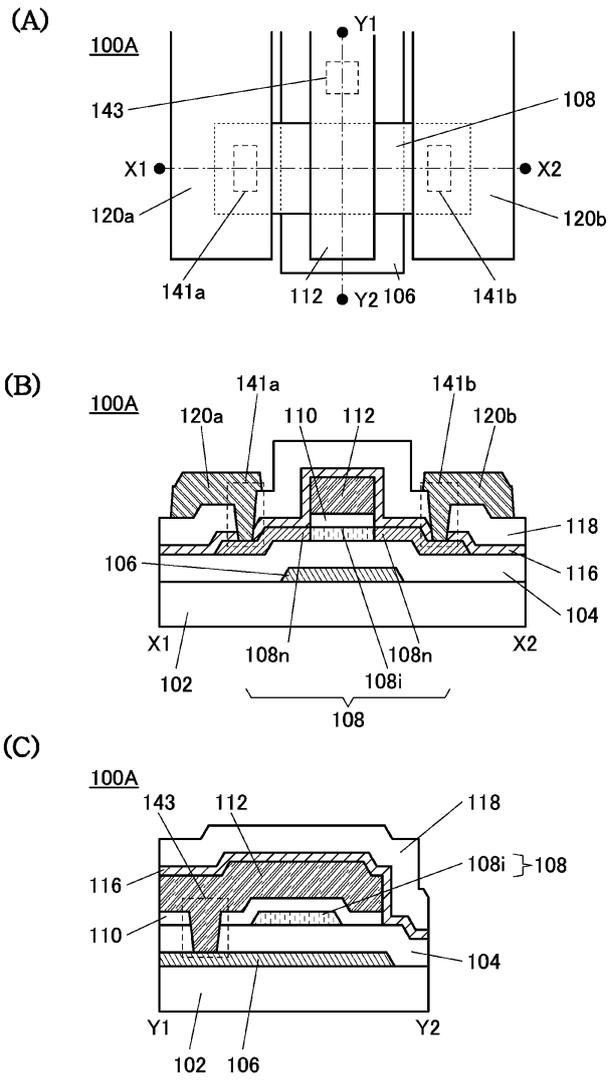
본 출원은 2016년 2월 18일에 일본 특허청에 출원된 일련 번호 2016-028586의 일본 특허 출원, 2016년 9월 30일에 일본 특허청에 출원된 일련 번호 2016-193217의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

도면

도면1

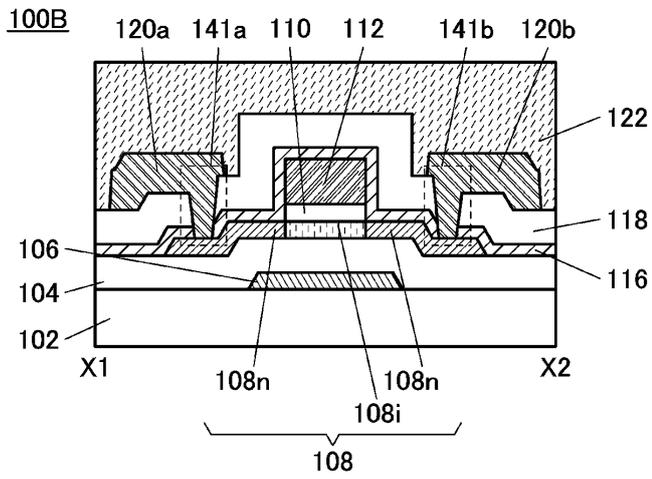


도면2

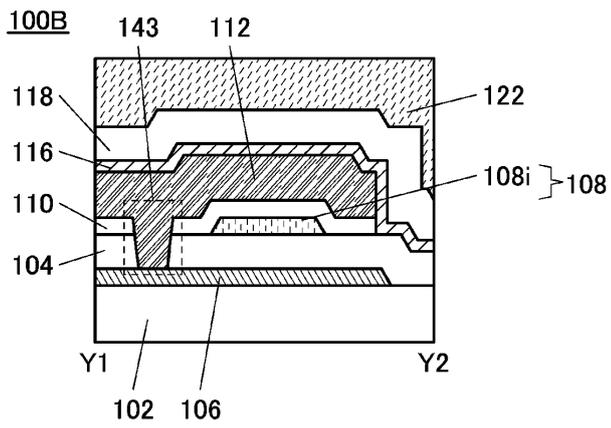


도면3

(A)

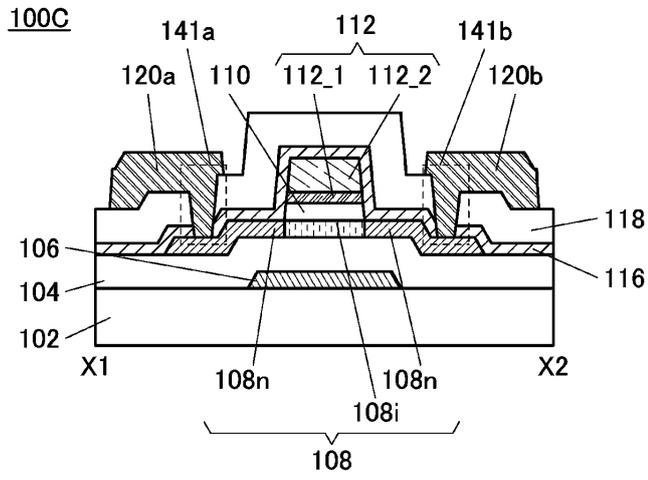


(B)

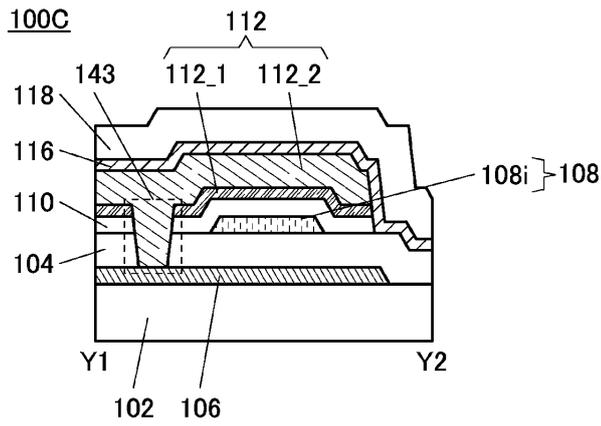


도면4

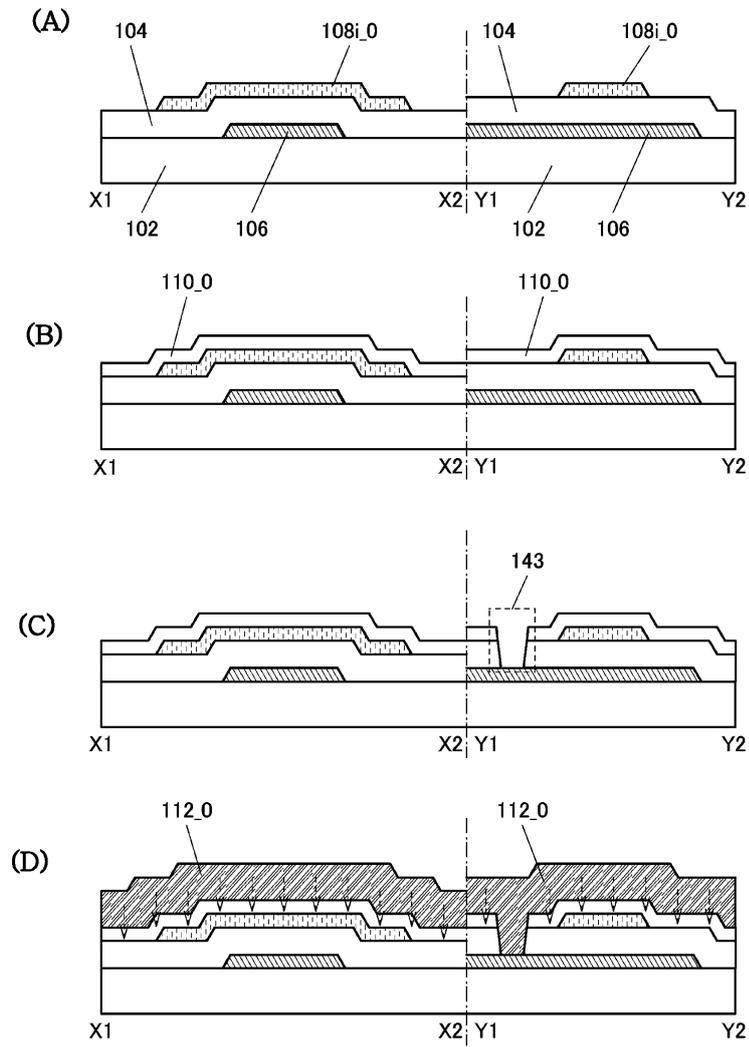
(A)



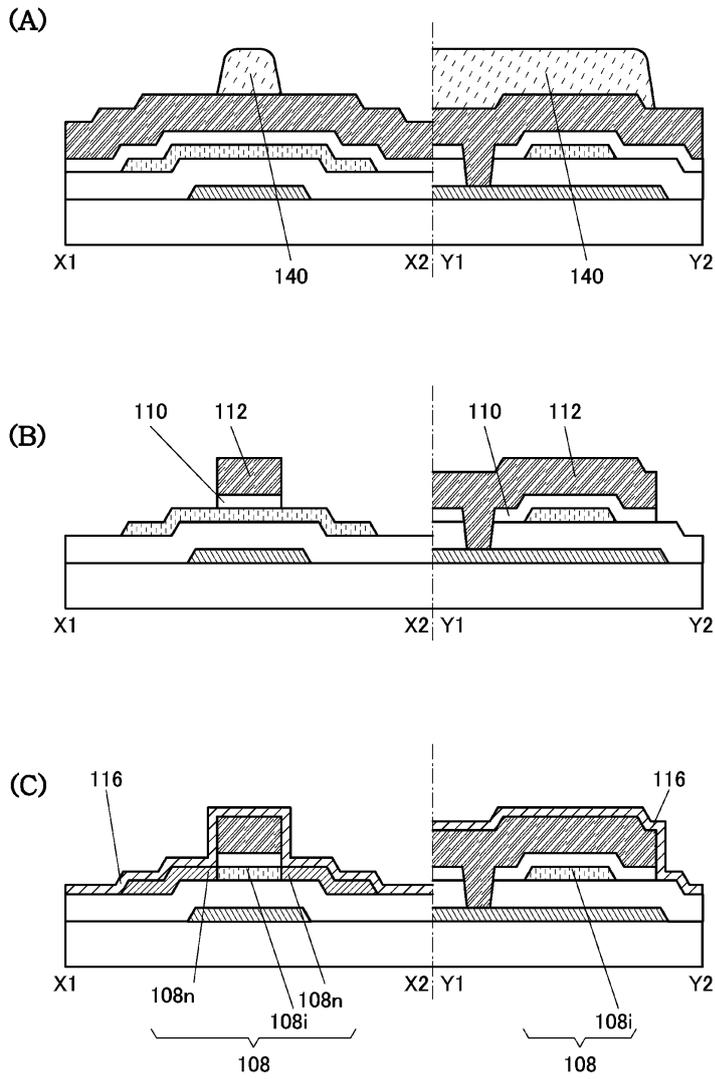
(B)



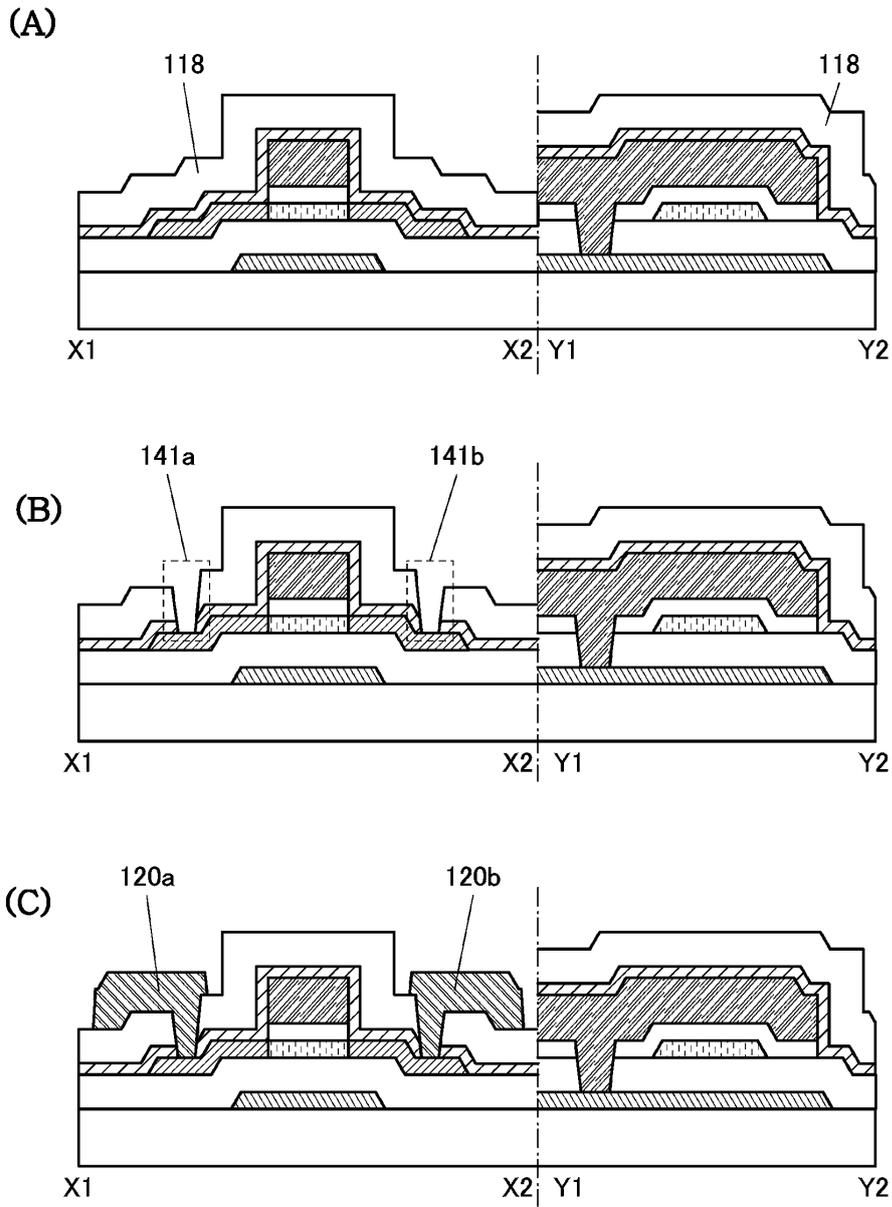
도면5



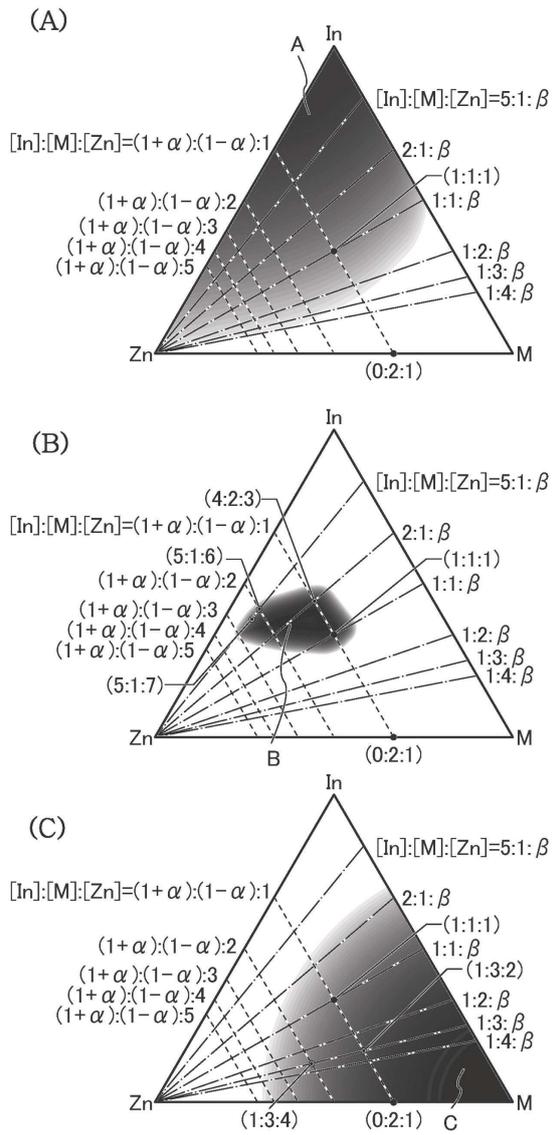
도면6



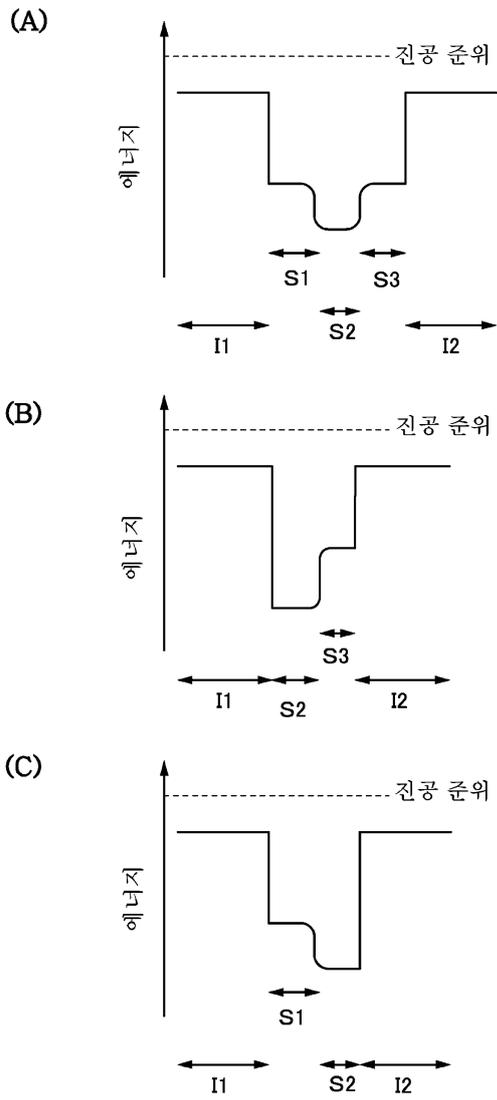
도면7



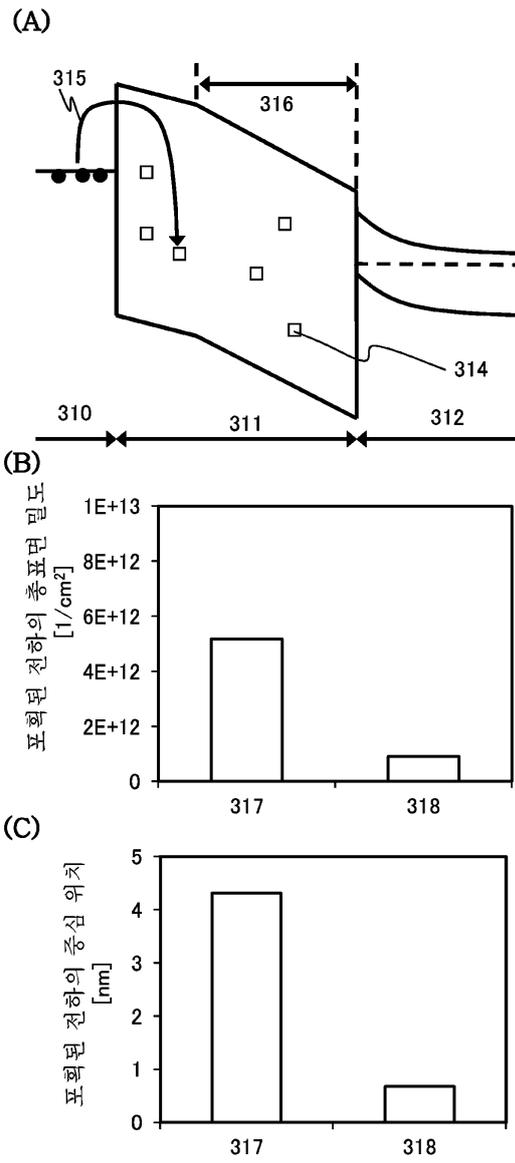
도면8



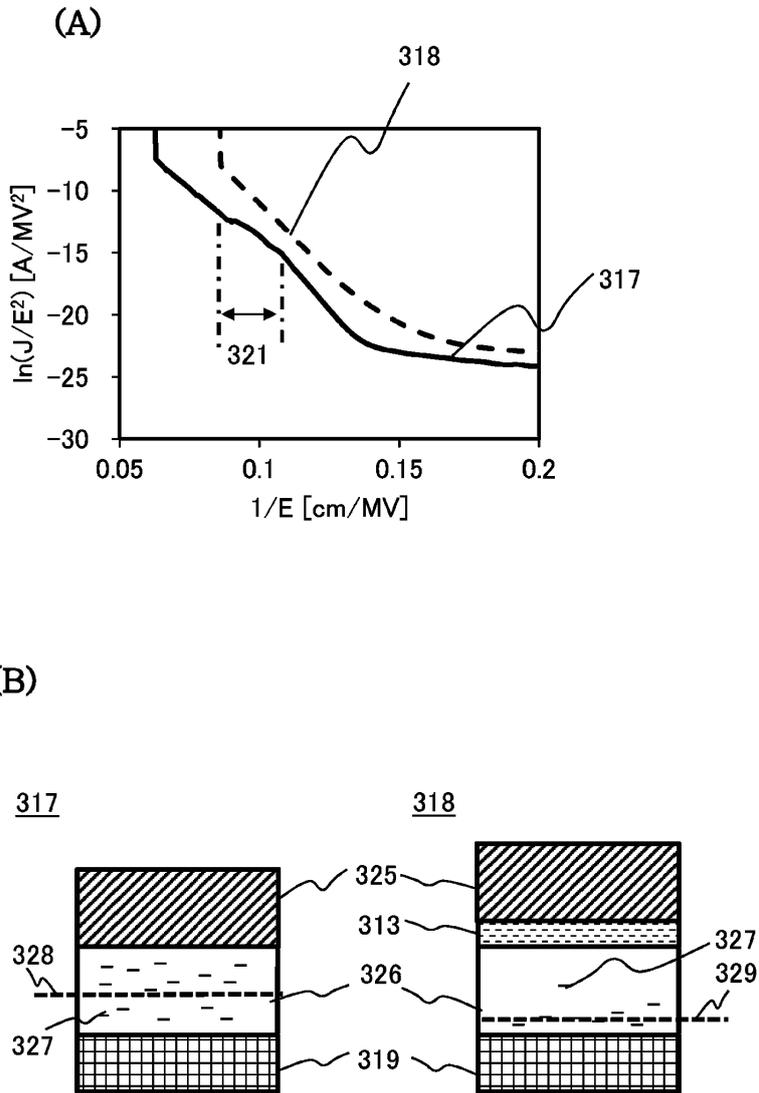
도면9



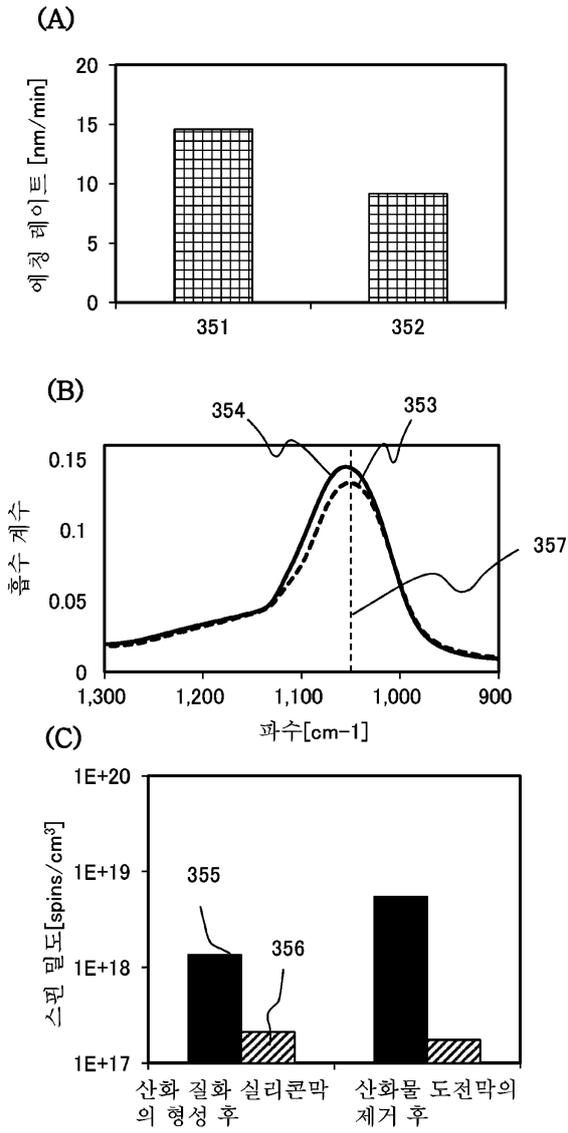
도면10



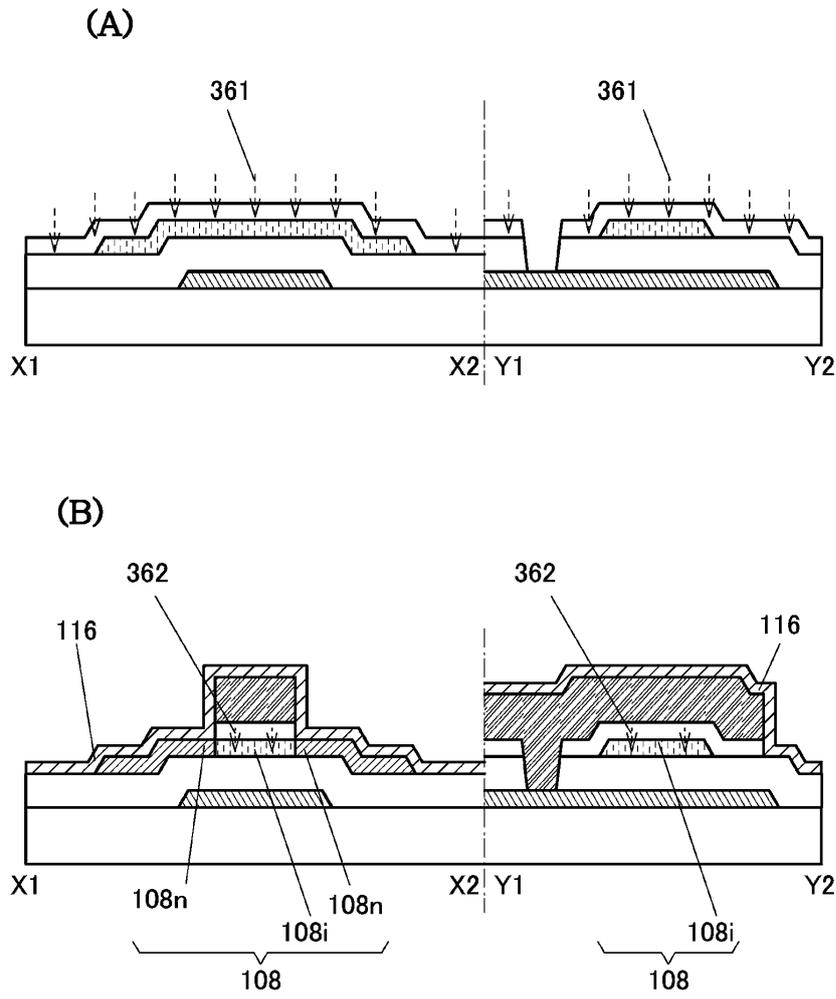
도면11



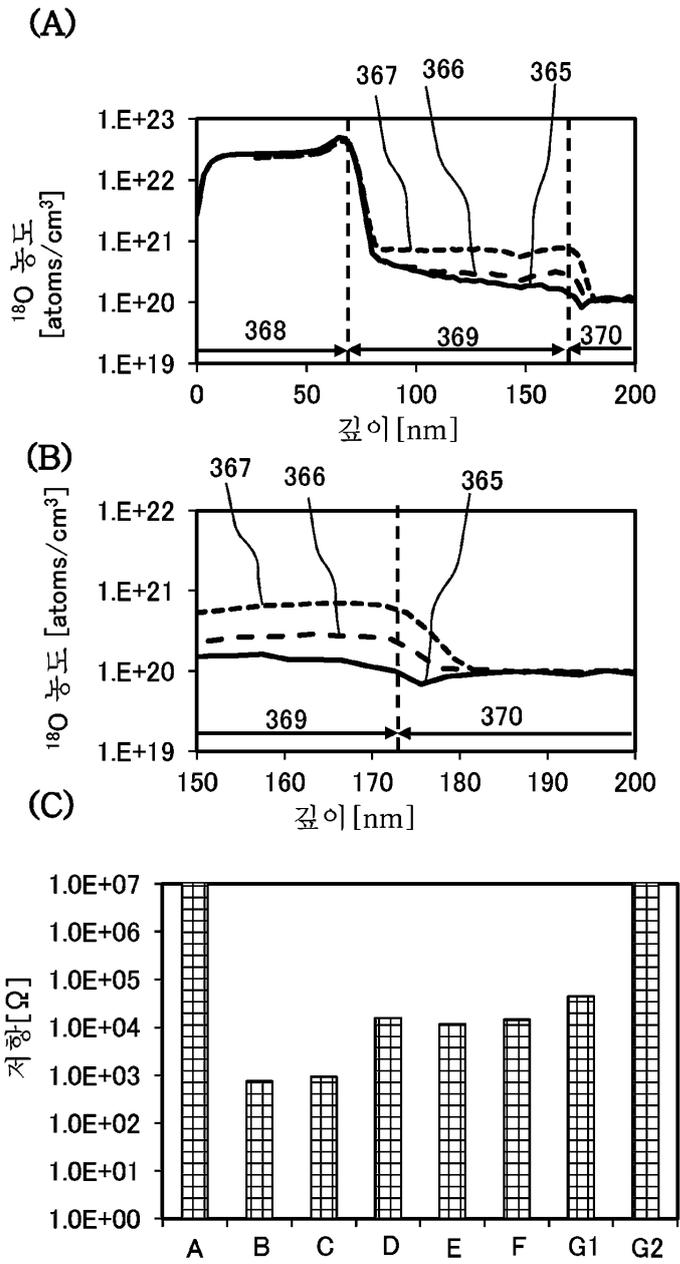
도면12



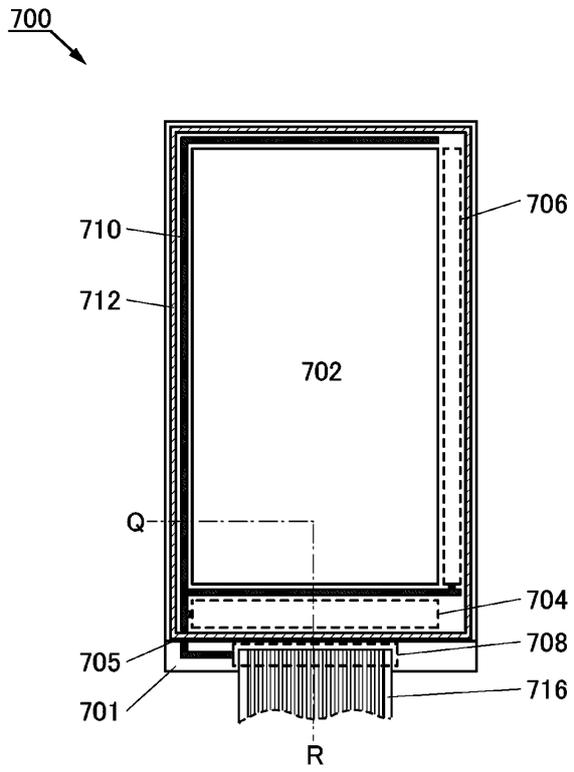
도면13



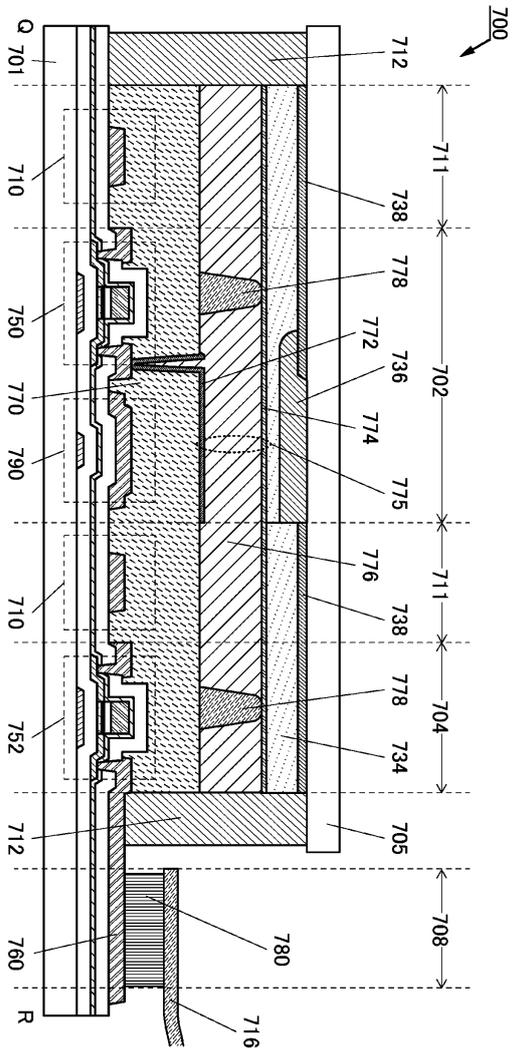
도면14



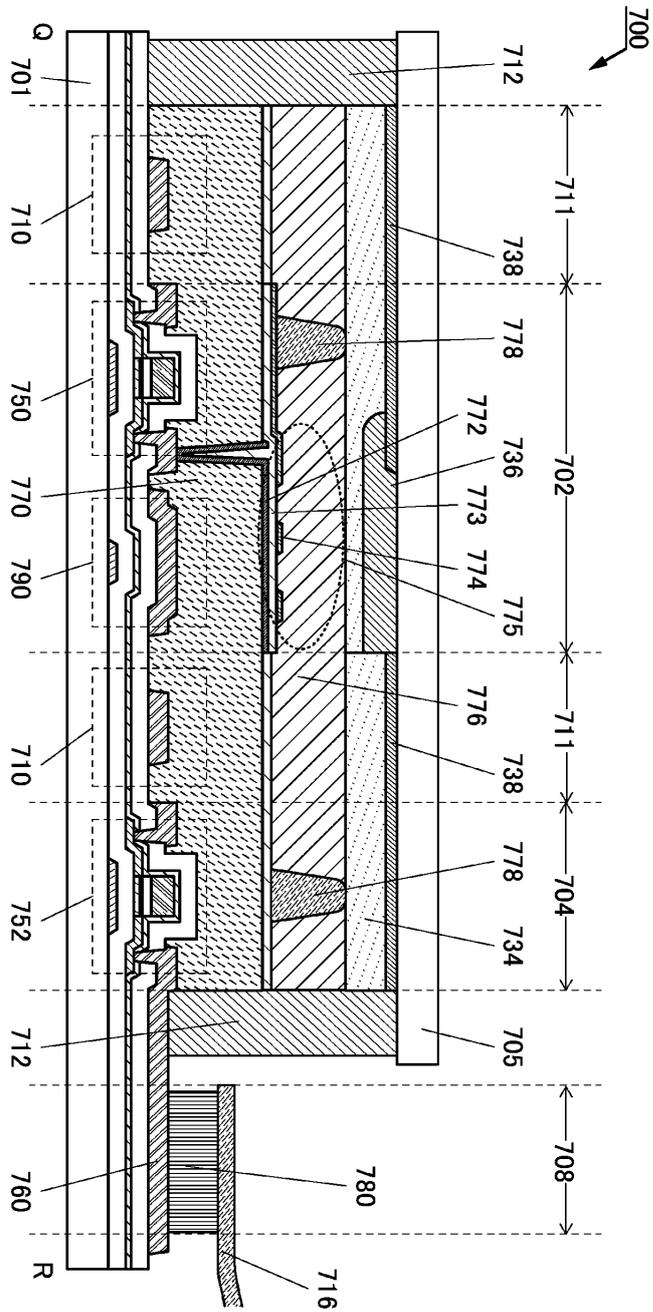
도면15



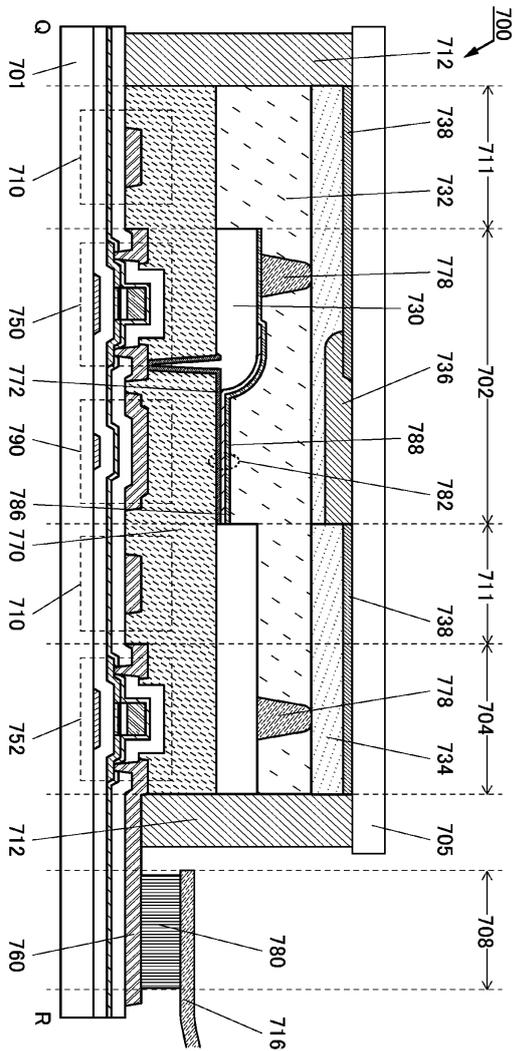
도면16



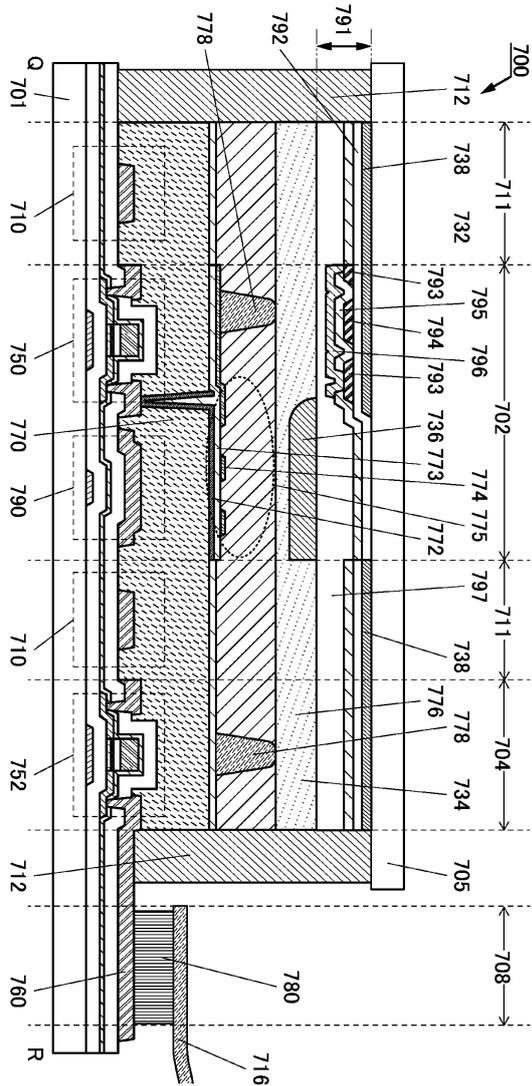
도면17



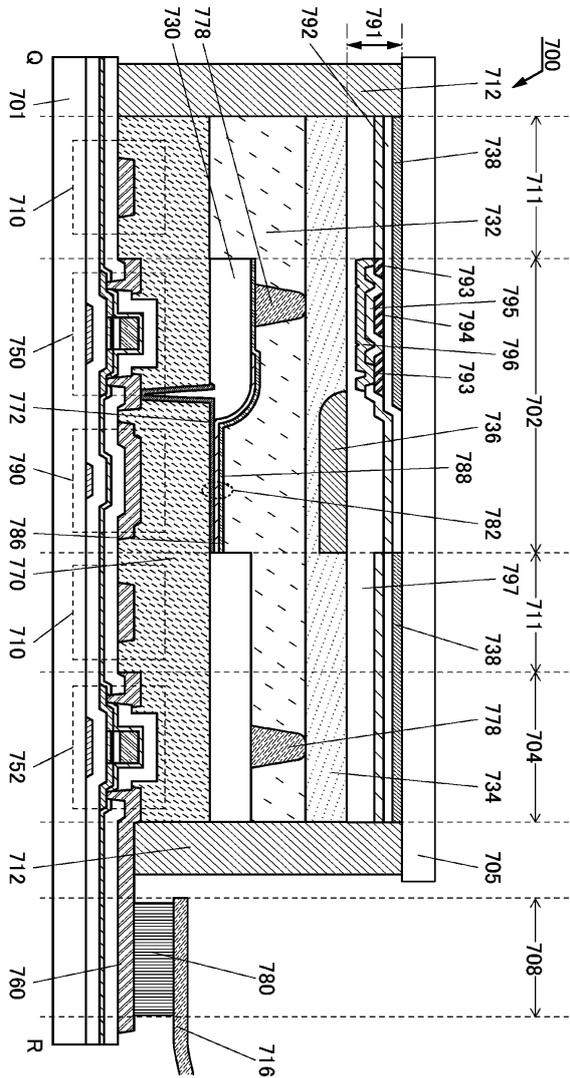
도면18



도면19

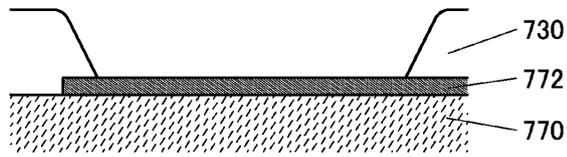


도면20

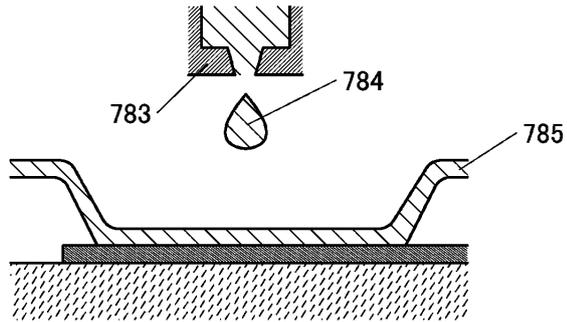


도면21

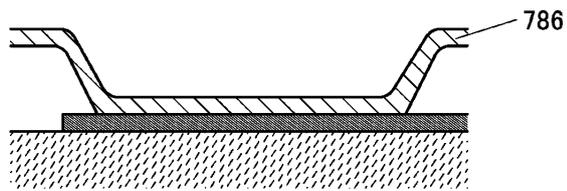
(A)



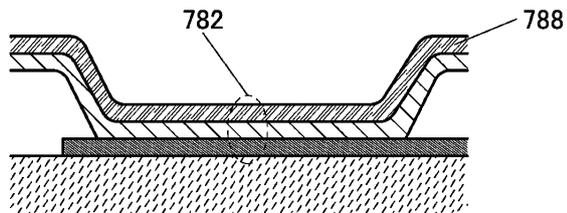
(B)



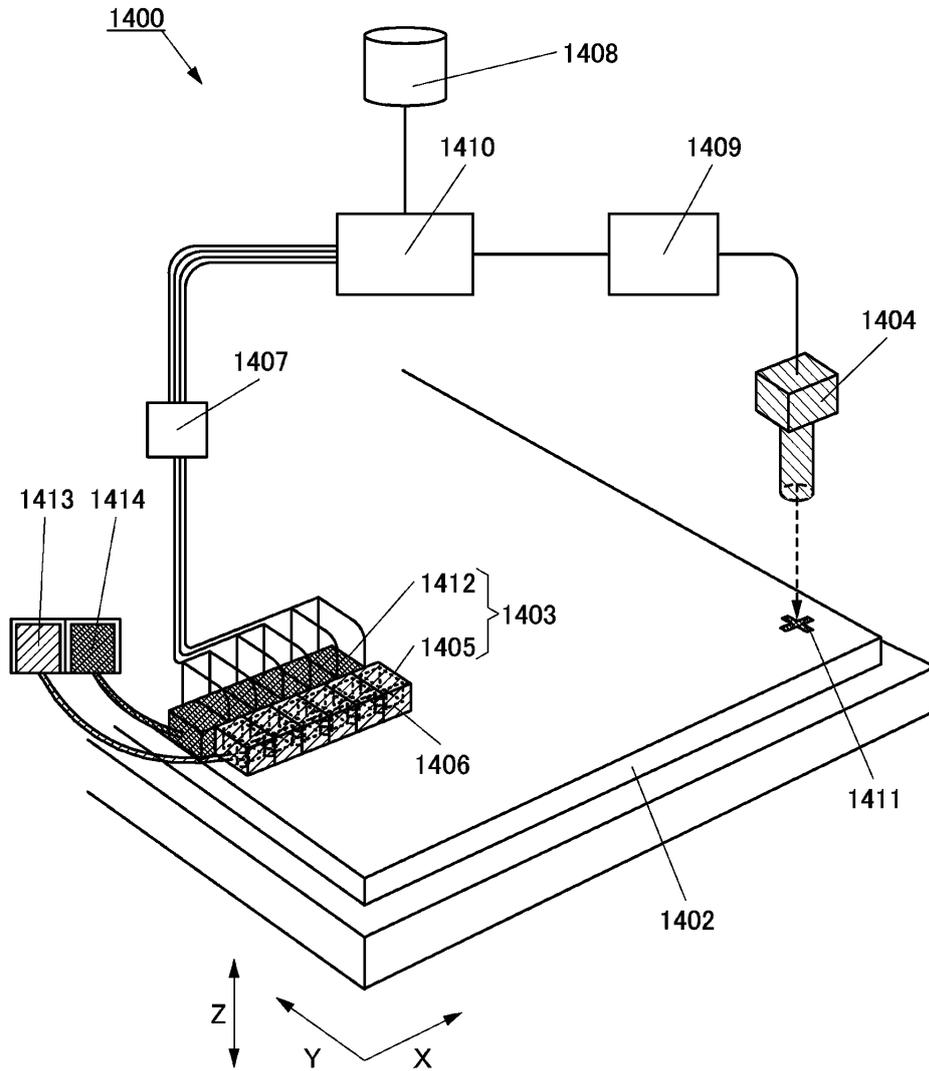
(C)



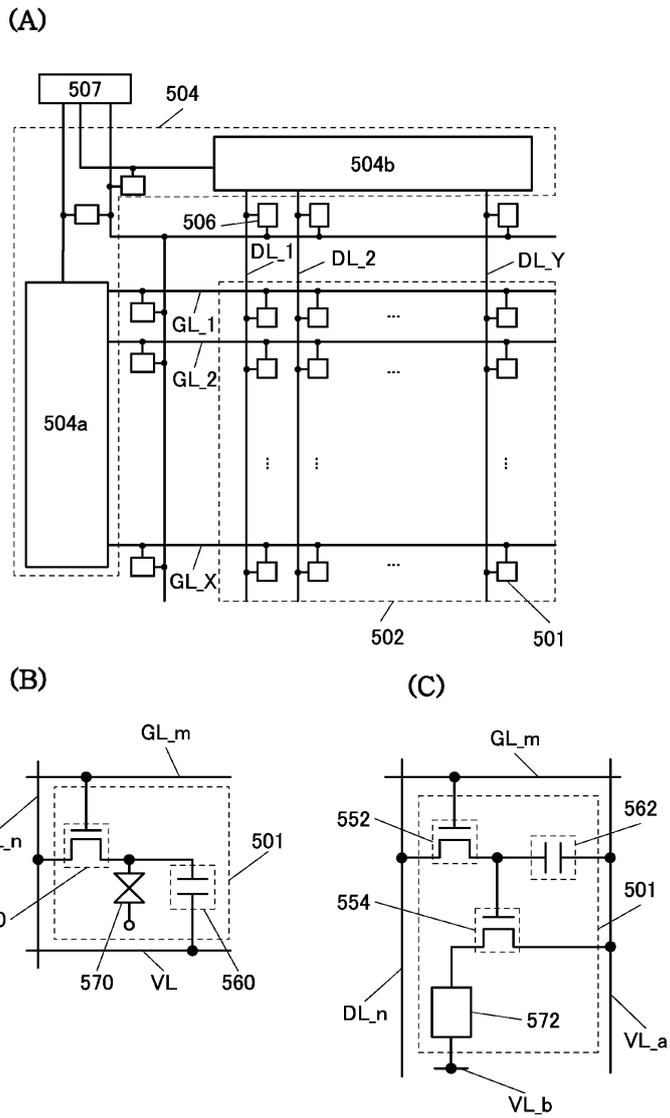
(D)



도면22

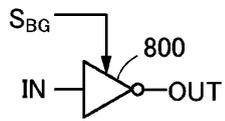


도면23

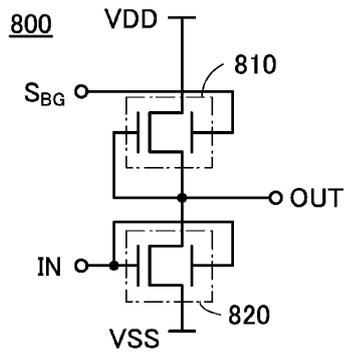


도면24

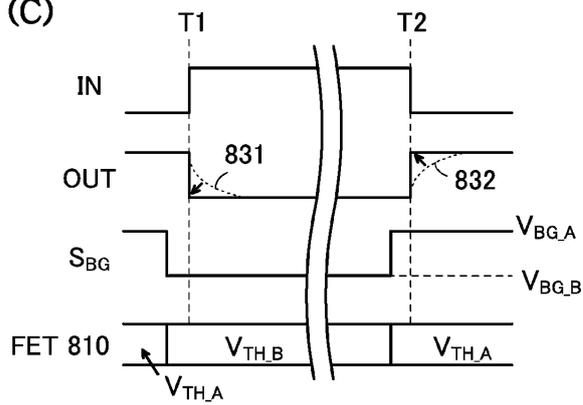
(A)



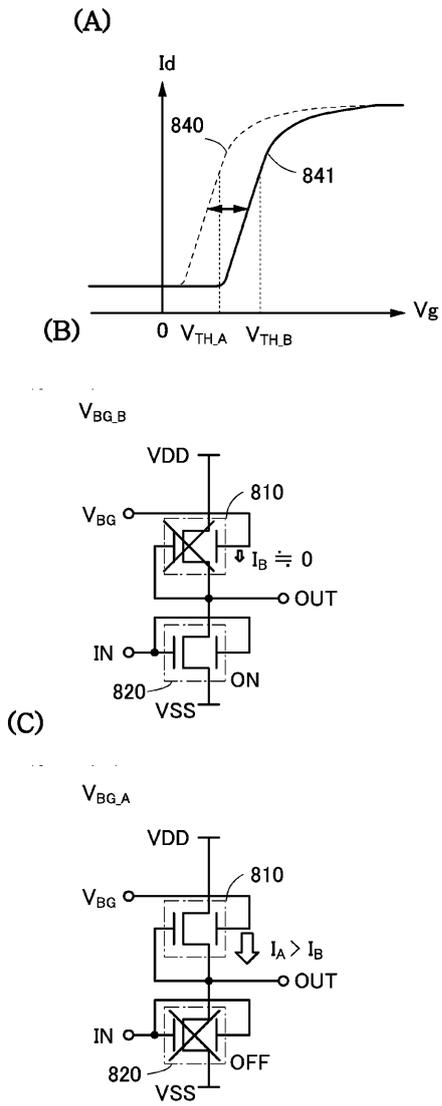
(B)



(C)

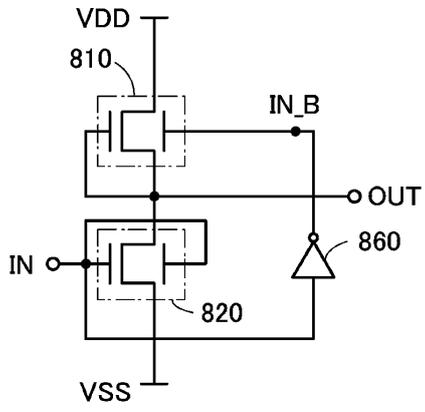


도면25

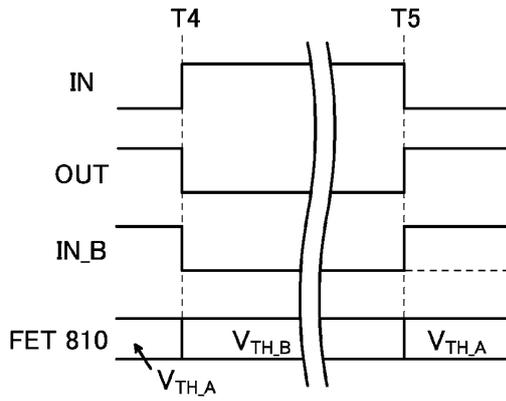


도면27

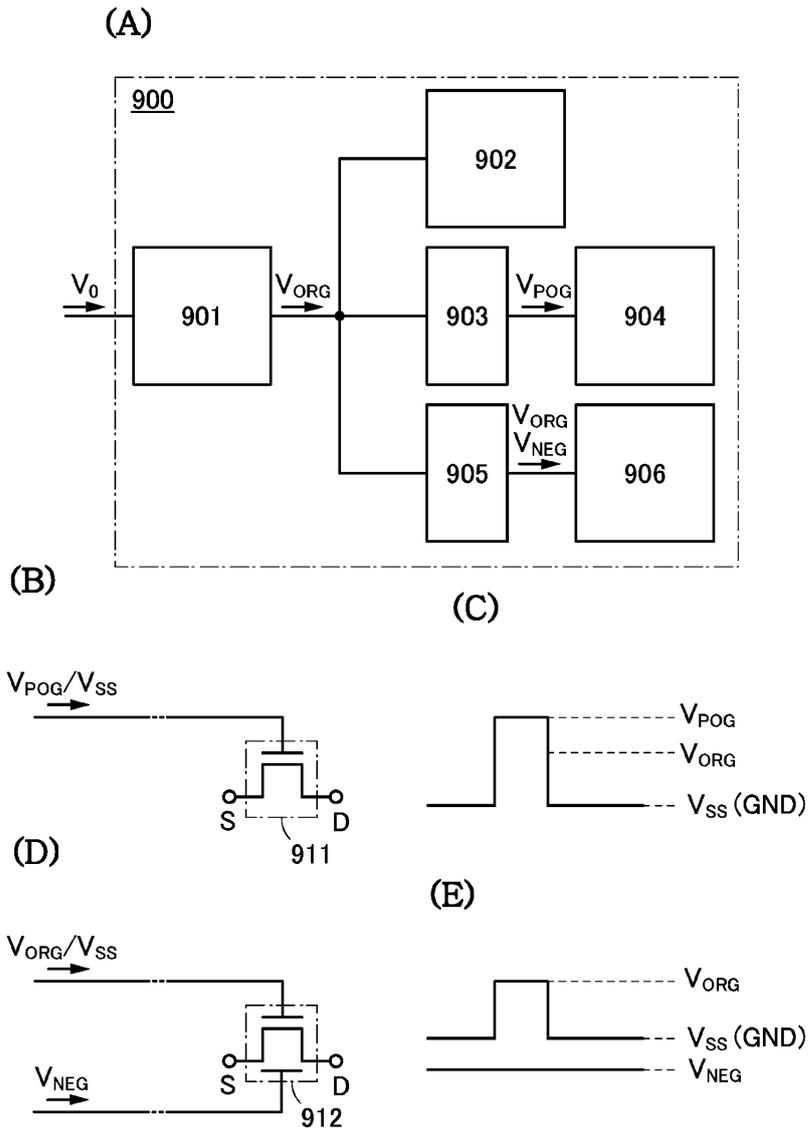
(A)



(B)

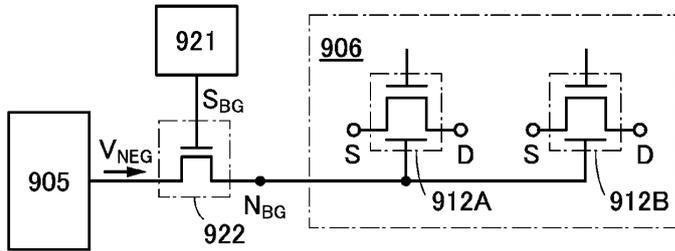


도면28

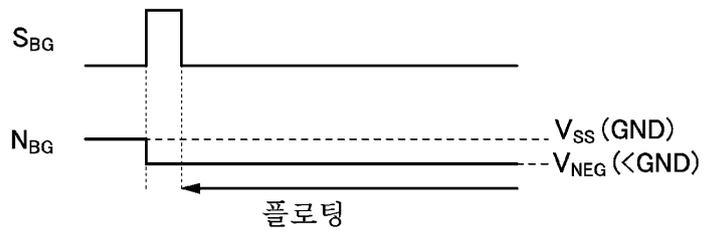


도면29

(A)



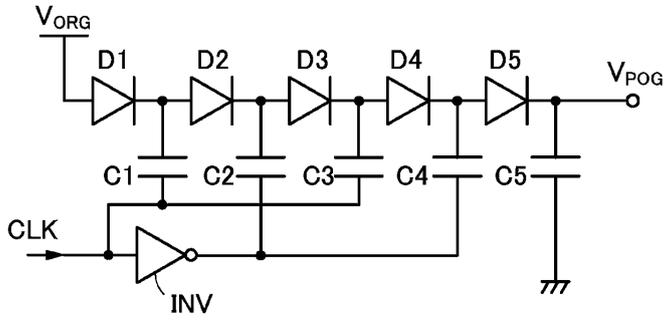
(B)



도면30

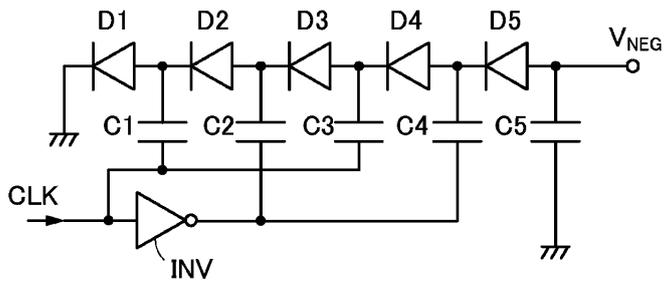
(A)

903 ↘



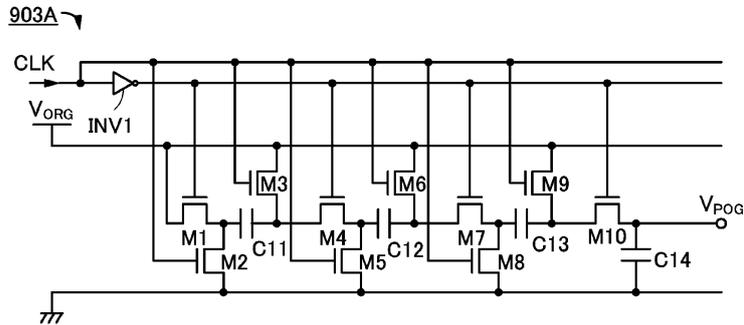
(B)

905 ↘

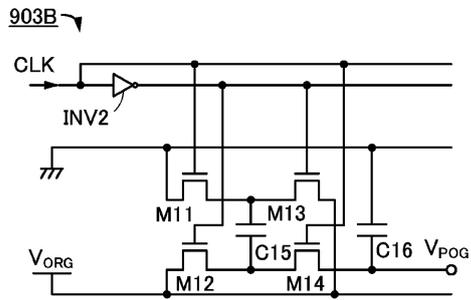


도면31

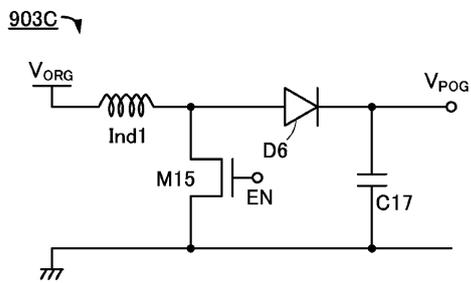
(A)



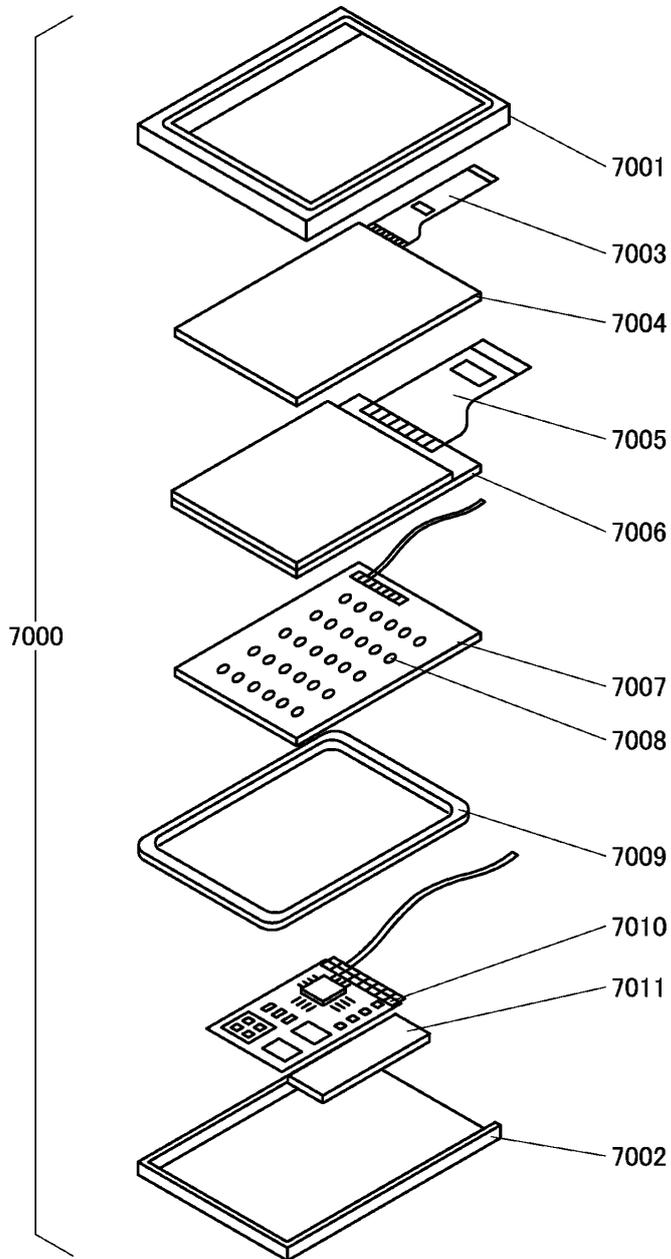
(B)



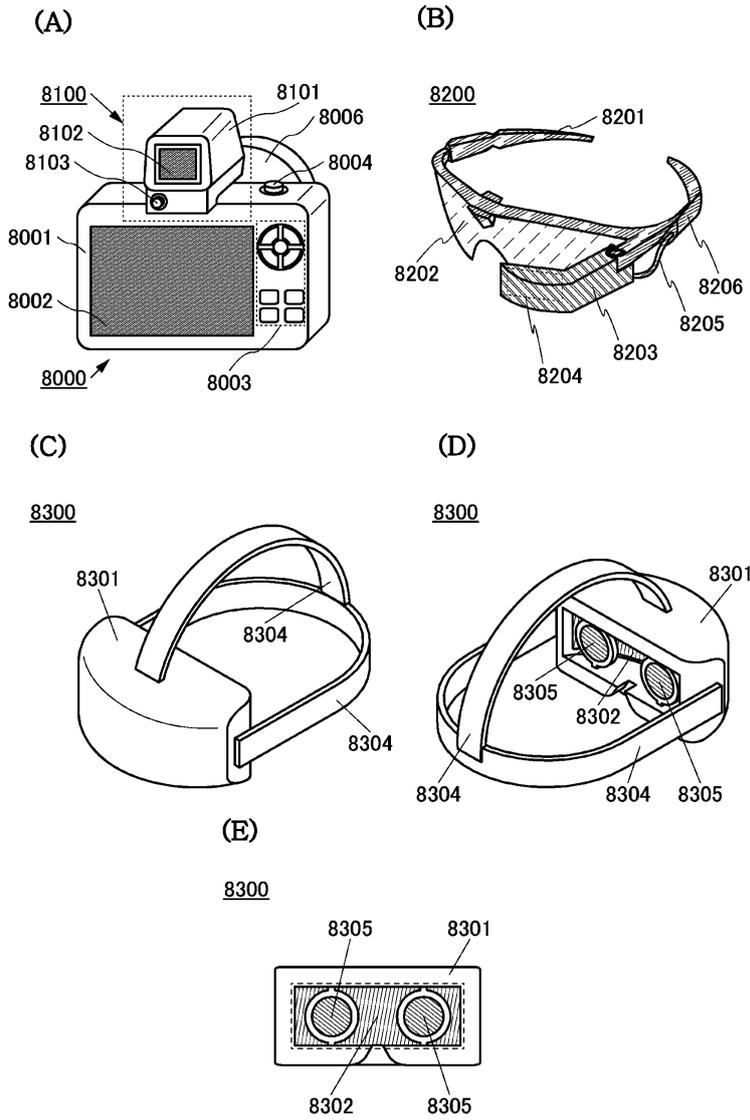
(C)



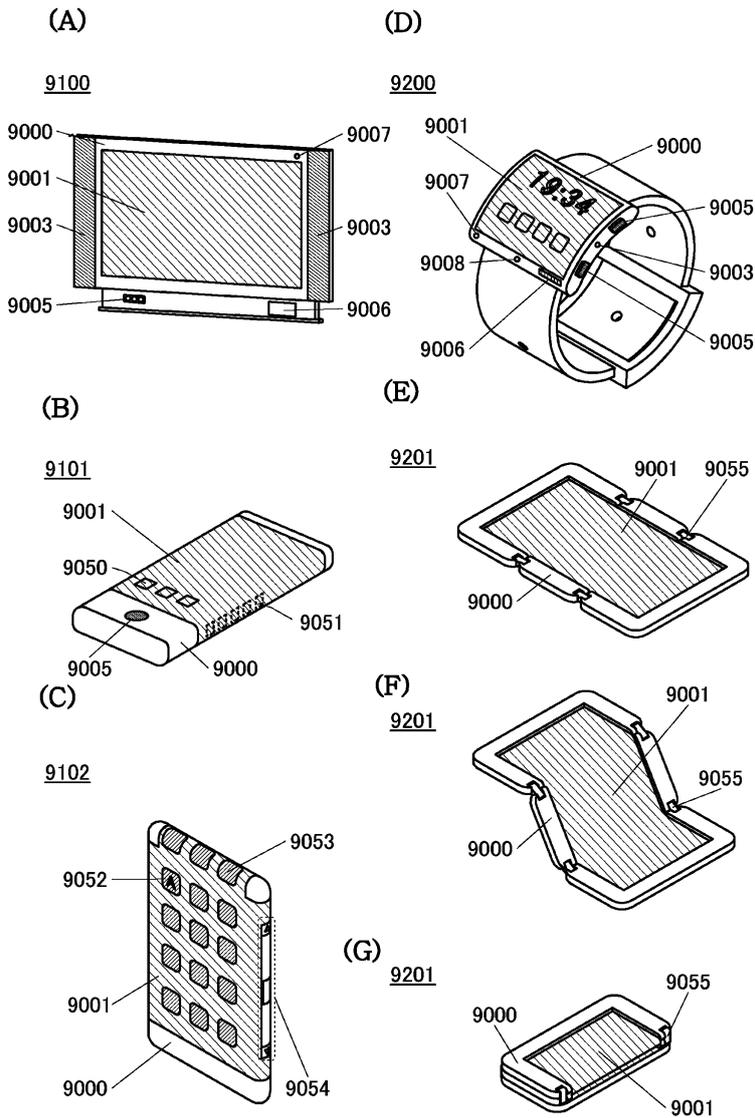
도면32



도면33

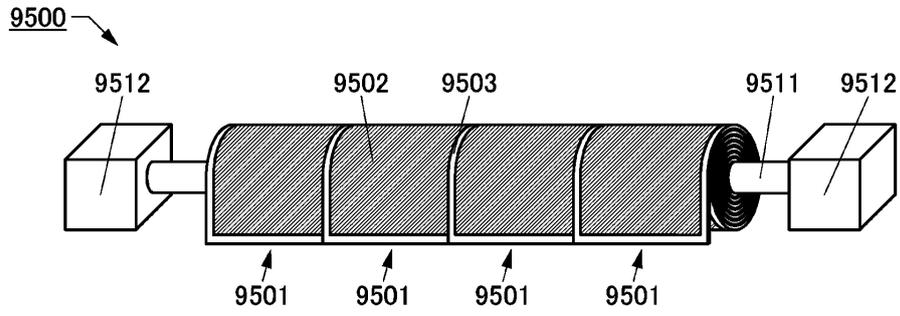


도면34

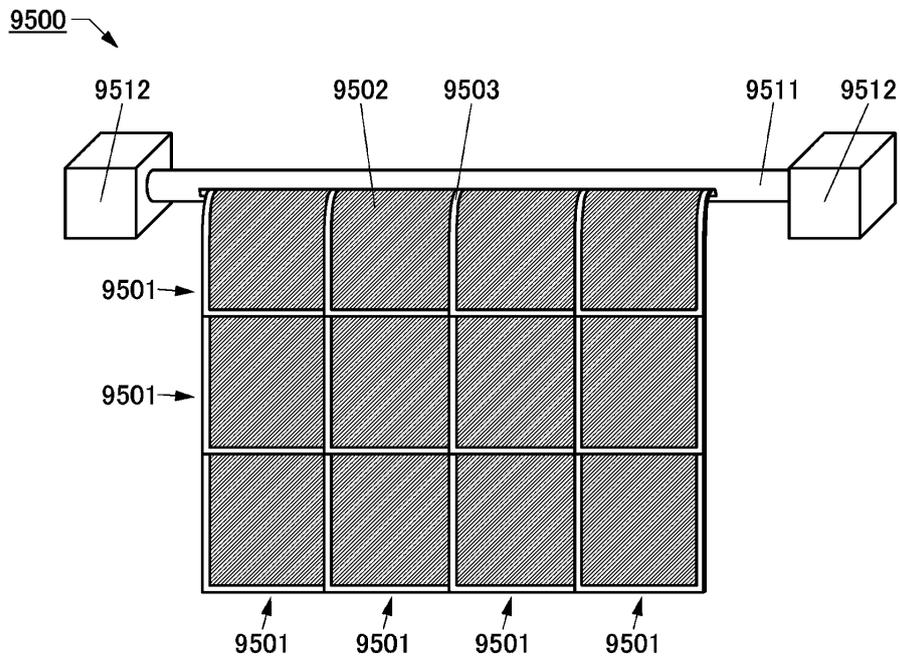


도면35

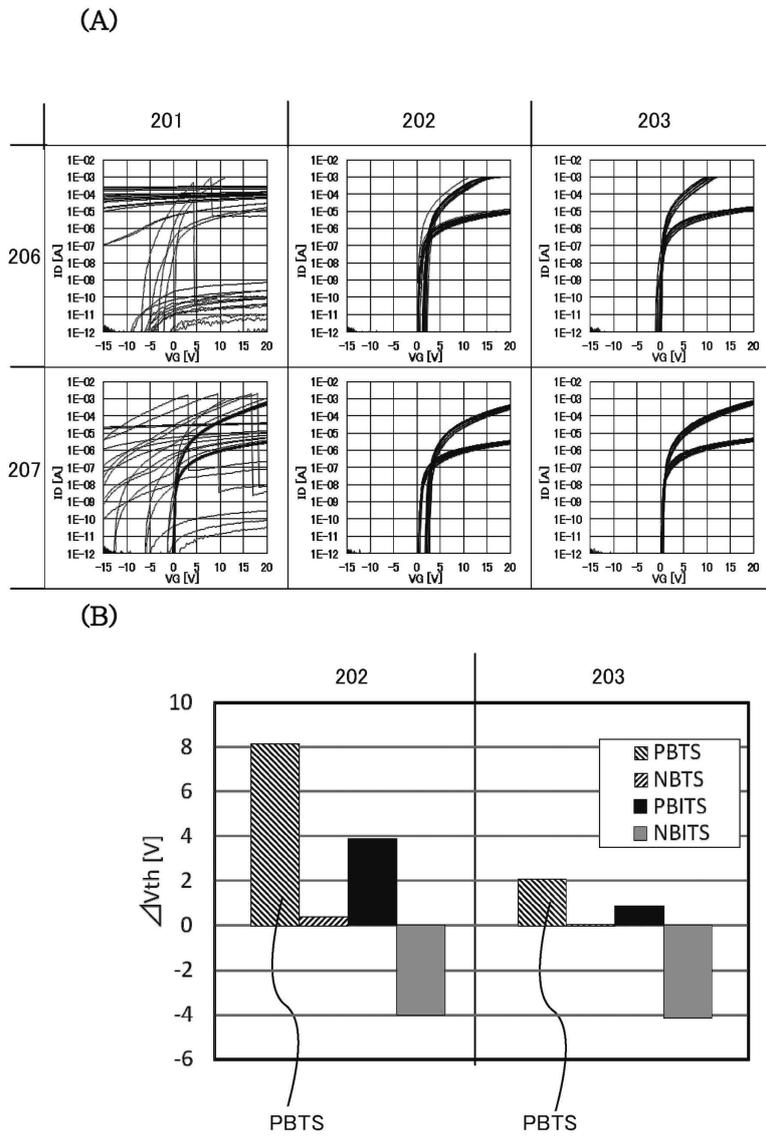
(A)



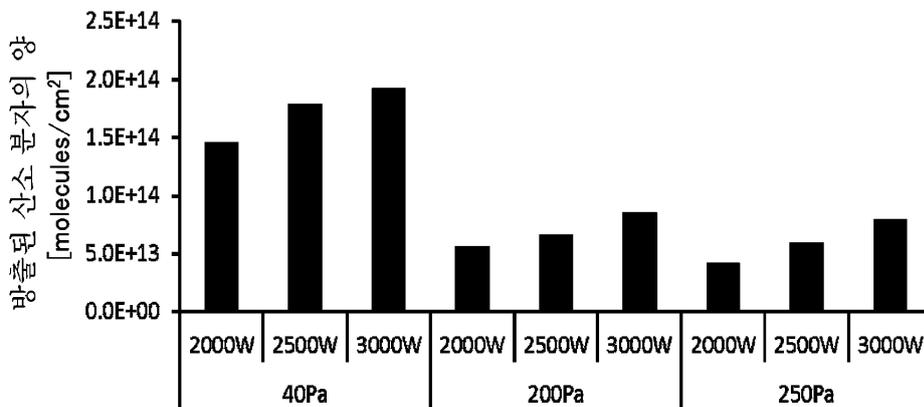
(B)



도면36

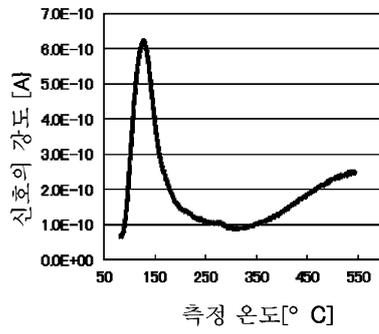


도면37

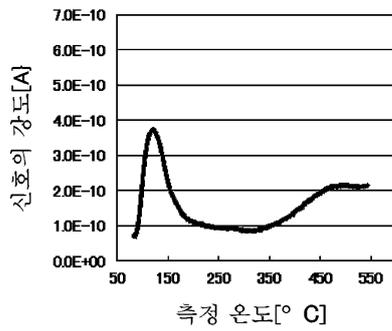


도면38

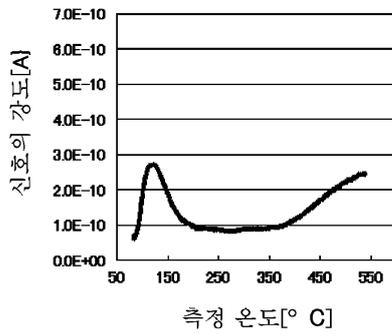
(A)



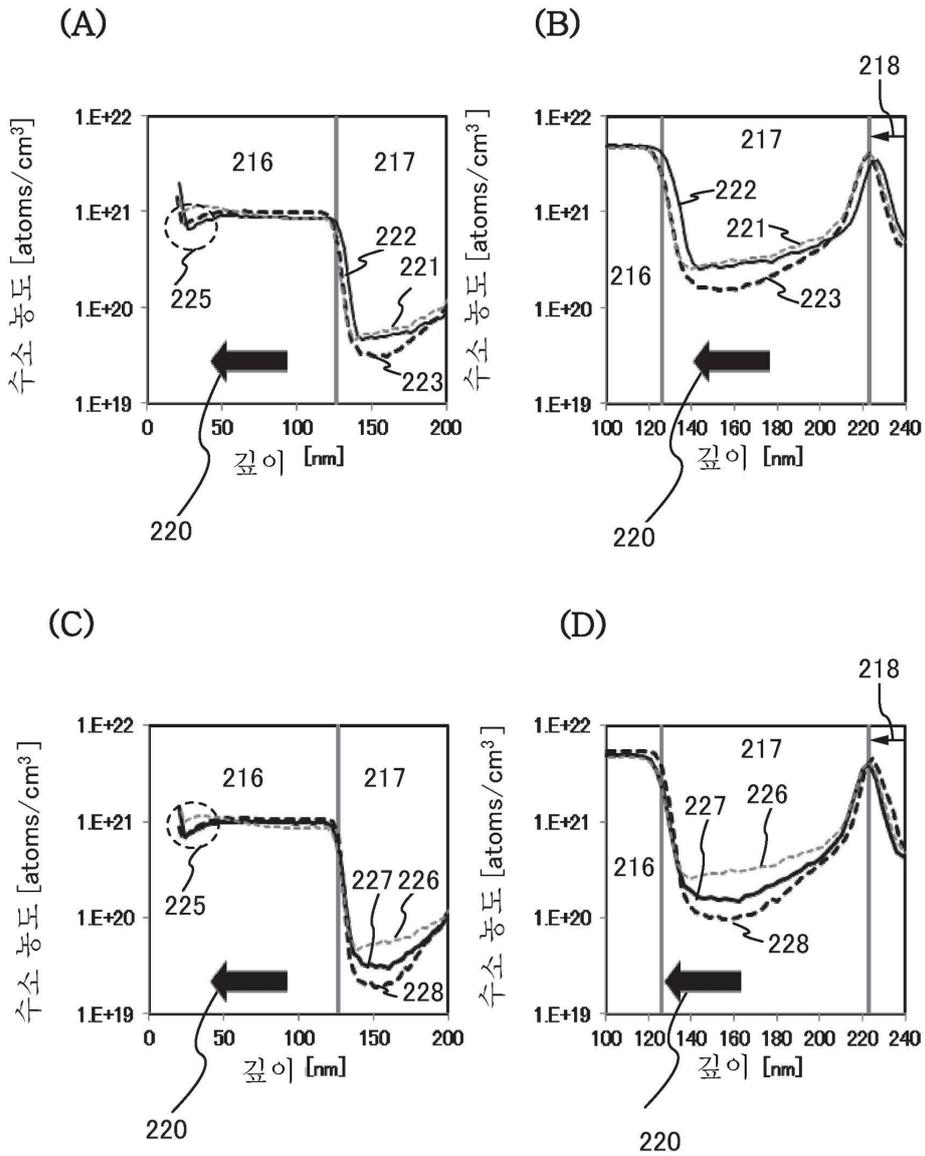
(B)



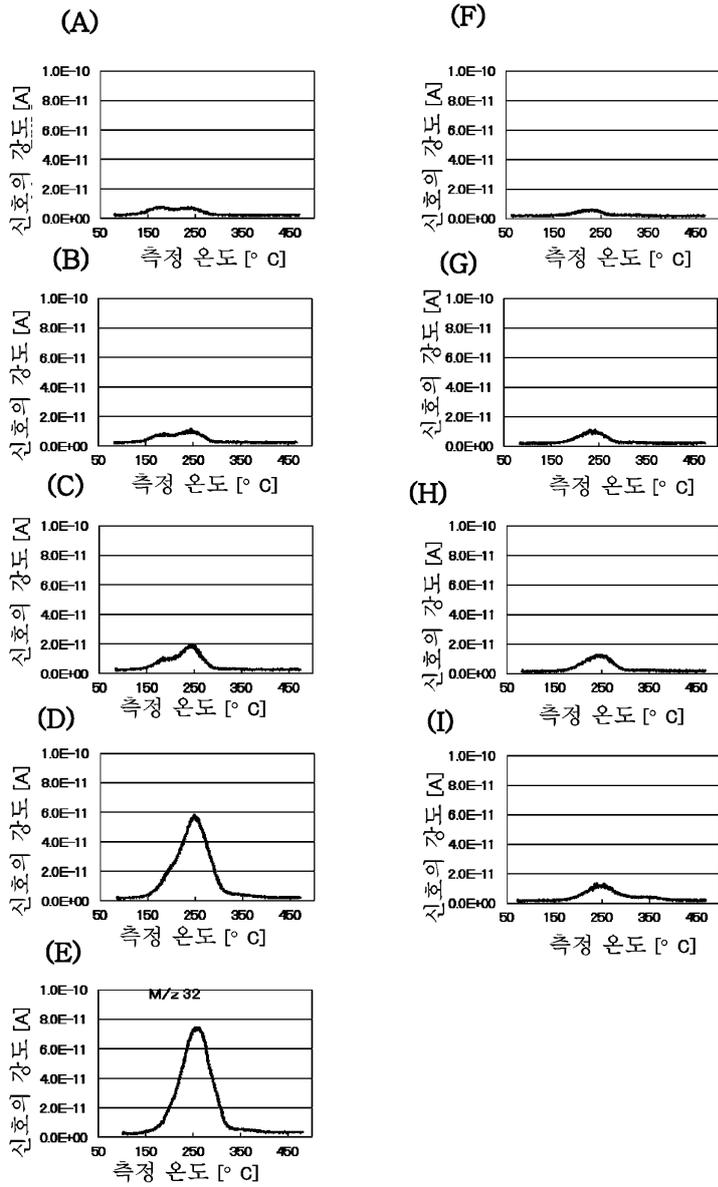
(C)



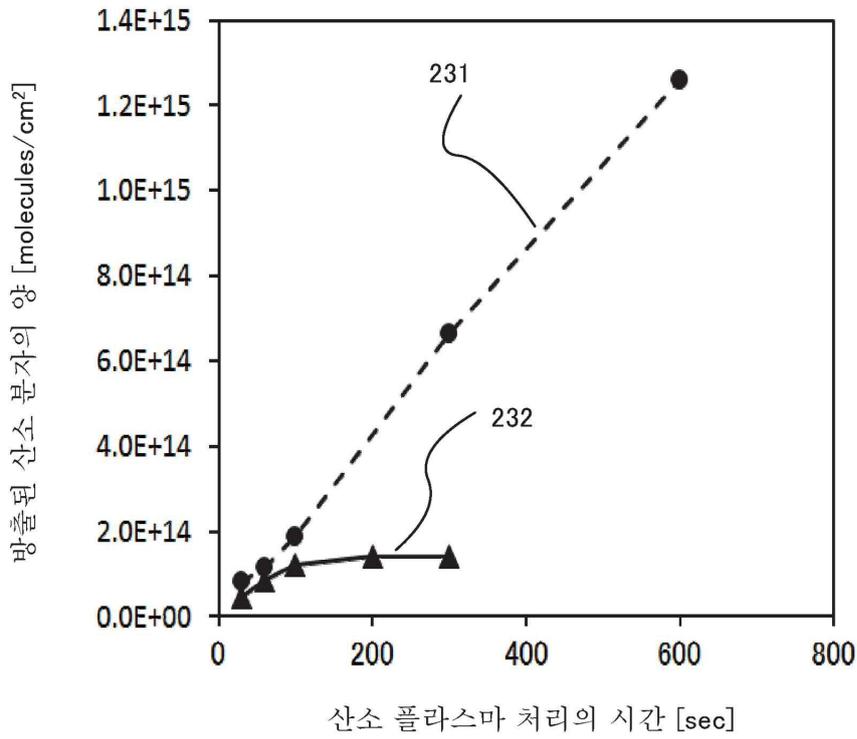
도면39



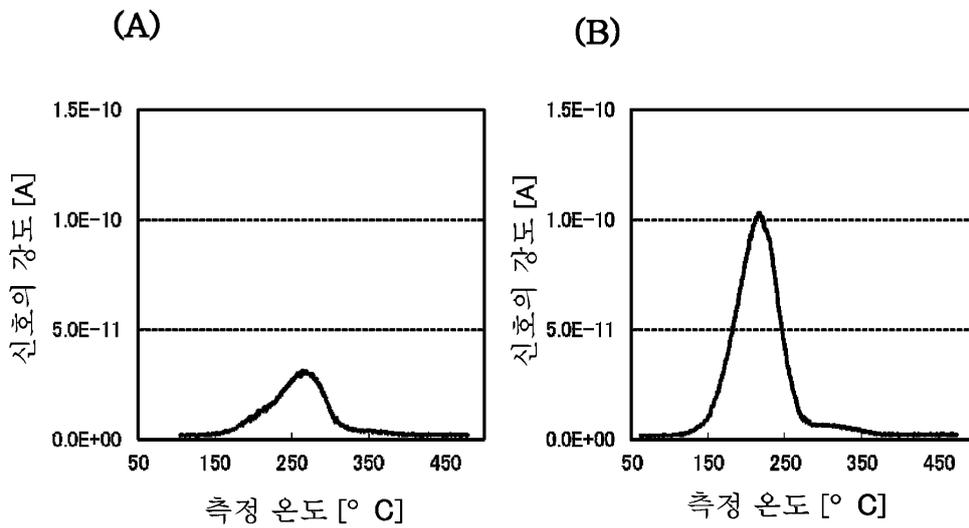
도면40



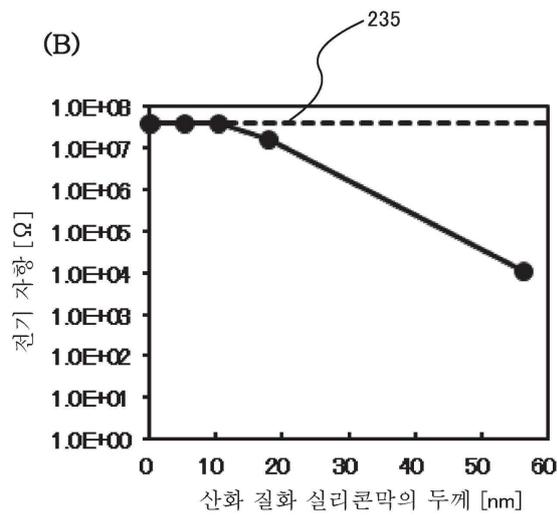
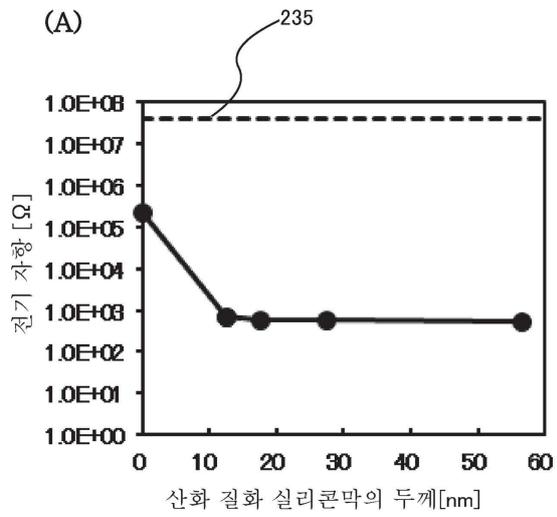
도면41



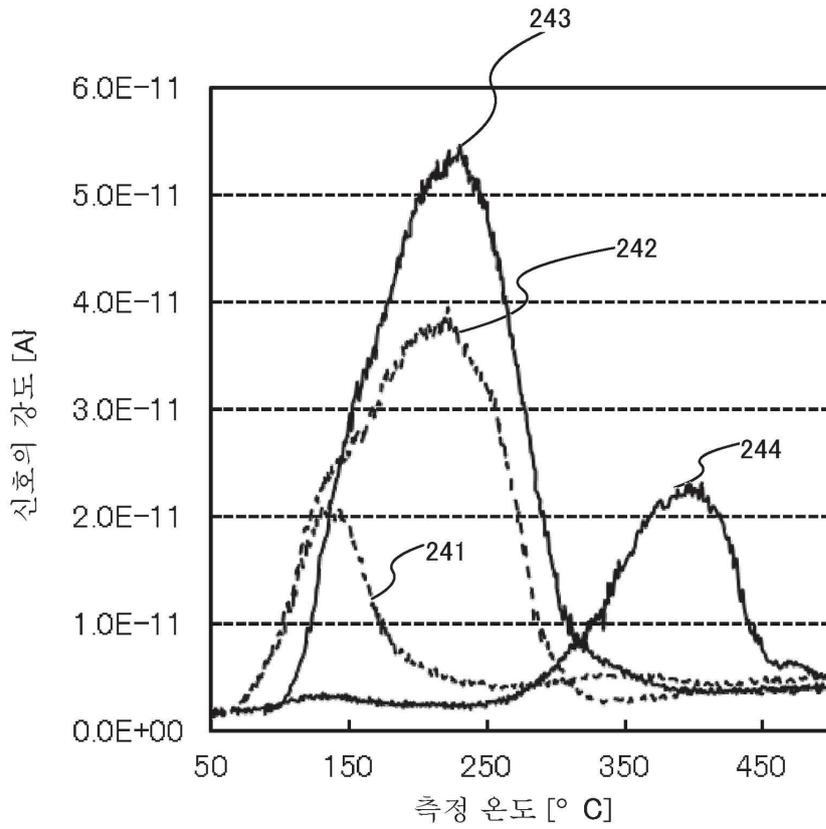
도면42



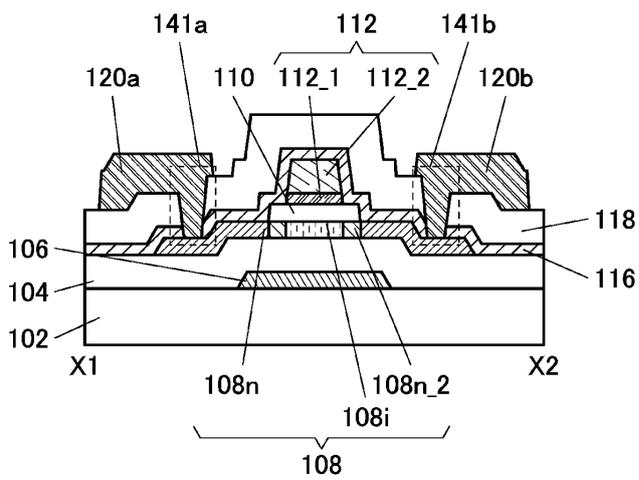
도면43



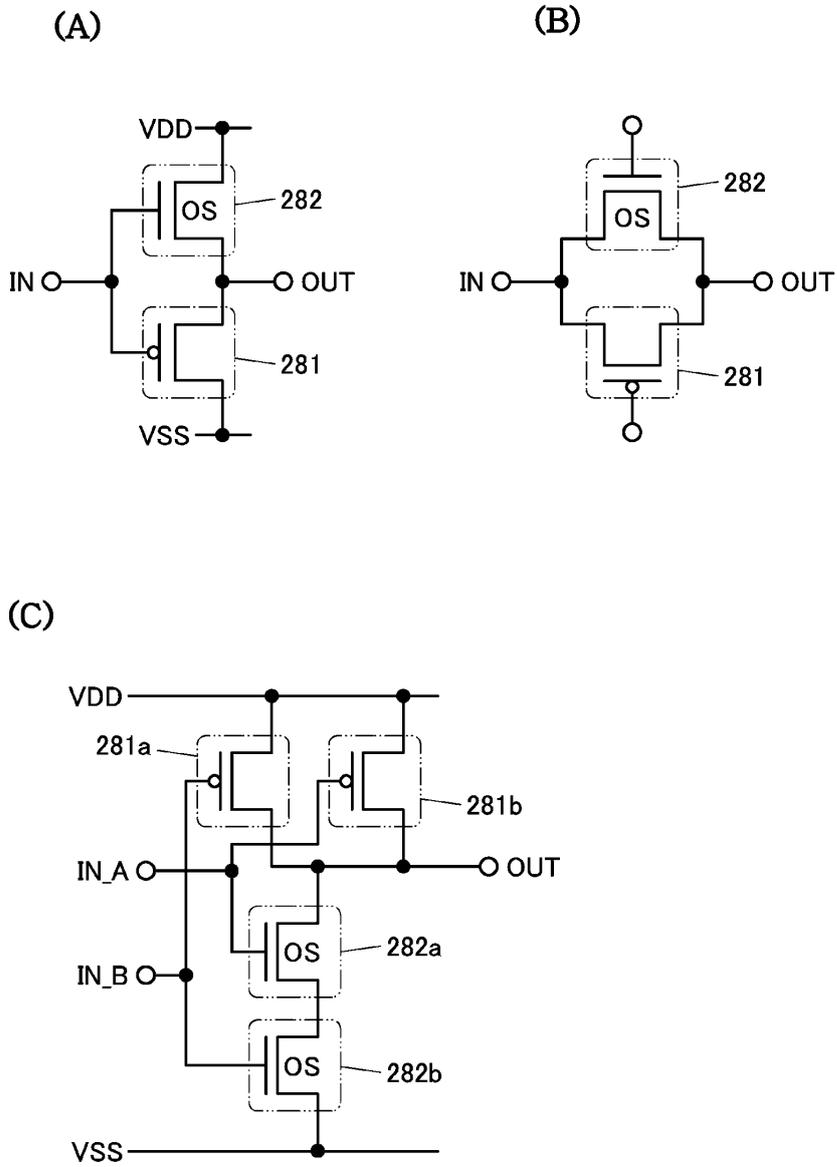
도면44



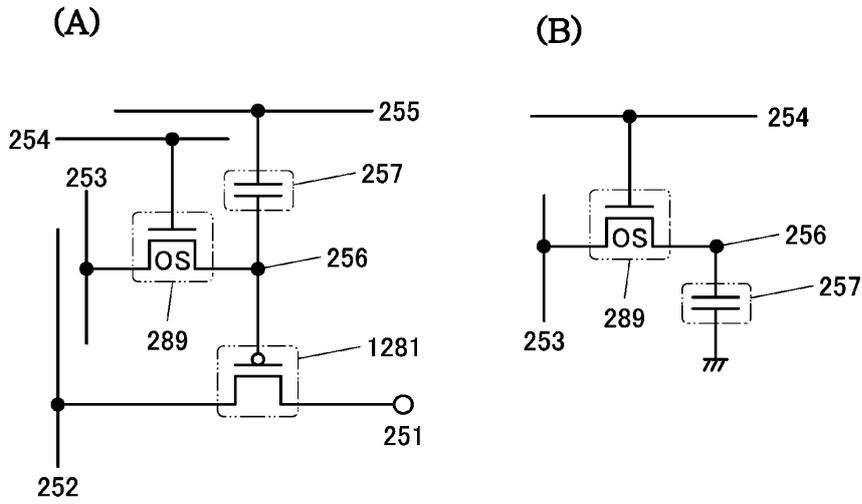
도면45



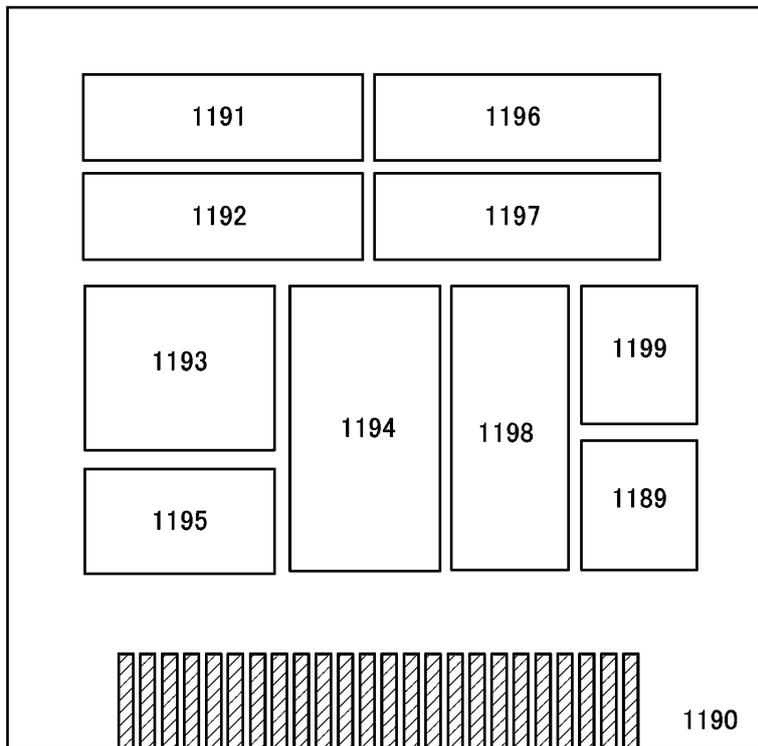
도면46



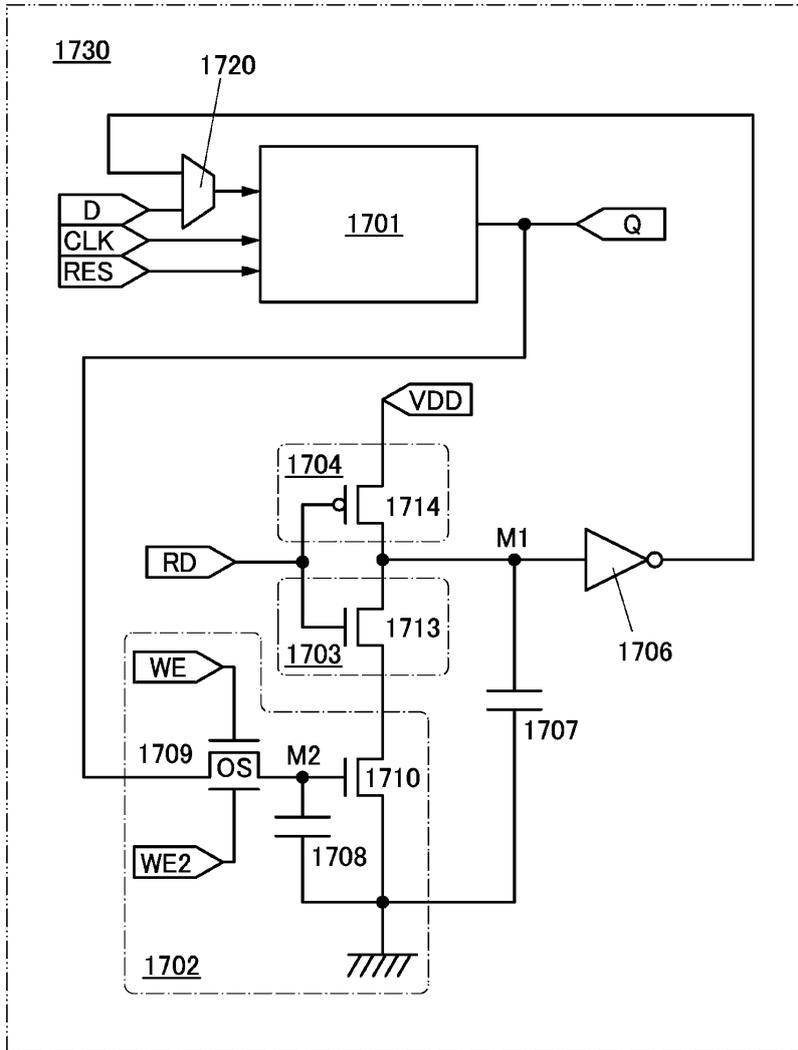
도면47



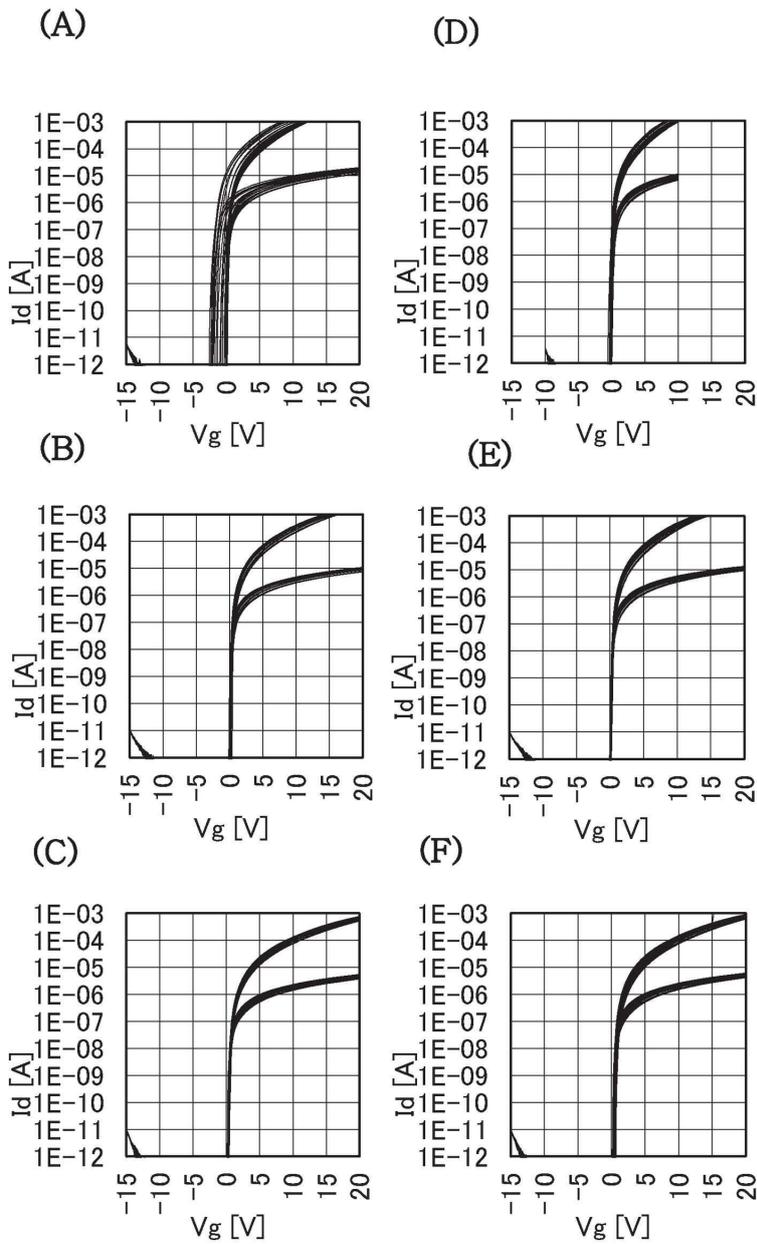
도면48



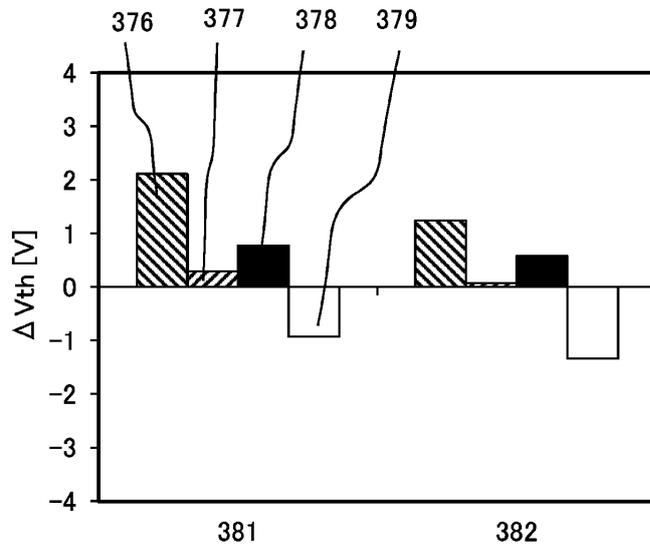
도면49



도면50



도면51



도면52

