

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4408713号  
(P4408713)

(45) 発行日 平成22年2月3日(2010.2.3)

(24) 登録日 平成21年11月20日(2009.11.20)

(51) Int.Cl.	F I
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 Z
HO 1 L 25/07 (2006.01)	HO 1 L 21/88 J
HO 1 L 25/18 (2006.01)	
HO 1 L 21/3205 (2006.01)	
HO 1 L 23/52 (2006.01)	

請求項の数 2 (全 12 頁)

(21) 出願番号 特願2004-26666 (P2004-26666)  
 (22) 出願日 平成16年2月3日(2004.2.3)  
 (65) 公開番号 特開2005-222994 (P2005-222994A)  
 (43) 公開日 平成17年8月18日(2005.8.18)  
 審査請求日 平成18年12月8日(2006.12.8)

(73) 特許権者 302062931  
 NECエレクトロニクス株式会社  
 神奈川県川崎市中原区下沼部1753番地  
 (74) 代理人 100114672  
 弁理士 官本 恵司  
 (72) 発明者 宇佐美 達矢  
 神奈川県川崎市中原区下沼部1753番地  
 NECエレクトロニクス株式会社内  
 審査官 酒井 英夫

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の一方の面に所定の深さの孔を形成する工程と、  
 前記孔の内部に絶縁膜を介して導電材料を埋設して導電性プラグを形成する工程と、  
 前記半導体基板の前記一方の面に、接着剤を用いて支持部材を固定する工程と、  
 前記半導体基板の他方の面を、前記導電性プラグが突出するまで研削する工程と、  
 前記他方の面に、単一周波数の平行平板型プラズマCVD法を用い、成膜用ガスとして  
 $SiH_4$ 、 $NH_3$  及び  $N_2$  を含む混合ガスを用いて、前記支持部材を固定可能な前記接着  
 剤の耐熱温度以下の成膜温度でシリコン窒化膜を形成する工程と、  
 前記導電性プラグ表面の前記シリコン窒化膜を研削する工程と、  
 前記半導体基板から前記支持部材を取り外す工程と、を少なくとも有することを特徴と  
 する半導体装置の製造方法。

【請求項2】

前記シリコン窒化膜を、100 以下の温度で成膜すること特徴とする請求項1記載の  
 半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に関し、特に、基板を貫通する導電性プラグを備  
 えるSiP(System in a Package)用シリコンスペーサの構造及びその製造方法に関す

る。

【背景技術】

【0002】

電子機器の小型化、高性能化に伴って、電子機器に搭載される半導体装置に対しても小型化、多機能化が求められている。半導体装置の多機能化を実現する方法として、複数の半導体チップを平面的に並べ、これらをTAB (tape automated bonding) などによって接続する方法と、複数の半導体チップを厚み方向に積層して接続する方法とがあるが、小型化を実現するためには厚み方向に積層する方法が優れている。

【0003】

ここで、2つの半導体チップを厚み方向に積層する場合は、各々の半導体チップに電極を形成し、双方の半導体チップを対向させて半田ボールなどを介して貼り合わせる方法(いわゆるフェイスダウンボンディング)などが用いられるが、3つ以上の半導体チップを積層する場合には、半導体基板を貫通する導電性プラグを備えた半導体装置(いわゆるシリコンスペーサ)が用いられる(例えば、下記特許文献1)。

10

【0004】

下記特許文献1に記載された半導体装置の製造方法について図面を参照して説明する。まず、図9(a)に示すように、予め内部に所望の素子が形成され、表面にシリコン窒化膜からなる第1の層間絶縁膜10が形成されたシリコン基板1に、シリコン酸化膜からなるマスクパターン11を形成し、F系ガスを用いたRIE法により第1の層間絶縁膜10及びシリコン基板1をエッチングして、第1の層間絶縁膜10を貫通する所定の深さの孔4を形成する。

20

【0005】

次に、図9(b)に示すように、LPCVD法を用いて、シリコン基板1全面にシリコン酸化膜、シリコン窒化膜を順次堆積して、第1の層間絶縁膜10上及び孔4の内壁、底部に積層構造の積層絶縁膜12を形成する。

【0006】

次に、図9(c)に示すように、CVD法、スパッタ法、メッキ法などを用いて、シリコン基板1全面に導電性プラグとなるW(タングステン)、Mo(モリブデン)などの導電材料を堆積し、孔4内部を導電材料で埋設した後、CMP法やエッチバック法などを用いて、第1の層間絶縁膜10が露出するまで導電材料及び積層絶縁膜12をエッチングして、導電性プラグ5aを形成する。

30

【0007】

次に、図10(a)に示すように、シリコン基板1上に金属配線、層間絶縁膜、プラグなどからなる多層配線構造13を形成する。その後、多層配線構造13の表面に溝を形成し、この溝にパッド14を形成する。

【0008】

次に、図10(b)に示すように、CMP、化学研磨、機械研磨、ウェットエッチング、ドライエッチングなどを用いて、孔4が形成された面と反対側(裏面側)の面を、孔4の底部の積層絶縁膜12が露出するまで研削する。

【0009】

次に、図10(c)に示すように、孔4の側壁の積層絶縁膜12の一部が露出するまでシリコン基板1の裏面を選択的にエッチングし、その後、プラズマCVD法を用いてシリコン基板1の裏面全面にシリコン酸化膜15を形成する。その際、低温プロセスが要求される場合はシリコン酸化膜15に代えてSiO<sub>2</sub>膜を形成したり、シリコン基板1が受ける応力を小さくしたい場合はポリイミド膜などの有機膜を形成する。

40

【0010】

次に、図10(d)に示すように、CMP法を用いて導電性プラグ5aが露出するまでシリコン酸化膜15及び積層絶縁膜12を研磨する。これにより、貫通孔内に積層絶縁膜12を介して導電性プラグ5aが埋め込まれた半導体装置(シリコンスペーサ)が完成する。

50

## 【 0 0 1 1 】

【特許文献 1】特開平 1 0 - 2 2 3 8 3 3 号公報 ( 第 5 - 1 2 頁、第 4 図 )

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【 0 0 1 2 】

このように、上記構造の半導体装置 ( シリコンスペーサ ) を形成するには、シリコン基板 1 の表面側に導電性プラグ 5 a を形成した後、CMP 法などによってシリコン基板 1 の裏面側を研削し、更に裏面側にシリコン酸化膜 1 5 などの絶縁膜を形成した後、導電性プラグ 5 a の表面を露出させるために絶縁膜を研削する必要があるが、シリコン基板 1 を補強せずに裏面の研削や絶縁膜の形成などの工程を行うとシリコン基板 1 が破損したり、内部に形成されている素子の特性が変化するなどの不具合が生じ、また作業性も悪い。そこで、通常は、導電性プラグ 5 a を形成した後、シリコン基板 1 の表面側にガラス基板などからなる支持体を接着剤で接着し、シリコン基板 1 の裏面側の研削、絶縁膜の形成、絶縁膜の研削を行い、その後、該支持体を取り外す方法が用いられる。

10

## 【 0 0 1 3 】

しかしながら、接着剤は一般に熱に弱いため、支持体が接着剤で固定されたシリコン基板 1 の裏面側に絶縁膜を形成する際、その成膜温度を低くしなければならない。そのため、成膜された絶縁膜は機械的強度が弱く、導電性プラグを露出させるための絶縁膜の CMP 工程で絶縁膜が剥離してしまったり、スクラッチと呼ばれる微少なキズが生じる等の不具合が発生してしまう。

20

## 【 0 0 1 4 】

また、上記特許文献 1 には、低温プロセスが要求される場合には、シリコン酸化膜 1 5 に代えて SOG 膜等の塗布膜を用いるとよいと記載されているが、SOG 膜は膜の機械的強度が弱く、シリコン基板 1 に対する密着性も悪いために、やはり CMP 工程で剥離が生じてしまう。また、SOG 膜を低温で焼成したままとすると、SOG の脱水、縮合反応が十分に行われないうために吸湿性のあるリークの多い膜になってしまう。

## 【 0 0 1 5 】

本発明は上記問題点を鑑みてなされたものであって、その主たる目的は、基板を貫通する導電性プラグが形成されるシリコン基板に、剥離しにくく、かつ、リークの少ない良質なシリコン絶縁膜を低温で形成することができる半導体装置の製造方法及び該方法で製造された半導体装置を提供することにある。

30

## 【課題を解決するための手段】

## 【 0 0 1 6 】

上記目的を達成するため、本発明の半導体装置の製造方法は、半導体基板の一方の面に所定の深さの孔を形成する工程と、前記孔の内部に絶縁膜を介して導電材料を埋設して導電性プラグを形成する工程と、前記半導体基板の前記一方の面に、接着剤を用いて支持部材を固定する工程と、前記半導体基板の他方の面を、前記導電性プラグが突出するまで研削する工程と、前記他方の面に、単一周波数の平行平板型プラズマ CVD 法を用い、成膜用ガスとして  $\text{SiH}_4$ 、 $\text{NH}_3$  及び  $\text{N}_2$  を含む混合ガスを用いて、前記支持部材を固定可能な前記接着剤の耐熱温度以下の成膜温度でシリコン窒化膜を形成する工程と、前記導電性プラグ表面の前記シリコン窒化膜を研削する工程と、前記半導体基板から前記支持部材を取り外す工程と、を少なくとも有するものである。

40

## 【 0 0 1 9 】

本発明においては、前記シリコン窒化膜を、100 以下の温度で成膜する構成とすることができる。

## 【 0 0 2 0 】

このように、本発明の構成によれば、シリコン基板を研削した面を保護、絶縁するためのシリコン窒化膜を形成する際に、反応ガスとして  $\text{SiH}_4$ 、 $\text{N}_2$ 、 $\text{NH}_3$  を含む混合ガスを用い、単一周波数の平行平板型プラズマ CVD 法により成膜することにより、成膜温度を支持体を接着する接着剤の耐熱温度である略 100 以下にしても、次工程の CMP

50

工程での剥離がなく、かつ、リークの少ない良質な膜、すなわち、屈折率で規定すると波長633nmに対する屈折率が略1.8乃至1.9の膜を形成することができる。

【発明の効果】

【0021】

以上説明したように、本発明の半導体装置及びその製造方法によれば、下記記載の効果を奏する。

【0022】

本発明の第1の効果は、基板を貫通する導電性プラグを備えたシリコンスペーサの基板研削面(裏面)に、支持体を接着する接着剤の耐熱温度である略100以下の低温でシリコン窒化膜を形成することができるということである。

10

【0023】

その理由は、シリコン窒化膜を2周波のプラズマCVD法で形成するのではなく、単一周波数の平行平板型プラズマCVD法で形成しているからである。

【0024】

また、本発明の第2の効果は、成膜後のCMP工程での剥離がなく、かつ、リークの少ない良質なシリコン窒化膜を形成することができるということである。

【0025】

その理由は、反応ガスとしてSiH<sub>4</sub>、N<sub>2</sub>、NH<sub>3</sub>を含む混合ガスを用いて成膜することにより、単一周波数の平行平板型プラズマCVD法を用いても、SiH<sub>4</sub>を十分に窒化することができ、かつ、Si-Si結合を生じにくくすることができるからである。

20

【発明を実施するための最良の形態】

【0026】

従来技術で示したように、半導体装置の小型化、高機能化を実現する方法として、シリコン基板を貫通する導電性プラグを備えたシリコンスペーサを用いて半導体チップを積層する方法が用いられているが、シリコンスペーサを形成する場合、シリコン基板裏面を研削する前に、表面側に支持体を一時的に接着剤で接着して補強する必要があり、この接着剤の耐熱温度が100程度と低いために、シリコン基板を研削した後に裏面を保護、絶縁するための絶縁膜を形成する際の成膜温度を高くすることができず、その結果、絶縁膜の密着性が悪くなってCMP工程で剥離したりスクラッチが生じてしまうという問題があった。

30

【0027】

ここで、裏面に形成される絶縁膜としては機械的強度に優れるシリコン窒化膜が好ましいが、SiH<sub>4</sub>、NH<sub>3</sub>を反応ガスとしプラズマCVD法でシリコン窒化膜を形成すると、SiH<sub>4</sub>の窒化が不十分になって粗な膜になりやすくCMP工程での剥離を抑制することができず、また、SiH<sub>4</sub>、N<sub>2</sub>を反応ガスとすると、Si-Si結合が生じやすくなりリークが多い膜となってしまう。更に、成膜温度を70まで低くすると成膜後に酸化または吸湿が起こり、シリコン窒化膜中にO-H結合が形成されることが報告されており、このような膜質のシリコン窒化膜を用いた場合、Cuなどの酸化しやすい材料で導電性プラグを形成すると、導電性プラグ表面が酸化されてしまい、接続不良や抵抗増加などの不具合が発生してしまう。

40

【0028】

そこで、本願発明者は各種条件でシリコン窒化膜を成膜した結果、反応ガスとしてSiH<sub>4</sub>、N<sub>2</sub>、NH<sub>3</sub>の3種の混合ガスを用い、単一周波数(例えば、13.56MHz)の平行平板型プラズマCVD法で成膜すれば、成膜温度を100以下にすることができ、かつ、CMP工程での剥離がなく、リークの少ない良質なシリコン窒化膜が形成できることを見出した。また、膜密度や膜組成と屈折率との間に密接な相関があり、膜の特性を判断する指標として屈折率を用いることができ、屈折率が波長633nmに対して1.8乃至1.9の範囲となる条件で成膜すれば良質なシリコン窒化膜が得られることを見出した。

【0029】

50

なお、各々の反応ガスや平行平板型プラズマCVD法自体は公知であるが、反応ガスとしてSiH<sub>4</sub>、N<sub>2</sub>、NH<sub>3</sub>を含む混合ガスを用いれば、単一周波数の平行平板型プラズマCVD法でもSiH<sub>4</sub>を十分に窒化することかでき、かつ、Si-Si結合の生成を抑制することができること、また、膜密度や膜組成などの特性が屈折率を指標として規定することができることは、本願発明者の実験に基づく知見によって明らかにされた新規な事実である。

【実施例1】

【0030】

上記した本発明の実施形態についてさらに詳細に説明すべく、本発明の一実施例に係る半導体装置及びその製造方法について、図1乃至図8を参照して説明する。図1は、本実施例に係る半導体装置の構造を模式的に示す断面図であり、図2及び図3は、そのバリエーションを示す断面図である。また、図4乃至図7は、本実施例に係る半導体装置の製造工程の一部を模式的に示す工程断面図であり、図8は、従来方法により生じる問題点を説明するための図である。

10

【0031】

図1に示すように、本発明の半導体装置はSiP用シリコンスペーサとして用いられるものであり、該半導体装置には、シリコン基板1などの半導体基板を貫通する1以上の導電性プラグ5aが形成され、基板が研削される面(図では下側の面、以下、便宜的に裏面と呼ぶ。)の導電性プラグ5aを除く領域には、CMP工程での剥離がなく、リークの少ない良質なシリコン窒化膜9(屈折率で規定すると、波長633nmに対する屈折率が1.8乃至1.9のシリコン窒化膜9)が形成されている。

20

【0032】

なお、この半導体装置は、表裏の両側に配設される半導体チップを接続するための導電性プラグ5aのみが形成されている構造としてもよいし、半導体基板内部や表層部に図示しない回路や積層配線などが形成されている構造としてもよい。また、本実施例の半導体装置は、単独で利用される構成としてもよいし、図2に示すように複数の半導体装置が積層され、それらの間が半田バンプ16などにより接続されている構成としてもよいし、また、図3に示すように導電性プラグ5aに対応する位置にパッド14が形成された他の半導体チップ17などが接続されている構成としてもよい。

【0033】

上記構造の半導体装置を製造する手順について、図4乃至図7の工程断面図を参照して説明する。なお、図4乃至図7は、一連の製造方法を示す図であり、作図の都合上、分図したものである。

30

【0034】

まず、図4(a)に示すように、必要に応じて所望のMOSトランジスタ等の素子が形成されたシリコン基板1上に、CVD法、プラズマCVD法等を用いて、シリコン酸化膜、シリコン窒化膜などの第1絶縁膜2を形成した後、その上に、露光の反射を抑制するための反射防止膜及びレジストを塗布し、公知のフォトリソグラフィ技術を用いて露光、現像を行い、孔4を形成するためのマスクパターン11を形成する。なお、マスクパターン11をレジストで形成する代わりに、従来技術で示したようにシリコン基板1上にシリコン窒化膜を形成し、その上にシリコン窒化膜に対するエッチング選択比が大きいシリコン酸化膜からなるハードマスクを形成してもよい。

40

【0035】

続いて、公知のエッチング技術を用いて第1絶縁膜2を貫通する所定の深さの孔4を形成する。なお、孔4を形成する方法も限定されず、RIEなどのドライエッチングを用いてもよいし、エッチング液を用いたウェットエッチングを用いてもよいし、ドライエッチングとウェットエッチングとを組み合わせた方法を用いてもよい。また、孔4の深さや形状も限定されず、孔4の深さは、例えば半導体装置の最終的な厚みとなるように設定すればよい。

【0036】

50

次に、酸素プラズマアッシングによりレジスト及び反射防止膜を除去した後、図4(b)に示すように、CVD法、プラズマCVD法等を用いて、全面にシリコン酸化膜やシリコン窒化膜、これらの積層膜などを堆積し、シリコン基板1上及び孔4の内壁、底部に第2絶縁膜3を形成する。

【0037】

次に、図4(c)に示すように、スパッタ法を用いて、Ti、TiN、Ta、TaN、WN等の単層膜、又はそれらを組み合わせた2層以上の積層膜からなるバリアメタル(図示せず)やCuのめっき成長を容易にするためのCuのシードメタル(図示せず)などを形成した後、電解めっき法によりCuなどの導電材料5を成長させて孔4内部を導電材料5で埋設する。

10

【0038】

次に、図5(a)に示すように、CMP法を用いて第1絶縁膜2上の導電材料5、バリアメタル及び第2絶縁膜3を除去して孔4の内部に第2絶縁膜3を介して導電材料5が埋め込まれた導電性プラグ5aを形成する。なお、ここまでの工程は通常のダマシンプロセスと同様であり、所定の深さの導電性プラグ5aを形成することができる任意の方法を用いることができ、例えば、Cuに代えてCVD法やスパッタ法などを用いてタングステンや金属シリサイドなどを形成してもよいし、CMP法に代えてエッチバック法を用いて導電材料5をエッチングしてもよい。また、半導体装置には導電性プラグ5aのみを形成してもよいし、導電性プラグ5a形成後、基板の表面に図2に示すような金属配線、層間絶縁膜、プラグなどからなる多層配線構造13を形成してもよい。

20

【0039】

次に、CMP法を用いてシリコン基板1の導電性プラグ5aを形成した面と反対側の面(裏面)の研削を行うが、その際、上述したようにこのままの状態シリコン基板1を研削すると、シリコン基板1が破損したり、内部に形成されている素子が動作不良を起こす恐れがあり、また、取り扱い上も不便であるため、シリコン基板1を補強するための支持体8をシリコン基板1の表面側に固定する。具体的には、図5(b)に示すように、シリコン基板1の導電性プラグ5aを形成した面(表面)上に樹脂からなるコーティング膜6と紫外線で硬化する紫外線硬化樹脂7などの接着剤とを形成し、その上にガラス基板やパイレックス(R)などからなる厚さ700µm程度の支持体8を配置し、紫外線硬化樹脂7を硬化させてシリコン基板1に支持体8を接着、固定する。

30

【0040】

なお、シリコンスペーサを製作する場合は、シリコン基板1の裏面の研削、裏面側絶縁膜の形成、裏面側絶縁膜の研削が終了した後、支持体8をシリコン基板1から取り外す必要があるため、シリコン基板1と支持体8とは後で取り外しができるような構造にする必要がある。そこで、本実施例では、発泡性を有するコーティング膜6をシリコン基板1に形成した後、コーティング膜6と支持体8とを接着するための紫外線硬化樹脂7を塗布する構成としているが、支持体8の固定方法は上記方法に限定されず、支持体8を確実に固定し、かつ、後工程で簡単に取り外すことができる方法であればよい。

【0041】

次に、図5(c)に示すように、支持体8で補強されたシリコン基板1を装置に取り付け、シリコン基板1の裏面から導電性プラグ5aが500nm程度突出するまで、CMP法を用いてシリコン基板1の裏面の研削を行う。

40

【0042】

次に、図6(a)に示すように、シリコン基板1裏面のシリコンが露出した部分を保護、絶縁するために絶縁膜を形成する。その際、一般に絶縁膜は高温で成膜した方が密着性に優れ、また、リークの少ない良質な膜を形成することができるが、シリコンスペーサでは該絶縁膜を形成した後、更に導電性プラグ5aを露出させるための研削を行わなければならないために、絶縁膜形成時に支持体8を分離することはできず、そのため、絶縁膜の形成も紫外線硬化樹脂7が分解したり軟化しない温度(本明細書では、支持体8を固定可能な接着剤の温度を耐熱温度と呼ぶ。現在市販されている接着剤では100程度)以下

50

の低温で行う必要がある。

【0043】

ここで、シリコン基板1裏面に形成する絶縁膜としては機械的強度に優れたシリコン窒化膜が好ましいが、成膜温度を100程度以下の低温とするためにはバイアスを印加することができず、その結果、シリコン基板1との密着性が悪く、その後のCMP工程で剥離しやすい膜になってしまうという問題が生じる。また、シリコン窒化膜を成膜する際の反応ガスとして、通常、 $\text{SiH}_4$ と $\text{NH}_3$ とが用いられるが、 $\text{NH}_3$ を用いると膜中に水素原子が残りやすく、特に成膜温度を下げると機械的強度の弱い粗な膜が形成され、CMP工程で剥離しやすくなってしまふ。また、反応ガスとして $\text{SiH}_4$ と $\text{N}_2$ を用いる場合はプラズマを発生させやすくするために2周波(例えば、13.56MHzと300kHz~500kHz)のプラズマCVD法が用いられるが、2周波プラズマCVD法では特に1MHz以下の低周波においてイオンが追従することによるイオンボンバードメントで成膜温度が100以上に上昇してしまい、紫外線硬化樹脂7が分解、軟化して支持体8が外れてしまったり、また、高密度プラズマでは反応がより活性になることによりSi-Si結合が生じやすくなり、Si-Si結合が形成されるとシリコン窒化膜の絶縁性が劣化してリークしやすい膜になってしまう。

10

【0044】

このように、シリコン窒化膜を低温で形成するのは難しく、そのため、従来はシリコン酸化膜やSOG、ポリイミド膜などが用いられていたが、本願発明者は様々な条件でシリコン窒化膜を成膜したところ、反応ガスとして $\text{SiH}_4$ と $\text{NH}_3$ と $\text{N}_2$ の3種の混合ガスをを用い、1周波(13.56MHz)の平行平板型プラズマCVDで成膜すれば、CMP工程での剥離がなく、かつ、リークの少ない良質なシリコン窒化膜が形成でき、かつ、成膜温度を100以下にすることができることを見出した。

20

【0045】

また、シリコン窒化膜の機械的強度やリークを定量的に評価するためには、引っ張り試験や電気的な測定などの時間のかかる測定を行わなければならないが、本願発明者は機械的強度やリークと屈折率との間に密接な相関があり、光学的手法で簡単に測定できる屈折率からシリコン窒化膜の特性を評価できることを見出した。

【0046】

そこで、CMP工程での剥離がなく、リークの少ないシリコン窒化膜を屈折率を用いて規定するために、製造条件を変えて屈折率の異なる4種類のシリコン窒化膜を形成し、各々のシリコン窒化膜について顕微鏡を用いてスクラッチなどの欠陥の有無を観察すると共に、FTIR(fourier transform infrared spectroscopy)装置を用いてスペクトルを測定しSi-Si結合の有無を判定した。その結果を表1に示す。

30

【0047】

【表1】

屈折率(@633nm)	1.71	1.81	1.83	1.98
スクラッチ	有り	無し	無し	無し
Si-Si結合	無し	無し	無し	有り

40

【0048】

表1より、屈折率が1.71(波長633nm)の膜では、図8に示すようなスクラッチ18が生じており、屈折率が小さい膜では機械的強度が弱くCMP工程での剥がれを抑制できないことが分かった。また、屈折率が1.98(波長633nm)の膜では、スクラッチ18は発生していないが、Si-Si結合が観測された。この膜のリーク電流を測定したところ1MV/cmで1A/cm<sup>2</sup>レベルであり、屈折率が大きい膜ではリークが抑制できないことが分かった。一方、屈折率が1.81及び1.83(波長633nm)の膜では、スクラッチ18は発生せず、また、Si-Si結合も観測されないことから、機械的強度が強く、リークの少ない膜となることが分かった。このことから、シリコンス

50

ペーサで使用可能なシリコン窒化膜を形成するためには、波長633nmに対する屈折率が1.71より大きく、1.98より小さい範囲、好ましくは略1.8乃至1.9の範囲となるような条件で成膜すればよいことが明らかになった。

【0049】

そこで、本実施例では、このような屈折率が得られる製造条件（反応ガスの流量、真空度、基板温度など）を用いて、図6（b）に示すように導電性プラグ5aを覆うようにシリコン窒化膜9を形成した。なお、本実施例ではSiH<sub>4</sub>とNH<sub>3</sub>とN<sub>2</sub>の3種の混合ガスを用いているが、反応ガスとしては上記3種のガスが含まれていれば良く、更に他の種類のガスが添加してもよい。

【0050】

次に、図6（b）に示すように、シリコン窒化膜9を形成したシリコン基板1の裏面をCMP法などによって研削し、導電性プラグ5aを露出させる。その際、従来の半導体装置の製造方法では、機械的強度の弱いシリコン酸化膜やSOG膜を用いていたため、CMP工程中に膜が剥離するという不具合が生じ、また、シリコン窒化膜を用いる場合も、成膜温度が低いために膜が剥離したり、膜中にスクラッチ18などの欠陥が生じていたが、本発明では上記製造条件で良質なシリコン窒化膜が形成されるため、このような問題の発生を回避することができる。

【0051】

次に、図6（c）に示すように、支持体8の外側からレーザー光などを照射してコーティング膜6を発砲させ、シリコン基板1と紫外線硬化樹脂7との間に隙間を形成して、支持体8をシリコン基板1から分離する。そして、シリコン基板1に残留したコーティング膜6や紫外線硬化樹脂7を除去して図7に示すような半導体装置（シリコンスペーサ）が完成する。

【0052】

このように、基板を貫通する1以上の導電性プラグ5aが形成されたシリコンスペーサの裏面に、反応ガスとしてSiH<sub>4</sub>とNH<sub>3</sub>とN<sub>2</sub>を含む混合ガスを用い、単一周波数の平行平板型プラズマCVD法でシリコン窒化膜を成膜することにより、成膜温度を接着剤の耐熱温度である略100以下にしても、機械的強度が強く、かつリークの少ない良質な膜、すなわち、屈折率で規定すると波長633nmに対する屈折率が略1.8乃至1.9の膜を形成することができる。そして、このようなシリコン窒化膜が裏面に形成された半導体チップを単独、又は積層することにより、接続信頼性の高い半導体装置を製造することができる。

【0053】

なお、上記説明では、本発明のシリコン窒化膜の形成方法をシリコンスペーサに適用する場合について述べたが、本発明は上記実施例に限定されるものではなく、低温でシリコン窒化膜を形成することが求められる任意の半導体装置及びその製造方法に対しても同様に適用することができる。

【図面の簡単な説明】

【0054】

【図1】本発明の一実施例に係る半導体装置の構造を模式的に示す断面図である。

【図2】本発明の一実施例に係る半導体装置の構造のバリエーションを示す断面図である。

【図3】本発明の一実施例に係る半導体装置の構造のバリエーションを示す断面図である。

【図4】本発明の一実施例に係る半導体装置の製造方法の一部を示す工程断面図である。

【図5】本発明の一実施例に係る半導体装置の製造方法の一部を示す工程断面図である。

【図6】本発明の一実施例に係る半導体装置の製造方法の一部を示す工程断面図である。

【図7】本発明の一実施例に係る半導体装置の製造方法の一部を示す工程断面図である。

【図8】従来方法の問題点を説明する図であり、スクラッチ不良が発生した膜の顕微鏡写真である。

10

20

30

40

50



【図9】従来の半導体装置の製造方法の一部を示す工程断面図である。

【図10】従来の半導体装置の製造方法の一部を示す工程断面図である。

【符号の説明】

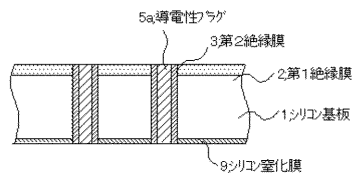
【0055】

- 1 シリコン基板
- 2 第1絶縁膜
- 3 第2絶縁膜
- 4 孔
- 5 導電材料
- 5a 導電性プラグ
- 6 コーティング膜
- 7 紫外線硬化樹脂
- 8 支持体
- 9 シリコン窒化膜
- 10 第1の層間絶縁膜
- 11 マスクパターン
- 12 積層絶縁膜
- 13 多層配線構造
- 14 パッド
- 15 シリコン酸化膜
- 16 半田バンプ
- 17 他の半導体チップ
- 18 スクラッチ

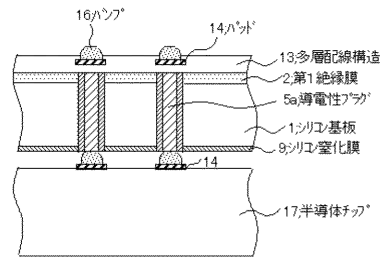
10

20

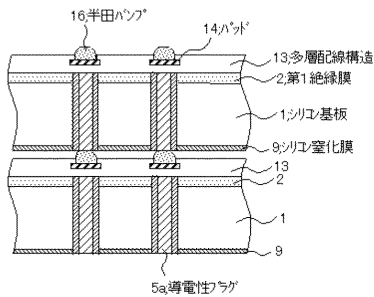
【図1】



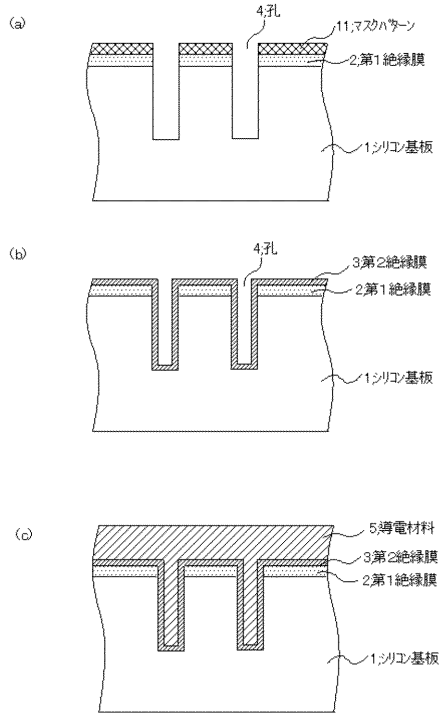
【図3】



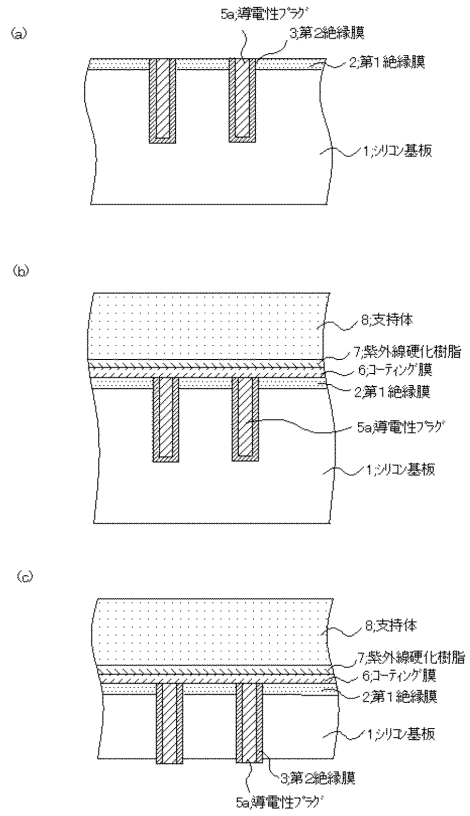
【図2】



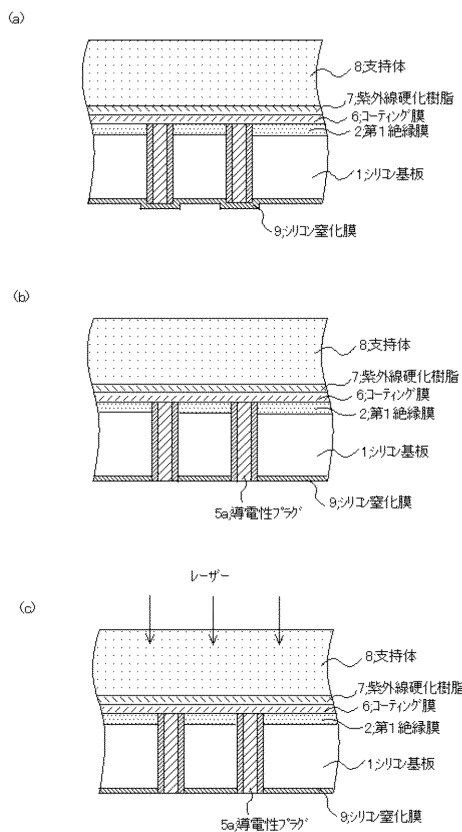
【図4】



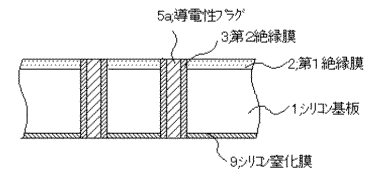
【図5】



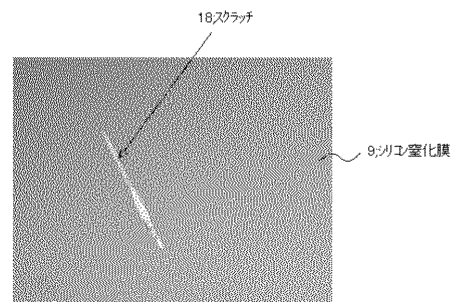
【図6】



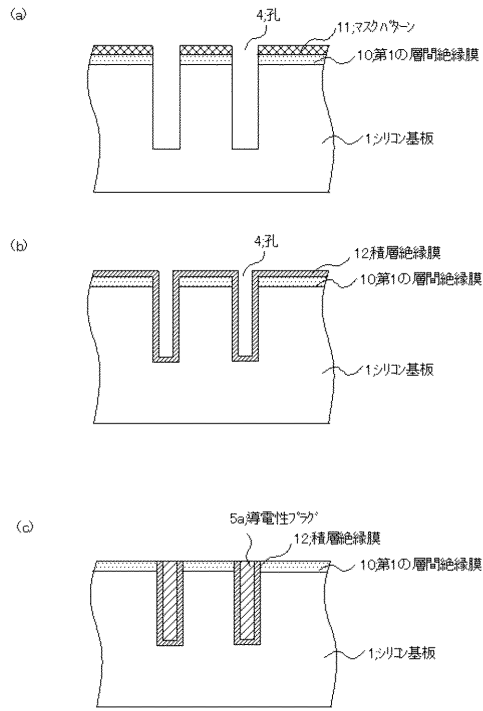
【図7】



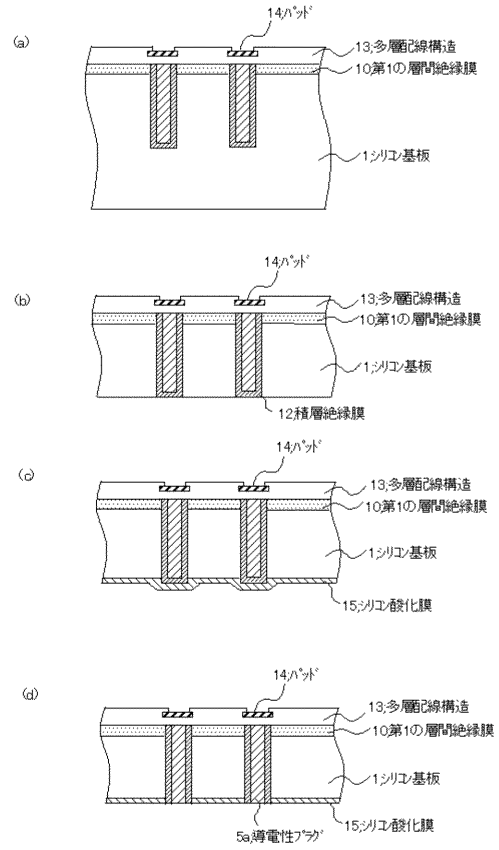
【図8】



【図9】



【図10】



---

フロントページの続き

(56)参考文献 特開2003-197855(JP,A)  
特開平10-223833(JP,A)  
特開平11-345933(JP,A)  
特開2001-077192(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 25/00 - 25/18, 21/318