



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년05월13일
(11) 등록번호 10-2665410
(24) 등록일자 2024년05월07일

- (51) 국제특허분류(Int. Cl.)
G06F 13/16 (2006.01) G06F 12/10 (2016.01)
- (52) CPC특허분류
G06F 13/1605 (2013.01)
G06F 12/10 (2013.01)
- (21) 출원번호 10-2018-0088682
- (22) 출원일자 2018년07월30일
심사청구일자 2021년06월10일
- (65) 공개번호 10-2020-0013461
- (43) 공개일자 2020년02월07일
- (56) 선행기술조사문헌
US20100312990 A1
US20180107406 A1
KR1020120034712 A*
KR1020180042111 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
쿠마르 파반
경기도 수원시 영통구 봉영로1514번길 73, 926동 701호(영통동, 삼성.태영 아파트)
오성일
경기도 수원시 영통구 영통로514번길 53, 104동 904호(영통동, 황골마을주공2단지아파트)
유학수
서울특별시 송파구 위례광장로 121, 2402동 504호(장지동, 위례24단지)
- (74) 대리인
리엔목특허법인

전체 청구항 수 : 총 19 항

심사관 : 이진

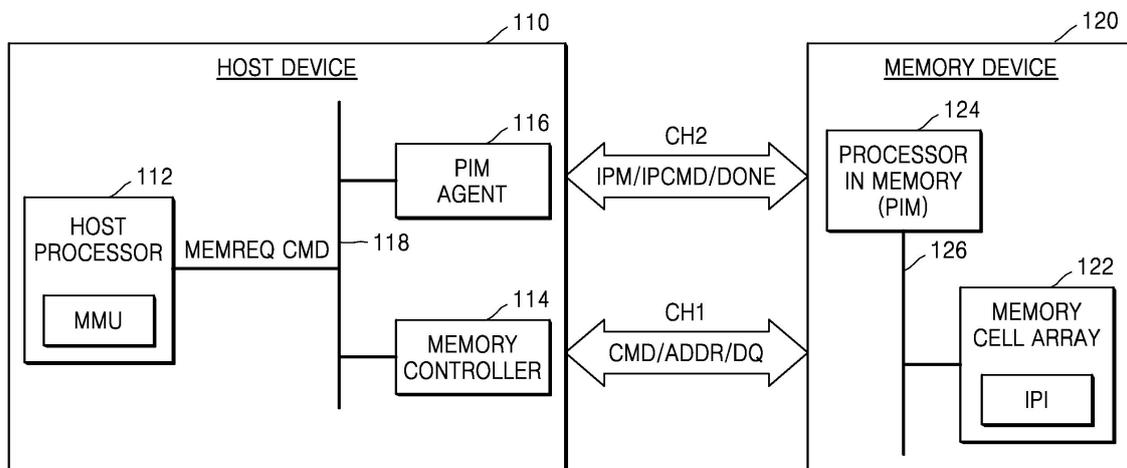
(54) 발명의 명칭 메모리 장치의 내부 프로세싱 동작 방법

(57) 요약

호스트 장치와 메모리 장치를 포함하는 시스템에서, 메모리 장치의 내부 프로세싱 동작 방법이 개시된다. 메모리 장치는 메모리 셀 어레이 및 내부 프로세싱 동작을 수행하는 프로세서-인-메모리(PIM)를 포함한다. 메모리 장치는 내부 프로세싱 모드에서, PIM에 의해 메모리 셀 어레이에 저장된 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행한다. 메모리 장치는 내부 프로세싱 정보가 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드인 경우, 내부 프로세싱 독출 커맨드 및 내부 프로세싱 기입 커맨드로 구성되는 내부 프로세싱 동작 커맨드를 호스트 장치로 출력한다. 호스트 장치는 데이터 트랜잭션 커맨드와 내부 프로세싱 동작 커맨드 사이를 중재하여 우선 순위 커맨드를 메모리 장치로 발행한다.

대표도

100



명세서

청구범위

청구항 1

내부 프로세싱 정보를 저장하는 메모리 셀 어레이; 및

내부 프로세싱 모드에서, 상기 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행하는 프로세서-인-메모리(PIM)를 포함하고,

상기 PIM은 상기 내부 프로세싱 동작 중에 발생하는 내부 프로세싱 동작 커맨드를 메모리 컨트롤러로 전송하고, 상기 메모리 컨트롤러로부터 수신되는 상기 내부 프로세싱 동작 커맨드에 따라 상기 내부 프로세싱 동작을 수행하고,

상기 내부 프로세싱 동작 커맨드는 상기 메모리 컨트롤러와 메모리 장치 사이에 미리 정해진 프로토콜을 수행하는 제1 채널의 신호 라인들을 통하여 상기 메모리 컨트롤러에서 상기 메모리 장치로 수신되고, 상기 메모리 컨트롤러와 상기 메모리 장치 사이에 전용 신호 라인들을 포함하는 제2 채널을 통하여 상기 메모리 장치에서 상기 메모리 컨트롤러로 전송되는 메모리 장치.

청구항 2

제1항에 있어서,

상기 내부 프로세싱 동작 커맨드는 상기 내부 프로세싱 동작과 연관된 내부 프로세싱 독출 커맨드 및 내부 프로세싱 기입 커맨드로 구성되는 것을 특징으로 하는 메모리 장치.

청구항 3

제1항에 있어서, 상기 메모리 장치는

상기 메모리 컨트롤러에서 발행되는 커맨드를 수신하는 커맨드/어드레스 버퍼를 더 구비하고,

상기 PIM은 상기 수신된 커맨드가 상기 내부 프로세싱 동작 커맨드인지를 검출하는 커맨드 검출부를 더 포함하는 것을 특징으로 하는 메모리 장치.

청구항 4

제3항에 있어서,

상기 PIM은 상기 검출된 커맨드가 상기 내부 프로세싱 동작 커맨드인 경우, 상기 내부 프로세싱 동작 커맨드에 따라 상기 메모리 셀 어레이와 상기 PIM 사이에 상기 내부 프로세싱 동작에 따른 데이터 교환 동작을 수행하는 것을 특징으로 하는 메모리 장치.

청구항 5

제1항에 있어서,

상기 PIM은 상기 내부 프로세싱 동작 중에 발생하는 상기 내부 프로세싱 동작 커맨드를 적어도 하나 이상 저장하고, 상기 적어도 하나 이상의 상기 내부 프로세싱 동작 커맨드를 상기 메모리 컨트롤러로 출력하는 커맨드 큐를 더 포함하는 것을 특징으로 하는 메모리 장치.

청구항 6

제1항에 있어서,

상기 PIM은 상기 메모리 컨트롤러로부터 상기 내부 프로세싱 모드로의 진입을 지시하는 내부 프로세싱 모드 신호를 수신하는 것을 특징으로 하는 메모리 장치.

청구항 7

제6항에 있어서,

상기 내부 프로세싱 모드 신호는 상기 제1 채널을 통하여 수신되는 것을 특징으로 하는 메모리 장치.

청구항 8

제6항에 있어서,

상기 내부 프로세싱 모드 신호는 상기 제2 채널을 통하여 수신되는 것을 특징으로 하는 메모리 장치.

청구항 9

삭제

청구항 10

제1항에 있어서,

상기 PIM은 상기 내부 프로세싱 정보를 기반으로 수행된 상기 내부 프로세싱 동작의 완료를 나타내는 완료 신호를 생성하고, 상기 완료 신호를 상기 메모리 컨트롤러로 전송하여 상기 내부 프로세싱 모드를 종료하는 것을 특징으로 하는 메모리 장치.

청구항 11

제10항에 있어서,

상기 완료 신호는 상기 제2 채널을 통하여 상기 메모리 컨트롤러로 전송되는 것을 특징으로 하는 메모리 장치.

청구항 12

제1항에 있어서, 상기 메모리 장치는

노멀 모드에서, 상기 제1 채널을 통하여, 상기 메모리 컨트롤러로부터 데이터 트랜잭션 커맨드를 수신하고, 상기 수신된 데이터 트랜잭션 커맨드에 따라 상기 메모리 컨트롤러와 상기 메모리 셀 어레이 사이에 데이터 교환 동작을 수행하는 것을 특징으로 하는 메모리 장치.

청구항 13

컴퓨터 동작을 수행하고, 상기 컴퓨터 동작에 따른 메모리 리퀘스트 커맨드를 발행하는 호스트 프로세서; 및

상기 메모리 리퀘스트 커맨드를 수신하고, 상기 메모리 리퀘스트 커맨드에 따라 메모리 장치를 액세스하는 데이터 트랜잭션 커맨드를 발행하고, 상기 메모리 장치의 내부 프로세싱 모드를 제어하는 메모리 컨트롤러를 포함하고,

상기 메모리 컨트롤러는 상기 메모리 장치로부터 상기 내부 프로세싱 모드의 내부 프로세싱 동작 중에 발생하는 내부 프로세싱 동작 커맨드를 수신하고, 상기 데이터 트랜잭션 커맨드와 상기 내부 프로세싱 동작 커맨드 사이를 중재하여 우선 순위의 커맨드를 상기 메모리 장치로 발행하는 호스트 장치.

청구항 14

제13항에 있어서,

상기 내부 프로세싱 동작 커맨드는 상기 내부 프로세싱 동작과 연관된 내부 프로세싱 독출 커맨드 및 내부 프로세싱 기입 커맨드로 구성되는 것을 특징으로 하는 호스트 장치.

청구항 15

제13항에 있어서, 상기 메모리 컨트롤러는,

상기 메모리 컨트롤러와 상기 메모리 장치 사이에 미리 정해진 프로토콜을 수행하는 제1 채널의 신호 라인들을 통하여 상기 우선 순위의 커맨드를 상기 메모리 장치로 발행하는 것을 특징으로 하는 호스트 장치.

청구항 16

제13항에 있어서, 상기 메모리 컨트롤러는,

상기 메모리 장치의 상기 내부 프로세싱 모드 진입을 지시하는 내부 프로세싱 모드 신호를 상기 메모리 장치로 전송하는 것을 특징으로 하는 호스트 장치.

청구항 17

제16항에 있어서,

상기 내부 프로세싱 모드 신호는 상기 메모리 컨트롤러와 상기 메모리 장치 사이에 미리 정해진 프로토콜을 수행하는 제1 채널의 신호 라인들을 통하여 상기 메모리 장치로 전송되는 것을 특징으로 하는 호스트 장치.

청구항 18

제16항에 있어서,

상기 내부 프로세싱 모드 신호는 상기 메모리 컨트롤러와 상기 메모리 장치 사이의 제2 채널의 전용 신호 라인을 통하여 상기 메모리 장치로 전송되는 것을 특징으로 하는 호스트 장치.

청구항 19

제13항에 있어서, 상기 메모리 컨트롤러는,

상기 메모리 장치로부터 상기 내부 프로세싱 정보를 기반으로 수행된 상기 내부 프로세싱 동작의 완료를 나타내는 완료 신호를 수신하는 것을 특징으로 하는 호스트 장치.

청구항 20

제19항에 있어서,

상기 완료 신호는 상기 메모리 컨트롤러와 상기 메모리 장치 사이의 제2 채널의 전용 신호 라인을 통하여 수신되는 것을 특징으로 하는 호스트 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로서, 더욱 상세하게는 내부 프로세싱 동작을 수행하는 메모리 장치, 그것의 동작 방법 및 그것을 포함하는 메모리 시스템에 관한 것이다.

배경 기술

[0002] 고성능 및 저전력이 요구되는 컴퓨터 그래픽스, 서버들, 슈퍼 컴퓨터들, 네트워크들 등의 다양한 시스템들이 개발되고 있다. 시스템들은 시스템 내 호스트에 의해 사용되는 데이터나 인스트럭션들을 저장하기 위하여 및/또는 컴퓨터 동작(computational operation)을 수행하기 위하여 메모리 장치를 포함한다.

[0003] DRAM은 빠른 응답 속도 및 빠른 동작 속도 특성을 갖는 메모리 장치이다. 시스템은 시스템의 동작 메모리 또는 메인 메모리로서 DRAM을 널리 사용한다. 일반적인 DRAM은 호스트의 제어에 따라 데이터를 기입하거나, 기입된 데이터를 독출한다. 컴퓨터 동작을 수행할 때, 호스트는 DRAM으로부터 인스트럭션들 및/또는 데이터를 검색하고(retrieve), 인스트럭션들을 실행하고 및/또는 컴퓨터 동작을 수행하기 위하여 데이터를 사용한다. 컴퓨터 동작의 결과가 존재하는 경우, 호스트는 컴퓨터 동작의 결과를 DRAM에 라이트 백(write back)한다.

[0004] 호스트에서 수행되는 컴퓨터 동작은 상당히 빠른 데 반해, DRAM으로부터 인스트럭션들 및/또는 데이터를 검색하고 DRAM에 라이트 백하는 동작은 상대적으로 느리기 때문에, 시스템 성능이 둔화될 수 있다. 또한, 데이터 집약적인(intensive) 시스템의 경우, DRAM의 메모리 대역폭 제한으로 인하여 시스템 성능이 저하될 수 있다.

[0005] 시스템 성능 개선을 위하여, 호스트의 연산 동작(computation operation) 중 일부를 내부 프로세싱으로 수행하도록 내부 프로세서가 포함된 메모리 장치가 개발되고 있다. 메모리 장치의 내부 프로세싱을 통하여 호스트의 컴퓨터 동작 부담이 감소될 수 있다.

[0006] 그런데, 메모리 장치는 내부 프로세싱과 호스트에 의한 프로세싱 사이의 충돌을 방지하기 위하여, 우선 순위를

결정해야 하는 중재부(arbiter) 기능을 수행해야 할 필요가 있다. 또한, 메모리 장치는 내부 프로세싱에 의해 메모리 장치 내부에서 읽고 쓰는 연산이 수행될 수 있는데, 이 때 호스트의 캐시가 가지고 있는 데이터가 메모리 장치에서 변경되는 경우 캐시의 값이 최신의 것이 아니어서 캐시 데이터의 일관성(coherence)에 문제가 생길 수 있다. 이에 따라, 메모리 장치는 호스트와 메모리 장치에(across) 가상 메모리 주소 변환과 같은 가상 메모리 관리 기능을 수행해야 할 필요가 있다.

[0007] 내부 프로세싱을 수행하는 메모리 장치에서 중재부 기능과 가상 메모리 관리 기능을 수행해야 하는 것은, 메모리 장치의 하드웨어 구성(configurations) 및/또는 구현(implementations)을 복잡하고 어렵게 하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 중재부 기능과 가상 메모리 관리 기능을 호스트에게 일임하여(entrust) 내부 프로세싱 동작을 수행하는 메모리 장치, 그것의 동작 방법 및 그것을 포함하는 시스템을 제공하는 데 있다.

과제의 해결 수단

[0009] 본 발명의 실시예들에 따른 메모리 장치는, 내부 프로세싱 정보를 저장하는 메모리 셀 어레이, 그리고 내부 프로세싱 모드에서 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행하는 프로세서-인-메모리(PIM)를 포함한다. PIM은 내부 프로세싱 정보가 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드인 경우 내부 프로세싱 동작 커맨드를 외부 장치로 출력한다.

[0010] 본 발명의 실시예들에 따른 메모리 셀 어레이 및 내부 프로세싱 동작을 수행하는 프로세서-인-메모리(PIM)를 포함하는 메모리 장치의 동작 방법은, 외부 장치의 제어에 따라 내부 프로세싱 모드로 진입하는 단계, 내부 프로세싱 모드에서 PIM에 의해 메모리 셀 어레이에 저장된 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행하는 단계, 그리고 내부 프로세싱 정보가 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드인 경우, 내부 프로세싱 동작 커맨드를 외부 장치로 출력하는 단계를 포함한다.

[0011] 본 발명의 실시예들에 따른 호스트 장치는, 컴퓨터 동작을 수행하고, 컴퓨터 동작에 따른 메모리 리퀘스트 커맨드를 발행하는 호스트 프로세서, 그리고 메모리 리퀘스트 커맨드를 수신하고, 메모리 리퀘스트 커맨드에 따라 메모리 장치를 액세스하는 데이터 트랜잭션 커맨드를 발행하고, 메모리 장치의 내부 프로세싱 모드를 제어하는 메모리 컨트롤러를 포함한다. 메모리 컨트롤러는 메모리 장치로부터 내부 프로세싱 모드의 내부 프로세싱 동작 중에 발생하는 내부 프로세싱 동작 커맨드를 수신하고, 데이터 트랜잭션 커맨드와 내부 프로세싱 동작 커맨드 사이를 중재하여 우선 순위 커맨드를 메모리 장치로 발행한다.

[0012] 본 발명의 실시예들에 따른 호스트 프로세서와 메모리 컨트롤러를 포함하는 호스트 장치의 동작 방법은, 호스트 프로세서에 의해 컴퓨터 동작에 따른 메모리 리퀘스트 커맨드를 발행하는 단계, 메모리 컨트롤러에 의해 메모리 리퀘스트 커맨드에 따라 메모리 장치를 액세스하기 위한 데이터 트랜잭션 커맨드를 발행하는 단계, 메모리 컨트롤러에 의해 메모리 장치로 내부 프로세싱 모드로의 진입을 지시하는 단계, 메모리 컨트롤러에 의해 메모리 장치로부터 내부 프로세싱 모드의 내부 프로세싱 동작 중에 발생하는 내부 프로세싱 동작 커맨드를 수신하는 단계, 그리고 메모리 컨트롤러에 의해 데이터 트랜잭션 커맨드와 내부 프로세싱 동작 커맨드 사이를 중재하여 우선 순위 커맨드를 메모리 장치로 발행하는 단계를 포함한다.

[0013] 본 발명의 실시예들에 따른 시스템은, 컴퓨터 동작을 수행하는 호스트 장치, 그리고 호스트 장치의 제어에 따라 컴퓨터 동작에 따른 메모리 리퀘스트 동작과 메모리 셀 어레이에 저장된 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행하는 메모리 장치를 포함한다. 메모리 장치는 내부 프로세싱 정보가 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드인 경우, 내부 프로세싱 동작 커맨드를 호스트 장치로 전송한다.

발명의 효과

[0014] 본 발명의 실시예들에 따른 메모리 장치, 그것의 동작 방법 및 그것을 포함하는 시스템에 의하면, 중재부 기능과 가상 메모리 관리 기능을 호스트 장치에게 일임함에 따라, 메모리 장치는 복잡한 하드웨어 구성 및/또는 구현 없이 단순하고 용이하게 내부 프로세싱 동작을 수행할 수 있다.

도면의 간단한 설명

- [0015] 도 1은 본 발명의 실시예에 따른 내부 프로세싱 동작을 수행하는 메모리 장치를 포함하는 시스템을 나타내는 블록도이다.
- 도 2는 도 1의 시스템의 동작을 설명하는 도면이다.
- 도 3은 본 발명의 실시예에 따른 메모리 장치를 설명하는 블록 다이어그램이다.
- 도 4는 본 발명의 실시예에 따른 메모리 장치의 동작 방법을 설명하는 플로우차트이다.
- 도 5는 본 발명의 실시예에 따른 호스트 장치의 동작 방법을 설명하는 플로우차트이다.
- 도 6은 본 발명의 다른 실시예에 따른 내부 프로세싱 동작을 수행하는 메모리 장치를 포함하는 시스템을 나타내는 블록도이다.
- 도 7은 본 발명의 실시예에 따른 내부 프로세싱 동작을 수행하는 메모리 장치가 포함된 시스템을 적용할 수 있는 서버 시스템을 보여주는 블록도이다.
- 도 8은 본 발명의 실시예에 따른 내부 프로세싱 동작을 수행하는 메모리 장치가 포함된 시스템을 적용할 수 있는 데이터 센터를 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 도 1은 본 발명의 실시예에 따른 내부 프로세싱 동작을 수행하는 메모리 장치를 포함하는 시스템을 나타내는 블록도이다.
- [0017] 도 1을 참조하면, 시스템(100)은 호스트 장치(110) 및 메모리 장치(120)를 포함할 수 있다. 호스트 장치(110)는 채널들(CH1, CH2)을 통하여 메모리 장치(120)와 상호 연결(communicatively connected)될 수 있다. 메모리 장치(120)는 데이터 트랜잭션 동작을 수행하는 노멀 모드와 내부 프로세싱 동작을 수행하는 내부 프로세싱 모드 중 어느 하나의 동작 모드로 동작할 수 있다. 메모리 장치(120)의 데이터 트랜잭션 동작은 메모리 셀 어레이(122)로/로부터 기입 동작 및/또는 독출 동작을 포함할 수 있다. 메모리 장치(120)는 내부 프로세싱 동작을 수행하는 프로세서-인-메모리(Processor In Memory, 124: 이하 "PIM"이라 통칭한다)를 포함하는 PIM 타입의 메모리 장치일 수 있다.
- [0018] 호스트 장치(110)는 예시적으로, 컴퓨터, 노트북, 서버, 워크 스테이션, 휴대용 통신 단말기, PDA(Personal Digital Assistant), PMP(Portable Multimedia Player), 스마트 폰, 웨어러블(Wearable) 장치와 같은 컴퓨팅 시스템일 수 있다. 또는 호스트 장치(110)는 그래픽스 카드와 같은 컴퓨팅 시스템에 포함된 구성 요소들 중 일부일 수 있다.
- [0019] 호스트 장치(110)는 호스트 프로세서(112), 메모리 컨트롤러(114) 및 PIM 에이전트부(116)를 포함할 수 있다. 호스트 프로세서(112), 메모리 컨트롤러(114) 그리고 PIM 에이전트부(116)는 적어도 하나 이상의 신호 라인들을 포함하는 버스(118)를 통하여 상호 연결될 수 있다.
- [0020] 호스트 프로세서(112)는 시스템(100) 내 일반적인 컴퓨터 동작을 수행하는 기능 블록(functional block)으로서, 중앙 처리 유닛(Central Processing Unit: CPU), 그래픽 처리 유닛 (Graphics Processing Unit: GPU), 또는 어플리케이션 프로세서(Application Processor: AP)에 해당될 수 있다. 호스트 프로세서(112)는 컴퓨터 동작의 메모리 리퀘스트들과 연관되는 메모리 리퀘스트 커맨드(MEMREQ CMD)를 발행할 수 있다. 호스트 프로세서(112)는 메모리 관리 유닛(Memory Management Unit: MMU)을 포함할 수 있다. MMU는 메모리 리퀘스트 커맨드들(MEMREQ CMD)을 메모리 장치(120)로 발행할 때, 가상 메모리 주소 변환과 같은 가상 메모리 관리 기능을 수행할 수 있다.
- [0021] 메모리 컨트롤러(114)는 호스트 프로세서(112)의 메모리 리퀘스트 커맨드들(MEMREQ CMD)에 따라 메모리 장치(120)를 액세스할 수 있다. 메모리 컨트롤러(114)는 메모리 리퀘스트 커맨드들(MEMREQ CMD)에 대하여 우선 순위를 결정하여 메모리 장치(120)로 발행할 수 있다. 즉, 메모리 컨트롤러(114)는 중재부 기능을 수행할 수 있다.
- [0022] 메모리 컨트롤러(114)는 메모리 장치(120)에 데이터를 기입하도록 또는 메모리 장치(120)에 기입된 데이터를 독출하도록 메모리 장치(120)를 제어할 수 있다. 메모리 컨트롤러(114)는 메모리 장치(120)에 커맨드(CMD)와 어

드레스(ADDR)를 제공함으로써, 메모리 장치(120)에 대한 기입 동작 또는 독출 동작을 제어할 수 있다. 또한, 기입 동작을 위한 데이터(DQ)와 독출된 데이터(DQ)가 메모리 컨트롤러(114)와 메모리 장치(120) 사이에서 송수신될 수 있다. 이러한 데이터 트랜잭션 동작은 호스트 장치(110)와 메모리 장치(120) 사이의 미리 정해진 프로토콜(예, DDR 프로토콜)을 수행하는 제1 채널(CH1)을 통하여 수행될 수 있다. 제1 채널(CH1)은 커맨드(CMD), 어드레스(ADDR) 그리고 데이터(DQ)를 전송하는 버스들 또는 신호 라인들로 구성될 수 있다.

[0023] PIM 에이전트부(116)는 메모리 장치(120)가 내부 프로세싱 모드로 동작하도록 제어할 수 있다. PIM 에이전트부(116)는 내부 프로세싱 모드 신호(IPM)를 생성하여 메모리 장치(120)로 전송할 수 있다. 메모리 장치(120)는 내부 프로세싱 모드 신호(IPM)에 응답하여 내부 프로세싱 동작을 수행할 수 있다. 내부 프로세싱 모드 신호(IPM)는 하나의 특정한 전용 신호일 수 있다. 이 경우, 내부 프로세싱 모드 신호(IPM)는 호스트 장치(110)와 메모리 장치(120) 사이에 제2 채널(CH2)의 버스들 및/또는 신호 라인들을 통하여 메모리 장치(120)로 전송될 수 있다.

[0024] 실시예에 따라, PIM 에이전트부(116)는 내부 프로세싱 모드 신호(IPM)를 활성화하여 메모리 장치(120)로 전송할 수 있다. 내부 프로세싱 모드 신호(IPM)는 커맨드 조합, 모드 레지스터 셋(MRS), 어드레스 조합 등과 같이 여러 신호들의 조합으로 메모리 장치(120)로 전송될 수 있다. 이 경우, 내부 프로세싱 모드 신호(IPM)는 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1)의 버스들 및/또는 신호 라인들을 통하여 메모리 장치(120)로 전송될 수 있다.

[0025] 내부 프로세싱 모드 신호(IPM)에 의해 메모리 장치(120)가 내부 프로세싱 모드로 동작할 수 있다. 내부 프로세싱 모드에서, 내부 프로세싱 동작이 메모리 셀 어레이(122)를 액세스하여 메모리 셀 어레이(122)에 저장된 데이터에 대한 처리 동작을 수행하는 경우가 있다.

[0026] 예를 들어, 내부 프로세싱 동작이 데이터 반전(invert), 데이터 시프트(shift), 데이터 스왑(swap), 데이터 비교(compare), 논리 연산들(logical operations, AND, XOR, 등), 수치 연산들(mathematical operations, 덧셈, 뺄셈, 등) 등과 같이 메모리 셀 어레이(122)에 저장된 데이터에 대한 처리 동작일 수 있다. 메모리 장치(120)는 이러한 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드(IPCMD)를 호스트 장치(110)로 전송할 수 있다. 이 때, 내부 프로세싱 동작 커맨드(IPCMD)는 호스트 장치(110)와 메모리 장치(120) 사이에 제2 채널(CH2)의 버스들 및/또는 신호 라인들을 통하여 PIM 에이전트부(116)로 전송될 수 있다. 내부 프로세싱 동작 커맨드(IPCMD)는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성될 수 있다.

[0027] PIM 에이전트부(116)는 메모리 장치(120)가 내부 프로세싱 모드로 동작 중에 발생하는 내부 프로세싱 동작 커맨드(IPCMD)를 메모리 장치(120)로부터 수신할 수 있다. PIM 에이전트부(116)는 수신된 내부 프로세싱 동작 커맨드(IPCMD)를 버스(118)를 통해 메모리 컨트롤러(114)로 전달할 수 있다. 메모리 컨트롤러(114)는 내부 프로세싱 동작 커맨드(IPCMD)를 수신하고, 수신된 내부 프로세싱 동작 커맨드(IPCMD)를 커맨드(CMD)로서 메모리 장치(120)로 전송할 수 있다. 메모리 컨트롤러(114)는 내부 프로세싱 동작 커맨드(IPCMD)를 구성하는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)를 커맨드(CMD)로서 메모리 장치(120)로 전송할 수 있다. 이 때, 내부 프로세싱 동작 커맨드(IPCMD)는 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1)의 커맨드(CMD) 버스들 및/또는 신호 라인들을 통하여 메모리 장치(120)로 전송될 수 있다.

[0028] 메모리 장치(120)에서 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)에 따른 내부 프로세싱 동작이 완료되면, 메모리 장치(120)는 내부 프로세싱 동작이 완료되었음을 나타내는 완료 신호(DONE)를 호스트 장치(110)로 전송할 수 있다. 호스트 장치(110)의 PIM 에이전트부(116)가 완료 신호(DONE)를 수신할 때, 메모리 장치(120)의 내부 프로세싱 모드가 종료될 수 있다. 이 때, 완료 신호(DONE)는 호스트 장치(110)와 메모리 장치(120) 사이에 제2 채널(CH2)의 버스들 및/또는 신호 라인들을 통하여 PIM 에이전트부(116)로 전송될 수 있다.

[0029] 메모리 컨트롤러(114)는 호스트 프로세서(112)의 메모리 리퀘스트 커맨드(MEMREQ CMD)를 수신하고, 메모리 리퀘스트 커맨드(MEMREQ CMD)에 따른 데이터 트랜잭션 동작을 수행하기 위하여 데이터 트랜잭션 커맨드를 생성할 수 있다. 메모리 컨트롤러(114)는 데이터 트랜잭션 동작에 따른 데이터 트랜잭션 커맨드를 메모리 장치(120)로 발행하고, 메모리 장치(120)는 데이터 트랜잭션 커맨드에 따라 노멀 모드로 동작할 수 있다. 메모리 컨트롤러(114)는 내부 프로세싱 커맨드(IPCMD)를 메모리 장치(120)로 발행하고, 메모리 장치(120)는 내부 프로세싱 모드로 동작할 수 있다.

[0030] 메모리 컨트롤러(114)는 데이터 트랜잭션 커맨드와 내부 프로세싱 동작 커맨드(IPCMD)를 메모리 장치(120)로 발

행할 때, 이들 커맨드들 사이에 우선 순위를 결정하여 메모리 장치(120)로 발행할 수 있다. 메모리 컨트롤러(114)는 중재부 기능을 수행하여 데이터 트랜잭션 커맨드와 내부 프로세싱 동작 커맨드(IPCMD) 사이에 우선 처리할 커맨드를 결정하고, 우선 처리할 커맨드를 메모리 장치(120)로 발행할 수 있다. 메모리 컨트롤러(114)는 우선 처리할 커맨드를 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1)의 커맨드(CMD) 버스들 및/또는 커맨드(CMD) 신호 라인들을 통하여 메모리 장치(120)로 발행할 수 있다.

- [0031] 메모리 장치(120)는 메모리 컨트롤러(114)의 제어에 따라 데이터를 기입하거나 데이터를 독출할 수 있다. 예시적으로, 메모리 장치(120)는 DRAM(Dynamic Random Access Memory) 장치일 수 있다. 그러나, 본 발명의 범위가 이에 한정되는 것은 아니며, 메모리 장치(120)는 SRAM(Static RAM), DRAM, SDRAM(Synchronous DRAM), DDR(Double Data Rate) SDRAM, LPDDR(Low Power Double Data Rate) SDRAM, Wide I/O DRAM, HBM(High Bandwidth Memory), HMC(Hybrid Memory Cube) 등과 같은 휘발성 메모리 장치들 중 어느 하나일 수 있다. 실시예에 따라, 메모리 장치(120)는 플래시 메모리 장치, PRAM(Phase-change RAM), MRAM(Magnetic RAM), RRAM(Resistive RAM), FRAM(Ferroelectric RAM) 등과 같은 불휘발성 메모리 장치들 중 어느 하나일 수 있다.
- [0032] 메모리 장치(120)는 메모리 셀 어레이(122) 및 PIM(124)을 포함할 수 있다. 메모리 셀 어레이(122)와 PIM(124)은 적어도 하나 이상의 신호 라인들(126)을 통하여 상호 연결될 수 있다.
- [0033] 메모리 셀 어레이(122)는 복수의 메모리 셀들을 포함할 수 있다. 복수의 메모리 셀들 각각은 복수의 워드라인들 및 복수의 비트라인들과 각각 연결될 수 있다. 메모리 셀 어레이(122)는 호스트 장치(110)의 제어에 따라 내부 프로세싱 정보(Internal Processing Information, IPI)를 저장할 수 있다. 내부 프로세싱 정보(IPI)는 PIM(124)에 의해 수행되는 내부 프로세싱 동작을 위한 정보로서, 내부 프로세싱 동작 커맨드, 내부 프로세싱 데이터와 같은 정보를 포함할 수 있다. 내부 프로세싱 데이터에는 데이터 스왑과 같은 내부 프로세싱 동작 커맨드에 따라 특정 어드레스 정보를 포함할 수 있다.
- [0034] PIM(124)은 호스트 장치(110)의 제어에 따라 내부 프로세싱 동작을 수행할 수 있다. PIM(124)은 호스트 장치(110)로부터 내부 프로세싱 모드 신호(IPM)를 수신하고, 수신된 내부 프로세싱 모드 신호(IPM)에 응답하여 내부 프로세싱 모드로 진입할 수 있다. PIM(124)은 내부 프로세싱 모드에서 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작을 수행할 수 있다. 예시적으로, 내부 프로세싱 동작은 데이터 반전, 데이터 시프트, 데이터 스왑, 데이터 비교, 논리 연산들, 수치 연산들과 같이 메모리 셀 어레이(122)에 저장된 데이터에 대한 처리 동작을 가리킬 수 있다.
- [0035] PIM(124)은 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)에 따른 내부 프로세싱 동작을 완료한 후, 완료 신호(DONE)를 생성하고 호스트 장치(110)로 전송할 수 있다. 완료 신호(DONE)는 호스트 장치(110)와 메모리 장치(120) 사이에 제2 채널(CH2)의 버스들 및/또는 신호 라인들을 통하여 PIM 에이전트부(116)로 전송될 수 있다.
- [0036] 메모리 장치(120)에 포함된 PIM(124)는 호스트 프로세서(112)와 유사하게, 프로세싱 기능을 갖는 하드웨어이다. PIM(124)을 내부 프로세서로 지칭할 때 “내부”의 용어는 메모리 장치(120) 내에 존재한다는 것을 의미한다. 따라서, 메모리 장치(120)의 “외부”에 존재하는 프로세서는 예를 들어, 호스트 프로세서(112)를 지칭할 수 있다.
- [0037] 메모리 장치(120)는 호스트 장치(110)의 제어에 따라 데이터 트랜잭션 동작을 수행하는 노멀 모드로 동작하거나 내부 프로세싱 동작을 수행하는 내부 프로세싱 모드로 동작할 수 있다.
- [0038] 노멀 모드에서, 메모리 장치(120)는 호스트 장치(110)의 제어에 따라 제1 채널(CH1)을 통하여 데이터 트랜잭션 동작을 수행할 수 있다. 데이터 트랜잭션 동작은 DDR 프로토콜과 같이 미리 정해진 JEDEC(Joint Electron Device Engineering Council) 타이밍 규정(specification)에 따라 기입 동작 및/또는 독출 동작을 수행하는 것을 가리킨다. 노멀 모드에서, 호스트 장치(110)의 메모리 컨트롤러(114)에 의해 메모리 장치(120)의 기입 동작 및/또는 독출 동작이 수행될 수 있다. 노멀 모드에서, 메모리 장치(120)의 기입 동작 및/또는 독출 동작을 위한 커맨드(CMD), 어드레스(ADDR) 및/또는 데이터(DQ)는 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1)의 버스들 및/또는 신호 라인들을 통하여 메모리 장치(120)로 전송될 수 있다.
- [0039] 내부 프로세싱 모드에서, 메모리 장치(120)는 호스트 장치(110)의 제어에 따라 제1 채널(CH1) 또는 제2 채널(CH2)을 통해 내부 프로세싱 동작을 수행할 수 있다. 호스트 장치(110)는 메모리 장치(120)가 내부 프로세싱 모드로 진입하도록 내부 프로세싱 모드 신호(IPM)를 활성화하여 메모리 장치(120)로 전송할 수 있다. 내부 프로세싱 모드 신호(IPM)는 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1) 또는 제2 채널(CH2)의 버

스들 및/또는 신호 라인들을 통하여 전송될 수 있다.

- [0040] 메모리 장치(120)는 내부 프로세싱 모드 신호(IPM)에 응답하여 내부 프로세싱 모드로 진입할 수 있다. 내부 프로세싱 모드로 진입하면, 호스트 장치(110)의 제어에 의해 내부 프로세싱 정보(IPI)가 메모리 셀 어레이(122)에 기입 또는 업로드될 수 있다. 내부 프로세싱 정보(IPI)에 대한 기입 동작은 메모리 장치(120)의 기입 커맨드(CMD)에 의해 수행될 수 있다. 내부 프로세싱 정보(IPI)는 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1)의 버스를 및/또는 신호 라인들을 통하여 전송될 수 있다.
- [0041] 내부 프로세싱 모드에서, 내부 프로세싱 정보(IPI)가 메모리 셀 어레이(122)에 미리 기입되어 있거나 업로드되어 있는 경우, 내부 프로세싱 정보(IPI)에 대한 기입 동작이 생략될 수 있다. 예시적으로, 시스템(100)의 파워-온 시, 시스템(100)에 포함된 별도의 스토리지 매체 (예, SSD(Solid State Drive))에 저장된 정보가 메모리 셀 어레이(122)에 미리 로드(pre-load)되어 저장될 수 있다. 내부 프로세싱 모드에서, 메모리 장치(120)는 메모리 셀 어레이(122)에 기입된 내부 프로세싱 정보(IPI)를 리드할 수 있다. PIM(124)은 내부 프로세싱 정보(IPI)를 리드할 수 있다. 리드된 내부 프로세싱 정보(IPI)가 내부 프로세싱 동작의 타입(예, 데이터 반전, 데이터 시프트, 데이터 스왑, 데이터 비교, 논리 연산들, 수치 연산들)을 가리키는 내부 프로세싱 동작 커맨드(IPCMD)인 경우, PIM(124)은 내부 프로세싱 동작 커맨드(IPCMD)를 구성하는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)를 호스트 장치(110)로 전송할 수 있다. 내부 프로세싱 동작 커맨드(IPCMD)는 호스트 장치(110)와 메모리 장치(120) 사이에 제2 채널(CH2)의 버스를 및/또는 신호 라인들을 통하여 PIM 에이전트부(116)로 전송될 수 있다.
- [0042] 상술한 바와 같이, 호스트 장치(110)의 메모리 컨트롤러(114)는 중재부 기능을 수행하여 데이터 트랜잭션 커맨드와 내부 프로세싱 동작 커맨드(IPCMD) 사이의 우선 순위를 결정해서 메모리 장치(120)로 발행할 수 있다. 이에 따라, 메모리 장치(120)는 별도의(additional) 중재부 기능을 수행할 필요가 없다. 또한, 메모리 컨트롤러(114)가 내부 프로세싱 동작 커맨드(IPCMD)를 메모리 장치(120)로 발행하는 경우, 호스트 프로세서(112)의 MMU는 내부 프로세싱 동작 커맨드(IPCMD)에 따른 가상 메모리 주소 변환과 같은 가상 메모리 관리 기능을 수행할 수 있다. 이에 따라, 메모리 장치(120)는 내부 프로세싱 동작과 연관된 가상 메모리 관리 기능을 수행할 필요가 없다. 즉, 호스트 장치에게 중재부 기능과 가상 메모리 관리 기능을 일임하기 때문에, 메모리 장치(120)는 복잡한 하드웨어 구성 및/또는 구현 없이 단순하고 용이하게 내부 프로세싱 동작을 수행할 수 있다.
- [0043] 도 2는 도 1의 시스템의 동작을 설명하는 도면이다.
- [0044] 도 1과 연계하여 도 2를 참조하면, S210 단계에서, 호스트 장치(110)는 메모리 장치(120)로 내부 프로세싱 모드 진입을 지시할 수 있다. 호스트 장치(110)의 PIM 에이전트부(116)는 전용 신호 또는 커맨드 조합, 모드 레지스터 셋(MRS), 어드레스 조합 등과 같이 여러 신호들의 조합으로 구성되는 내부 프로세싱 모드 신호(IPM)를 활성화하여 메모리 장치(120)로 전송할 수 있다. 내부 프로세싱 모드 신호(IPM)는 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1) 또는 제2 채널(CH2)의 버스를 및/또는 신호 라인들을 통하여 전송될 수 있다.
- [0045] S220 단계에서, 메모리 장치(120)는 내부 프로세싱 모드 신호(IPM)에 응답하여 내부 프로세싱 모드로 진입하고 내부 프로세싱 동작을 수행할 수 있다.
- [0046] 메모리 장치(120)가 내부 프로세싱 모드로 진입하면, 호스트 장치(110)는 PIM(124)에 의해 수행될 내부 프로세싱 동작을 위한 내부 프로세싱 정보(IPI)가 메모리 셀 어레이(122)에 기입 또는 업로드되도록 제어할 수 있다. 내부 프로세싱 정보(IPI)에 대한 기입 동작은 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1)의 버스를 및/또는 신호 라인들을 통하여 수행될 수 있다.
- [0047] S230 단계에서, 메모리 장치(120)는 내부 프로세싱 모드로 동작 중에 발생하는 내부 프로세싱 동작 커맨드(IPCMD)를 호스트 장치(110)로 전송할 수 있다.
- [0048] 내부 프로세싱 모드에서, 메모리 장치(120)의 PIM(124)은 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작을 수행할 수 있다. PIM(124)은 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)를 리드할 수 있다. PIM(124)은 리드된 내부 프로세싱 정보(IPI)가 내부 프로세싱 동작의 타입(예, 데이터 반전, 데이터 시프트, 데이터 스왑, 데이터 비교, 논리 연산들, 수치 연산들)을 가리키는 내부 프로세싱 동작 커맨드(IPCMD)인 경우, 해당 내부 프로세싱 동작 커맨드(IPCMD)를 구성하는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)를 호스트 장치(110)로 전송할 수 있다. 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)는 호스트 장치(110)와 메모리 장치(120) 사이에 제2 채널(CH2)의 버스를 및/또는 신호 라인들을

통하여 PIM 에이전트부(116)로 전송될 수 있다.

- [0049] S240 단계에서, 호스트 장치(110)는 메모리 장치(120)로부터 수신된 내부 프로세싱 동작 커맨드(IPCMD)를 메모리 장치(120)로 발행할 수 있다.
- [0050] 호스트 장치(110)의 PIM 에이전트부(116)는 PIM(124)으로부터 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)를 수신하고, 수신된 내부 프로세싱 동작 커맨드(IPCMD)를 버스(118)를 통해 메모리 컨트롤러(114)로 전달할 수 있다. 메모리 컨트롤러(114)는 전달된 내부 프로세싱 동작 커맨드(IPCMD)와 메모리 장치(120)로 발행될 데이터 트랜잭션 커맨드 사이에 우선 처리할 커맨드를 결정할 수 있다.
- [0051] 본 실시예에서, 우선 처리할 커맨드가 내부 프로세싱 동작 커맨드(IPCMD)인 경우, 메모리 컨트롤러(114)는 내부 프로세싱 동작 커맨드(IPCMD)를 메모리 장치(120)로 발행할 수 있다. 메모리 컨트롤러(114)는 내부 프로세싱 동작 커맨드(IPCMD)를 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1)의 커맨드(CMD) 버스들 및/또는 신호 라인들을 통하여 메모리 장치(120)로 발행할 수 있다. 다른 실시예에서, 우선 처리할 커맨드가 데이터 트랜잭션 커맨드인 경우, 메모리 컨트롤러(114)는 데이터 트랜잭션 커맨드를 호스트 장치(110)와 메모리 장치(120) 사이에 제1 채널(CH1)의 커맨드(CMD) 버스들 및/또는 신호 라인들을 통하여 메모리 장치(120)로 발행할 수 있다.
- [0052] S250 단계에서, 메모리 장치(120)는 메모리 컨트롤러(114)에서 발행된 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)에 따라 PIM(124)과 메모리 셀 어레이(122) 사이에 신호 라인들(126)을 통하여 내부 프로세싱 동작을 수행할 수 있다.
- [0053] 내부 프로세싱 동작은 내부 프로세싱 동작 커맨드(IPCMD)에 의해 수행되는 데이터 교환 동작이 일부분 또는 대부분을 차지할 수 있다. 데이터 교환 동작은 내부 프로세싱 동작에 사용되는 기준 데이터(reference data), 소스 데이터(source data), 대상 데이터(destination data) 또는 목표 데이터(target data)와 같은 내부 프로세싱 데이터를 메모리 셀 어레이(122)로부터 독출하는 동작 및/또는 내부 프로세싱 동작의 처리 결과를 메모리 셀 어레이(122)에 기입하는 동작을 포함할 수 있다. 예시적으로, PIM(124)이 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)에 따라 데이터 검색(Search), 데이터 이동, 데이터 추가(Add), 데이터 스왑과 같은 내부 프로세싱 동작을 수행한다고 가정하자.
- [0054] 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)가 데이터 검색을 위한 커맨드인 경우, PIM(124)은 내부 프로세싱 독출 커맨드(PIM_READ)에 따라 내부 프로세싱 데이터가 메모리 셀 어레이(122)에 저장되어 있는지 검색할 수 있다. PIM(124)은 데이터 검색 동작의 처리 결과로서 히트/미스 또는 어드레스 정보를 출력할 수 있다. PIM(124)은 내부 프로세싱 기입 커맨드(PIM_WRITE)에 따라 데이터 검색 동작에 따른 히트/미스 또는 어드레스 정보를 메모리 셀 어레이(122)에 기입할 수 있다.
- [0055] 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)가 데이터 이동을 위한 커맨드인 경우, PIM(124)은 내부 프로세싱 독출 커맨드(PIM_READ) 및 내부 프로세싱 기입 커맨드(PIM_WRITE)에 따라 기준 어드레스 정보에 대응하는 데이터를 대상 영역으로 이동시킬 수 있다. PIM(124)은 데이터 이동 동작의 처리 결과로서, 이동된 영역의 어드레스 정보를 출력할 수 있다. PIM(124)에 의한 데이터 이동 동작 및 이동된 영역의 어드레스 정보를 기입하는 동작이 메모리 셀 어레이(122)에서 수행될 수 있다.
- [0056] 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)가 데이터 추가를 위한 커맨드인 경우, PIM(124)은 내부 프로세싱 독출 커맨드(PIM_READ)에 따라 기준 어드레스 정보에 대응하는 데이터를 메모리 셀 어레이(122)로 독출하고, 내부 프로세싱 기입 커맨드(PIM_WRITE)에 따라 독출된 데이터에 내부 프로세싱 데이터를 추가하여 메모리 셀 어레이(122)에 저장할 수 있다. PIM(124)은 데이터 추가 동작의 처리 결과로서 추가된 데이터가 저장된 영역의 어드레스 정보를 출력할 수 있다. PIM(124)에 의한 데이터 추가 동작 및 추가된 데이터가 저장된 영역의 어드레스 정보를 기입하는 동작이 메모리 셀 어레이(122)에서 수행될 수 있다.
- [0057] 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)가 데이터 스왑을 위한 커맨드인 경우, PIM(124)은 내부 프로세싱 독출 커맨드(PIM_READ)에

따라 제1 및 제2 기준 어드레스 정보에 각각 대응하는 제1 및 제2 데이터를 메모리 셀 어레이(122)로부터 독출하고, 독출된 제1 및 제2 데이터를 서로 스왑하고, 내부 프로세싱 기입 커맨드(PIM_WRITE)에 따라 스왑된 제1 및 제2 데이터 각각을 메모리 셀 어레이(122)의 제1 및 제2 기준 어드레스 정보에 대응하는 메모리 셀들에 저장할 수 있다. PIM(124)에 의한 데이터 스왑 동작이 메모리 셀 어레이(122)에서 수행될 수 있다.

- [0058] 상술한 S220 단계 내지 S250 단계는, PIM(124)이 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)를 모두 처리할 때까지 반복적으로 수행될 수 있다.
- [0059] S260 단계에서, 메모리 장치(120)는 내부 프로세싱 정보(IPI)에 따른 내부 프로세싱 동작을 완료하고 내부 프로세싱 모드를 종료할 수 있다.
- [0060] PIM(124)은 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)에 따른 내부 프로세싱 동작을 완료한 후, 완료 신호(DONE)를 호스트 장치(110)로 전송할 수 있다. 완료 신호(DONE)는 호스트 장치(110)와 메모리 장치(120) 사이에 제2 채널(CH2)의 버스들 및/또는 신호 라인들을 통하여 PIM 에이전트부(116)로 전송될 수 있다.
- [0061] 도 3은 본 발명의 실시예에 따른 메모리 장치를 설명하는 블록 다이어그램이다. 본 실시예에서 메모리 장치(120)는 DRAM 인 것으로 가정하나, 본 발명의 범위가 이에 한정되는 것은 아니다.
- [0062] 도 1 및 도 3을 참조하면, 메모리 장치(120)는 메모리 셀 어레이(122), PIM(124), 커맨드/어드레스 버퍼(310), 로우/칼럼 디코더(312), 감지 증폭기/기입 드라이버(314), 스위치 회로(316) 및 데이터 입출력 버퍼(318)를 포함한다.
- [0063] 메모리 셀 어레이(122)는 행들 및 열들로 배열되는 매트릭스 형태로 제공되는 복수의 메모리 셀들을 포함한다. 메모리 셀 어레이(122)는 메모리 셀들과 연결되는 복수개의 워드라인들과 복수개의 비트라인들을 포함한다. 복수의 워드라인들은 메모리 셀들의 행들과 연결되고, 복수의 비트라인들은 메모리 셀들의 열들과 연결될 수 있다.
- [0064] 커맨드/어드레스 버퍼(310)는 제1 채널(CH1)을 통해 메모리 컨트롤러(114)로부터 커맨드(CMD)에 상응하는 제어 신호들을 수신할 수 있다. 제어 신호들은 기입 인에이블 신호(/WE), 로우 어드레스 스트로브 신호(/RAS), 칼럼 어드레스 스트로브 신호(/CAS), 칩 선택 신호(/CS) 등을 포함하고, 커맨드(CMD)에는 액티브 커맨드, 독출 커맨드, 기입 커맨드, 프리차이지 커맨드 등을 포함할 수 있다.
- [0065] 커맨드/어드레스 버퍼(310)는 제1 채널(CH1)을 통해 메모리 컨트롤러(114)로부터 어드레스(ADDR)를 수신할 수 있다. 어드레스(ADDR)는 메모리 셀 어레이(122)의 행을 어드레싱하는 로우 어드레스와 메모리 셀 어레이(122)의 열을 어드레싱하는 칼럼 어드레스를 포함할 수 있다. 커맨드/어드레스 버퍼(310)는 로우 어드레스와 칼럼 어드레스를 로우/칼럼 디코더(312)로 전송할 수 있다.
- [0066] 로우/칼럼 디코더(312)는 메모리 셀 어레이(122)와 연결된 복수의 워드라인들 중 어느 하나를 선택할 수 있다. 로우/칼럼 디코더(312)는 커맨드/어드레스 버퍼(310)로부터 수신된 로우 어드레스를 디코딩하여, 로우 어드레스에 상응하는 어느 하나의 워드라인을 선택하고, 선택된 워드라인을 활성화시킬 수 있다.
- [0067] 로우/칼럼 디코더(312)는 메모리 셀 어레이(122)의 복수의 비트라인들(BL) 중 소정의 비트라인을 선택할 수 있다. 로우/칼럼 디코더(312)는 커맨드/어드레스 버퍼(310)로부터 수신된 칼럼 어드레스를 디코딩하여, 칼럼 어드레스에 상응하는 소정의 비트라인들을 선택할 수 있다.
- [0068] 감지 증폭기/기입 드라이버(314)는 로우/칼럼 디코더(312)에 의해 선택된 비트라인들의 전압 변화를 감지하고, 감지 증폭된 전압을 기반으로 출력되는 데이터를 스위치 회로(316)로 제공할 수 있다. 또한, 감지 증폭기/기입 드라이버(314)는 스위치 회로(316)로부터 데이터를 수신하고, 수신된 데이터를 로우/칼럼 디코더(312)에 의해 선택된 비트라인들과 연결되는 메모리 셀들에 기입할 수 있다.
- [0069] 데이터 입출력 버퍼(318)는 제1 채널(CH1)을 통해 메모리 컨트롤러(114)로부터 데이터를 수신하고, 수신된 데이터를 스위치 회로(316)로 제공할 수 있다. 또한, 데이터 입출력 버퍼(318)는 스위치 회로(316)로부터 데이터를 수신하고, 수신된 데이터를 제1 채널(CH1)의 데이터(DQ) 버스들 및/또는 신호 라인들을 통하여 메모리 컨트롤러(114)로 제공할 수 있다.
- [0070] 스위치 회로(316)는 메모리 장치(120)의 노멀 모드에 따라 메모리 장치(120)가 데이터 트랜잭션 동작을 수행하고, 메모리 장치(120)의 내부 프로세싱 모드에 따라 메모리 장치(120)가 내부 프로세싱 동작을 수행하도록 선택적으로 제어될 수 있다.

- [0071] 노멀 모드의 독출 동작에서, 스위치 회로(316)는 메모리 셀 어레이(122)와 감지 증폭기/기입 드라이버(314)로부터 수신된 데이터를 데이터 입출력 버퍼(318)로 전달할 수 있다. 데이터 입출력 버퍼(318)는 스위치 회로(316)로부터 수신된 데이터를 제1 채널(CH1)을 통하여 메모리 컨트롤러(114)로 제공할 수 있다.
- [0072] 노멀 모드의 기입 동작에서, 스위치 회로(316)는 데이터 입출력 버퍼(318)로부터 수신된 데이터를 감지 증폭기/기입 드라이버(314)로 전달할 수 있다. 감지 증폭기/기입 드라이버(314)는 스위치 회로(316)로부터 수신된 데이터를 로우/칼럼 디코더(312)에 의해 선택된 워드라인과 비트라인들과 연결되는 메모리 셀들에 기입할 수 있다.
- [0073] 내부 프로세싱 모드에서, 스위치 회로(316)는 데이터 입출력 버퍼(318)로부터 내부 프로세싱 정보(IPI)를 수신하고, 수신된 내부 프로세싱 정보(IPI)를 감지 증폭기/기입 드라이버(314)를 통해 메모리 셀 어레이(122)에 기입 또는 업로드할 수 있다. 이후, 메모리 셀 어레이(122)에 기입된 내부 프로세싱 정보(IPI)는 PIM(124)에 의해 액세스 또는 리드될 수 있다.
- [0074] 내부 프로세싱 모드에서, 스위치 회로(316)는 메모리 셀 어레이(122)로부터 리드된 내부 프로세싱 정보(IPI)를 감지 증폭기/기입 드라이버(314)를 통해 수신하고, 수신된 내부 프로세싱 정보(IPI)를 PIM(124)으로 전달할 수 있다.
- [0075] PIM(124)은 연산 집약적인 코어, GPU 가속기 또는 FPGA(Field Programmable Gate Array)로 구현될 수 있다. 또는, PIM(124)은 병렬 컴퓨팅, 데이터 재사용, 데이터 값의 국지성(locality) 또는 딥뉴럴네트워크를 수행하는 NPU(Neural Processing Unit)로 구현될 수 있다. PIM(124)은 내부 프로세서(320), 제어 회로부(322), 커맨드 큐(324) 및 커맨드 검출부(326)를 포함할 수 있다.
- [0076] 내부 프로세서(320)는 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작을 수행할 수 있다. 내부 프로세서(320)는 호스트 장치(110)로부터 내부 프로세싱 모드 신호(IPM)를 수신하고, 내부 프로세싱 모드 신호(IPM)에 응답하여 내부 프로세싱 모드로 진입할 수 있다. 내부 프로세서(320)는 내부 프로세싱 모드 동안 메모리 셀 어레이(122)로부터 리드된 내부 프로세싱 정보(IPI)를 리드하고, 리드된 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작을 수행할 수 있다. 내부 프로세서(320)는 내부 프로세싱 정보(IPI)에 따른 내부 프로세싱 동작을 완료한 후, 완료 신호(DONE)를 발생하고 PIM 에이전트부(116)로 전송할 수 있다.
- [0077] 제어 회로부(322)는 메모리 장치(120)의 노멀 모드 또는 내부 프로세싱 모드에 따라 스위치 회로(316)를 제어하여 데이터 경로를 구성할 수 있다.
- [0078] 노멀 모드에서, 제어 회로부(322)는 스위치 회로(316)를 제어하여 제1 채널(CH1), 데이터 입출력 버퍼(318), 스위치 회로(316), 감지 증폭기/기입 드라이버(314) 및 메모리 셀 어레이(122)로 연결되는 노멀 데이터 경로를 구성할 수 있다. 노멀 데이터 경로를 통해 데이터 트랜잭션 동작이 수행될 수 있다.
- [0079] 내부 프로세싱 모드에서, 제어 회로부(322)는 내부 프로세싱 정보(IPI)를 메모리 셀 어레이(122)에 기입 또는 업로드하기 위하여 스위치 회로(316)를 제어할 수 있다. 이 때, 제어 회로부(322)는 제1 채널(CH1), 데이터 입출력 버퍼(318), 스위치 회로(316), 감지 증폭기/기입 드라이버(314) 및 메모리 셀 어레이(122)로 연결되는 노멀 데이터 경로를 구성하고, 노멀 데이터 경로를 통해 전송되는 내부 프로세싱 정보(IPI)가 메모리 셀 어레이(122)에 기입될 수 있다.
- [0080] 내부 프로세싱 모드에서, 제어 회로부(322)는 스위치 회로(316)를 제어하여 PIM(124), 스위치 회로(316), 감지 증폭기/기입 드라이버(314) 및 메모리 셀 어레이(122)로 연결되는 내부 동작 데이터 경로를 구성할 수 있다. 내부 동작 데이터 경로를 통해 메모리 셀 어레이(122)로부터 리드된 내부 프로세싱 정보(IPI)가 PIM(124)의 내부 프로세서(320)로 전달될 수 있다. 또한, 내부 동작 데이터 경로를 통해 내부 프로세서(320)에서 내부 프로세싱 정보(IPI)에 따라 수행된 내부 프로세싱 동작의 처리 결과가 메모리 셀 어레이(122)에 라이트 백 될 수 있다.
- [0081] 내부 프로세서(320)는 메모리 셀 어레이(122)로부터 리드된 내부 프로세싱 정보(IPI)가 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드(IPCMD)인 경우, 해당 내부 프로세싱 동작 커맨드(IPCMD)를 구성하는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)를 커맨드 큐(324)에 저장할 수 있다. 커맨드 큐(324)는 적어도 하나 이상의 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)를 저장할 수 있다.
- [0082] 커맨드 큐(324)의 내부 프로세싱 동작 커맨드(IPCMD)는 제2 채널(CH2)을 통해 PIM 에이전트부(116)로 전송되고,

PIM 에이전트부(116)는 커맨드 큐(324)로부터 수신된 내부 프로세싱 동작 커맨드(IPCMD)를 호스트 장치(110) 내부의 버스(118)를 통해 메모리 컨트롤러(114)로 전달할 수 있다. 메모리 컨트롤러(114)는 수신된 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)를 커맨드(CMD)로서 제1 채널(CH1)을 통해 메모리 장치(120)의 커맨드/어드레스 버퍼(310)로 전송할 수 있다.

- [0083] 커맨드 검출부(326)는 커맨드/어드레스 버퍼(310)로 수신된 커맨드(CMD)가 내부 프로세싱 동작 커맨드(IPCMD)인지 여부를 판단할 수 있다. 내부 프로세싱 동작 커맨드(IPCMD)로 판단되면, 커맨드 검출부(326)는 내부 프로세싱 동작 커맨드(IPCMD)를 내부 프로세서(320)로 전달할 수 있다. 내부 프로세서(320)는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)에 따라 내부 프로세싱 동작을 수행할 수 있다.
- [0084] 도 4는 본 발명의 실시예에 따른 메모리 장치의 동작 방법을 설명하는 플로우차트이다.
- [0085] 도 3 및 도 4를 참조하면, S410 단계에서, PIM(124)은 내부 프로세싱 모드 신호(IPM)를 수신하고, 내부 프로세싱 모드 신호(IPM)에 응답하여 내부 프로세싱 모드로 진입할 수 있다.
- [0086] S412 단계에서, PIM(124)은 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작을 수행할 수 있다.
- [0087] S414 단계에서, PIM(124)은 내부 프로세싱 모드로 동작 중에 발생하는 내부 프로세싱 동작 커맨드(IPCMD)를 호스트 장치(110)의 PIM 에이전트부(116)로 전송할 수 있다. PIM(124)은 메모리 셀 어레이(122)로부터 내부 프로세싱 정보(IPI)를 리드하고, 리드된 내부 프로세싱 정보(IPI)가 내부 프로세싱 동작 커맨드(IPCMD)인 경우, 해당 내부 프로세싱 동작 커맨드(IPCMD)를 구성하는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)를 PIM 에이전트부(116)로 전송할 수 있다.
- [0088] S416 단계에서, 커맨드/어드레스 버퍼(310)는 호스트 장치(110)의 메모리 컨트롤러(114)로부터 커맨드(CMD)를 수신할 수 있다.
- [0089] S420 단계에서, 커맨드 검출부(326)는 메모리 컨트롤러(114)로부터 수신된 커맨드(CMD)가 내부 프로세싱 동작 커맨드(IPCMD)인지 여부를 판단할 수 있다. 판단 결과, 메모리 컨트롤러(114)로부터 수신된 커맨드(CMD)가 내부 프로세싱 동작 커맨드(IPCMD)이면 S422 단계로 이동하고, 내부 프로세싱 동작 커맨드(IPCMD)가 아니면 S430 단계로 이동한다.
- [0090] S422 단계에서, PIM(124)은 내부 프로세싱 동작 커맨드(IPCMD)에 따라 메모리 셀 어레이(122)와의 내부 프로세싱 동작을 수행할 수 있다. 즉, 내부 프로세싱 동작 커맨드(IPCMD)에 따른 내부 프로세싱 동작에서 사용되는 내부 프로세싱 데이터를 메모리 셀 어레이(122)로부터 독출하거나 내부 프로세싱 동작의 처리 결과를 메모리 셀 어레이(122)에 기입할 수 있다.
- [0091] S424 단계에서, PIM(124)은 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작이 완료되었는지 여부를 판단할 수 있다. 판단 결과, 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작이 완료되었으면 S426 단계로 이동할 수 있다. 내부 프로세싱 정보(IPI)를 기반으로 수행해야 할 내부 프로세싱 동작이 남아있으면 S412 단계로 이동하고, 남아있는 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작을 수행할 수 있다.
- [0092] S426 단계에서, PIM(124)은 내부 프로세싱 동작의 완료 신호(DONE)를 호스트 장치(110)의 PIM 에이전트부(116)로 전송하고, 내부 프로세싱 동작 모드를 종료할 수 있다.
- [0093] S420 단계의 판단 결과, 메모리 컨트롤러(114)로부터 수신된 커맨드(CMD)가 내부 프로세싱 동작 커맨드(IPCMD)가 아니면, 즉, 커맨드(CMD)가 데이터 트랜잭션 커맨드이면, 데이터 트랜잭션 커맨드에 따라 메모리 컨트롤러(114)와 메모리 셀 어레이(122) 사이에 데이터 교환 동작과 같은 데이터 트랜잭션 동작이 수행될 것이다.
- [0094] 도 5는 본 발명의 실시예에 따른 호스트 장치의 동작 방법을 설명하는 플로우차트이다.
- [0095] 도 1 및 도 5를 참조하면, S510 단계에서, 호스트 프로세서(112)는 컴퓨터 동작의 메모리 리퀘스트 커맨드(MEMREQ CMD)를 메모리 컨트롤러(114)로 발행할 수 있다.
- [0096] S512 단계에서, PIM 에이전트부(116)는 내부 프로세싱 모드 신호(IPM)를 메모리 장치(120)의 PIM(124)으로 전송할 수 있다. PIM(124)은 내부 프로세싱 모드 신호(IPM)에 응답하여 내부 프로세싱 모드로 진입하고 내부 프로

세팅 동작을 수행할 것이다.

- [0097] S514 단계에서, PIM 에이전트부(116)는 PIM(124)의 내부 프로세싱 동작 중에 발생하는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)를 수신할 수 있다. PIM 에이전트부(116)는 수신된 내부 프로세싱 동작 커맨드(IPCMD)를 메모리 컨트롤러(114)로 전달할 수 있다.
- [0098] S516 단계에서, 메모리 컨트롤러(114)는 메모리 리퀘스트 커맨드(MEMREQ CMD)와 내부 프로세싱 동작 커맨드(IPCMD) 사이에 중재부 기능을 수행하여 우선 순위를 결정할 수 있다. 결정 결과, 우선 순위의 커맨드가 내부 프로세싱 동작 커맨드(IPCMD)이면 S520 단계로 이동하고, 컴퓨터 동작의 메모리 리퀘스트 커맨드(MEMREQ CMD)이면 S530 단계로 이동한다.
- [0099] S520 단계에서, 메모리 컨트롤러(114)는 내부 프로세싱 동작 커맨드(IPCMD)를 제1 채널(CH1)의 커맨드(CMD) 버스들 및 신호 라인들을 통해 메모리 장치(120)로 발행할 수 있다. 이 때, 메모리 컨트롤러(114)는 내부 프로세싱 동작 커맨드(IPCMD)와 연관된 가상 메모리 주소 변환과 같은 가상 메모리 관리 기능을 수행하여 내부 프로세싱 동작 커맨드(IPCMD)를 메모리 장치(120)로 발행할 수 있다.
- [0100] S522 단계에서, PIM(124)은 내부 프로세싱 동작 커맨드(IPCMD)에 따라 메모리 셀 어레이(122)와 데이터 교환 동작과 같은 내부 프로세싱 동작을 수행할 것이다.
- [0101] S524 단계에서, PIM 에이전트부(116)는 PIM(124)이 내부 프로세싱 정보(IPI)에 따른 내부 프로세싱 동작을 완료했을 때, PIM(124)으로부터 내부 프로세싱 동작의 완료 신호(DONE)를 수신할 수 있다.
- [0102] S530 단계에서, 메모리 컨트롤러(114)는 컴퓨터 동작의 메모리 리퀘스트 커맨드(MEMREQ CMD)를 제1 채널(CH1)의 커맨드(CMD) 버스들 및 신호 라인들을 통해 메모리 장치(120)로 발행할 수 있다. 이 때, 메모리 컨트롤러(114)는 메모리 리퀘스트 커맨드(MEMREQ CMD)와 연관된 가상 메모리 주소 변환과 같은 가상 메모리 관리 기능을 수행하여 메모리 리퀘스트 커맨드(MEMREQ CMD)를 메모리 장치(120)로 발행할 수 있다.
- [0103] S532 단계에서, 메모리 컨트롤러(114)는 메모리 리퀘스트들과 연관되는 커맨드(MEMREQ CMD)에 따라 메모리 셀 어레이(122)와 데이터 교환 동작을 수행할 수 있다.
- [0104] 도 6은 본 발명의 다른 실시예에 따른 내부 프로세싱 동작을 수행하는 메모리 장치를 포함하는 시스템을 나타내는 블록도이다.
- [0105] 도 6의 시스템(600)은 호스트 장치(110a)와 메모리 장치(120)를 포함할 수 있다. 도 1에서 설명된 시스템(100)의 호스트 장치(110)와 달리, 호스트 장치(110a)는 호스트 프로세서(112)와 메모리 컨트롤러(114a)를 포함하고, PIM 에이전트부(116)를 포함하지 않는다는 점에서 차이가 있고, 나머지 구성요소들은 거의 동일하다. 이하, 도 1과의 차이점을 중심으로 설명된다.
- [0106] 도 6을 참조하면, 메모리 컨트롤러(114a)는 도 1에서 설명된 PIM 에이전트부(116)의 기능이 포함되도록 구성될 수 있다. 메모리 컨트롤러(114a)는 메모리 장치(120)가 내부 프로세싱 모드로 동작하도록 제어할 수 있다. 메모리 컨트롤러(114a)는 내부 프로세싱 모드 신호(IPM)를 활성화하여 제1 채널(CH1) 또는 제2 채널(CH2)을 통해 메모리 장치(120)로 전송할 수 있다. 메모리 컨트롤러(114a)는 메모리 장치(120)가 내부 프로세싱 모드로 동작 중에 발생하는 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드(IPCMD)를 제2 채널(CH2)을 통해 메모리 장치(120)로부터 수신할 수 있다. 메모리 컨트롤러(114a)는 메모리 장치(120)로부터 내부 프로세싱 동작이 완료되었음을 나타내는 완료 신호(DONE)를 제2 채널(CH2)을 통해 수신할 수 있다.
- [0107] 시스템(600)은 컴퓨터 동작을 수행하는 호스트 장치(110)와 메모리 장치(120)를 포함할 수 있다. 호스트 장치(110)의 제어에 따라, 메모리 장치(120)는 컴퓨터 동작에 따른 메모리 리퀘스트 동작과 메모리 셀 어레이(122)에 저장된 내부 프로세싱 정보(IPI)를 기반으로 내부 프로세싱 동작을 수행할 수 있다. 메모리 장치(120)는 내부 프로세싱 정보(IPI)가 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드(IPCMD)인 경우, 내부 프로세싱 동작 커맨드를 호스트 장치(110)로 전송할 수 있다. 호스트 장치(110)는 메모리 리퀘스트 동작을 위한 데이터 트랜잭션 커맨드를 메모리 장치(120)로 발행할 수 있다. 호스트 장치(110)는 데이터 트랜잭션 커맨드와 메모리 장치(120)로부터 수신된 내부 프로세싱 동작 커맨드(IPCMD) 사이를 중재하여 우선 순위 커맨드를 메모리 장치(120)로 발행할 수 있다. 호스트 장치(110)는 우선 순위 커맨드를 메모리 장치(120)로 발행할 때, 우선 순위 커맨드와 연관된 가상 메모리 주소 변환을 포함하는 가상 메모리 관리 기능을 수행할 수 있다. 메모리

리 장치(120)는 내부 프로세싱 정보(IPI)를 기반으로 수행된 내부 프로세싱 동작의 완료를 나타내는 완료 신호를 생성하고, 완료 신호를 호스트 장치(110)로 전송할 수 있다.

[0108] 도 7은 본 발명의 실시예에 따른 내부 프로세싱 동작을 수행하는 메모리 장치가 포함된 시스템을 적용할 수 있는 서버 시스템을 보여주는 블록도이다.

[0109] 도 7을 참조하면, 서버 시스템(700)은 복수의 서버들(100_1, 100_2, ..., 100_N)을 포함할 수 있다. 복수의 서버들(100_1, 100_2, ..., 100_N)은 PCIe 버스에 연결되는 스토리지 디바이스를 포함할 수 있다. PCIe(Peripheral Component Interconnect Express)는 PCI, PCI-X 및 AGP(Accelerated Graphics Port) 버스 표준들을 대체하도록 설계된 고속 직렬 컴퓨터 확장 버스 표준이다. PCIe는 더 높은 최대 시스템 버스 스펙트럼, 더 낮은 I/O 핀 카운트 및 더 작은 물리적 풋프린트, 버스 디바이스들에 대한 양호한 성능-스케일링 및 더 상세한 에러 검출 및 보고 메커니즘을 포함할 수 있다. 복수의 서버들(100_1, 100_2, ..., 100_N)은 관리자(710)와 연결될 수 있다. 복수의 서버들(100_1, 100_2, ..., 100_N)은 도 1 내지 도 6에서 설명한 시스템(100)을 포함하거나 동일 또는 유사할 수 있다.

[0110] 복수의 서버들(100_1, 100_2, ..., 100_N) 각각은, 컴퓨터 동작을 수행하는 호스트 장치와 메모리 장치를 포함할 수 있다. 호스트 장치의 제어에 따라, 메모리 장치는 컴퓨터 동작에 따른 메모리 리퀘스트 동작과 메모리 셀 어레이에 저장된 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행할 수 있다. 메모리 장치는 내부 프로세싱 정보가 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드인 경우, 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드를 호스트 장치로 전송할 수 있다. 호스트 장치는 메모리 리퀘스트 동작을 위한 데이터 트랜잭션 커맨드를 메모리 장치로 발행할 수 있다. 호스트 장치는 데이터 트랜잭션 커맨드와 메모리 장치로부터 수신된 내부 프로세싱 동작 커맨드 사이를 중재하여, 우선 순위 커맨드를 메모리 장치로 발행할 수 있다. 호스트 장치는 우선 순위 커맨드를 메모리 장치로 발행할 때, 우선 순위 커맨드와 연관된 가상 메모리 주소 변환을 포함하는 가상 메모리 관리 기능을 수행할 수 있다. 메모리 장치는 내부 프로세싱 정보를 기반으로 수행된 내부 프로세싱 동작의 완료를 나타내는 완료 신호를 생성하고, 완료 신호를 호스트 장치로 전송할 수 있다.

[0111] 도 8은 본 발명의 실시예에 따른 내부 프로세싱 동작을 수행하는 메모리 장치가 포함된 시스템을 적용할 수 있는 데이터 센터를 보여주는 블록도이다.

[0112] 도 8을 참조하면, 데이터 센터(800)는 복수의 서버 시스템들(700_1, 700_2, ..., 700_N)을 포함할 수 있다. 복수의 서버 시스템들(700_1, 700_2, ..., 700_N) 각각은 도 7에 도시된 서버 시스템(700)과 유사하거나 동일할 수 있다. 복수의 서버 시스템들(700_1, 700_2, ..., 700_N)은 인터넷과 같은 네트워크(830)를 통하여 다양한 노드들(810_1, 810_2, ..., 810_M)과 통신할 수 있다. 네트워크(830)는 개별적인 단일 네트워크로서 도시되지만, 당업자에 의해 일반적으로 이해되는 어떤 유형의 네트워크라도 될 수 있다. 네트워크(830)는 개인용 또는 공용이거나, 유선 또는 무선이거나, 전체 또는 부분 네트워크일 수 있다. 실시예에 따라, 네트워크(830)는 인터넷이나 월드 와이드 웹 (줄여서 "웹")과 같은 글로벌 네트워크, WAN(Wide Area Network) 또는 LAN(Local Area Network) 일 수 있다. 노드들(810_1, 810_2, ..., 810_M)은 클라이언트 컴퓨터들, 다른 서버들, 원격 데이터 센터들, 스토리지 시스템들 중 어느 하나일 수 있다.

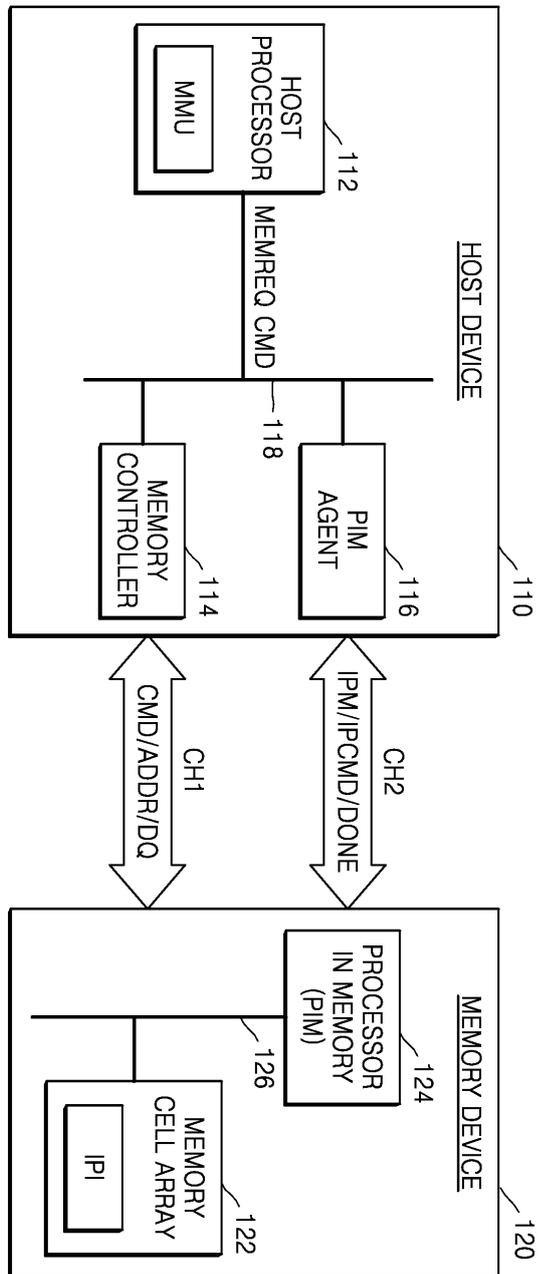
[0113] 복수의 서버 시스템들(700_1, 700_2, ..., 700_N) 및/또는 노드들(810_1, 810_2, ..., 810_M) 각각은, 컴퓨터 동작을 수행하는 호스트 장치와 메모리 장치를 포함할 수 있다. 호스트 장치의 제어에 따라, 메모리 장치는 컴퓨터 동작에 따른 메모리 리퀘스트 동작과 메모리 셀 어레이에 저장된 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행할 수 있다. 메모리 장치는 내부 프로세싱 정보가 내부 프로세싱 동작의 타입을 가리키는 내부 프로세싱 동작 커맨드인 경우, 내부 프로세싱 독출 커맨드(PIM_READ) 및/또는 내부 프로세싱 기입 커맨드(PIM_WRITE)로 구성된 내부 프로세싱 동작 커맨드를 호스트 장치로 전송할 수 있다. 호스트 장치는 메모리 리퀘스트 동작을 위한 데이터 트랜잭션 커맨드를 메모리 장치로 발행할 수 있다. 호스트 장치는 데이터 트랜잭션 커맨드와 메모리 장치로부터 수신된 내부 프로세싱 동작 커맨드 사이를 중재하여, 우선 순위 커맨드를 메모리 장치로 발행할 수 있다. 호스트 장치는 우선 순위 커맨드를 메모리 장치로 발행할 때, 우선 순위 커맨드와 연관된 가상 메모리 주소 변환을 포함하는 가상 메모리 관리 기능을 수행할 수 있다. 메모리 장치는 내부 프로세싱 정보를 기반으로 수행된 내부 프로세싱 동작의 완료를 나타내는 완료 신호를 생성하고, 완료 신호를 호스트 장치로 전송할 수 있다.

[0114] 본 개시는 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서,

본 개시의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

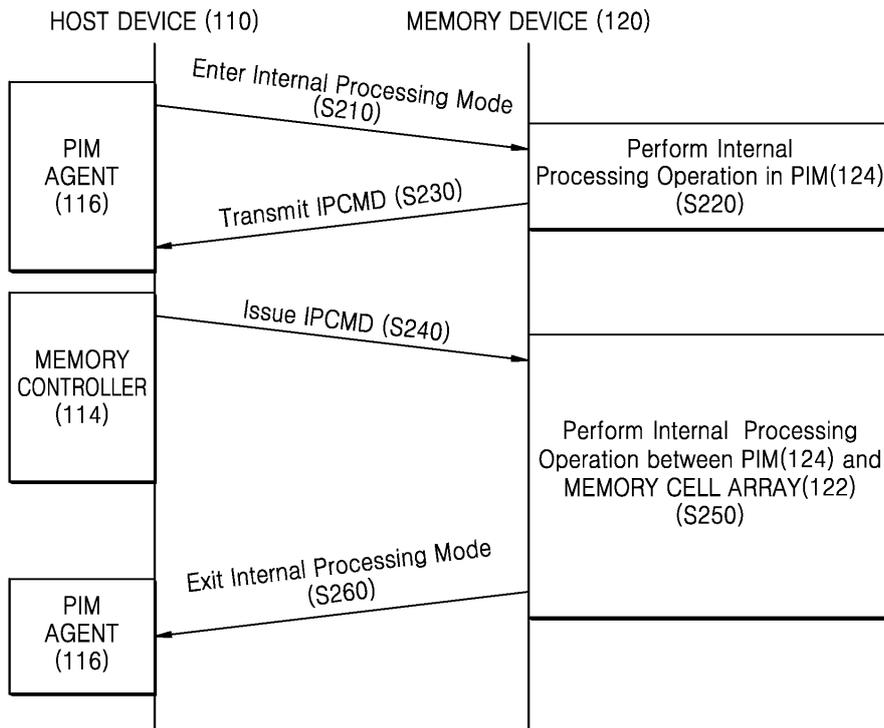
도면

도면1

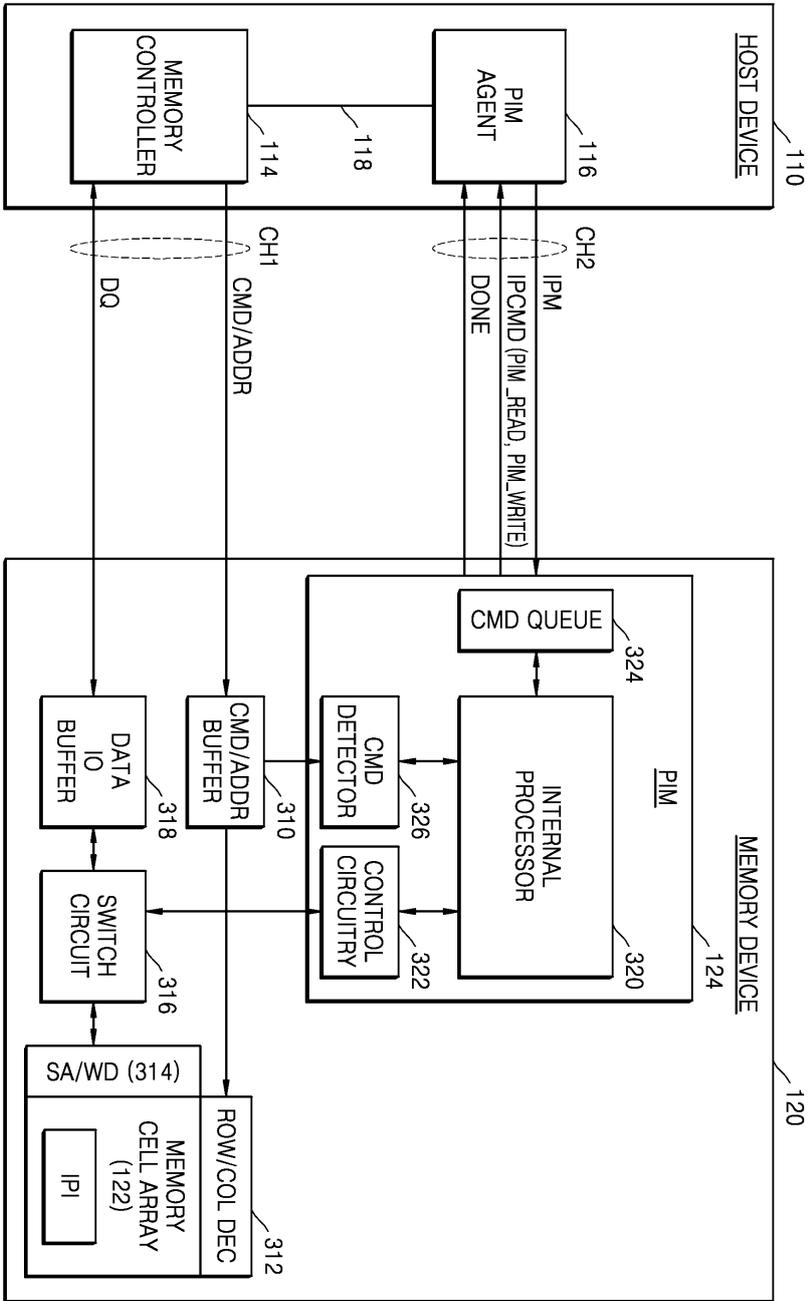


100

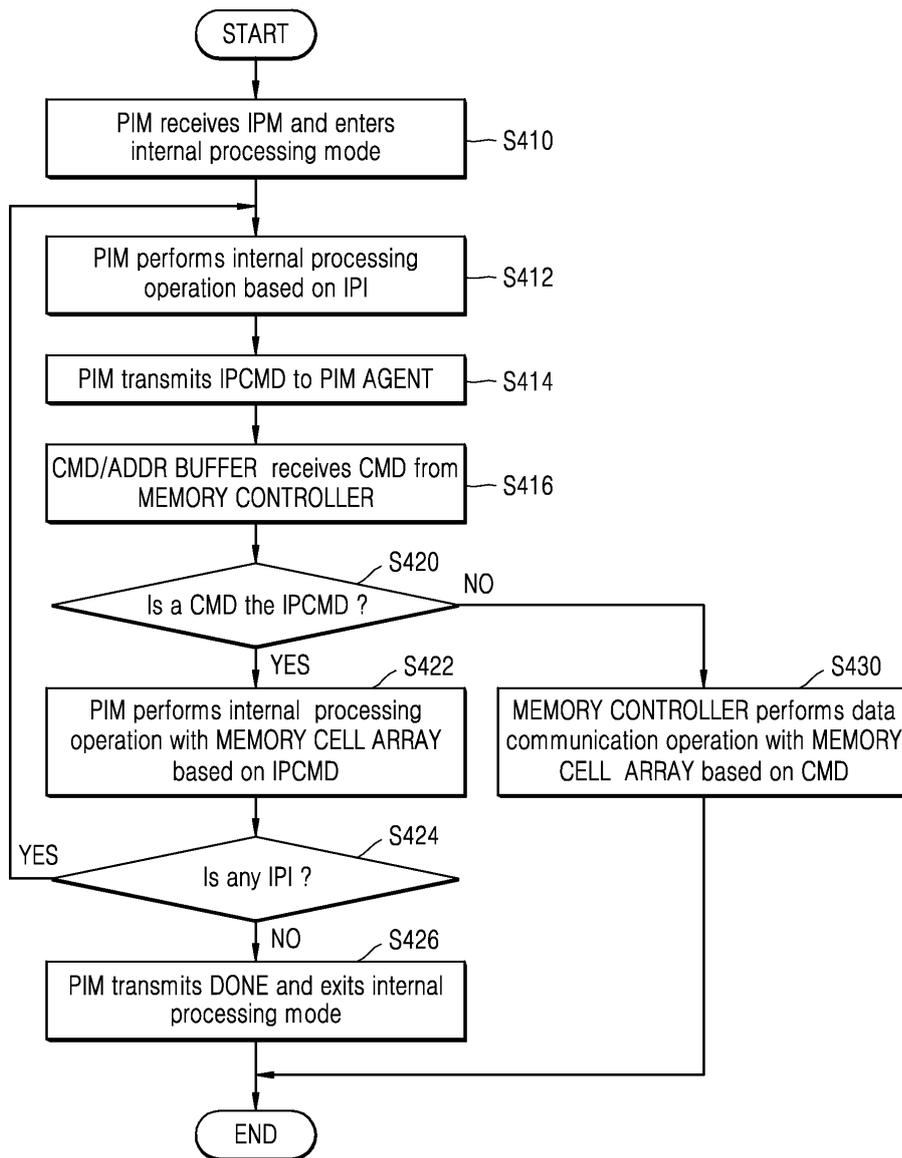
도면2



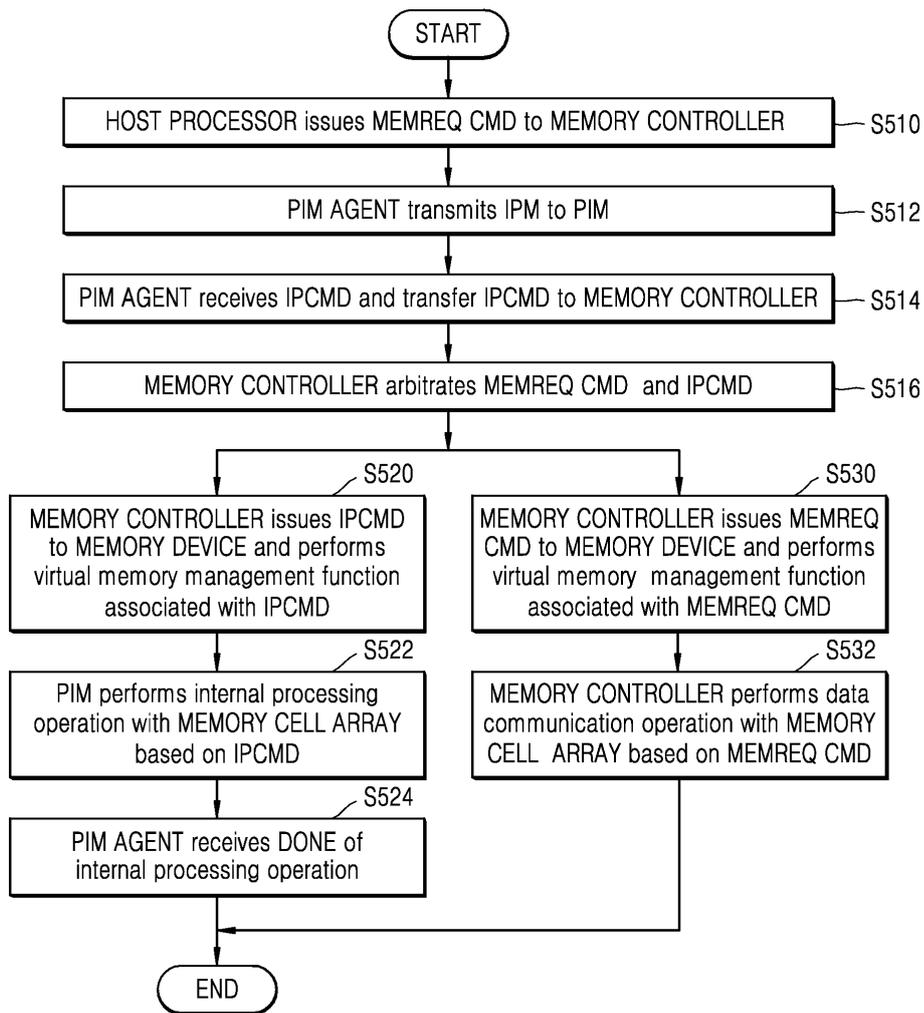
도면3



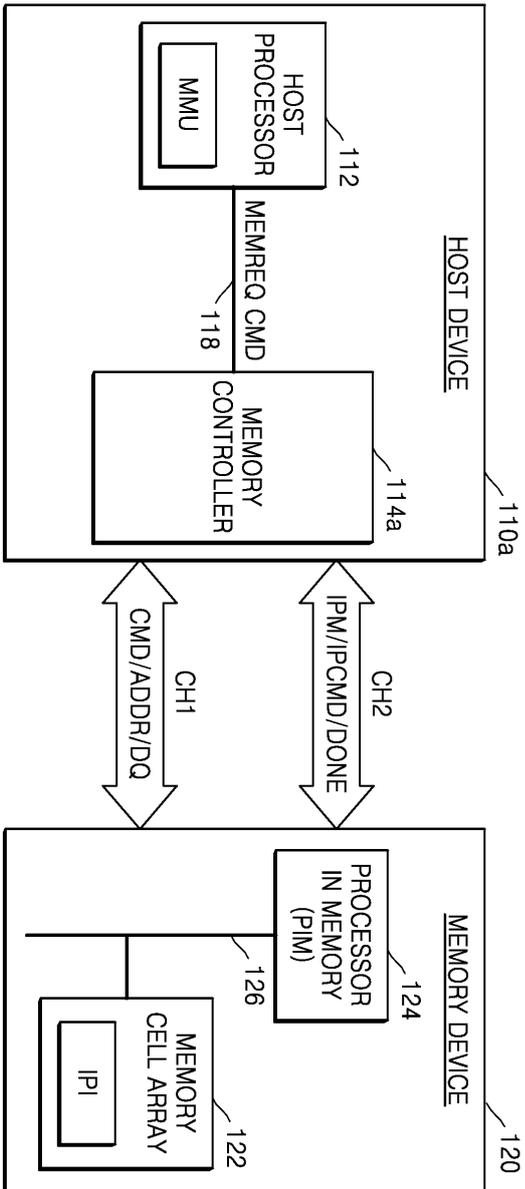
도면4



도면5

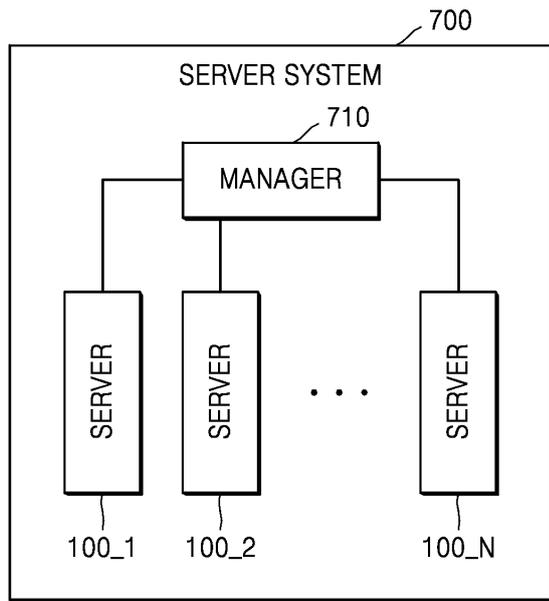


도면6

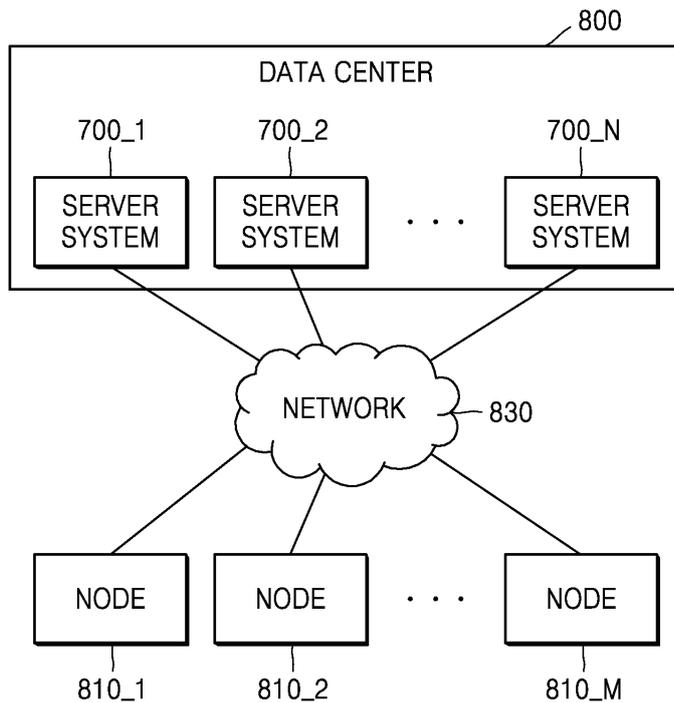


600

도면7



도면8



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 1

【변경전】

내부 프로세싱 정보를 저장하는 메모리 셀 어레이; 및

내부 프로세싱 모드에서, 상기 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행하는 프로세서-인-메모리(PIM)를 포함하고,

상기 PIM은 상기 내부 프로세싱 동작 중에 발생하는 내부 프로세싱 동작 커맨드를 메모리 컨트롤러로 전송하고,

상기 메모리 컨트롤러로부터 수신되는 상기 내부 프로세싱 동작 커맨드에 따라 상기 내부 프로세싱 동작을 수행하고,

상기 내부 프로세싱 동작 커맨드는 상기 메모리 컨트롤러와 상기 메모리 장치 사이에 미리 정해진 프로토콜을 수행하는 제1 채널의 신호 라인들을 통하여 상기 메모리 컨트롤러에서 상기 메모리 장치로 수신되고, 상기 메모리 컨트롤러와 상기 메모리 장치 사이에 전용 신호 라인들을 포함하는 제2 채널을 통하여 상기 메모리 장치에서 상기 메모리 컨트롤러로 전송되는 메모리 장치.

【변경후】

내부 프로세싱 정보를 저장하는 메모리 셀 어레이; 및

내부 프로세싱 모드에서, 상기 내부 프로세싱 정보를 기반으로 내부 프로세싱 동작을 수행하는 프로세서-인-메모리(PIM)를 포함하고,

상기 PIM은 상기 내부 프로세싱 동작 중에 발생하는 내부 프로세싱 동작 커맨드를 메모리 컨트롤러로 전송하고, 상기 메모리 컨트롤러로부터 수신되는 상기 내부 프로세싱 동작 커맨드에 따라 상기 내부 프로세싱 동작을 수행하고,

상기 내부 프로세싱 동작 커맨드는 상기 메모리 컨트롤러와 메모리 장치 사이에 미리 정해진 프로토콜을 수행하는 제1 채널의 신호 라인들을 통하여 상기 메모리 컨트롤러에서 상기 메모리 장치로 수신되고, 상기 메모리 컨트롤러와 상기 메모리 장치 사이에 전용 신호 라인들을 포함하는 제2 채널을 통하여 상기 메모리 장치에서 상기 메모리 컨트롤러로 전송되는 메모리 장치.

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 11

【변경전】

제10항에 있어서,

상기 완료 신호는 상기 제2 채널을 통하여 상기 메모리 컨트롤러로 전송되는 것을 특징으로 메모리 장치.

【변경후】

제10항에 있어서,

상기 완료 신호는 상기 제2 채널을 통하여 상기 메모리 컨트롤러로 전송되는 것을 특징으로 하는 메모리 장치.

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 20

【변경전】

제19항에 있어서,

상기 완료 신호는 상기 메모리 컨트롤러와 상기 메모리 장치 사이의 제2 채널의 전용 신호 라인을 통하여 수신되는 것을 특징으로 호스트 장치.

【변경후】

제19항에 있어서,

상기 완료 신호는 상기 메모리 컨트롤러와 상기 메모리 장치 사이의 제2 채널의 전용 신호 라인을 통하여 수신되는 것을 특징으로 하는 호스트 장치.