

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-107456
(P2014-107456A)

(43) 公開日 平成26年6月9日(2014.6.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 P	4 M 1 0 4
HO 1 L 29/78 (2006.01)	HO 1 L 27/08 1 O 2 D	5 F 0 3 3
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 O 2 B	5 F 0 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 C	5 F 1 4 0
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 S	

審査請求 未請求 請求項の数 16 O L (全 55 頁) 最終頁に続く

(21) 出願番号 特願2012-260354 (P2012-260354)
(22) 出願日 平成24年11月28日 (2012.11.28)

(71) 出願人 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100080001
弁理士 筒井 大和
(74) 代理人 100113642
弁理士 菅田 篤志
(74) 代理人 100117008
弁理士 筒井 章子
(74) 代理人 100147430
弁理士 坂次 哲也
(72) 発明者 緒方 完
神奈川県川崎市中原区下沼部1753番地
ルネサスエレクトロニクス株式会社内

最終頁に続く

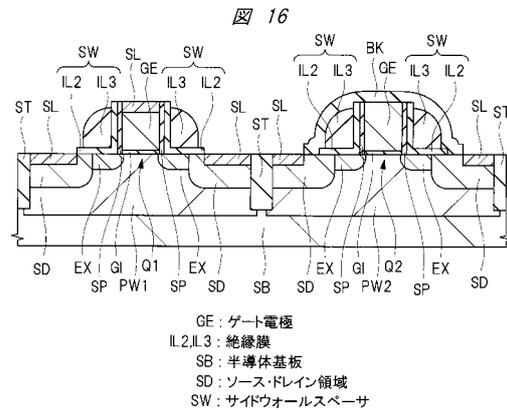
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】半導体装置の性能や製造歩留まりを向上させる。

【解決手段】半導体基板SB上にゲート電極GEを覆うように絶縁膜IL2, IL3を順次形成してから、絶縁膜IL3, IL2をエッチバックすることにより、ゲート電極GEの側壁上に絶縁膜IL2, IL3からなるサイドウォールスペーサSWを形成する。それから、ゲート電極GEおよびサイドウォールスペーサSWをマスクとしてイオン注入を行うことにより、半導体基板SBにソース・ドレイン領域SDを形成する。それから、絶縁膜IL3よりも絶縁膜IL2がエッチングされにくい条件でサイドウォールスペーサSWを等方性エッチングして、サイドウォールスペーサSWの厚みを小さくする。その後、ソース・ドレイン領域SD上に、金属とソース・ドレイン領域SDとの反応層を形成する。

【選択図】 図16



【特許請求の範囲】

【請求項 1】

第 1 M I S F E T を有する半導体装置の製造方法であって、

- (a) 半導体基板を準備する工程、
 - (b) 前記半導体基板上にゲート絶縁膜を介して前記第 1 M I S F E T 用の第 1 ゲート電極を形成する工程、
 - (c) 前記 (b) 工程後、前記半導体基板上に、前記第 1 ゲート電極を覆うように、第 1 絶縁膜を形成する工程、
 - (d) 前記 (c) 工程後、前記第 1 絶縁膜上に第 2 絶縁膜を形成する工程、
 - (e) 前記 (d) 工程後、前記第 2 絶縁膜および前記第 1 絶縁膜をエッチバックすることにより、前記第 1 ゲート電極の側壁上に前記第 1 絶縁膜および前記第 2 絶縁膜からなる第 1 サイドウォールスペーサを形成する工程、
 - (f) 前記 (e) 工程後、前記第 1 ゲート電極および第 1 サイドウォールスペーサをマスクとして前記半導体基板にイオン注入を行うことにより、前記半導体基板に前記第 1 M I S F E T 用の第 1 ソース・ドレイン領域を形成する工程、
 - (g) 前記 (f) 工程後、前記第 2 絶縁膜よりも前記第 1 絶縁膜がエッチングされにくい条件で、前記第 1 サイドウォールスペーサを等方性エッチングして、前記第 1 サイドウォールスペーサの厚みを小さくする工程、
 - (h) 前記 (g) 工程後、前記第 1 ソース・ドレイン領域上に、金属と前記第 1 ソース・ドレイン領域との反応層を形成する工程、
 - (i) 前記 (h) 工程後、前記第 1 ゲート電極および前記第 1 サイドウォールスペーサを覆うように、前記半導体基板上に第 3 絶縁膜を形成する工程、
 - (j) 前記 (i) 工程後、前記第 3 絶縁膜上に第 4 絶縁膜を形成する工程、
 - (k) 前記 (j) 工程後、前記第 4 絶縁膜および前記第 3 絶縁膜に、コンタクトホールを形成する工程、
- を有する、半導体装置の製造方法。

【請求項 2】

請求項 1 記載の半導体装置の製造方法において、

前記 (g) 工程後も、前記第 1 サイドウォールスペーサは前記第 1 絶縁膜および前記第 2 絶縁膜により形成されている、半導体装置の製造方法。

【請求項 3】

請求項 2 記載の半導体装置の製造方法において、

前記 (g) 工程では、前記等方性エッチングにより、前記第 1 サイドウォールスペーサを構成する前記第 1 絶縁膜の前記半導体基板上に延在する部分の端部が、前記第 1 サイドウォールスペーサを構成する前記第 2 絶縁膜の側面よりも突出した状態になる、半導体装置の製造方法。

【請求項 4】

請求項 3 記載の半導体装置の製造方法において、

前記 (h) 工程は、

- (h 1) 前記半導体基板上に、前記第 1 ゲート電極、前記第 1 サイドウォールスペーサおよび前記第 1 ソース・ドレイン領域を覆うように、かつ前記第 1 ソース・ドレイン領域に接するように、金属膜を形成する工程、
 - (h 2) 熱処理により前記金属膜と前記第 1 ソース・ドレイン領域とを反応させて、前記第 1 ソース・ドレイン領域上に前記金属膜と前記第 1 ソース・ドレイン領域との前記反応層を形成する工程、
 - (h 3) 前記金属膜の未反応部分を除去する工程、
- を有する、半導体装置の製造方法。

【請求項 5】

請求項 4 記載の半導体装置の製造方法において、

前記 (g) 工程では、前記第 2 絶縁膜よりも前記第 1 絶縁膜および前記半導体基板がエ

エッチングされにくい条件で、前記第 1 サイドウォールスペーサを等方性エッチングする、半導体装置の製造方法。

【請求項 6】

請求項 5 記載の半導体装置の製造方法において、

前記第 1 絶縁膜と前記第 2 絶縁膜とは、異なる絶縁材料からなる、半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、

前記 (d) 工程で形成した前記第 2 絶縁膜の厚みは、前記 (c) 工程で形成した前記第 1 絶縁膜の厚みよりも厚い、半導体装置の製造方法。

10

【請求項 8】

請求項 7 記載の半導体装置の製造方法において、

前記第 1 絶縁膜は酸化シリコン膜からなり、前記第 2 絶縁膜は窒化シリコン膜からなる、半導体装置の製造方法。

【請求項 9】

請求項 4 記載の半導体装置の製造方法において、

前記 (b) 工程後で、前記 (c) 工程前に、

(b1) 前記第 1 ゲート電極をマスクとして前記半導体基板にイオン注入を行うことにより、前記第 1 ソース・ドレイン領域と同じ導電型でかつ前記第 1 ソース・ドレイン領域よりも低不純物濃度の第 1 半導体領域を形成する工程、

20

を有する、半導体装置の製造方法。

【請求項 10】

請求項 4 記載の半導体装置の製造方法において、

前記 (g) 工程後で、前記 (h) 工程前に、

(g1) 前記第 1 ソース・ドレイン領域に導入されている不純物を活性化する熱処理を行う工程、

を有する、半導体装置の製造方法。

【請求項 11】

請求項 4 記載の半導体装置の製造方法において、

前記 (e) 工程後で前記 (g) 工程前に、

(f1) 前記半導体基板に第 2 MISFET 用の第 2 ソース・ドレイン領域を形成する工程、

30

を有し、

前記 (g) 工程後で、前記 (h) 工程前に、

(g2) 前記半導体基板上に、前記第 1 ゲート電極、前記第 1 サイドウォールスペーサ、前記第 1 ソース・ドレイン領域および前記第 2 ソース・ドレイン領域を覆うように、第 5 絶縁膜を形成する工程、

(g3) 前記 (g2) 工程後、前記第 1 ゲート電極、前記第 1 サイドウォールスペーサおよび前記第 1 ソース・ドレイン領域上から前記第 5 絶縁膜をエッチングにより除去し、前記第 2 ソース・ドレイン領域の少なくとも一部上に前記第 5 絶縁膜を残す工程、

40

を有し、

前記 (h1) 工程では、前記半導体基板上に、前記第 1 ゲート電極、前記第 1 サイドウォールスペーサ、前記第 1 ソース・ドレイン領域および前記第 2 ソース・ドレイン領域を覆うように、かつ前記第 1 ソース・ドレイン領域に接するように、前記金属膜が形成され、

前記 (h2) 工程では、前記第 2 ソース・ドレイン領域の前記第 5 絶縁膜で覆われた部分には、前記第 2 ソース・ドレイン領域と前記金属膜との反応層は形成されない、半導体装置の製造方法。

【請求項 12】

請求項 11 記載の半導体装置の製造方法において、

50

前記（g3）工程では、前記第1サイドウォールスペーサを構成する前記第1絶縁膜のうち、前記第1サイドウォールスペーサを構成する前記第2絶縁膜の側面よりも突出した部分がエッチングされる、半導体装置の製造方法。

【請求項13】

請求項4記載の半導体装置の製造方法において、

前記（e）工程後で前記（g）工程前に、

（f1）前記半導体基板に第2MISFET用の第2ソース・ドレイン領域を形成する工程、

（f2）前記（f）工程および前記（f1）工程後に、前記半導体基板の上に、前記第1ゲート電極、前記第1サイドウォールスペーサ、前記第1ソース・ドレイン領域および前記第2ソース・ドレイン領域を覆うように、第5絶縁膜を形成する工程、

（f3）前記（f2）工程後、前記第1ゲート電極、前記第1サイドウォールスペーサおよび前記第1ソース・ドレイン領域上から前記第5絶縁膜をエッチングにより除去し、前記第2ソース・ドレイン領域の少なくとも一部上に前記第5絶縁膜を残す工程、

を有し、

前記（h1）工程では、前記半導体基板の上に、前記第1ゲート電極、前記第1サイドウォールスペーサ、前記第1ソース・ドレイン領域および前記第2ソース・ドレイン領域を覆うように、かつ前記第1ソース・ドレイン領域に接するように、前記金属膜が形成され、

前記（h2）工程では、前記第2ソース・ドレイン領域の前記第5絶縁膜で覆われた部分には、前記第2ソース・ドレイン領域と前記金属膜との反応層は形成されない、半導体装置の製造方法。

【請求項14】

請求項13記載の半導体装置の製造方法において、

前記（f）工程および前記（f1）工程後で、前記（f2）工程前に、

（f4）前記第1ソース・ドレイン領域に導入されている不純物を活性化する熱処理を行う工程、

を有する、半導体装置の製造方法。

【請求項15】

請求項13記載の半導体装置の製造方法において、

前記（h）工程は、

（h4）前記（h1）工程前に、前記半導体基板をウェット洗浄する工程、

を有し、

前記（h4）工程では、前記第1サイドウォールスペーサを構成する前記第1絶縁膜のうち、前記第1サイドウォールスペーサを構成する前記第2絶縁膜の側面よりも突出した部分がエッチングされる、半導体装置の製造方法。

【請求項16】

請求項4記載の半導体装置の製造方法において、

前記（k）工程は、

（k1）前記第5絶縁膜をエッチングすることで前記第5絶縁膜に前記コンタクトホールを形成する工程、

（k2）前記（k1）工程後、前記コンタクトホールの底部の前記第4絶縁膜をエッチングにより除去する工程、

を有し、

前記（k1）工程では、前記第4絶縁膜がエッチングストップ膜として機能する、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、例えば、MISFETを備えた半導体装置の

10

20

30

40

50

製造方法に好適に利用できるものである。

【背景技術】

【0002】

半導体基板上にゲート絶縁膜を形成し、ゲート絶縁膜上にゲート電極を形成し、イオン注入などによりソース・ドレイン領域を形成することで、MISFETを形成することができる。MISFETの形成後、半導体基板上にMISFETを覆うように層間絶縁膜を形成し、その層間絶縁膜にコンタクトホールを形成し、コンタクトホールを埋める導電性のプラグを形成し、更に配線を形成することで、MISFETを有する半導体装置を製造することができる。

【0003】

特開2000-236090号公報(特許文献1)および特開2010-40734号公報(特許文献2)には、サイドウォールをマスクにした不純物注入によりソース/ドレイン領域を形成し、サイドウォールをエッチングする技術が記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2000-236090号公報

【特許文献2】特開2010-40734号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

MISFETを有する半導体装置においても、できるだけ性能を向上させることが望まれる。または、半導体装置の製造歩留まりを向上させることが望まれる。若しくはその両方を実現することが望まれる。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態によれば、半導体基板上に、ゲート電極を覆うように、第1絶縁膜および第2絶縁膜を順次形成し、第2絶縁膜および第1絶縁膜をエッチバックすることにより、前記ゲート電極の側壁上に第1絶縁膜および第2絶縁膜からなるサイドウォールスペースを形成する。それから、ゲート電極およびサイドウォールスペースをマスクとして半導体基板にイオン注入を行うことにより、半導体基板にソース・ドレイン領域を形成する。その後、第2絶縁膜よりも第1絶縁膜がエッチングされにくい条件で、サイドウォールスペースを等方性エッチングして、サイドウォールスペースの厚みを小さくする。

【発明の効果】

【0008】

一実施の形態によれば、半導体装置の性能を向上させることができる。または、半導体装置の製造歩留まりを向上させることができる。若しくはその両方を実現することができる。

【図面の簡単な説明】

【0009】

【図1】一実施の形態の半導体装置の製造工程を示す工程フロー図である。

【図2】図1に続く半導体装置の製造工程を示す工程フロー図である。

【図3】一実施の形態の半導体装置の製造工程中の要部断面図である。

【図4】図3に続く半導体装置の製造工程中の要部断面図である。

【図5】図4に続く半導体装置の製造工程中の要部断面図である。

【図6】図5に続く半導体装置の製造工程中の要部断面図である。

【図7】図6に続く半導体装置の製造工程中の要部断面図である。

10

20

30

40

50

- 【図 8】図 7 に続く半導体装置の製造工程中の要部断面図である。
- 【図 9】図 8 に続く半導体装置の製造工程中の要部断面図である。
- 【図 10】図 9 に続く半導体装置の製造工程中の要部断面図である。
- 【図 11】図 10 に続く半導体装置の製造工程中の要部断面図である。
- 【図 12】図 11 に続く半導体装置の製造工程中の要部断面図である。
- 【図 13】図 12 に続く半導体装置の製造工程中の要部断面図である。
- 【図 14】図 13 に続く半導体装置の製造工程中の要部断面図である。
- 【図 15】図 14 に続く半導体装置の製造工程中の要部断面図である。
- 【図 16】図 15 に続く半導体装置の製造工程中の要部断面図である。
- 【図 17】図 16 に続く半導体装置の製造工程中の要部断面図である。 10
- 【図 18】図 17 に続く半導体装置の製造工程中の要部断面図である。
- 【図 19】図 18 に続く半導体装置の製造工程中の要部断面図である。
- 【図 20】図 19 に続く半導体装置の製造工程中の要部断面図である。
- 【図 21】図 20 に続く半導体装置の製造工程中の要部断面図である。
- 【図 22】図 21 に続く半導体装置の製造工程中の要部断面図である。
- 【図 23】第 1 検討例の半導体装置の製造工程中の要部断面図である。
- 【図 24】図 23 に続く半導体装置の製造工程中の要部断面図である。
- 【図 25】図 24 に続く半導体装置の製造工程中の要部断面図である。
- 【図 26】図 25 に続く半導体装置の製造工程中の要部断面図である。
- 【図 27】図 26 に続く半導体装置の製造工程中の要部断面図である。 20
- 【図 28】図 27 に続く半導体装置の製造工程中の要部断面図である。
- 【図 29】サイドウォールスペーサの厚みとソース・ドレイン電流との相関を示すグラフである。
- 【図 30】一実施の形態の半導体装置の製造工程中の要部断面図である。
- 【図 31】図 30 に続く半導体装置の製造工程中の要部断面図である。
- 【図 32】図 31 に続く半導体装置の製造工程中の要部断面図である。
- 【図 33】図 32 に続く半導体装置の製造工程中の要部断面図である。
- 【図 34】図 33 に続く半導体装置の製造工程中の要部断面図である。
- 【図 35】図 34 に続く半導体装置の製造工程中の要部断面図である。
- 【図 36】第 1 変形例の半導体装置の製造工程中の要部断面図である。 30
- 【図 37】図 36 に続く半導体装置の製造工程中の要部断面図である。
- 【図 38】図 37 に続く半導体装置の製造工程中の要部断面図である。
- 【図 39】図 38 に続く半導体装置の製造工程中の要部断面図である。
- 【図 40】図 39 に続く半導体装置の製造工程中の要部断面図である。
- 【図 41】図 40 に続く半導体装置の製造工程中の要部断面図である。
- 【図 42】他の実施の形態の半導体装置の製造工程を示す工程フロー図である。
- 【図 43】他の実施の形態の半導体装置の製造工程中の要部断面図である。
- 【図 44】図 43 に続く半導体装置の製造工程中の要部断面図である。
- 【図 45】図 44 に続く半導体装置の製造工程中の要部断面図である。
- 【図 46】図 45 に続く半導体装置の製造工程中の要部断面図である。 40
- 【図 47】図 46 に続く半導体装置の製造工程中の要部断面図である。
- 【図 48】図 47 に続く半導体装置の製造工程中の要部断面図である。
- 【図 49】図 48 に続く半導体装置の製造工程中の要部断面図である。
- 【図 50】図 49 に続く半導体装置の製造工程中の要部断面図である。
- 【図 51】図 50 に続く半導体装置の製造工程中の要部断面図である。
- 【図 52】第 2 変形例の半導体装置の製造工程中の要部断面図である。
- 【図 53】図 52 に続く半導体装置の製造工程中の要部断面図である。
- 【図 54】図 53 に続く半導体装置の製造工程中の要部断面図である。
- 【図 55】図 54 に続く半導体装置の製造工程中の要部断面図である。
- 【図 56】図 55 に続く半導体装置の製造工程中の要部断面図である。 50

【発明を実施するための形態】

【0010】

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

10

【0011】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

20

【0012】

また、実施の形態で用いる図面においては、断面図であっても図面を見易くするためにハッチングを省略する場合もある。また、平面図であっても図面を見易くするためにハッチングを付す場合もある。

【0013】

（実施の形態1）

<製造工程について>

一実施の形態である半導体装置の製造工程を図面を参照して説明する。

【0014】

図1および図2は、一実施の形態である半導体装置、ここではMISFET（Metal Insulator Semiconductor Field Effect Transistor）を有する半導体装置の製造工程の一部を示す製造プロセスフロー図である。図3～図22は、本実施の形態の半導体装置、ここではMISFETを有する半導体装置の製造工程中の要部断面図である。なお、本実施の形態では、MISFETとして、nチャネル型のMISFETを形成する場合を例に挙げて説明するが、nチャネル型のMISFETの代わりにpチャネル型のMISFETを形成する場合に、本実施の形態を適用することもできる。また、nチャネル型のMISFETの代わりにCMISFET（Complementary Metal Insulator Semiconductor Field Effect Transistor）を形成する場合に、本実施の形態を適用することもできる。

30

【0015】

まず、図3に示されるように、例えば1～10 cm程度の比抵抗を有するp型の単結晶シリコンなどからなる半導体基板（半導体ウエハ）SBを準備する（図1のステップS1）。

40

【0016】

次に、半導体基板SBの主面に素子分離領域STを形成する（図1のステップS2）。

【0017】

素子分離領域STは酸化シリコンなどの絶縁体からなり、例えばSTI（Shallow Trench Isolation）法またはLOCOS（Local Oxidization of Silicon）法などにより形成される。例えば、半導体基板SBに溝（素子分離溝）を形成し、その溝に絶縁膜を埋め込むことにより、素子分離領域STを形成することができる。その場合、素子分離領域STは、半導体基板SBに形成された溝（素子分離溝）に埋め込まれた絶縁膜からなる。

【0018】

50

次に、半導体基板 S B の主面から所定の深さにわたってウエル領域、ここでは p 型ウエル（ウエル領域） P W 1 , P W 2、を形成する（図 1 のステップ S 3）。

【 0 0 1 9 】

p 型ウエル P W 1 , P W 2 は、半導体基板 S B に例えばホウ素（ B ）などの p 型の不純物をイオン注入することなどによって形成することができる。 p 型ウエル P W 1 と p 型ウエル P W 2 とは、同じ導電型であるため、同じイオン注入工程で形成しても、あるいは、異なるイオン注入工程で形成してもよい。他の形態として、 p 型ウエル P W 1 と p 型ウエル P W 2 とが異なる導電型の場合（すなわち p 型ウエル P W 1 , P W 2 のうちの一方が p 型ウエルで他方が n 型ウエルであった場合）は、異なるイオン注入工程で形成する。

【 0 0 2 0 】

次に、例えばフッ酸（ H F ）水溶液を用いたウェットエッチングなどにより半導体基板 S B の表面を清浄化（洗浄）した後、半導体基板 S B の表面（すなわち p 型ウエル P W 1 , P W 2 の表面）上にゲート絶縁膜 G I を形成する（図 1 のステップ S 4）。

【 0 0 2 1 】

ゲート絶縁膜 G I は、例えば薄い酸化シリコン膜などからなり、例えば熱酸化法などによって形成することができる。ゲート絶縁膜 G I として、酸化シリコン膜の代わりに酸化窒化シリコン膜などを形成することもでき、この場合、例えば、熱酸化法で形成した酸化シリコン膜を窒化処理することにより、ゲート絶縁膜 G I としての酸化窒化シリコン膜を形成することができる。

【 0 0 2 2 】

次に、図 4 に示されるように、ゲート電極 G E を形成する（図 1 のステップ S 5）。

【 0 0 2 3 】

ゲート電極 G E は、例えば次のようにして形成することができる。まず、半導体基板 S B 上（すなわちゲート絶縁膜 G I 上）に、ゲート電極形成用の導体膜（導電膜）として、多結晶シリコン（ポリシリコン）膜のようなシリコン膜を形成する。このシリコン膜は、成膜時または成膜後に不純物を導入して低抵抗率の半導体膜（ドーフトポリシリコン膜）とすることが好ましい。このシリコン膜は、例えば C V D（Chemical Vapor Deposition：化学的気相成長）法により形成することができる。その厚み（形成膜厚）は、例えば 1 0 0 n m 程度とすることができる。それから、このシリコン膜を、フォトリソグラフィ法およびドライエッチング法を用いてパターニングすることにより、ゲート電極 G E を形成する。この場合、ゲート電極 G E は、パターニングされたシリコン膜（ドーフトポリシリコン膜）からなる。

【 0 0 2 4 】

ゲート電極 G E は、半導体基板 S B 上に形成されたゲート絶縁膜 G I 上に形成される。すなわち、ゲート電極 G E は、半導体基板 S B 上（より特定的には p 型ウエル P W 1 , P W 2 上）にゲート絶縁膜 G I を介して形成される。図 4 では、 p 型ウエル P W 1 上にゲート絶縁膜 G I を介してゲート電極 G E が形成され、 p 型ウエル P W 2 上にゲート絶縁膜 G I を介してゲート電極 G E が形成されている。

【 0 0 2 5 】

ゲート電極 G E の下に残存するゲート絶縁膜 G I が、 M I S F E T のゲート絶縁膜となり、ゲート電極 G E が、 M I S F E T のゲート電極となる。ゲート電極 G E で覆われない部分のゲート絶縁膜 G I は、ゲート電極 G E を加工するためのドライエッチングや、その後のウェットエッチングで、除去され得る。

【 0 0 2 6 】

次に、図 5 に示されるように、半導体基板 S B の主面上に、ゲート電極 G E を覆うように、オフセットスペーサ用の絶縁膜 I L 1 を形成する（図 1 のステップ S 6）。絶縁膜 I L 1 は、酸化シリコン膜または窒化シリコン膜などからなり、その形成膜厚（厚み）は、例えば 3 ~ 5 n m 程度とすることができる。また、絶縁膜 I L 1 は、例えば C V D 法などを用いて形成することができる。

【 0 0 2 7 】

10

20

30

40

50

次に、図6に示されるように、絶縁膜IL1をRIE(Reactive Ion Etching:反応性イオンエッチング)法などにより異方性エッチング(エッチバック)することによって、ゲート電極GEの側壁に絶縁膜IL1を残し、他の領域(ゲート電極GE上およびゲート電極GEで覆われていない部分の半導体基板SB上)の絶縁膜IL1を除去する。これにより、ゲート電極GEの側壁に残存する絶縁膜IL1からなる側壁絶縁膜(オフセットスペーサ)SPが形成される(図1のステップS7)。

【0028】

側壁絶縁膜SPはゲート電極GEの側壁に形成されるが、ゲート電極GEの側壁に側壁絶縁膜SPが不要であれば、ステップS6の絶縁膜IL1形成工程と、ステップS7の絶縁膜IL1の異方性エッチング工程とを省略することもできる。

10

【0029】

側壁絶縁膜SPは、後述のエクステンション領域EXを形成するためのイオン注入の前に形成され、エクステンション領域EXを形成するためのイオン注入においてイオン注入阻止マスクとして機能する。一方、後述のサイドウォールスペーサSWは、後述のソース・ドレイン領域SDを形成するためのイオン注入の前に形成され、後述のソース・ドレイン領域SDを形成するためのイオン注入においてイオン注入阻止マスクとして機能する。

【0030】

なお、CMISFETを形成する場合は、nチャネル型のMISFETとpチャネル型のMISFETとで、側壁絶縁膜SPの厚み(ゲート長方向の厚み)を異ならせる場合もある。

20

【0031】

次に、図7に示されるように、半導体基板SB(p型ウエルPW1, PW2)のゲート電極GEの両側の領域に、導電型の不純物(ドーパント)をイオン注入することにより、エクステンション領域(ソース・ドレインエクステンション領域、n⁻型半導体領域、n型不純物拡散層)EXを形成する(図1のステップS8)。

【0032】

ここでは、nチャネル型のMISFETを形成する場合について説明しているため、リン(P)またはヒ素(As)などのn型の不純物をイオン注入することにより、エクステンション領域EXを形成し、エクステンション領域EXはn型の半導体領域である。pチャネル型のMISFETを形成する場合は、ホウ素(B)などのp型の不純物をイオン注入する。

30

【0033】

エクステンション領域EXは、後で形成するソース・ドレイン領域SDよりも不純物濃度が低い。また、エクステンション領域EXの深さ(接合深さ)は、後で形成されるソース・ドレイン領域SDの深さ(接合深さ)よりも浅い。エクステンション領域EXを形成するためのイオン注入の際、ゲート電極GEおよび側壁絶縁膜SPはマスク(イオン注入阻止マスク)として機能することができる。

【0034】

半導体基板SB(p型ウエルPW1, PW2)におけるゲート電極GEおよび側壁絶縁膜SPの直下の領域には、ゲート電極GEとその側壁の側壁絶縁膜SPとにより不純物イオンの注入が遮蔽される。このため、半導体基板SB(p型ウエルPW1, PW2)において、ゲート電極GEおよび側壁絶縁膜SPの両側の領域に、エクステンション領域EXが形成される。従って、エクステンション領域EXは、ゲート電極GEの側壁の側壁絶縁膜SPの側面(ゲート電極GEに隣接している側とは反対側の側面)に対して自己整合的に形成される。

40

【0035】

但し、イオン注入では不純物(ドーパント)は横方向にも広がる場合があり、また、イオン注入後に熱処理を行うと不純物(ドーパント)は更に横方向に拡散する。このため、エクステンション領域EXの一部は側壁絶縁膜SPの下やゲート電極GEの下にも侵入(延在)し得る(図7はこの状態が示されている)。

50

【 0 0 3 6 】

また、他の形態として、ゲート電極 G E の側壁上に側壁絶縁膜 S P を形成しない場合もある。その場合は、エクステンション領域 E X を形成するためのイオン注入の際に、ゲート電極 G E がマスク（イオン注入阻止マスク）として機能する。このため、半導体基板 S B（p 型ウエル P W 1 , P W 2）におけるゲート電極 G E の直下の領域には、ゲート電極 G E により不純物イオンの注入が遮蔽されるため、半導体基板 S B（p 型ウエル P W 1 , P W 2）において、ゲート電極 G E の両側の領域に、エクステンション領域 E X が形成される。

【 0 0 3 7 】

側壁絶縁膜 S P を形成するかしないかにかかわらず、エクステンション領域 E X を形成するイオン注入は、少なくとも、ゲート電極 G E 形成後で、かつ、ゲート電極 G E の側壁上に後述のサイドウォールスペーサ S W を形成する前に行う必要がある。ゲート電極 G E の側壁上に側壁絶縁膜 S P を形成する場合は、ゲート電極 G E の側壁上に側壁絶縁膜 S P を形成した後で、かつ、後述のサイドウォールスペーサ S W を形成する前に、エクステンション領域 E X を形成するイオン注入を行えばよい。

10

【 0 0 3 8 】

また、エクステンション領域 E X を形成するためのイオン注入において、ゲート電極 G E（を構成するシリコン膜）にも n 型の不純物がイオン注入され得る。

【 0 0 3 9 】

次に、図 8 に示されるように、半導体基板 S B の主面（主面全面）上に、ゲート電極 G E を覆うように、絶縁膜 I L 2 を形成する（図 1 のステップ S 9）。それから、図 9 に示されるように、半導体基板 S B の主面（主面全面）上に、すなわち絶縁膜 I L 2 上に、絶縁膜 I L 3 を形成する（図 1 のステップ S 10）。ステップ S 9 の絶縁膜 I L 2 の形成工程と、ステップ S 10 の絶縁膜 I L 3 の形成工程とを行うことにより、絶縁膜 I L 2 と絶縁膜 I L 2 上の絶縁膜 I L 3 との積層膜 L M が、半導体基板 S B の主面上に、ゲート電極 G E を覆うように、形成された状態となる。

20

【 0 0 4 0 】

絶縁膜 I L 2 と絶縁膜 I L 3 とは、互いに異なる絶縁材料からなる。好ましくは、絶縁膜 I L 2 は酸化シリコン膜からなり、絶縁膜 I L 3 は窒化シリコン膜からなる。絶縁膜 I L 2 , I L 3 は、例えば C V D 法などを用いて形成することができる。絶縁膜 I L 3 の厚み（形成膜厚）T 2 は、絶縁膜 I L 2 の厚み（形成膜厚）T 1 よりも大きい（厚い）ことが好ましい（すなわち $T 2 > T 1$ ）。絶縁膜 I L 2 の厚み（形成膜厚）T 1 は、例えば 3 ~ 5 n m 程度とすることができ、絶縁膜 I L 3 の厚み（形成膜厚）T 2 は、例えば 2 8 ~ 3 2 n m 程度とすることができ、

30

【 0 0 4 1 】

また、後で形成されるサイドウォールスペーサ S W の厚み（幅）T 4 は、積層膜 L M の厚み T 3 にほぼ相当したものとなる（ $T 4 \approx T 3$ ）ため、積層膜 L M の厚み T 3 により、後で形成されるソース・ドレイン領域 S D がゲート電極 G E の端部（ゲート長方向の端部）から離間する距離を制御することができる。ここで、積層膜 L M の厚み T 3 は、絶縁膜 I L 2 の厚み T 1 と絶縁膜 I L 3 の厚み T 2 の合計に対応している（すなわち $T 3 = T 1 + T 2$ ）。また、サイドウォールスペーサ S W の厚み T 4（厚み T 4 は後述の図 10 に図示してある）は、ゲート長方向（そのサイドウォールスペーサ S W が側壁に形成されているゲート電極 G E のゲート長方向に対応）に沿った方向の厚み（寸法）に対応している。側壁絶縁膜 S P の厚み（ゲート長方向の厚み）とサイドウォールスペーサ S W の厚み T 4 との合計は、例えば 3 4 ~ 4 2 n m 程度とすることができ、

40

【 0 0 4 2 】

次に、図 10 に示されるように、異方性エッチング技術により積層膜 L M（絶縁膜 I L 2 と絶縁膜 I L 3 との積層膜 L M）をエッチバック（エッチング、ドライエッチング、異方性エッチング）することにより、ゲート電極 G E の両方の側壁上にサイドウォールスペーサ（サイドウォール、側壁絶縁膜）S W を形成する（図 1 のステップ S 11）。すなわ

50

ち、ステップ S 1 1 では、絶縁膜 I L 3 および絶縁膜 I L 2 をエッチバックすることにより、ゲート電極 G E の両方の側壁上に、絶縁膜 I L 3 および絶縁膜 I L 2 からなるサイドウォールスペーサ S W を形成する。異方性エッチング技術としては、例えば R I E 法などを用いることができる。

【 0 0 4 3 】

ステップ S 1 1 のエッチバック工程では、積層膜 L M (絶縁膜 I L 2 と絶縁膜 I L 3 との積層膜 L M) の堆積膜厚の分だけ積層膜 L M を異方性エッチング (エッチバック) することにより、ゲート電極 G E の両方の側壁 (側面) 上に積層膜 L M を残してサイドウォールスペーサ S W とし、他の領域の積層膜 L M を除去する。これにより、図 1 0 に示されるように、ゲート電極 G E の両方の側壁上に残存する積層膜 L M により、サイドウォールスペーサ S W が形成される。なお、ゲート電極 G E の側壁上に側壁絶縁膜 S P を形成していた場合 (すなわちステップ S 6 , S 7 を行った場合) は、サイドウォールスペーサ S W は、ゲート電極 G E の側壁上に、側壁絶縁膜 S P を介して形成される。

10

【 0 0 4 4 】

サイドウォールスペーサ S W は、絶縁膜 I L 2 と絶縁膜 I L 2 上の絶縁膜 I L 3 との積層膜 L M により形成されている。具体的には、サイドウォールスペーサ S W は、半導体基板 S B 上からゲート電極 G E の側壁 (側壁絶縁膜 S P を形成している場合は側壁絶縁膜 S P の側面) 上にかけて連続的に延在する絶縁膜 I L 2 と、絶縁膜 I L 2 を介して半導体基板 S B およびゲート電極 G E (側壁絶縁膜 S P を形成している場合は側壁絶縁膜 S P) から離間する絶縁膜 I L 3 とで形成されている。

20

【 0 0 4 5 】

サイドウォールスペーサ S W を構成する絶縁膜 I L 2 は、半導体基板 S B 上からゲート電極 G E の側壁上にかけてほぼ一様 (均一) の厚みで延在している。すなわち、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 は、半導体基板 S B 上に延在する部分と、ゲート電極 G E の側壁上に (側壁絶縁膜 S P を介して) 延在する部分とを、ほぼ一様の厚みで一体的に有している。サイドウォールスペーサ S W を構成する絶縁膜 I L 3 は、半導体基板 S B から絶縁膜 I L 2 の分だけ離間し、かつゲート電極 G E から側壁絶縁膜 S P および絶縁膜 I L 2 の分だけ離間している。すなわち、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 と半導体基板 S B との間と、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 とゲート電極 G E (側壁絶縁膜 S P を形成している場合は側壁絶縁膜 S P) との間とに、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 が介在している。

30

【 0 0 4 6 】

次に、図 1 1 に示されるように、半導体基板 S B (p 型ウエル P W 1 , P W 2) のゲート電極 G E およびサイドウォールスペーサ S W の両側の領域に、導電型の不純物 (ドーパント) をイオン注入することにより、ソース・ドレイン領域 (n ⁺ 型半導体領域、n 型不純物拡散層) S D を形成する (図 2 のステップ S 1 2) 。ソース・ドレイン領域 S D は、ソースまたはドレイン用の半導体領域である。

【 0 0 4 7 】

ここでは、n チャンネル型の M I S F E T を形成する場合について説明しているため、リン (P) またはヒ素 (A s) などの n 型の不純物をイオン注入することにより、ソース・ドレイン領域 S D を形成し、ソース・ドレイン領域 S D は n 型の半導体領域である。p チャンネル型の M I S F E T を形成する場合は、ホウ素 (B) などの p 型の不純物をイオン注入する。

40

【 0 0 4 8 】

ソース・ドレイン領域 S D を形成するためのイオン注入の際、ゲート電極 G E およびその側壁上のサイドウォールスペーサ S W はマスク (イオン注入阻止マスク) として機能することができる。なお、ゲート電極 G E の側壁上に側壁絶縁膜 S P を形成していた場合 (すなわちステップ S 6 , S 7 を行った場合) は、ゲート電極 G E およびその側壁上のサイドウォールスペーサ S W に加えて、ゲート電極 G E とサイドウォールスペーサ S W との間に介在する側壁絶縁膜 S P も、ソース・ドレイン領域 S D 形成用のイオン注入の際に、マ

50

スク（イオン注入阻止マスク）として機能することができる。

【0049】

半導体基板SB（p型ウエルPW1，PW2）におけるゲート電極GEおよびサイドウォールスペーサSWの直下の領域には、ゲート電極GEおよびサイドウォールスペーサSWにより不純物イオンの注入が遮蔽される。このため、半導体基板SB（p型ウエルPW1，PW2）において、ゲート電極GEおよびサイドウォールスペーサSWの両側の領域に、ソース・ドレイン領域SDが形成される。従って、ソース・ドレイン領域SDは、ゲート電極GEの側壁上のサイドウォールスペーサSWの側面（側壁絶縁膜SPを介してゲート電極GEに隣接している側とは反対側の側面）に対して自己整合的に形成される。

【0050】

但し、イオン注入では不純物（ドーパント）は横方向にも広がる場合があり、また、イオン注入後に熱処理を行うと不純物（ドーパント）は更に横方向に拡散する。このため、ソース・ドレイン領域SDの一部はサイドウォールスペーサSWの下にも侵入（延在）し得る（図11はこの状態が示されている）。

【0051】

ソース・ドレイン領域SDは、エクステンション領域EXと同じ導電型（nチャネル型MISFETの場合はn型）であるが、エクステンション領域EXよりも不純物濃度が高い。これにより、MISFETのソースまたはドレインとして機能する半導体領域（nチャネル型MISFETの場合はn型の半導体領域）が、ソース・ドレイン領域SDおよびエクステンション領域EXにより形成される。すなわち、エクステンション領域EXと、それよりも高不純物濃度のソース・ドレイン領域SDとは、LDD（Lightly doped Drain）構造を有するソースまたはドレイン用の半導体領域（nチャネル型MISFETの場合はn型の半導体領域）として機能する。また、ソース・ドレイン領域SDは、エクステンション領域EXよりも接合深さが深い。

【0052】

半導体基板SBにおける、ゲート電極GEの下部の領域が、MISFETのチャンネルが形成される領域（チャンネル形成領域）となる。半導体基板SBにおいて、チャンネル形成領域を挟んで互いに離間する領域に、エクステンション領域EXが形成され、エクステンション領域EXの外側（チャンネル形成領域から離れる側）に、ソース・ドレイン領域SDが形成されている。つまり、エクステンション領域EXは、チャンネル形成領域に隣接しており、ソース・ドレイン領域SDは、チャンネル形成領域からエクステンション領域EXの分だけ離間し（チャンネル長方向に離間し）、かつエクステンション領域EXに接する位置に形成されている。

【0053】

なお、上述のように、サイドウォールスペーサSWは、ソース・ドレイン領域SD形成用のイオン注入（ステップS12のイオン注入）を行う際のイオン注入阻止マスクとして機能する。このため、サイドウォールスペーサSWの厚みT4により、ソース・ドレイン領域SDがゲート電極GEの端部（ゲート長方向の端部）から離間する距離を制御することができる。

【0054】

また、CMISFETを形成する場合は、nチャネル型MISFET用のソース・ドレイン領域を形成するイオン注入の際には、pチャネル型MISFETを形成する領域はフォトレジスト層で覆っておき、pチャネル型MISFET用のソース・ドレイン領域を形成するイオン注入の際には、nチャネル型MISFETを形成する領域はフォトレジスト層で覆っておく。

【0055】

このようにして、p型ウエルPW1に、電界効果トランジスタとしてnチャネル型のMISFET（Metal Insulator Semiconductor Field Effect Transistor）Q1が形成される。また、p型ウエルPW2に、電界効果トランジスタとしてnチャネル型のMISFET（Metal Insulator Semiconductor Field Effect Transistor）Q2が形成される。

10

20

30

40

50

これにより、図 11 の構造が得られる。

【0056】

すなわち、p 型ウエル PW1 上に MISFET Q1 用のゲート絶縁膜 GI を介して MISFET Q1 用のゲート電極 GE が形成され、また、この p 型ウエル PW1 に MISFET Q1 用のエクステンション領域 EX およびソース・ドレイン領域 SD が形成されることで、p 型ウエル PW1 に MISFET Q1 が形成される。また、p 型ウエル PW2 上に MISFET Q2 用のゲート絶縁膜 GI を介して MISFET Q2 用のゲート電極 GE が形成され、また、この p 型ウエル PW2 に MISFET Q2 用のエクステンション領域 EX およびソース・ドレイン領域 SD が形成されることで、p 型ウエル PW2 に MISFET Q2 が形成される。なお、MISFET Q1 用のゲート電極 GE の側壁上に形成されたサイドウォールスペーサ SW を、MISFET Q1 用のサイドウォールスペーサ SW と称し、MISFET Q2 用のゲート電極 GE の側壁上に形成されたサイドウォールスペーサ SW を、MISFET Q2 用のサイドウォールスペーサ SW と称することとする。

10

【0057】

なお、MISFET Q1 と MISFET Q2 とが同じ導電型である場合（両方とも n チャンネル型であるか、あるいは両方とも p チャンネル型である場合）は、MISFET Q1 用のソース・ドレイン領域 SD と MISFET Q2 用のソース・ドレイン領域 SD とは、同じイオン注入で形成しても、異なるイオン注入で形成してもよい。一方、MISFET Q1 と MISFET Q2 とが異なる導電型である場合（一方が n チャンネル型で他方が p チャンネル型の場合）は、MISFET Q1 用のソース・ドレイン領域 SD と MISFET Q2 用のソース・ドレイン領域 SD とは、異なるイオン注入で形成する。

20

【0058】

また、MISFET Q1 と MISFET Q2 とが同じ導電型である場合（両方とも n チャンネル型であるか、あるいは両方とも p チャンネル型である場合）は、MISFET Q1 用のエクステンション領域 EX と MISFET Q2 用のエクステンション領域 EX とは、同じイオン注入で形成しても、異なるイオン注入で形成してもよい。一方、MISFET Q1 と MISFET Q2 とが異なる導電型である場合（一方が n チャンネル型で他方が p チャンネル型の場合）は、MISFET Q1 用のエクステンション領域 EX と MISFET Q2 用のエクステンション領域 EX とは、異なるイオン注入で形成する。

30

【0059】

次に、図 12 に示されるように、サイドウォールスペーサ SW を等方性エッチングする（図 2 のステップ S13）。このステップ S13 のエッチングは、好ましくはウェットエッチングにより行うことができる。なお、図 12 では、ステップ S13 のエッチングを行う前の段階（すなわち図 11 の段階）における、サイドウォールスペーサ SW を構成する絶縁膜 IL3 の表面の位置を、点線で示してある。

【0060】

ステップ S13 のエッチング（等方性エッチング）は、絶縁膜 IL3 よりも絶縁膜 IL2 がエッチングされにくい条件（エッチング条件）で、エッチングを行う。すなわち、ステップ S13 では、絶縁膜 IL3 のエッチング速度よりも絶縁膜 IL2 のエッチング速度が小さく（遅く）なるような条件（エッチング条件）で、エッチングを行う。換言すれば、ステップ S13 のエッチング（等方性エッチング）は、絶縁膜 IL2 よりも絶縁膜 IL3 がエッチングされやすい条件（エッチング条件）で、エッチングを行う。すなわち、ステップ S13 では、絶縁膜 IL2 のエッチング速度よりも絶縁膜 IL3 のエッチング速度が大きく（速く）なるような条件（エッチング条件）で、エッチングを行う。絶縁膜 IL2 と絶縁膜 IL3 とは異なる絶縁材料により形成されているため、絶縁膜 IL2 に対する絶縁膜 IL3 のエッチング選択比を確保することができる。

40

【0061】

このため、ステップ S13 のエッチング工程では、サイドウォールスペーサ SW を構成している絶縁膜 IL3 が選択的にエッチングされ、サイドウォールスペーサ SW を構成している絶縁膜 IL2 は、エッチングが抑えられることになる。また、ステップ S13 は等

50

方性のエッチングであるため、ステップ S 1 3 のエッチング工程では、サイドウォールスペーサ S W を構成している絶縁膜 I L 3 は、横方向（すなわち、そのサイドウォールスペーサ S W が形成されているゲート電極 G E のゲート長方向に略平行な方向）にもエッチング（サイドエッチング）される。

【 0 0 6 2 】

このため、ステップ S 1 3 のエッチング工程を行うと、サイドウォールスペーサ S W の厚みが小さく（薄く）なる。すなわち、ステップ S 1 3 のエッチング工程の前後で、サイドウォールスペーサ S W の厚みが小さく（薄く）なる。

【 0 0 6 3 】

つまり、ステップ S 1 3 のエッチング工程の前は、サイドウォールスペーサ S W の厚みは厚み T 4 であったが、ステップ S 1 3 のエッチング工程を行うと、サイドウォールスペーサ S W の厚みは、厚み T 4 よりも小さな厚み T 5 となる（ $T 5 < T 4$ ）。この厚み T 5 は、ステップ S 1 3 のエッチング工程を行った直後のサイドウォールスペーサ S W の厚みである。

【 0 0 6 4 】

ここで、サイドウォールスペーサ S W の厚み（例えば厚み T 4 , T 5 ）を言うときは、ゲート長方向（そのサイドウォールスペーサ S W が側壁に形成されているゲート電極 G E のゲート長方向に対応）に沿った方向の厚み（寸法）に対応している。また、サイドウォールスペーサ S W の厚みは、サイドウォールスペーサ S W のゲート電極 G E の側壁に（側壁絶縁膜 S P を介して）隣接している側の側面から、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面（側壁絶縁膜 S P および絶縁膜 I L 2 を介してゲート電極 G E に隣接している側とは反対側の側面）までの距離に対応している。

【 0 0 6 5 】

ステップ S 1 3 では、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 が横方向（ゲート電極 G E のゲート長方向に略平行な方向）にもエッチングされることで、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面（側壁絶縁膜 S P および絶縁膜 I L 2 を介してゲート電極 G E に隣接している側とは反対側の側面）が、ゲート電極 G E 側に後退する。このため、ステップ S 1 3 のエッチング工程を行うことにより、サイドウォールスペーサ S W の厚みが小さく（薄く）なる。

【 0 0 6 6 】

また、ステップ S 1 3 のエッチングを行うことにより、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B（p 型ウエル P W 1 , P W 2）上に延在する部分の端部 E G が、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面（側壁絶縁膜 S P および絶縁膜 I L 2 を介してゲート電極 G E に隣接している側とは反対側の側面）よりも突出した状態になる。

【 0 0 6 7 】

すなわち、ステップ S 1 3 のエッチング工程を行う直前は、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B（p 型ウエル P W 1 , P W 2）上に延在する部分の端部 E G は、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面と、ほぼ一致（整合）した位置にある。しかしながら、ステップ S 1 3 のエッチングでは、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 はサイドエッチングが進むのに対して、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 はエッチング自体が抑えられる。このため、ステップ S 1 3 のエッチング工程を行うと、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B 上に延在する部分の端部 E G が、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面よりも突出した状態になる。ここで、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面とは、側壁絶縁膜 S P および絶縁膜 I L 2 を介してゲート電極 G E に隣接している側とは反対側の側面である。

【 0 0 6 8 】

また、ステップ S 1 3 の前は、サイドウォールスペーサ S W は、絶縁膜 I L 2 と絶縁膜 I L 3 とにより形成されているが、ステップ S 1 3 では、サイドウォールスペーサ S W を

10

20

30

40

50

構成する絶縁膜 I L 3 全体を除去するのではなく、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の一部（表層部分）をエッチングして除去する。このため、ステップ S 1 3 後も、サイドウォールスペーサ S W は、絶縁膜 I L 2 と絶縁膜 I L 3 とにより形成されている。

【 0 0 6 9 】

また、ステップ S 1 3 では、半導体基板 S B の基板領域（ S i 領域）が、できるだけエッチングされないようにすることが好ましい。このため、ステップ S 1 3 では、絶縁膜 I L 3 のエッチング速度よりも半導体基板 S B のエッチング速度が小さく（遅く）なるような条件（エッチング条件）で、エッチングを行うことが好ましい。換言すれば、ステップ S 1 3 では、半導体基板 S B のエッチング速度よりも絶縁膜 I L 3 のエッチング速度が大きく（速く）なるような条件（エッチング条件）で、エッチングを行うことが好ましい。つまり、ステップ S 1 3 では、絶縁膜 I L 3 よりも半導体基板 S B がエッチングされにくいようなエッチング条件で、エッチングを行うことが好ましい。これにより、ステップ S 1 3 において、サイドウォールスペーサ S W を構成していた絶縁膜 I L 3 をエッチングにより除去するとともに、半導体基板 S B がエッチングされるのを抑制または防止することができる。

10

【 0 0 7 0 】

ステップ S 1 3 では、サイドウォールスペーサ S W を構成している絶縁膜 I L 3 を、等方的かつ選択的にエッチングできるエッチング法を用いることが好ましく、ウェットエッチングが好ましい。また、窒化シリコンは、酸化シリコンやシリコンなどに対して高選択比のエッチングが可能であり、この場合、ウェットエッチングを好適に用いることができる。このため、絶縁膜 I L 2 が酸化シリコンからなり、絶縁膜 I L 3 が窒化シリコンからなる場合は、ウェットエッチングにより、サイドウォールスペーサ S W を構成している絶縁膜 I L 3 を等方的にエッチングしてサイドウォールスペーサ S W の厚みを薄くするとともに、サイドウォールスペーサ S W を構成している絶縁膜 I L 2 と半導体基板 S B のエッチングを的確に抑制または防止できる。この場合、ウェットエッチングの薬液としては、熱リン酸などを好適に用いることができる。熱リン酸の温度は、必要に応じて設定できるが、一例として 1 5 0 程度を例示できる。従って、絶縁膜 I L 2 と絶縁膜 I L 3 とは異なる材料からなるが、絶縁膜 I L 3 が窒化シリコン膜で、かつ絶縁膜 I L 2 が酸化シリコン膜であれば、より好ましい。

20

30

【 0 0 7 1 】

つまり、半導体基板 S B および絶縁膜 I L 2 に対する絶縁膜 I L 3 の高いエッチング選択比を確保できるように、絶縁膜 I L 2 および絶縁膜 I L 3 の各材料を選択することが好ましく、この観点で、絶縁膜 I L 3 を窒化シリコン膜とし、かつ、絶縁膜 I L 2 を酸化シリコン膜とすることは好適である。

【 0 0 7 2 】

次に、これまでのイオン注入で導入した不純物の活性化のための熱処理（アニール処理）を行う（図 1 のステップ S 1 4）。このステップ S 1 4 の熱処理（アニール処理）は、例えば、1 0 2 5 程度のスパイクアニール（最高温度（ここでは 1 0 2 5 ）での保持時間が 1 秒未満のアニール処理）により行うことができる。このステップ S 1 4 の熱処理により、エクステンション領域 E X およびソース・ドレイン領域 S D に導入されている不純物（ドーパント）が活性化される。

40

【 0 0 7 3 】

次に、サリサイド（Salicide : Self Aligned Silicide）技術により後述の金属シリサイド層 S L を形成するが、その前に、金属シリサイド層 S L の形成を防止すべき領域に、金属シリサイド層 S L の形成を防ぐ後述のシリサイドブロック膜 B K を形成する。以下、具体的に説明する。

【 0 0 7 4 】

まず、図 1 3 に示されるように、半導体基板 S B の主面（主面全面）上に、ゲート電極 G E、サイドウォールスペーサ S W およびソース・ドレイン領域 S D を覆うように、絶縁

50

膜 I L 4 を形成（堆積）する（図 2 のステップ S 1 5）。絶縁膜 I L 4 は、例えば酸化シリコン膜とすることができ、C V D 法などにより形成することができる。絶縁膜 I L 4 の厚み（形成膜厚）は、例えば 1 5 ~ 2 5 n m 程度とすることができる。他の形態として、絶縁膜 I L 4 を窒化シリコン膜とすることもできる。

【 0 0 7 5 】

次に、フォトリソグラフィ法を用いて、絶縁膜 I L 4 上にフォトレジストパターン（レジストパターン）P R 1 を形成する。このフォトレジストパターン P R 1 は、後述のシリサイドブロック膜 B K を形成する予定の領域に形成される。

【 0 0 7 6 】

次に、フォトレジストパターン P R 1 をエッチングマスクとして用いて絶縁膜 I L 4 をエッチングしてパターニングすることにより、図 1 4 に示されるように、シリサイドブロック膜 B K を形成する（図 2 のステップ S 1 6）。ステップ S 1 6 のエッチングは、ドライエッチング、またはウェットエッチング、あるいはドライエッチングとウェットエッチングとの組み合わせを用いることができる。ウェットエッチングを用いる場合、絶縁膜 I L 4 が酸化シリコン膜であれば、エッチング液としては、例えばフッ酸などを用いることができる。その後、フォトレジストパターン P R 1 を除去し、図 1 4 には、フォトレジストパターン P R 1 を除去した段階が示されている。シリサイドブロック膜 B K は、パターニングされた絶縁膜 I L 4 からなる。

【 0 0 7 7 】

図 1 4 の場合、M I S F E T Q 1 を形成した領域からは、ステップ S 1 6 で絶縁膜 I L 4 が除去されるため、M I S F E T Q 1 を形成した領域にはシリサイドブロック膜 B K は形成されない。すなわち、ステップ S 1 6 では、M I S F E T Q 1 用のゲート電極 G E、サイドウォールスペーサ S W およびソース・ドレイン領域 S D 上から絶縁膜 I L 4 がエッチングにより除去されるため、M I S F E T Q 1 用のゲート電極 G E、サイドウォールスペーサ S W およびソース・ドレイン領域 S D 上にはシリサイドブロック膜 B K は形成されない。これは、M I S F E T Q 1 用のゲート電極 G E とソース・ドレイン領域 S D については、後で金属シリサイド層 S L を形成するためである。

【 0 0 7 8 】

一方、図 1 4 の場合、M I S F E T Q 2 を形成した領域には、ステップ S 1 6 で絶縁膜 I L 4 が残されるため、M I S F E T Q 2 を形成した領域にはシリサイドブロック膜 B K が形成される。すなわち、M I S F E T Q 2 用のゲート電極 G E、サイドウォールスペーサ S W およびソース・ドレイン領域 S D 上には、絶縁膜 I L 4 が残されることでシリサイドブロック膜 B K が形成される。これは、M I S F E T Q 2 用のゲート電極 G E とソース・ドレイン領域 S D については、後で金属シリサイド層 S L が形成されないようにするためである。

【 0 0 7 9 】

但し、M I S F E T Q 2 用のソース・ドレイン領域 S D において、後でコンタクトホール C T を形成する領域（後述するコンタクトホール C T から露出される領域）には、コンタクト抵抗低減のために金属シリサイド層 S L を形成することが好ましい。このため、M I S F E T Q 2 用のソース・ドレイン領域 S D において、一部の領域（後でコンタクトホール C T を形成する領域を含む）にはシリサイドブロック膜 B K を形成せず、それ以外の領域に、シリサイドブロック膜 B K を形成する。従って、M I S F E T Q 2 用のソース・ドレイン領域 S D については、そのソース・ドレイン領域 S D の少なくとも一部上にステップ S 1 6 で絶縁膜 I L 4 を残してシリサイドブロック膜 B K を形成し、シリサイドブロック膜 B K で覆われた部分のソース・ドレイン領域 S D に、後述の金属シリサイド層 S L が形成されないようにする。

【 0 0 8 0 】

つまり、シリサイドブロック膜 B K は、半導体基板 S B の表層部に形成された半導体領域（例えばソース・ドレイン領域 S D）や半導体基板 S B 上に形成された半導体領域（例えばゲート電極やポリシリコン抵抗素子）のうち、シリサイドプロセスで金属シリサイド

10

20

30

40

50

層 S L を形成したくない領域を覆うように形成し、シリサイド化を防止するための膜である。シリサイドブロック膜 B K は、絶縁材料からなる。

【 0 0 8 1 】

このようにしてシリサイドブロック膜 B K を形成した後、シリサイド技術により金属シリサイド層 S L を形成する（図 2 のステップ S 1 7）。以下、ステップ S 1 7 の金属シリサイド層 S L 形成工程について、具体的に説明する。

【 0 0 8 2 】

まず、図 1 5 に示されるように、半導体基板 S B の主面（主面全面）上に、ゲート電極 G E、サイドウォールスペーサ S W、ソース・ドレイン領域 S D およびシリサイドブロック膜 B K を覆うように、金属膜（金属層）M E を形成（堆積）する。金属膜 M E は、例えばコバルト（C o）膜、ニッケル（N i）膜、またはニッケル白金合金膜などからなり、スパッタリング法などを用いて形成することができる。この際、M I S F E T Q 1 用のゲート電極 G E およびソース・ドレイン領域 S D 上にはシリサイドブロック膜 B K が形成されていなかったため、金属膜 M E は、M I S F E T Q 1 用のゲート電極 G E およびソース・ドレイン領域 S D に接触している。一方、M I S F E T Q 2 用のゲート電極 G E およびソース・ドレイン領域 S D 上にはシリサイドブロック膜 B K が形成されているため、M I S F E T Q 2 用のゲート電極 G E およびソース・ドレイン領域 S D は、シリサイドブロック膜 B K で覆われていない領域（すなわち後でコンタクトホール C T を形成する領域）を除き、金属膜 M E に接触していない。金属膜 M E の厚さ（形成膜厚）は、後でどの程度の厚さの金属シリサイド層 S L を形成するかなどにもよるが、一例として 2 0 n m 程度を例示できる。

10

20

【 0 0 8 3 】

次に、熱処理により、金属膜 M E と、ゲート電極 G E（を構成する S i）およびソース・ドレイン領域 S D（を構成する S i）とを反応させることにより、図 1 6 に示されるように、金属と半導体の反応層である金属シリサイド層 S L を形成する。ゲート電極 G E およびソース・ドレイン領域 S D の各上部（上層部）と金属膜 M E とが反応することにより金属シリサイド層 S L が形成されるので、金属シリサイド層 S L は、ゲート電極 G E およびソース・ドレイン領域 S D の各表面（上層部）に形成される。このときの熱処理には、例えばランプアニールなどを用いることができる。その後、未反応の（余剰の）金属膜 M E を除去する。図 1 6 は、この段階（金属膜 M E の未反応部分を除去した段階）、が示されている。また、他の形態として、金属膜 M E の形成後に、1 回目の熱処理を行って金属膜 M E とゲート電極 G E およびソース・ドレイン領域 S D とを反応させてから、未反応の（余剰の）金属膜 M E を一旦除去し、その後、2 回目の熱処理を行って、金属シリサイド層 S L を形成することもできる。金属シリサイド層 S L を形成したことで、拡散抵抗やコンタクト抵抗などを低抵抗化することができる。

30

【 0 0 8 4 】

ソース・ドレイン領域 S D 上に形成される金属シリサイド層 S L は、金属（金属膜 M E を構成していた金属）とソース・ドレイン領域 S D との反応層であり、従って、金属（金属膜 M E を構成していた金属）とソース・ドレイン領域 S D を構成する元素との化合物層（金属化合物層）である。ゲート電極 G E 上に形成される金属シリサイド層 S L は、金属（金属膜 M E を構成していた金属）とゲート電極 G E との反応層であり、従って、金属（金属膜 M E を構成していた金属）とゲート電極 G E を構成する元素との化合物層（金属化合物層）である。

40

【 0 0 8 5 】

半導体基板 S B がシリコン基板でゲート電極 G E がポリシリコンゲート電極の場合は、金属シリサイド層 S L は、金属膜 M E を構成する金属元素のシリサイド（つまり金属シリサイド）により構成される。この場合、金属膜 M E がコバルト膜の場合は、金属シリサイド層 S L はコバルトシリサイド層となり、金属膜 M E がニッケル膜の場合は、金属シリサイド層 S L はニッケルシリサイド層となり、金属膜 M E がニッケル白金合金膜の場合は、金属シリサイド層 S L はニッケル白金シリサイド層となる。

50

【0086】

MISFETQ1用のゲート電極GEおよびソース・ドレイン領域SD上にはシリサイドブロック膜BKが形成されていなかった。このため、金属膜ME形成すると、図15にも示されるように、金属膜MEはMISFETQ1用のゲート電極GEおよびソース・ドレイン領域SDに接触する。従って、熱処理を行うと、金属膜MEが、MISFETQ1用のゲート電極GEおよびソース・ドレイン領域SDと反応できるため、MISFETQ1用のゲート電極GEおよびソース・ドレイン領域SDの各上部(上層部)に金属シリサイド層SLが形成される。

【0087】

一方、MISFETQ2用のゲート電極GEおよびソース・ドレイン領域SD上にはシリサイドブロック膜BKが形成されていた。このため、金属膜ME形成すると、図15にも示されるように、金属膜MEは、MISFETQ2用のゲート電極GEおよびソース・ドレイン領域SDには、シリサイドブロック膜BKで覆われていない領域(すなわち後でコンタクトホールCTを形成する領域)を除き、接触してない。従って、熱処理を行っても、MISFETQ2用のゲート電極GEおよびソース・ドレイン領域SDは、シリサイドブロック膜BKで覆われていない領域を除き、金属膜MEと反応しない。このため、MISFETQ2用のゲート電極GEおよびソース・ドレイン領域SDには、シリサイドブロック膜BKで覆われていない領域を除き、金属シリサイド層SLは形成されない。

【0088】

つまり、MISFETQ1用のゲート電極GEおよびソース・ドレイン領域SDについては、その上にシリサイドブロック膜BKを形成しなかったため、MISFETQ1用のゲート電極GEおよびソース・ドレイン領域SDのほぼ全体の上部(上層部)に金属シリサイド層SLが形成される。一方、MISFETQ2用のゲート電極GEおよびソース・ドレイン領域SDについては、一部を除き、その上にシリサイドブロック膜BKを形成した。このため、MISFETQ2用のゲート電極GEおよびソース・ドレイン領域SDのうち、シリサイドブロック膜BKで覆われなかった部分の上部(上層部)には金属シリサイド層SLが形成されるが、シリサイドブロック膜BKで覆われた部分には金属シリサイド層SLは形成されない。すなわち、MISFETQ2用のソース・ドレイン領域SDのうち、シリサイドブロック膜BKで覆われた部分には、金属膜MEとソース・ドレイン領域SDとの反応層(金属シリサイド層SL)は形成されず、また、MISFETQ2用のゲート電極GEのうち、シリサイドブロック膜BKで覆われた部分には、金属膜MEとゲート電極GEとの反応層(金属シリサイド層SL)は形成されない。

【0089】

なお、本実施の形態では、シリサイドブロック膜BKで覆わないMISFETにおいて、ソース・ドレイン領域SDおよびゲート電極GEの両方に金属シリサイド層SLを形成する場合について説明したが、他の形態として、ソース・ドレイン領域SD上に金属シリサイド層SLを形成するが、ゲート電極GE上には金属シリサイド層SLを形成しない場合もあり得る。例えば、ゲート電極GEを導電膜と導電膜上の絶縁膜との積層構造とした場合や、ゲート電極を半導体膜ではなく金属膜または金属化合物膜で形成した場合などである。このような場合は、ステップS17において、ソース・ドレイン領域SD上に金属シリサイド層SLを形成するが、ゲート電極GE上には、シリサイドブロック膜BKで覆われていなくとも、金属シリサイド層SLは形成されない。

【0090】

上述のようにして金属シリサイド層SLを形成した後、図17に示されるように、半導体基板SBの主面(主面全面)上に、ゲート電極GE、サイドウォールスペーサSW、金属シリサイド層SLおよびシリサイドブロック膜BKを覆うように、絶縁膜IL5を形成する(図2のステップS18)。それから、図18に示されるように、半導体基板SBの主面(主面全面)上に、すなわち絶縁膜IL5上に、絶縁膜(層間絶縁膜)IL6を形成する(図2のステップS19)。

【0091】

ステップS18（絶縁膜IL5形成工程）およびステップS19（絶縁膜IL6形成工程）を行うことにより、絶縁膜IL5と絶縁膜IL5上の絶縁膜IL6との積層膜が、半導体基板SB上に、ゲート電極GE、サイドウォールスペーサSW、金属シリサイド層SLおよびシリサイドブロック膜BKを覆うように形成された状態となる。

【0092】

絶縁膜IL6は、主として層間絶縁膜として機能する絶縁膜であり、絶縁膜IL5は、後でコンタクトホールCTを形成するために絶縁膜IL6をエッチングする際に、エッチングストップ膜として機能する絶縁膜である。絶縁膜IL5と絶縁膜IL6とは、互いに異なる絶縁材料からなり、絶縁膜IL5は、好ましくは窒化シリコン膜とすることができ、絶縁膜IL6は、好ましくは酸化シリコン膜とすることができる。絶縁膜IL6の形成膜厚（堆積膜厚）は、好ましくは、絶縁膜IL5の形成膜厚（堆積膜厚）よりも厚い。絶縁膜IL5の厚み（形成膜厚）は、例えば20～40nm程度とすることができる。また、絶縁膜IL5は、例えばCVD法などを用いて形成することができ、また、絶縁膜IL6は、例えばCVD法などを用いて形成することができる。

10

【0093】

絶縁膜IL6は、好ましくは酸化シリコン膜であり、この酸化シリコン膜は、酸化シリコンを主体とする絶縁膜であるが、炭素（C）、フッ素（F）、窒素（N）、ホウ素（B）およびリン（P）のうち的一种以上を含有させることもできる。

【0094】

絶縁膜IL6の形成後、必要に応じて、絶縁膜IL6の上面をCMP（Chemical Mechanical Polishing：化学機械研磨）法で研磨するなどして絶縁膜IL6の上面の平坦性を高めることもできる。すなわち、絶縁膜IL6の上面を平坦化処理することができる。

20

【0095】

次に、図19および図20に示されるように、絶縁膜IL6上に形成したフォトレジストパターン（図示せず）をエッチングマスクとして用いて、絶縁膜IL6、IL5の積層膜をドライエッチングすることにより、絶縁膜IL6、IL5の積層膜にコンタクトホール（貫通孔、孔）CTを形成する（図2のステップS20）。コンタクトホールCTは、絶縁膜IL6、IL5の積層膜を貫通するように形成される。ステップS20のコンタクトホールCT形成工程は、次のように行うことができる。

【0096】

コンタクトホールCTを形成するには、まず、図19に示されるように、絶縁膜IL5（窒化シリコン膜）に比較して絶縁膜IL6（酸化シリコン膜）がエッチングされやすい条件で絶縁膜IL6のドライエッチングを行い、絶縁膜IL5をエッチングストップ膜（エッチング停止膜）として機能させることで、絶縁膜IL6にコンタクトホールCTを形成する。この段階では、コンタクトホールCTは絶縁膜IL5を貫通しておらず、コンタクトホールCTの底部では、絶縁膜IL5が露出された状態となる。それから、図20に示されるように、絶縁膜IL6（酸化シリコン膜）に比較して絶縁膜IL5（窒化シリコン膜）がエッチングされやすい条件でコンタクトホールCTの底部の絶縁膜IL5をドライエッチングして除去することで、貫通孔（絶縁膜IL6、IL5の積層膜を貫通する孔）としてのコンタクトホールCTが形成される。コンタクトホールCT形成時（絶縁膜IL6のエッチング時）に絶縁膜IL5をエッチングストップ膜として機能させたことで、コンタクトホールCTの掘り過ぎや下地のダメージなどを抑制または防止することができる。

30

40

【0097】

コンタクトホールCTは、例えば、ソース・ドレイン領域SDの上部やゲート電極GEの上部（すなわちソース・ドレイン領域SDの上層部分に形成された金属シリサイド層SLの上部やゲート電極GEの上層部分に形成された金属シリサイド層SLの上部）などに形成される。ソース・ドレイン領域SDの上部に形成されたコンタクトホールCTの底部では、ソース・ドレイン領域SD上の金属シリサイド層SLが露出され、また、ゲート電極GEの上部に形成されたコンタクトホールCTの底部では、ゲート電極GE上の金属シ

50

リサイド層 S L が露出される。

【 0 0 9 8 】

次に、図 2 1 に示されるように、コンタクトホール C T 内に、接続用の導電体部として、タングステン (W) などからなる導電性のプラグ P G を形成する (図 2 のステップ S 2 1) 。プラグ P G を形成すると、コンタクトホール C T はプラグ P G で埋め込まれた状態となる。プラグ P G は、次のようにして形成することができる。

【 0 0 9 9 】

プラグ P G を形成するには、まず、コンタクトホール C T の内部 (底部および側壁上) を含む絶縁膜 I L 6 上に、スパッタリング法またはプラズマ C V D 法などによりバリア導体膜 (例えばチタン膜、窒化チタン膜、あるいはそれらの積層膜) を形成する。それから、タングステン膜などからなる主導體膜を、C V D 法などによってバリア導体膜上にコンタクトホール C T を埋めるように形成する。その後、コンタクトホール C T の外部 (絶縁膜 I L 6 上) の不要な主導體膜およびバリア導体膜を C M P 法またはエッチバック法などによって除去する。これにより、絶縁膜 I L 6 の上面が露出し、絶縁膜 I L 6 , I L 5 のコンタクトホール C T 内に埋め込まれて残存するバリア導体膜および主導體膜により、プラグ P G が形成される。なお、図面の簡略化のために、図 2 1 では、プラグ P G を構成するバリア導体膜と主導體膜とを一体化して示してある。

【 0 1 0 0 】

ソース・ドレイン領域 S D の上部に形成されたプラグ P G (すなわちソース・ドレイン領域 S D の上部に形成されたコンタクトホール C T に埋め込まれたプラグ P G) は、その底部でソース・ドレイン領域 S D の表面上の金属シリサイド層 S L に接して電氣的に接続される。このため、後述の配線 M 1 からプラグ P G を通じて、ソース・ドレイン領域 S D の表面上の金属シリサイド層 S L に (従って金属シリサイド層 S L の下のソース・ドレイン領域 S D に) 、所望の電位 (ソース電位またはドレイン電位) を供給することが可能となる。

【 0 1 0 1 】

また、図示はしないけれども、コンタクトホール C T およびそこに埋め込まれたプラグ P G がゲート電極 G E の上部にも形成された場合は、そのプラグ P G は、そのプラグ P G の底部でゲート電極 G E あるいはその表面の金属シリサイド層 S L に接して電氣的に接続される。

【 0 1 0 2 】

次に、図 2 2 に示されるように、プラグ P G が埋め込まれた絶縁膜 I L 6 上に、配線形成用の絶縁膜 I L 7 を形成する。絶縁膜 I L 7 は、単体膜 (単体絶縁膜) または積層膜 (積層絶縁膜) とすることができる。

【 0 1 0 3 】

次に、シングルダマシン法により第 1 層目の配線を形成する。まず、フォトレジストパターン (図示せず) をマスクとしたドライエッチングによって絶縁膜 I L 7 の所定の領域に配線溝 (配線 M 1 を埋め込むための溝) を形成した後、半導体基板 S B の主面上 (すなわち配線溝の底部および側壁上を含む絶縁膜 I L 7 上) にバリア導体膜 (バリアメタル膜) を形成する。バリア導体膜は、例えば窒化チタン膜、タンタル膜または窒化タンタル膜などを用いることができる。続いて、C V D 法またはスパッタリング法などによりバリア導体膜上に銅のシード層を形成し、さらに電解めっき法などを用いてシード層上に銅めっき膜 (主導體膜) を形成する。銅めっき膜により配線溝の内部を埋め込む。それから、配線溝以外の領域の銅めっき膜、シード層およびバリア導体膜を C M P 法により除去して、配線溝内に、銅を主導電材料とする第 1 層目の配線 M 1 を形成する。なお、図面の簡略化のために、図 2 2 では、配線 M 1 を構成する銅めっき膜、シード層およびバリア導体膜を一体化して示してある。配線 M 1 は、プラグ P G に接続され、プラグ P G を介して、ソース・ドレイン領域 S D やゲート電極 G E などと電氣的に接続される。

【 0 1 0 4 】

その後、デュアルダマシン法により 2 層目以降の配線を形成するが、ここでは図示およ

10

20

30

40

50

びその説明は省略する。また、配線 M 1 および 2 層目以降の配線は、ダマシン配線に限定されず、配線用の導電体膜をパターンングして形成することもでき、例えばタンゲステン配線またはアルミニウム配線などとすることもできる。

【0105】

また、本実施の形態では、MISFETとして、nチャネル型のMISFETを形成する場合について説明したが、導電性を逆にして、pチャネル型のMISFETを形成することもできる。また、同一の半導体基板SBにnチャネル型のMISFETとpチャネル型のMISFETとの両方を形成することもできる。これは、後述の実施の形態2についても同様である。

【0106】

< 検討例について >

デバイスの微細化が進み、MISFETのゲート電極やサイドウォールスペーサの寸法が小さくなってきている。サイドウォールスペーサの厚み（後述の厚みT6に対応）が小さくなると、エクステンション領域に対するソース・ドレイン領域の影響が相対的に強くなりやすい。つまり、エクステンション領域およびソース・ドレイン領域の不純物プロファイルは、ソース・ドレイン領域のエクステンション領域への回り込みが顕著になる不純物プロファイルとなってしまふ。また、ゲート電極のゲート長も小さくなってきているため、短チャネル特性と基板リーク電流への対策が両立できるように、エクステンション領域を形成するイオン注入の条件が設定される。このため、実効ゲート長を稼ぎ、かつ接合が急峻にならないようにするために、エクステンション領域およびソース・ドレイン領域の不純物プロファイルは、エクステンション領域のチャンネル形成領域側の端部がソース・ドレイン領域側に後退する不純物プロファイルになってしまう。

【0107】

このとき、サイドウォールスペーサの厚みの変動したときに、MISFETの電気的特性、例えばソース・ドレイン電流が変動しやすくなるという問題が生じてしまう。このため、MISFETの電気的特性の観点、例えばサイドウォールスペーサの厚みがばらついた（変動した）ときのソース・ドレイン電流の変動を抑制する観点からは、サイドウォールスペーサの厚みを大きくする（従ってゲート長方向でのエクステンション領域の寸法を大きくする）ことが望ましい。しかしながら、サイドウォールスペーサの厚みを大きくすることは、後述の図23～図28で説明するような問題（プラグの導通不良など）につながってしまい、コンタクトホール加工性の観点では不利となる。

【0108】

以下、検討例を参照して具体的に説明する。

【0109】

図23～図28は、本発明者が検討した第1検討例の半導体装置の製造工程中の要部断面図である。なお、図23～図28には、ソース・ドレイン領域SD2を共有してゲート長方向に2つのMISFETQ3、Q4（のゲート電極GE）が隣り合っている場合について、図示してある。図23～図28に示されるように、p型ウエルPW1にMISFETQ3、Q4が形成され、MISFETQ3のゲート電極GEとMISFETQ4のゲート電極GEとがゲート長方向に隣り合っており、MISFETQ3のゲート電極GEとMISFETQ4のゲート電極GEとの間に配置されたソース・ドレイン領域SD2が、MISFETQ3とMISFETQ4とで共有されている。

【0110】

第1検討例においても、上記ステップS1で半導体基板SBを準備し、上記ステップS2で素子分離領域STを形成し、上記ステップS3でp型ウエルPW1を形成し、上記ステップS4でゲート絶縁膜GIを形成し、上記ステップS5でゲート電極GEを形成し、上記ステップS6、S7で側壁絶縁膜SPを形成し、上記ステップS8でエクステンション領域EXを形成する。ここまでの工程は、本実施の形態と同様である。それから、第1検討例では、半導体基板SBの主面上に、ゲート電極GEを覆うように、サイドウォールスペーサSW2形成用の絶縁膜を形成してから、その絶縁膜を異方性エッチング技術によ

10

20

30

40

50

リエッチバックすることにより、ゲート電極 G E の両方の側壁上にサイドウォールスペーサ S W 2 を形成する。その後、ゲート電極 G E およびサイドウォールスペーサ S W 2 をマスク（イオン注入阻止マスク）として半導体基板 S B にイオン注入することで、上記ソース・ドレイン領域 S D 相当するソース・ドレイン領域 S D 2 を形成する。それから、第 1 検討例の場合は、上記ステップ S 1 3（サイドウォールスペーサを等方性エッチングする工程）を行うことなく、サリサイド技術により上記金属シリサイド層 S L に相当する金属シリサイド層 S L 2 を、ゲート電極 G E およびソース・ドレイン領域 S D 2 の各上部（上層部）に形成する。このようにして、図 2 3 の構造が得られる。

【 0 1 1 1 】

それから、第 1 検討例では、図 2 4 に示されるように、半導体基板 S B の主面（主面全面）上に、ゲート電極 G E、サイドウォールスペーサ S W 2 および金属シリサイド層 S L 2 を覆うように、上記絶縁膜 I L 5 に相当する絶縁膜 I L 1 5（窒化シリコン膜）を形成し、この絶縁膜 I L 1 5 上に、図 2 5 に示されるように、上記絶縁膜 I L 6 に相当する絶縁膜 I L 1 6（酸化シリコン膜）を形成する。

10

【 0 1 1 2 】

それから、第 1 検討例では、図 2 6 に示されるように、絶縁膜 I L 1 6 上に形成したフォトレジストパターン（図示せず）をエッチングマスクとして用いて、絶縁膜 I L 1 6、I L 1 5 の積層膜をドライエッチングすることにより、絶縁膜 I L 1 6、I L 1 5 の積層膜にコンタクトホール C T 2 を形成する。

20

【 0 1 1 3 】

コンタクトホール C T 2 を形成する際には、まず、絶縁膜 I L 1 5（窒化シリコン膜）に比較して絶縁膜 I L 1 6（酸化シリコン膜）がエッチングされやすい条件で絶縁膜 I L 1 6（酸化シリコン膜）のドライエッチングを行い、絶縁膜 I L 1 5（窒化シリコン膜）をエッチングストップ膜として機能させることで、絶縁膜 I L 1 6（酸化シリコン膜）にコンタクトホール C T 2 を形成する。それから、絶縁膜 I L 1 6（酸化シリコン膜）に比較して絶縁膜 I L 1 5（窒化シリコン膜）がエッチングされやすい条件でコンタクトホール C T 2 の底部の絶縁膜 I L 1 5（窒化シリコン膜）をドライエッチングすることで、コンタクトホール C T 2 が形成される。

【 0 1 1 4 】

それから、図 2 7 に示されるように、コンタクトホール C T 2 内に、上記プラグ P G に相当する導電性のプラグ P G 2 を埋め込む。その後、第 1 検討例では、図 2 8 に示されるように、プラグ P G 2 が埋め込まれた絶縁膜 I L 1 6 上に上記絶縁膜 I L 7 に相当する絶縁膜 I L 1 7 を形成し、ダマシン法を用いて上記配線 M 1 に相当する配線 M 2 を形成する。

30

【 0 1 1 5 】

図 2 3 ~ 図 2 8 に示されるような第 1 検討例の場合、以下のような課題があることが、本発明者の検討により分かった。

【 0 1 1 6 】

すなわち、ソース・ドレイン領域（S D 2）を間に挟んで（共有して）ゲート長方向に隣り合うゲート電極 G E の間隔 W 1（間隔 W 1 は図 2 3 に示してある）は、半導体素子の小型化（微細化）に伴い、小さくなる傾向にある。ゲート電極 G E の側壁上にはサイドウォールスペーサ S W 2 が形成されているため、ゲート電極 G E の間隔 W 1 が小さくなると、それらゲート電極 G E の側壁上に形成されたサイドウォールスペーサ S W 2 の隣接間隔 W 2（隣接間隔 W 2 は図 2 3 に示してある）も小さくなる。

40

【 0 1 1 7 】

なお、 $W 1 = W 2 + T 6 \times 2 + T 7 \times 2$ の関係が成り立ち、ここで T 6（厚み T 6 は図 2 3 に示してある）は、サイドウォールスペーサ S W 2 の厚み（ゲート長方向に沿った方向の厚み）である。また、T 7 は、側壁絶縁膜 S P の厚み（ゲート長方向に沿った方向の厚み）である（但し厚み T 7 は図示していない）。

【 0 1 1 8 】

50

このため、絶縁膜 I L 1 5 を形成する際には、絶縁膜 I L 1 5 は、サイドウォールスペーサ S W 2 間の狭い隙間（領域）にも堆積することになる。

【 0 1 1 9 】

絶縁膜 I L 1 5 の成膜工程において、絶縁膜 I L 1 5 を厚み（堆積膜厚）T 8 で堆積させた場合を仮定する。この場合、サイドウォールスペーサ S W 2 間の狭い隙間（領域）を埋め込む絶縁膜 I L 1 5 に着目すると、半導体基板 S B の主面に垂直な方向での絶縁膜 I L 1 5 の厚み T 9 は、サイドウォールスペーサ S W 2 の隣接間隔 W 2 が小さくなると、大きくなる。

【 0 1 2 0 】

すなわち、サイドウォールスペーサ S W 2 の隣接間隔 W 2 が絶縁膜 I L 1 5 の堆積膜厚 T 8 の 2 倍以上（すなわち $W 2 \geq T 8 \times 2$ ）の場合は、サイドウォールスペーサ S W 2 間の領域を埋め込む部分の絶縁膜 I L 1 5 の厚み T 9 は、ほぼ絶縁膜 I L 1 5 の堆積膜厚 T 8 と同じ（ $T 9 = T 8$ ）である。但し、厚み T 9 は、半導体基板 S B の主面に垂直な方向の厚みである。しかしながら、サイドウォールスペーサ S W 2 の隣接間隔 W 2 が絶縁膜 I L 1 5 の堆積膜厚 T 8 の 2 倍よりも小さい（すなわち $W 2 < T 8 \times 2$ ）場合は、サイドウォールスペーサ S W 2 間の領域を埋め込む部分の絶縁膜 I L 1 5 の厚み T 9 は、絶縁膜 I L 1 5 の堆積膜厚 T 8 よりも大きくなる（ $T 9 > T 8$ ）。そして、サイドウォールスペーサ S W 2 の隣接間隔 W 2 が小さくなるほど、サイドウォールスペーサ S W 2 間の領域を埋め込む部分の絶縁膜 I L 1 5 の厚み T 9 は大きくなってしまふ。

【 0 1 2 1 】

サイドウォールスペーサ S W 2 の隣接間隔 W 2 が小さくなることで、サイドウォールスペーサ S W 2 間の領域を埋め込む部分の絶縁膜 I L 1 5 の厚み T 9 が大きくなると、次の様な課題が生じてしまふ。すなわち、隣接間隔 W 2 で隣り合うサイドウォールスペーサ S W 2 間のソース・ドレイン領域 S D 2 上にコンタクトホール C T 2 を形成するエッチング工程において、絶縁膜 I L 1 5 の厚み T 9 が大きいことにより、コンタクトホール C T 2 の底部で絶縁膜 I L 1 5 のエッチング残りが発生しやすくなる。図 2 6 では、コンタクトホール C T 2 の底部における絶縁膜 I L 1 5 のエッチング残りを、符号 I L 1 5 a を付して示してある。コンタクトホール C T 2 の底部において、絶縁膜 I L 1 5 のエッチング残り I L 1 5 a があると、そのコンタクトホール C T 2 内にプラグ P G 2 を形成したときに、プラグ P G 2 とソース・ドレイン領域 S D 2 上の金属シリサイド層 S L 2 上との間に絶縁膜 I L 1 5 のエッチング残り I L 1 5 a が介在し、プラグ P G 2 の導通不良を招く虞がある。プラグ P G 2 の導通不良は、半導体装置の製造歩留まりを低下させてしまふ。

【 0 1 2 2 】

コンタクトホール C T 2 の底部での絶縁膜 I L 1 5 のエッチング残り I L 1 5 a に起因したプラグ P G 2 の導通不良を防ぐために、コンタクトホール C T 2 形成工程における絶縁膜 I L 1 5 のエッチング工程でオーバーエッチングを大きくすることも考えられる。しかしながら、この場合、絶縁膜 I L 1 5 が堆積膜厚 T 8 と同じ厚みで形成されている領域（すなわちサイドウォールスペーサ S W 2 同士が近接している領域以外の領域）に形成されるコンタクトホール C T 2 については、そのコンタクトホール C T 2 の掘り過ぎや下地のダメージを招いてしまふ。

【 0 1 2 3 】

また、サイドウォールスペーサ S W 2 の隣接間隔 W 2 を大きくするために、サイドウォールスペーサ S W 2 を形成する際に、サイドウォールスペーサ S W 2 の厚み T 6 が薄くなるように、サイドウォールスペーサ S W 2 を形成することも考えられる。サイドウォールスペーサ S W 2 の厚み T 6 は、サイドウォールスペーサ S W 2 形成用の絶縁膜の厚みにより制御することができる。このため、比較的薄い厚みでサイドウォールスペーサ S W 2 形成用の絶縁膜を形成し、この薄い絶縁膜を異方性エッチング技術によりエッチバックすることでサイドウォールスペーサ S W 2 を形成すれば、サイドウォールスペーサ S W 2 の厚み T 6 を薄くでき、それによって、サイドウォールスペーサ S W 2 の隣接間隔 W 2 を大きくすることができる。しかしながら、この場合、薄い厚みのサイドウォールスペーサ S W

10

20

30

40

50

2をマスク（イオン注入阻止マスク）としてソース・ドレイン領域SD2を形成することになる。

【0124】

しかしながら、ソース・ドレイン領域SD2形成時におけるサイドウォールスペーサSW2の厚みT6により、LDD構造におけるエクステンション領域EXの寸法（ゲート長方向（従ってチャンネル長方向）の寸法）が制御される。このため、ソース・ドレイン領域SD2形成時におけるサイドウォールスペーサSW2の厚みT6を薄くすると、チャンネル形成領域とソース・ドレイン領域SD2との間に介在するエクステンション領域EXの寸法（チャンネル長方向の寸法）が小さくなる。しかしながら、MISFETの特性を考慮すると、ソース・ドレイン領域SD2形成時におけるサイドウォールスペーサSW2の厚みT6を大きくしたい要求がある。その一例を、図29のグラフを参照して説明する。

10

【0125】

図29は、サイドウォールスペーサSW2の厚みT6とソース・ドレイン電流 I_{ds} との相関を示すグラフである。図29からも分かるように、サイドウォールスペーサSW2の厚みT6を増加するほど、ソース・ドレイン電流 I_{ds} が減少する傾向にある。しかしながら、図29のグラフは完全な直線ではなく、サイドウォールスペーサSW2の厚みT6が大きくなると、図29のグラフの傾きは小さくなっている。

【0126】

このことは、サイドウォールスペーサSW2の厚みT6が製造条件の変動などにより設計値から変動した場合に、ソース・ドレイン電流 I_{ds} が設計値から変動する量は、サイドウォールスペーサSW2の厚みT6が大きい方が、小さくなることを示している。つまり、製造条件の変動などによりサイドウォールスペーサSW2の厚みT6が設計値から変動した場合、MISFETの特性（例えばソース・ドレイン電流 I_{ds} ）の変動量は、サイドウォールスペーサSW2の厚みT6が大きい方が、小さくなる。このため、ソース・ドレイン領域SD2形成時におけるサイドウォールスペーサSW2の厚みT6はある程度の大きさを確保することが好ましく、これにより、たとえ製造条件の変動などによりサイドウォールスペーサSW2の厚みT6が設計値から変動したとしても、MISFETの特性（例えばソース・ドレイン電流 I_{ds} ）が変動するのを抑制することができるようになる。

20

【0127】

このため、MISFETの特性向上のためには、ソース・ドレイン領域SD2形成時におけるサイドウォールスペーサSW2の厚みT6を大きくしたいが、これは、サイドウォールスペーサSW2の隣接間隔W2の縮小につながり、上述のように、コンタクトホールCT2形成時の課題の発生につながる。

30

【0128】

<本実施の形態の主要な特徴について>

本実施の形態では、ステップS9で半導体基板SB上に、ゲート電極GEを覆うように、絶縁膜IL2を形成してから、ステップS10で絶縁膜IL2上に絶縁膜IL3を形成し、その後、ステップS11で絶縁膜IL3および絶縁膜IL2をエッチバックすることにより、ゲート電極GEの側壁上に絶縁膜IL2および絶縁膜IL3からなるサイドウォールスペーサSWを形成する。それから、ステップS12で、ゲート電極GEおよびサイドウォールスペーサSWをマスクとして半導体基板SBにイオン注入を行うことにより、半導体基板にMISFET用のソース・ドレイン領域SDを形成する。その後、ステップS13で、絶縁膜IL3よりも絶縁膜IL2がエッチングされにくい条件で、サイドウォールスペーサSWを等方性エッチングして、サイドウォールスペーサSWの厚みを小さくする。更に、その後で、ステップS17でソース・ドレイン領域SD上に金属とソース・ドレイン領域SDとの反応層（金属シリサイド層SL）を形成してから、ステップS18、S19で絶縁膜IL5、IL6を順次形成し、ステップS20で絶縁膜IL6、IL5にコンタクトホールCTを形成する。

40

【0129】

50

本実施の形態では、ソース・ドレイン領域SDの形成後に、サイドウォールスペーサSWを等方性エッチングしてサイドウォールスペーサSWの厚みを小さく（薄く）することを、主要な特徴のうちの一つとしている。このため、ステップS18で絶縁膜IL5を形成する際のサイドウォールスペーサSWの厚み（T5）は、ステップS12でソース・ドレイン領域SDを形成する際のサイドウォールスペーサSWの厚み（T4）よりも小さくすることができる。従って、ソース・ドレイン領域SD形成時（すなわちステップS12のイオン注入時）におけるサイドウォールスペーサSWの厚み（T4）については、ある程度の大きさを確保しながら、絶縁膜IL5形成時（ステップS18）におけるサイドウォールスペーサSWの厚み（T5）については、小さく（薄く）することができる。これにより、絶縁膜IL5形成時（ステップS18）におけるサイドウォールスペーサSWの厚み（T5）を小さく（薄く）したことで、コンタクトホールCT形成時の不具合を抑制または防止できる。このため、半導体装置の製造歩留まりを向上できる。また、絶縁膜IL5形成時（ステップS18）におけるサイドウォールスペーサSWの厚み（T5）を小さく（薄く）するのに、ソース・ドレイン領域SD形成時（すなわちステップS12のイオン注入時）におけるサイドウォールスペーサSWの厚み（T4）を小さく（薄く）しなくともよいため、MISFETの特性（電気的特性）を向上することができる。このため、半導体装置の性能を向上できる。

10

20

30

40

50

【0130】

以下、具体的に説明する。

【0131】

図30～図35は、本実施の形態の半導体装置の製造工程中の要部断面図である。図30～図35の場合の製造工程も、上記図1～図22を参照して上述した本実施の形態の製造工程と基本的には同じである。

【0132】

図30の場合も、上記図16までの工程を上述のように行って、上記図16に相当する図30の構造を得る。

【0133】

但し、図30には、ソース・ドレイン領域SDを共有してゲート長方向に2つのMISFETQ5、Q6（のゲート電極GE）が隣り合っている場合について、図示してある。図30に示されるように、p型ウエルPW1にMISFETQ5、Q6が形成され、MISFETQ5のゲート電極GEとMISFETQ6のゲート電極GEとがゲート長方向に隣り合っており、MISFETQ5のゲート電極GEとMISFETQ6のゲート電極GEとの間に配置されたソース・ドレイン領域SDが、MISFETQ5とMISFETQ6とで共有されている。これ以外については、MISFETQ5、Q6のそれぞれ構成は、上記MISFETQ1と基本的には同じである。つまり、図16の左半分の構造（MISFETQ1）を、ソース・ドレイン領域SDを共有させてゲート長方向に並べたものが、図30の構造にほぼ対応している。

【0134】

図30の構造を得るまでの工程は、上記図16の構造を得るまでの工程と基本的には同じであるので、ここではその繰り返しの説明は省略する。

【0135】

それから、上記図17の工程段階に対応する図31に示されるように、上記ステップS18を行って、半導体基板SBの主面（主面全面）上に、ゲート電極GE、サイドウォールスペーサSWおよび金属シリサイド層SLを覆うように、絶縁膜IL5を形成する。それから、上記図18の工程段階に対応する図32に示されるように、上記ステップS19を行って、絶縁膜IL5上に絶縁膜IL6を形成する。それから、上記図20の工程段階に対応する図33に示されるように、上記ステップS20を行って、絶縁膜IL6、IL5の積層膜にコンタクトホールCTを形成する。コンタクトホールCTの形成法は、上記図19および図20を参照して説明したのと同様である。それから、上記図21の工程段階に対応する図34に示されるように、上記ステップS21を行って、コンタクトホール

C T内に導電性のプラグP Gを埋め込む。その後、上記図2 2の工程段階に対応する図3 5に示されるように、プラグP Gが埋め込まれた絶縁膜I L 6上に絶縁膜I L 7を形成し、ダマシン法を用いて配線M 1を形成する。このようにして、本実施の形態の半導体装置が製造される。

【0 1 3 6】

ここで、図3 0に示される、ソース・ドレイン領域(S D)を間に挟んで(共有して)ゲート長方向に隣り合うゲート電極G Eの間隔W 3は、上記図2 3の場合におけるゲート電極G Eの間隔W 1と同じ(すなわち $W 3 = W 1$)であると仮定する。また、側壁絶縁膜S Pの厚み(ゲート長方向に沿った方向の厚み)は、図3 0の場合と上記図2 3の場合とで同じであると仮定する。また、図3 0の場合にステップS 1 1でサイドウォールスペーサS Wを形成したときのサイドウォールスペーサS Wの上記厚みT 4が、上記図2 3の場合のサイドウォールスペーサS W 2の厚みT 6と同じであると仮定する。この場合、図3 0の場合のソース・ドレイン領域S D形成時におけるサイドウォールスペーサS Wの厚みT 4と、上記図2 3の場合のソース・ドレイン領域S D 2形成時におけるサイドウォールスペーサS W 2の厚みT 6とが同じことになる。

10

【0 1 3 7】

しかしながら、本実施の形態では、ソース・ドレイン領域S Dの形成後に、サイドウォールスペーサS Wを等方性エッチングしてサイドウォールスペーサS Wの厚みを小さく(薄く)している。このため、図3 0の場合の絶縁膜I L 5を形成する段階でのサイドウォールスペーサS Wの隣接間隔W 4は、上記図2 3の場合の絶縁膜I L 1 5を形成する段階でのサイドウォールスペーサS W 2の隣接間隔W 2よりも大きくなる。ここで、サイドウォールスペーサS Wの隣接間隔W 4は、ゲート長方向に隣り合うゲート電極G Eの互いに対向する側壁上に形成されたサイドウォールスペーサS W同士の間隔に対応している。

20

【0 1 3 8】

つまり、本実施の形態では、ソース・ドレイン領域S Dの形成後に、サイドウォールスペーサS Wを等方性エッチングしてサイドウォールスペーサS Wの厚みを小さく(薄く)することにより、サイドウォールスペーサS Wの隣接間隔W 4を大きくすることができる。

【0 1 3 9】

ここで、図3 1の場合の絶縁膜I L 1 5の成膜工程において、絶縁膜I L 5を厚み(堆積膜厚)T 1 1で堆積させ、この絶縁膜I L 5の堆積膜厚T 1 1が、上記図2 4の場合の絶縁膜I L 1 5の堆積膜厚T 8と同じであると仮定する。このとき、図3 1の場合のサイドウォールスペーサS W間の狭い隙間(領域)を埋め込む絶縁膜I L 5に着目すると、半導体基板S Bの主面に垂直な方向での絶縁膜I L 5の厚みT 1 2は、上記図2 4の場合のサイドウォールスペーサS W 2間の領域を埋め込む部分の絶縁膜I L 1 5の厚みT 9よりも小さくなる。こうなるのは、図3 0および図3 1の場合のサイドウォールスペーサS Wの隣接間隔W 4は、上記図2 3および図2 4の場合のサイドウォールスペーサS W 2の隣接間隔W 2よりも大きいためである。

30

【0 1 4 0】

すなわち、サイドウォールスペーサの隣接間隔W 4, W 2が小さくなるほど、サイドウォールスペーサ間の領域を埋め込む部分の絶縁膜I L 5, I L 1 5の厚みT 1 2, T 9は大きくなってしまいが、本実施の形態では、ステップS 1 3でサイドウォールスペーサS Wの厚みを小さくした分、サイドウォールスペーサS Wの隣接間隔W 4を大きくすることができる。このため、サイドウォールスペーサ間の領域を埋め込む部分の絶縁膜I L 5の厚みT 1 2を、絶縁膜I L 5の堆積膜厚T 1 1に近づけることができる。換言すれば、本実施の形態では、サイドウォールスペーサS W間の領域を埋め込む部分の絶縁膜I L 5の厚みT 1 2と、絶縁膜I L 5の堆積膜厚T 1 1との差を、小さくすることができる。

40

【0 1 4 1】

このため、本実施の形態では、図3 3に示されるように、隣接間隔W 4で隣り合うサイドウォールスペーサS W間のソース・ドレイン領域S D上にコンタクトホールC Tを形成

50

するエッチング工程において、コンタクトホールCTの底部で絶縁膜IL5のエッチング残りが発生するのを抑制または防止することができる。これにより、プラグPGの導通不良を防止でき、半導体装置の製造歩留まりを向上させることができる。また、絶縁膜IL5のエッチング工程でオーバーエッチングを大きくしなくともよいため、コンタクトホールCTの掘り過ぎや下地のダメージを抑制または防止できる。

【0142】

また、本実施の形態では、絶縁膜IL5形成時(ステップS18)におけるサイドウォールスペーサSWの厚み(T5)を小さく(薄く)するのに、ソース・ドレイン領域SD形成時(すなわちステップS12のイオン注入時)におけるサイドウォールスペーサSWの厚み(T4)を小さく(薄く)しなくともよい。このため、ソース・ドレイン領域SD形成用のイオン注入時におけるサイドウォールスペーサSWの厚み(T4)を大きくすることができる。これにより、活性化アニールによってソース・ドレイン領域SD中のドーパントがエクステンション領域EX側に拡散したとしても、ソース・ドレイン領域SDからエクステンション領域EXがチャンネル形成領域側に突き出すような不純物プロファイルを的確に形成することができる。このため、MISFETの特性(電気的特性)を向上させることができる。例えば、製造条件のばらつきなどで、たとえサイドウォールスペーサSW形成時のサイドウォールスペーサSWの厚み(T4)がばらついた(変動した)としても、MISFETの電気的特性(例えばソース・ドレイン電流)が変動するのを抑制することができる。従って、半導体装置の性能を向上させることができる。

10

20

【0143】

また、ゲート電極同士の間隔(W1, W3)が狭く、上記図23~図28で説明したような問題が特に生じやすいのは、金属シリサイドSLを形成するMISFET(すなわちシリサイドブロック膜BKで覆わないMISFET)であり、例えばメモリ(SRAMやフラッシュメモリなど)のメモリセルを形成した領域である。本実施の形態では、後でシリサイドブロック膜BKで覆われないMISFETと後でシリサイドブロック膜BKで覆われるMISFETとの両方について、ステップS13でサイドウォールスペーサSWの厚みを小さくする。このため、上記図23~図28で説明したような問題が生じやすい、シリサイドブロック膜BKで覆われないMISFETにおいて、上記図23~図28で説明したような問題が生じるのを防止することができる。

30

【0144】

一方、シリサイドブロック膜BKを形成して金属シリサイド層SLの形成を防ぐようなMISFETの場合、ゲート電極同士の間隔(W1, W3)はそれほど狭くない。このため、シリサイドブロック膜BKを形成するMISFETについては、シリサイドブロック膜BKがサイドウォールスペーサ(SW)の隣接間隔(W4)を狭くするように作用してしまうが、それは、上記図23~図28で説明したような問題の発生にはつながらない。

40

【0145】

また、ゲート電極同士の間隔(W1, W3)が狭く、上記図23~図28で説明したような問題が特に生じやすいのは、メモリ(SRAMやフラッシュメモリ(不揮発性メモリ)など)のメモリセルを形成した領域である。このため、本実施の形態や後述の実施の形態2は、メモリ(SRAMやフラッシュメモリ(不揮発性メモリ)など)を有する半導体装置を製造する場合に適用すれば、特に効果が大きい。

40

【0146】

本実施の形態の主要な特徴のうちの他の一つは、サイドウォールスペーサを絶縁膜IL2, IL3により形成し、ステップS13でサイドウォールスペーサSWを等方性エッチングしてサイドウォールスペーサSWの厚みを小さくする際に、絶縁膜IL3よりも絶縁膜IL2がエッチングされにくい条件でエッチングを行うことである。

【0147】

本実施の形態とは異なり、絶縁膜IL3と絶縁膜IL2とが同じエッチング速度でエッチングされる条件か、あるいは、絶縁膜IL3よりも絶縁膜IL2がエッチングされやすい条件でサイドウォールスペーサSWを等方性エッチングした場合、この等方性エッチン

50

ング工程において、サイドウォールスペーサSWを構成する絶縁膜IL2のサイドエッチングが促進されてしまう。サイドウォールスペーサSWを構成する絶縁膜IL2のサイドエッチングが促進されてしまうことは、後でソース・ドレイン領域SD上に金属シリサイド層SLを形成した際に、金属シリサイド層SLの端部（チャンネル形成領域に対向する側の端部）がチャンネル形成領域に近づくことにつながり、リーク電流の増加を招いてしまう。すなわち、サイドウォールスペーサSWを構成する絶縁膜IL2がエッチングされて基板領域（Si基板領域）が露出されると、後でサリサイド技術で金属シリサイド層SLを形成した際に、その露出された基板領域（Si基板領域）にも金属シリサイド層SLが形成されてしまうため、金属シリサイド層SLの端部がチャンネル形成領域に近づいてしまい、リーク電流の増加を招いてしまう。リーク電流の増加は、半導体装置の性能の低下につながる。また、リーク電流の増加は、リーク電流起因の歩留まり低下につながる。

10

【0148】

それに対して、本実施の形態では、ステップS13でサイドウォールスペーサSWを等方性エッチングしてサイドウォールスペーサSWの厚みを小さくする際に、絶縁膜IL3よりも絶縁膜IL2がエッチングされにくい条件でエッチングを行う。このため、ステップS13の等方性エッチング工程においては、サイドウォールスペーサSWを構成する絶縁膜IL3がサイドエッチングされることで、サイドウォールスペーサSWの厚みを小さくするとともに、サイドウォールスペーサSWを構成する絶縁膜IL2のエッチングを抑制することができる。従って、ステップS13の等方性エッチングを行うと、図12に示されるように、サイドウォールスペーサSWを構成する絶縁膜IL2の半導体基板SB（p型ウエルPW1, PW2）上に延在する部分の端部EGが、サイドウォールスペーサSWを構成する絶縁膜IL3の側面よりも突出した状態になる。本実施の形態では、ステップS13の等方性エッチング工程においてサイドウォールスペーサSWを構成する絶縁膜IL2のエッチングを抑制できるため、後でソース・ドレイン領域SD上に金属シリサイド層SLを形成した際に、金属シリサイド層SLの端部（チャンネル形成領域に対向する側の端部）がチャンネル形成領域に近づくことを抑制または防止でき、リーク電流を抑制することができる。すなわち、ステップS13の等方性エッチングでは、サイドウォールスペーサSWを構成する絶縁膜IL2がエッチングされて基板領域（Si基板領域）が露出されるのを抑制または防止できるため、後でサリサイド技術で金属シリサイド層SLを形成した際に、金属シリサイド層SLの端部がチャンネル形成領域に近づいてしまうのを抑制または防止できる。このため、リーク電流を抑制することができる。従って、半導体装置の性能を向上させることができる。また、半導体装置の製造歩留まりを向上させることができる。

20

30

【0149】

つまり、サイドウォールスペーサSWを絶縁膜IL2, IL3により形成しているが、上記図23～図28および図30～図35で説明したような、サイドウォールスペーサ間の絶縁膜IL5, IL15の埋め込み性に主として寄与するのは、サイドウォールスペーサSWを構成する絶縁膜IL2, IL3のうちの上層側の絶縁膜IL3である。また、金属シリサイド層SLの端部の形成位置に主として寄与するのは、サイドウォールスペーサSWを構成する絶縁膜IL2, IL3のうちの下層側の絶縁膜IL2である。このため、サイドウォールスペーサSWを構成する絶縁膜IL2, IL3のうち、絶縁膜IL3をステップS13で選択的に等方性エッチングする。これにより、サイドウォールスペーサSWの隣接間隔W4を大きくして、サイドウォールスペーサSW間の領域を埋め込む部分の絶縁膜IL5の厚みT12と、絶縁膜IL5の堆積膜厚T11との差を小さくすることができる。このため、プラグPGの導通不良を防止でき、半導体装置の製造歩留まりを向上させることができる。一方、サイドウォールスペーサSWを構成する絶縁膜IL2, IL3のうちの下層側の絶縁膜IL2については、ステップS13でのエッチングを抑制することで、金属シリサイド層SLを形成したときに、金属シリサイド層SLの端部がチャンネル形成領域に近づいてしまうのを抑制または防止できる。このため、リーク電流を抑制することができ、半導体装置の性能を向上させることができる。また、半導体装置の製造

40

50

歩留まりを向上させることができる。

【0150】

また、絶縁膜 I L 3 の厚み（形成膜厚）T 2 は、絶縁膜 I L 2 の厚み（形成膜厚）T 1 よりも大きい（厚い）ことが好ましい（すなわち $T 2 > T 1$ ）。これにより、サイドウォールスペーサ S W の絶縁膜 I L 2 により金属シリサイド層 S L の端部の形成位置を制御できるとともに、サイドウォールスペーサ S W 間の領域を埋め込む部分の絶縁膜 I L 5 の厚み T 1 2 と、絶縁膜 I L 5 の堆積膜厚 T 1 1 との差を小さくする効果を、高めることができる。

【0151】

また、本実施の形態では、ステップ S 1 3 のサイドウォールスペーサ S W の等方性エッチング工程は、ステップ S 1 4 の活性化のための熱処理である活性化アニールの前に行っている。ステップ S 1 4 の活性化アニールは、半導体装置の製造プロセスの中で、最も高温の熱処理であり、そのような高温の熱処理（活性化アニール）を行うと、サイドウォールスペーサ S W（の絶縁膜 I L 3）はエッチングされにくい状態になりやすい。しかしながら、本実施の形態では、ステップ S 1 4 の活性化アニールの前に、ステップ S 1 3 のサイドウォールスペーサ S W の等方性エッチング工程を行うことで、このステップ S 1 3 においてサイドウォールスペーサ S W（の絶縁膜 I L 3）をエッチングしやすくなるため、ステップ S 1 3 のエッチング工程が行いやすいという利点を得られる。

【0152】

また、ステップ S 1 3 のエッチング工程では、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 が全て除去される前にエッチングを終了することが好ましい。このため、ステップ S 1 3 のエッチング工程を行った後も、サイドウォールスペーサ S W は絶縁膜 I L 2 および絶縁膜 I L 3 により形成されていることが好ましい。サイドウォールスペーサ S W を構成していた絶縁膜 I L 3 の少なくとも一部を、ステップ S 1 3 のエッチング工程を行った後も残存させることで、コンタクトホール C T 形成時にコンタクトホール C T の目外れ（コンタクトホール C T 形成位置の設計からのずれ）が生じたとしても、絶縁膜 I L 3 の存在により、コンタクトホール C T からエクステンション領域 E X が露出するのを防止しやすくなる。また、サイドウォールスペーサ S W を構成していた絶縁膜 I L 3 の少なくとも一部を、ステップ S 1 3 のエッチング工程を行った後も残存させることで、後で形成する絶縁膜 I L 5 を剥離しにくくすることができる。

【0153】

また、本実施の形態では、ステップ S 1 3 のサイドウォールスペーサ S W の等方性エッチング工程では、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 がサイドエッチングされることで、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面が、ゲート電極 G E 側に後退する。ここで、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面とは、側壁絶縁膜 S P および絶縁膜 I L 2 を介してゲート電極 G E に隣接している側とは反対側の側面を指すものとする。しかしながら、コンタクトホール C T を形成する段階において、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面の下端は、エクステンション領域 E X の上方ではなく、ソース・ドレイン領域 S D の上方に位置していることが好ましい。すなわち、コンタクトホール C T を形成する段階において、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面の下端が、ソース・ドレイン領域 S D とエクステンション領域 E X との境界（ステップ S 1 4 の活性化アニール後の境界の位置）よりも、外側に位置することが好ましい。ここで、ゲート長方向に見て、ゲート電極 G E に近い側を内側、ゲート電極 G E から遠い側を外側としている。

【0154】

コンタクトホール C T を形成する段階において、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面の下端が、エクステンション領域 E X の上方ではなく、ソース・ドレイン領域 S D の上方に位置している場合、エクステンション領域 E X は、ゲート電極 G E、側壁絶縁膜 S P、およびサイドウォールスペーサ S W を構成する絶縁膜 I L 3 により覆われた状態になる。このため、ソース・ドレイン領域 S D 上にコンタクトホール C T を

10

20

30

40

50

形成したときに、コンタクトホールCTの目外れ（コンタクトホールCTの形成位置の設計からのずれ）が生じたとしても、エクステンション領域EXはサイドウォールスペーサSWを構成する絶縁膜IL3により覆われていたため、コンタクトホールCTからエクステンション領域EXが露出されてしまうのを的確に防止できる。

【0155】

この観点から、ステップS13のエッチング工程において、サイドウォールスペーサSWを構成する絶縁膜IL3のエッチング量（サイドエッチング量）は、例えば3～10nm程度とすることが好ましい。なお、サイドウォールスペーサSWの厚みT4（ステップS13のエッチング前の厚みT4）と厚みT5（ステップS13のエッチング後の厚みT5）との差が、ステップS13のエッチング工程における、サイドウォールスペーサSWを構成する絶縁膜IL3のエッチング量（サイドエッチング量）に対応している。

10

【0156】

また、ステップS13のエッチングを行うことにより、サイドウォールスペーサSWを構成する絶縁膜IL2の半導体基板SB（p型ウエルPW1，PW2）上に延在する部分の端部EGが、サイドウォールスペーサSWを構成する絶縁膜IL3の側面よりも突出した状態になる。ステップS13での絶縁膜IL3のエッチング量（サイドエッチング量）を上述した3～10nmに設定した場合、サイドウォールスペーサSWにおいて、絶縁膜IL3の側面の下端からの、絶縁膜IL2の端部EGの突出量（ゲート長方向に突出した距離）は、概ね3～10nm程度となる。

20

【0157】

<変形例について>

本実施の形態1の変形例（第1変形例）について、図36～図41を参照して説明する。図36～図41は、本実施の形態1の変形例の半導体装置の製造工程中の要部断面図である。本実施の形態1の変形例を、ここでは第1変形例と称することとする。

【0158】

第1変形例は、ステップS16で絶縁膜IL4をエッチングによりパターンニングしてシリサイドブロック膜BKを形成する際に、サイドウォールスペーサSWを構成する絶縁膜IL2の一部がエッチングされる場合に対応している。以下、具体的に説明する。

【0159】

まず、上記図13の構造を得るまでは、第1変形例も、上記実施の形態1と同様の工程を行うため、ここではその繰り返しの説明は省略する。すなわち、上記図1～図13を参照して説明したようにして上記ステップS15（絶縁膜IL4形成工程）までを行い、更に、フォトリソグラフィ法を用いて絶縁膜IL4上にフォトレジストパターン（レジストパターン）PR1を形成することで、上記図13の構造を得る。

30

【0160】

それから、ステップS16で、フォトレジストパターンPR1をエッチングマスクとして用いて絶縁膜IL4をエッチングしてパターンニングすることにより、図36に示されるように、シリサイドブロック膜BKを形成する。ステップS16のエッチングは、ドライエッチング、またはウェットエッチング、あるいはドライエッチングとウェットエッチングとの組み合わせを用いることができる。その後、フォトレジストパターンPR1を除去し、図36には、フォトレジストパターンPR1を除去した段階が示されている。シリサイドブロック膜BKは、パターンニングされた絶縁膜IL4からなる。

40

【0161】

ステップS16を行うと、MISFETQ1用のゲート電極GEとサイドウォールスペーサSWとソース・ドレイン領域SDとが露出され（すなわちシリサイドブロック膜BKで覆われず）、一方、MISFETQ2用のゲート電極GEとサイドウォールスペーサSWとソース・ドレイン領域SDの一部とがシリサイドブロック膜BKで覆われた状態になる。これは、上記図14の場合と図36の場合とで共通である。

【0162】

すなわち、ステップS16を行うと、MISFETQ1を覆っていた絶縁膜IL4が除

50

去されるため、MISFETQ1用のサイドウォールスペーサSWが露出されることになる。このとき、上記図14の場合は、ステップS16で絶縁膜IL4をエッチングする際に、サイドウォールスペーサSWを構成する絶縁膜IL2のエッチングを抑制している。例えば、ステップS16の絶縁膜IL4のエッチング工程においてオーバーエッチングをできるだけ少なくすることで、このエッチング工程でサイドウォールスペーサSWを構成する絶縁膜IL2がエッチングされるのを抑制することができる。あるいは、絶縁膜IL2, 3, 4の各絶縁材料の選択により、ステップS16の絶縁膜IL4のエッチング工程でサイドウォールスペーサSWを構成する絶縁膜IL2がエッチングされるのを抑制することができる。このため、図14の場合は、シリサイドブロック膜BKで覆われずに露出されるサイドウォールスペーサSWにおいても、サイドウォールスペーサSWを構成する絶縁膜IL2の半導体基板SB(p型ウエルPW1)上に延在する部分の端部(EG)が、サイドウォールスペーサSWを構成する絶縁膜IL3の側面よりも突出した状態は、ステップS16を行っても維持されている。ここで、サイドウォールスペーサSWを構成する絶縁膜IL3の側面とは、側壁絶縁膜SPおよび絶縁膜IL2を介してゲート電極GEに隣接している側とは反対側の側面に対応している。

10

【0163】

一方、第1変形例(図36)の場合は、ステップS16で絶縁膜IL4をエッチングする際に、絶縁膜IL4を除去したことで露出したサイドウォールスペーサSW(MISFETQ1用のサイドウォールスペーサSWに対応)において、そのサイドウォールスペーサSWを構成する絶縁膜IL2もエッチングされる。例えば、絶縁膜IL2と絶縁膜IL4とを同種の絶縁材料(例えば酸化シリコン)により形成し、ステップS16の絶縁膜IL4のエッチング工程において、ある程度オーバーエッチングを行うことで、サイドウォールスペーサSWを構成する絶縁膜IL2についてもエッチングが進行する。つまり、ステップS16で絶縁膜IL4をエッチングする工程において、シリサイドブロック膜BKで覆われないサイドウォールスペーサSWを構成する絶縁膜IL2のうち、そのサイドウォールスペーサSWを構成する絶縁膜IL3の側面よりも突出した部分が、エッチングされる。

20

【0164】

このため、図36の場合は、シリサイドブロック膜BKで覆われずに露出されたサイドウォールスペーサSWにおいては、サイドウォールスペーサSWを構成する絶縁膜IL2の半導体基板SB(p型ウエルPW1)上に延在する部分の端部(EG)が、サイドウォールスペーサSWを構成する絶縁膜IL3の側面よりも突出した状態は、ステップS16を行うことで解消されている。すなわち、図36の場合は、シリサイドブロック膜BKで覆われずに露出されたサイドウォールスペーサSWにおいては、サイドウォールスペーサSWを構成する絶縁膜IL2の半導体基板SB(p型ウエルPW1)上に延在する部分の端部(EG)は、サイドウォールスペーサSWを構成する絶縁膜IL3の側面にほぼ一致(整合)する位置となる。

30

【0165】

つまり、第1変形例の場合、シリサイドブロック膜BKで覆われずに露出されるサイドウォールスペーサSWにおいて、サイドウォールスペーサSWを構成する絶縁膜IL3よりも突出(ゲート電極GEから離れる方向に突出)していた部分の絶縁膜IL2が、ステップS16でエッチングされて除去される。これ以外は、第1変形例にけるステップS16も上述した実施の形態1におけるステップS16とほぼ同様であるので、ここでは同様な部分の繰り返しの説明は省略する。

40

【0166】

以降の工程は、第1変形例も、上述した実施の形態1の製造工程と同様である。

【0167】

すなわち、上記ステップS17を行って、金属シリサイド層SLを形成する。具体的には、図37に示されるように、半導体基板SBの主面(主面全面)上に、ゲート電極GE、サイドウォールスペーサSW、ソース・ドレイン領域SDおよびシリサイドブロック膜

50

B Kを覆うように、金属膜M Eを形成する。それから、熱処理により、金属膜M Eと、ゲート電極G E（を構成するS i）およびソース・ドレイン領域S D（を構成するS i）とを反応させることにより、図38に示されるように、金属シリサイド層S Lを形成する。その後、未反応の（余剰の）金属膜M Eは除去し、図38は、この段階が示されている。

【0168】

M I S F E T Q 1用のゲート電極G Eおよびソース・ドレイン領域S Dについては、その上にシリサイドブロック膜B Kを形成しなかったため、M I S F E T Q 1用のゲート電極G Eおよびソース・ドレイン領域S Dのほぼ全体の上部（上層部）に金属シリサイド層S Lが形成される。一方、M I S F E T Q 2用のゲート電極G Eおよびソース・ドレイン領域S Dについては、一部を除き、その上にシリサイドブロック膜B Kを形成した。このため、M I S F E T Q 2用のゲート電極G Eおよびソース・ドレイン領域S Dのうち、シリサイドブロック膜B Kで覆われなかった部分の上部（上層部）には金属シリサイド層S Lが形成されるが、シリサイドブロック膜B Kで覆われた部分には金属シリサイド層S Lは形成されない。

10

【0169】

それから、図39に示されるように、ステップS 18で、半導体基板S Bの主面（主面全面）上に、ゲート電極G E、サイドウォールスペーサS W、金属シリサイド層S Lおよびシリサイドブロック膜B Kを覆うように、絶縁膜I L 5を形成してから、ステップS 19で、絶縁膜I L 5上に絶縁膜I L 6を形成する。絶縁膜I L 6の形成後、必要に応じて、絶縁膜I L 3の上面をC M P法で研磨するなどして絶縁膜I L 6の上面の平坦性を高めることもできる。

20

【0170】

それから、図40に示されるように、ステップS 20で、絶縁膜I L 6、I L 5の積層膜にコンタクトホールC Tを形成する。コンタクトホールC Tの形成法は、上記図19および図20を参照して説明したのと同様である。それから、ステップS 21で、コンタクトホールC T内に導電性のプラグP Gを形成する（埋め込む）。その後、図41に示されるように、プラグP Gが埋め込まれた絶縁膜I L 6上に絶縁膜I L 7を形成し、ダマシン法を用いて配線M 1を形成する。このようにして、半導体装置が製造される。

【0171】

実施の形態1（図3～図22）の場合は、ステップS 16のエッチングの際に、サイドウォールスペーサS Wを構成する絶縁膜I L 2のエッチングを抑制している。このため、シリサイドブロック膜B Kで覆われないM I S F E T Q 1において、サイドウォールスペーサS Wを構成する絶縁膜I L 2の半導体基板S B（p型ウエルP W 1）上に延在する部分の端部（E G）が、サイドウォールスペーサS Wを構成する絶縁膜I L 3の側面よりも突出した状態で、ステップS 17を行って金属シリサイド層S Lを形成している。

30

【0172】

一方、第1変形例（図38～図42）の場合は、ステップS 16のエッチングの際に、サイドウォールスペーサS Wを構成する絶縁膜I L 2も一部エッチングされる。このため、シリサイドブロック膜B Kで覆われないM I S F E T Q 1において、サイドウォールスペーサS Wを構成する絶縁膜I L 2の半導体基板S B（p型ウエルP W 1）上に延在する部分の端部（E G）が、サイドウォールスペーサS Wを構成する絶縁膜I L 3の側面とほぼ一致（整合）する状態で、ステップS 17を行って金属シリサイド層S Lを形成している。

40

【0173】

このため、実施の形態1（図3～図22）の場合に比べて、第1変形例（図38～図42）の場合の方が、ソース・ドレイン領域S D上に形成した金属シリサイド層S Lの端部（チャンネル形成領域に対向する側の端部）とチャンネル形成領域との間の距離（間隔）が、小さく（短く）なる。このため、リーク電流の低減の観点では、第1変形例（図38～図42）の場合よりも、実施の形態1（図3～図22）の場合の方が、有利である。

【0174】

50

しかしながら、実施の形態 1 の場合と同様に、第 1 変形例の場合も、上記ステップ S 1 3 のエッチング工程では、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 のエッチングを抑制している。このため、実施の形態 1 の場合と同様に、第 1 変形例の場合も、ステップ S 1 6 のエッチング工程の直前の段階では、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B (p 型ウエル P W 1) 上に延在する部分の端部 (E G) が、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面よりも突出した状態となっている。

【 0 1 7 5 】

ここで、ステップ S 1 6 のエッチング工程の直前の段階で、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B (p 型ウエル P W 1) 上に延在する部分の端部 (E G) が、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面と一致 (整合) している場合を仮定し、これを第 2 検討例と称することとする。この第 2 検討例は、実施の形態 1 や第 1 変形例とは異なり、ステップ S 1 3 のエッチング工程で、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 と絶縁膜 I L 3 とを同じエッチング速度となる条件でエッチングした場合に対応している。

10

【 0 1 7 6 】

ステップ S 1 6 のエッチング工程の直前の段階のサイドウォールスペーサ S W について、第 1 変形例の場合は、絶縁膜 I L 2 の端部 (E G) が絶縁膜 I L 3 の側面よりも突出した状態となり、一方、第 2 検討例の場合は、絶縁膜 I L 2 の端部 (E G) が絶縁膜 I L 3 の側面と一致した状態となっている。これを反映し、ステップ S 1 6 のエッチング工程の直後のシリサイドブロック膜 B K で覆われていないサイドウォールスペーサ S W に着目すると、第 1 変形例の場合は、絶縁膜 I L 2 の端部 (E G) が絶縁膜 I L 3 の側面とほぼ一致 (整合) した状態となり、一方、第 2 検討例の場合は、絶縁膜 I L 2 の端部 (E G) が絶縁膜 I L 3 の側面よりもゲート電極 G E 側に後退した状態となる。すなわち、ステップ S 1 6 のエッチング工程の直後のシリサイドブロック膜 B K で覆われていないサイドウォールスペーサ S W について、第 2 検討例の場合と第 1 変形例の場合とを比べると、絶縁膜 I L 2 の端部 (E G) の位置は、第 2 検討例の場合よりも第 1 変形例の場合の方が、ゲート電極 G E からより離れた位置とすることができる。この状態でステップ S 1 7 を行って金属シリサイド層 S L を形成すると、ソース・ドレイン領域 S D 上に形成した金属シリサイド層 S L の端部 (チャネル形成領域に対向する側の端部) とチャネル形成領域との間の距離 (間隔) は、第 2 検討例よりも第 1 変形例の方が、大きく (長く) なる。このため、リーク電流の低減の観点では、第 2 検討例の場合よりも、第 1 変形例の場合の方が、有利である。

20

30

【 0 1 7 7 】

つまり、ステップ S 1 6 のエッチング工程での絶縁膜 I L 2 のエッチングの程度によらず、ステップ S 1 3 でサイドウォールスペーサ S W を等方性エッチングする際に絶縁膜 I L 2 のエッチングを抑制しながら絶縁膜 I L 3 を選択的にエッチングすることが、ソース・ドレイン領域 S D 上に形成した金属シリサイド層 S L の端部とチャネル形成領域との間の距離を大きくすることに有効である。このため、実施の形態 1 (図 3 ~ 図 2 2) と第 1 変形例 (図 3 8 ~ 図 4 2) のいずれの場合も、ステップ S 1 3 の等方性エッチングを、絶縁膜 I L 3 よりも絶縁膜 I L 2 がエッチングされにくい条件で行うことで、ソース・ドレイン領域 S D 上に形成した金属シリサイド層 S L の端部とチャネル形成領域との間の距離 (間隔) を大きくして、リーク電流の低減を図ることができる。

40

【 0 1 7 8 】

実施の形態 1 (図 3 ~ 図 2 2) の場合は、更に、ステップ S 1 6 のエッチング工程での絶縁膜 I L 2 のエッチングを抑制することで、ソース・ドレイン領域 S D 上に形成した金属シリサイド層 S L の端部とチャネル形成領域との間の距離 (間隔) を更に大きくして、リーク電流の更なる低減を図ることができる。従って、半導体装置の更なる性能向上を図ることができる。

【 0 1 7 9 】

50

一方、第1変形例の場合は、ステップS16のエッチング工程でオーバーエッチングをある程度大きくしてもよいため、シリサイドブロック膜BKを形成すべきでない領域に絶縁膜IL4が残存してしまうのをよりの確に防止できる。このため、金属シリサイド層SLの形成不良を、よりの確に防止することができる。従って、半導体装置の信頼性を向上させることができる。また、半導体装置の製造歩留まりを向上させることができる。

【0180】

また、第1変形例の場合は、ソース・ドレイン領域SDの上面のうち、シリサイドブロック膜BKで覆われずかつサイドウォールスペーサSWを構成する絶縁膜IL3でも覆われていない領域は、ほぼ全体に金属シリサイド層SLが形成される。これは、ステップS17で金属シリサイド層SLを形成する際に、シリサイドブロック膜BKで覆われていないサイドウォールスペーサSWにおいて、絶縁膜IL2の端部(EG)が絶縁膜IL3の側面から突出していないためである。このため、コンタクトホールCTを形成した際に、コンタクトホールCTの底部で、金属シリサイド層SLが形成されていない部分のソース・ドレイン領域SDが露出されるのを、よりの確に防止することができる。

10

【0181】

これ以外については、第1変形例も、実施の形態1とほぼ同様の効果を得ることができる。

【0182】

なお、第1変形例の場合は、製造された半導体装置において、シリサイドブロック膜BKで覆われたサイドウォールスペーサSW(MISFETQ2用のサイドウォールスペーサSW)の構造と、シリサイドブロック膜BKで覆われないサイドウォールスペーサSW(MISFETQ1用のサイドウォールスペーサSW)の構造とが、以下の点で相違したものとなる。すなわち、シリサイドブロック膜BKで覆われたサイドウォールスペーサSW(MISFETQ2用のサイドウォールスペーサSW)においては、半導体基板SB(p型ウエルPW2)上に延在する部分の絶縁膜IL2の端部(EG)が絶縁膜IL3の側面よりも突出した状態となる。一方、シリサイドブロック膜BKで覆われていないサイドウォールスペーサSW(MISFETQ1用のサイドウォールスペーサSW)においては、半導体基板SB(p型ウエルPW1)上に延在する部分の絶縁膜IL2の端部(EG)が絶縁膜IL3の側面とほぼ一致(整合)した状態となる。

20

【0183】

また、更に他の変形例として、ステップS15(絶縁膜IL4形成工程)およびステップS16(シリサイドブロック膜BK形成工程)を省略する場合もあり得る。この場合は、ステップS16でサイドウォールスペーサSWを構成する絶縁膜IL2がエッチングされることがない。このため、実施の形態1と同様の効果を得ることができる。

30

【0184】

(実施の形態2)

本実施の形態2の半導体装置の製造工程を図面を参照して説明する。

【0185】

図42は、本実施の形態2の半導体装置の製造工程の一部を示す製造プロセスフロー図である。図42は、上記実施の形態1の上記図2に対応するものであり、上記図1のステップS1~S11の後に、図42に記載されているステップS12, S14, S15, S16, S13a, S17, S18, S19, S20, S21を順に行う。図43~図51は、本実施の形態2の半導体装置の製造工程中の要部断面図である。

40

【0186】

本実施の形態2は、上記実施の形態1において、上記ステップS13を、上記ステップS12と上記ステップS14との間ではなく、上記ステップS16と上記ステップS17との間に行う場合に対応している。以下、具体的に説明する。

【0187】

本実施の形態2の形態の製造工程は、ステップS12でソース・ドレイン領域SDをイオン注入により形成するまでは、上記実施の形態1の製造工程と同様であるため、ここで

50

はその説明は省略する。

【0188】

本実施の形態2では、上記実施の形態1と同様にステップS12（イオン注入でソース・ドレイン領域SDを形成する工程）までを行って、上記図11と同様の図43の構造を得た後、上記実施の形態1とは異なり上記ステップS13（サイドウォールスペーサSWの等方性エッチング工程）を行わずに、ステップS14の活性化アニール工程を行う（図42のステップS14）。このステップS14の活性化アニール（熱処理）については、上記実施の形態1と基本的には同じであるので、ここではその繰り返しの説明は省略する。

【0189】

次に、図44に示されるように、上記実施の形態1と同様に、ステップS15で、半導体基板SBの主面（主面全面）上に、ゲート電極GE、サイドウォールスペーサSWおよびソース・ドレイン領域SDを覆うように、絶縁膜IL4を形成する（図42のステップS15）。それから、上記実施の形態1と同様に、フォトリソグラフィ法を用いて絶縁膜IL4上にフォトレジストパターンPR1を形成する。

【0190】

次に、図45に示されるように、上記実施の形態1と同様に、ステップS16で、フォトレジストパターンPR1をエッチングマスクとして用いて絶縁膜IL4をエッチングしてパターンングすることにより、シリサイドブロック膜BKを形成する（図42のステップS16）。その後、フォトレジストパターンPR1を除去し、図45には、フォトレジストパターンPR1を除去した段階が示されている。シリサイドブロック膜BKがどの領域に形成されるかについては、本実施の形態2も上記実施の形態1と同様であるので、ここではその繰り返しの説明は省略する。

【0191】

次に、図46に示されるように、上記ステップS13に相当するステップS13aで、サイドウォールスペーサSWを等方性エッチングする（図42のステップS13a）。なお、図46では、ステップS13aのエッチングを行う前の段階（すなわち図45の段階）における、サイドウォールスペーサSWを構成する絶縁膜IL3の表面の位置を、点線で示してある。

【0192】

ステップS13aの等方性エッチングの条件などは、上記実施の形態1のステップS13の等方性エッチングの条件などと同様であるので、ここではその繰り返しの説明は省略する。概略だけ述べると、ステップS13aの等方性エッチングは、絶縁膜IL3よりも絶縁膜IL2がエッチングされにくい条件（エッチング条件）で、エッチングを行う。また、ステップS13aの等方性エッチングでは、絶縁膜IL3よりも半導体基板SBがエッチングされにくいような条件（エッチング条件）で、エッチングを行うことが好ましい。また、ステップS13aの等方性エッチングは、ウェットエッチングが好ましい。

【0193】

上記実施の形態1のステップS13と同様に、本実施の形態2のステップS13aにおいても、サイドウォールスペーサSWを構成している絶縁膜IL3が選択的にエッチングされ、サイドウォールスペーサSWを構成している絶縁膜IL2は、エッチングが抑えられる。また、ステップS13aは等方性のエッチングであるため、サイドウォールスペーサSWを構成している絶縁膜IL3は、横方向にもエッチング（サイドエッチング）される。このため、ステップS13aのエッチング工程を行うと、サイドウォールスペーサSWの厚みが小さく（薄く）なる。すなわち、ステップS13aのエッチング工程の前後で、サイドウォールスペーサSWの厚みが小さく（薄く）なる。

【0194】

つまり、ステップS13aのエッチング工程の前は、サイドウォールスペーサSWの厚みはほぼ上記厚みT4であったが、ステップS13aのエッチング工程を行うと、サイドウォールスペーサSWの厚みは、厚みT4よりも小さな厚みT5となる（ $T5 < T4$ ）。

10

20

30

40

50

【 0 1 9 5 】

また、ステップ S 1 3 a のエッチングを行うことにより、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B (p 型ウエル P W 1) 上に延在する部分の端部 E G が、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面よりも突出した状態になる。ここで、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面は、側壁絶縁膜 S P および絶縁膜 I L 2 を介してゲート電極 G E に隣接している側とは反対側の側面に対応している。

【 0 1 9 6 】

本実施の形態 2 のステップ S 1 3 a が、上記実施の形態 1 のステップ S 1 3 と相違しているのは、本実施の形態 2 のステップ S 1 3 a では、シリサイドブロック膜 B K を形成した状態で、ステップ S 1 3 a の等方性エッチングを行うことである。M I S F E T Q 1 用のサイドウォールスペーサ S W と M I S F E T Q 2 用のサイドウォールスペーサ S W のうち、M I S F E T Q 2 用のサイドウォールスペーサ S W はシリサイドブロック膜 B K で覆われ、一方、M I S F E T Q 1 用のサイドウォールスペーサ S W は、シリサイドブロック膜 B K で覆われていない。

10

【 0 1 9 7 】

このため、M I S F E T Q 1 用のサイドウォールスペーサ S W については、ステップ S 1 3 a でエッチングされて、そのサイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B (p 型ウエル P W 1) 上に延在する部分の端部 E G が、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面よりも突出した状態になる。一方、M I S F E T Q 2 用のサイドウォールスペーサ S W については、シリサイドブロック膜 B K で覆われているため、ステップ S 1 3 a ではエッチングされず、そのサイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B (p 型ウエル P W 2) 上に延在する部分の端部 E G が、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面とほぼ一致 (整合) した状態になる。これ以外については、ステップ S 1 3 a は、上記ステップ S 1 3 と基本的には同じである。

20

【 0 1 9 8 】

以降の工程は、本実施の形態 2 も、上記実施の形態 1 の製造工程と同様である。

【 0 1 9 9 】

すなわち、ステップ S 1 7 を行って、金属シリサイド層 S L を形成する。具体的には、図 4 7 に示されるように、半導体基板 S B の主面 (主面全面) 上に、ゲート電極 G E 、サイドウォールスペーサ S W 、ソース・ドレイン領域 S D およびシリサイドブロック膜 B K を覆うように、金属膜 M E を形成する。この際、M I S F E T Q 1 用のゲート電極 G E およびソース・ドレイン領域 S D 上にはシリサイドブロック膜 B K が形成されていなかったため、金属膜 M E は、M I S F E T Q 1 用のゲート電極 G E およびソース・ドレイン領域 S D に接触している。一方、M I S F E T Q 2 用のゲート電極 G E およびソース・ドレイン領域 S D 上にはシリサイドブロック膜 B K が形成されているため、M I S F E T Q 2 用のゲート電極 G E およびソース・ドレイン領域 S D は、シリサイドブロック膜 B K で覆われていない領域を除き、金属膜 M E に接触していない。それから、熱処理により、金属膜 M E と、ゲート電極 G E (を構成する S i) およびソース・ドレイン領域 S D (を構成する S i) とを反応させることにより、図 4 8 に示されるように、金属シリサイド層 S L を形成する。その後、未反応の (余剰の) 金属膜 M E は除去し、図 4 8 は、この段階が示されている。

30

40

【 0 2 0 0 】

M I S F E T Q 1 用のゲート電極 G E およびソース・ドレイン領域 S D については、その上にシリサイドブロック膜 B K を形成しなかったため、M I S F E T Q 1 用のゲート電極 G E およびソース・ドレイン領域 S D のほぼ全体の上部 (上層部) に金属シリサイド層 S L が形成される。一方、M I S F E T Q 2 用のゲート電極 G E およびソース・ドレイン領域 S D については、一部を除き、その上にシリサイドブロック膜 B K を形成した。このため、M I S F E T Q 2 用のゲート電極 G E およびソース・ドレイン領域 S D のうち、シ

50

リサイドブロック膜 B K で覆われなかった部分の上部（上層部）には金属シリサイド層 S L が形成されるが、シリサイドブロック膜 B K で覆われた部分には金属シリサイド層 S L は形成されない。すなわち、M I S F E T Q 2 用のソース・ドレイン領域 S D のうち、シリサイドブロック膜 B K で覆われた部分には、金属膜 M E とソース・ドレイン領域 S D との反応層（金属シリサイド層 S L ）は形成されず、また、M I S F E T Q 2 用のゲート電極 G E のうち、シリサイドブロック膜 B K で覆われた部分には、金属膜 M E とゲート電極 G E との反応層（金属シリサイド層 S L ）は形成されない。

【0201】

それから、図 4 9 に示されるように、ステップ S 1 8 で、半導体基板 S B の主面（主面全面）上に、ゲート電極 G E 、サイドウォールスペーサ S W 、金属シリサイド層 S L およびシリサイドブロック膜 B K を覆うように、絶縁膜 I L 5 を形成してから、ステップ S 1 9 で、絶縁膜 I L 5 上に絶縁膜 I L 6 を形成する。絶縁膜 I L 6 の形成後、必要に応じて、絶縁膜 I L 3 の上面を C M P 法で研磨するなどして絶縁膜 I L 6 の上面の平坦性を高めることもできる。

10

【0202】

それから、図 5 0 に示されるように、ステップ S 2 0 で、絶縁膜 I L 6 , I L 5 の積層膜にコンタクトホール C T を形成する。コンタクトホール C T の形成法は、上記図 1 9 および図 2 0 を参照して説明したのと同様である。それから、ステップ S 2 1 で、コンタクトホール C T 内に導電性のプラグ P G を形成する（埋め込む）。その後、図 5 1 に示されるように、プラグ P G が埋め込まれた絶縁膜 I L 6 上に絶縁膜 I L 7 を形成し、ダマシン法を用いて配線 M 1 を形成する。このようにして、半導体装置が製造される。

20

【0203】

本実施の形態 2 でも、上記実施の形態 1 とほぼ同様の効果を得ることができるが、以下の点が、上記実施の形態 1 と相違している。

【0204】

すなわち、上記実施の形態 1 では、ステップ S 1 3 でサイドウォールスペーサ S W を等方性エッチングしてサイドウォールスペーサ S W の厚みを小さくした後で、ステップ S 1 5 , S 1 6 でシリサイドブロック膜 B K を形成し、その後にステップ S 1 7 で金属シリサイド層 S L を形成している。一方、本実施の形態 2 では、ステップ S 1 5 , S 1 6 でシリサイドブロック膜 B K を形成した後で、ステップ S 1 3 a でサイドウォールスペーサ S W を等方性エッチングしてサイドウォールスペーサ S W の厚みを小さくし、その後にステップ S 1 7 で金属シリサイド層 S L を形成している。

30

【0205】

上記実施の形態 1 および本実施の形態 2 では、ステップ S 1 3 , S 1 3 a でサイドウォールスペーサ S W を等方性エッチングしてサイドウォールスペーサ S W の厚みを薄くしたときに、絶縁膜 I L 3 よりも絶縁膜 I L 2 がエッチングされにくい条件でエッチングを行う。このため、ステップ S 1 3 , S 1 3 a を行うと、サイドウォールスペーサ S W を構成する絶縁膜 I L 2 の半導体基板 S B （p 型ウエル P W 1 ）上に延在する部分の端部（E G ）が、サイドウォールスペーサ S W を構成する絶縁膜 I L 3 の側面よりも突出した状態になる。この状態は、上記実施の形態 1 よりも、本実施の形態 2 の方が、ステップ S 1 7 で金属シリサイド層 S L を形成する工程まで維持されやすい。

40

【0206】

すなわち、本実施の形態 2 では、ステップ S 1 3 a を行った後、ステップ S 1 5 , S 1 6 を行わずにステップ S 1 7 （金属シリサイド層 S L 形成工程）に移行できる。このため、本実施の形態 2 では、シリサイドブロック膜 B K で覆われていないサイドウォールスペーサ S W において、ステップ S 1 6 のエッチング（絶縁膜 I L 4 のエッチング）で、絶縁膜 I L 3 の側面よりも突出した部分の絶縁膜 I L 2 が、ステップ S 1 6 のエッチング工程でエッチングされずにすむ。

【0207】

このため、ソース・ドレイン領域 S D 上に金属シリサイド層 S L を形成した際に、金属

50

シリサイド層SLの端部(チャネル形成領域に対向する側の端部)がチャネル形成領域に近づくことをできるだけ防止するという観点では、上記実施の形態1よりも本実施の形態2の方が、更に有利である。従って、本実施の形態2では、金属シリサイド層SLを形成した際に、金属シリサイド層SLの端部がチャネル形成領域に近づいてしまうのを、よりの確に抑制または防止でき、リーク電流をよりの確に抑制することができる。このため、半導体装置の性能の更なる向上を図ることができる。

【0208】

一方、上記実施の形態1では、ステップS13のサイドウォールスペーサSWの等方性エッチング工程は、ステップS14の活性化のための熱処理である活性化アニールの前に行うことができる。ステップS14の活性化アニールは、半導体装置の製造プロセスの中で、最も高温の熱処理であり、そのような高温の熱処理(活性化アニール)を行うと、サイドウォールスペーサSW(の絶縁膜IL3)はエッチングされにくい状態になりやすい。このため、ステップS13、S13aのエッチング工程が行いやすいという観点では、本実施の形態2よりも上記実施の形態1の方が、有利である。このため、半導体装置の製造工程を適切に管理しやすいという点では、上記実施の形態1は特に好適である。

10

【0209】

また、ゲート電極同士の間隔(W1, W3)が狭く、上記図23~図28で説明したような問題が生じやすいのは、金属シリサイドSLを形成するMISFET(すなわちシリサイドブロック膜BKで覆わないMISFET)であり、例えばメモリ(SRAMやフラッシュメモリなど)のメモリセルを形成した領域である。本実施の形態2では、シリサイドブロック膜BKで覆われないMISFETについては、ステップS13aでサイドウォールスペーサSWの厚みを小さくすることにより、上記図23~図28で説明したような問題が生じるのを防止することができる。一方、シリサイドブロック膜BKを形成して金属シリサイド層SLの形成を防ぐようなMISFETの場合、ゲート電極同士の間隔(W1, W3)はそれほど狭くない。このため、本実施の形態2では、シリサイドブロック膜BKを形成するMISFETについては、サイドウォールスペーサSWがシリサイドブロック膜BKで覆われた状態でステップS13aを行うため、ステップS13aでサイドウォールスペーサSWの厚みは小さくならないが、それは、上記図23~図28で説明したような問題の発生にはつながらない。

20

【0210】

なお、本実施の形態2の場合は、製造された半導体装置において、シリサイドブロック膜BKで覆われたサイドウォールスペーサSW(MISFETQ2用のサイドウォールスペーサSW)の構造と、シリサイドブロック膜BKで覆われないサイドウォールスペーサSW(MISFETQ1用のサイドウォールスペーサSW)の構造とが、以下の点で相違したものとなる。すなわち、シリサイドブロック膜BKで覆われたサイドウォールスペーサSW(MISFETQ2用のサイドウォールスペーサSW)よりも、シリサイドブロック膜BKで覆われていないサイドウォールスペーサSW(MISFETQ1用のサイドウォールスペーサSW)の方が、サイドウォールスペーサSWの厚みが小さくなる。これは、シリサイドブロック膜BKで覆われたサイドウォールスペーサSW(MISFETQ2用のサイドウォールスペーサSW)の厚みは、上記厚みT4に相当し、シリサイドブロック膜BKで覆われていないサイドウォールスペーサSW(MISFETQ1用のサイドウォールスペーサSW)の厚みは、上記厚みT5に相当し、 $T5 < T4$ が成り立つためである。

30

40

【0211】

次に、本実施の形態2の変形例(第2変形例)について、図52~図56を参照して説明する。図52~図56は、本実施の形態2の変形例の半導体装置の製造工程中の要部断面図である。本実施の形態2の変形例を、ここでは第2変形例と称することとする。

【0212】

第2変形例においては、上述した実施の形態2の製造工程に従ってステップS13a(サイドウォールスペーサSWの等方性エッチング工程)までを行い、上記図46と同様の

50

図52の構造を得る。ここまでの工程は、第2変形例も、上述した実施の形態2と同様であるため、ここではその繰り返しの説明は省略する。

【0213】

それから、ステップS17を行って、金属シリサイド層SLを形成するが、このステップS17は、上記実施の形態1でも説明したように、金属膜MEを形成する工程と、熱処理により金属膜MEとソース・ドレイン領域SDおよびゲート電極GEの各上部（上層部）とを反応させる工程と、未反応の（余剰の）金属膜MEを除去する工程とを有している。未反応の（余剰の）金属膜MEを除去する工程の後で、2回目の熱処理を行う場合もある。

【0214】

金属膜MEは、例えばスパッタリング法などを用いて形成することができるが、ステップS13aの後で、金属膜MEを形成する前に、半導体基板SBを洗浄処理（ウェット洗浄処理）することが好ましい。この洗浄処理を、金属膜MEの成膜前の洗浄処理と称することとする。この金属膜MEの成膜前の洗浄処理は、半導体基板SBをウェット洗浄する処理である。金属膜MEの成膜前の洗浄処理の後には、速やかに金属膜MEの成膜工程を行うことが好ましい。

【0215】

この金属膜MEの成膜前の洗浄処理は、エッチング作用を有する場合がある。例えば、フッ酸の水溶液などを用いて、金属膜MEの成膜前の洗浄処理を行うことができる。金属膜MEの成膜前の洗浄処理がエッチング作用を有していれば、ソース・ドレイン領域SD上などに自然酸化膜が形成されていたとしても、この自然酸化膜を除去して、シリサイドブロック膜BKで覆われていないソース・ドレイン領域SDに金属膜MEが確実に接触するように、金属膜MEを形成することができる。これにより、自然酸化膜が金属シリサイド層SLの形成を阻害するのを、よりの確に防止することができる。

【0216】

しかしながら、シリサイドブロック膜BKで覆われていないサイドウォールスペースSWにおいて、絶縁膜IL3の側面よりも突出した部分の絶縁膜IL2が、金属膜MEの成膜前の洗浄処理により、エッチングされてしまう場合があり、図53には、その場合の金属膜MEの成膜前の洗浄処理を行った直後の状態が示されている。

【0217】

すなわち、ステップS13aの等方性エッチングを行うと、シリサイドブロック膜BKで覆われていないサイドウォールスペースSWにおいて、半導体基板SB（p型ウエルPW1）上に延在する部分の絶縁膜IL2の端部（EG）が、サイドウォールスペースSWを構成する絶縁膜IL3の側面よりも突出した状態になる（図52参照）。この絶縁膜IL3の側面よりも突出した部分の絶縁膜IL2が、金属膜MEの成膜前の洗浄処理により、エッチングされてしまうのである（図53参照）。つまり、金属膜MEの成膜前の洗浄処理において、シリサイドブロック膜BKで覆われていないサイドウォールスペースSWを構成する絶縁膜IL2のうち、そのサイドウォールスペースSWを構成する絶縁膜IL3の側面よりも突出した部分が、エッチングされる。

【0218】

以降の工程は、上述した実施の形態2の製造工程と同様である。すなわち、金属膜MEの成膜前の洗浄処理を行った後、図54に示されるように、半導体基板SBの主面（主面全面）上に、ゲート電極GE、サイドウォールスペースSW、ソース・ドレイン領域SDおよびシリサイドブロック膜BKを覆うように、金属膜MEをスパッタリング法などを用いて形成（堆積）する。それから、熱処理により、金属膜MEと、ゲート電極GE（を構成するSi）およびソース・ドレイン領域SD（を構成するSi）とを反応させることにより、金属と半導体の反応層である金属シリサイド層SLを形成し、その後、未反応の（余剰の）金属膜MEを除去する。図55は、未反応の（余剰の）金属膜MEを除去した段階が示されている。未反応の（余剰の）金属膜MEを除去した後、更に2回目の熱処理を行う場合もある。

10

20

30

40

50

【0219】

MISFETQ1用のゲート電極GEおよびソース・ドレイン領域SDについては、その上にシリサイドブロック膜BKを形成しなかったため、MISFETQ1用のゲート電極GEおよびソース・ドレイン領域SDのほぼ全体の上部(上層部)に金属シリサイド層SLが形成される。一方、MISFETQ2用のゲート電極GEおよびソース・ドレイン領域SDについては、一部を除き、その上にシリサイドブロック膜BKを形成した。このため、MISFETQ2用のゲート電極GEおよびソース・ドレイン領域SDのうち、シリサイドブロック膜BKで覆われなかった部分の上部(上層部)には金属シリサイド層SLが形成されるが、シリサイドブロック膜BKで覆われた部分には金属シリサイド層SLは形成されない。

10

【0220】

それから、図56に示されるように、ステップS18で絶縁膜IL5を形成してから、ステップS19で絶縁膜IL5上に絶縁膜IL6を形成し、ステップS20で絶縁膜IL6, IL5の積層膜にコンタクトホールCTを形成し、ステップS21で、コンタクトホールCT内に導電性のプラグPGを形成する(埋め込む)。その後、プラグPGが埋め込まれた絶縁膜IL6上に絶縁膜IL7を形成し、ダマシン法を用いて配線M1を形成する。このようにして、半導体装置が製造される。

【0221】

第2変形例の場合も、上述した実施の形態2とほぼ同様の効果を得ることができるが、以下の点が、上述した実施の形態2と相違している。

20

【0222】

すなわち、第2変形例の場合は、シリサイドブロック膜BKで覆われていないサイドウォールスペースSWにおいて、絶縁膜IL3の側面よりも突出した部分の絶縁膜IL2が、金属膜MEの成膜前の洗浄処理により、エッチングされている。このエッチングの分、第2変形例は、実施の形態2に比べると、ソース・ドレイン領域SD上に金属シリサイド層SLを形成した際に、金属シリサイド層SLの端部(チャンネル形成領域に対向する側の端部)がチャンネル形成領域に近づく虞がある。

【0223】

しかしながら、洗浄処理は、積極的なエッチング工程ではないため、そのエッチング作用は、一般的なエッチング工程に比べて小さい。このため、サイドウォールスペースSWにおいて、絶縁膜IL3の側面よりも突出した部分の絶縁膜IL2がエッチングされる程度を、第2変形例における金属膜MEの成膜前の洗浄処理時と、上記実施の形態1の第1変形例におけるステップS16のエッチング時とで比べると、第2変形例における金属膜MEの成膜前の洗浄処理時の方が小さくなりやすい。

30

【0224】

このため、ソース・ドレイン領域SD上に金属シリサイド層SLを形成した際に、金属シリサイド層SLの端部(チャンネル形成領域に対向する側の端部)がチャンネル形成領域に近づくことをできるだけ防止するという観点では、第2変形例は、上記実施の形態1の第1変形例よりも有利である。

【0225】

このため、上述した実施の形態2だけでなく、第2変形例の場合も、金属シリサイド層SLを形成した際に、金属シリサイド層SLの端部がチャンネル形成領域に近づいてしまうのを抑制または防止でき、リーク電流を抑制することができるという効果を得られる。但し、その効果は、シリサイドブロック膜BKで覆われていないサイドウォールスペースSWにおいて、絶縁膜IL3の側面よりも突出した部分の絶縁膜IL2が、金属膜MEの成膜前の洗浄処理でエッチングされるのを抑制した方が、より大きくなる。

40

【0226】

一方、第2変形例の場合は、金属膜MEの成膜前の洗浄処理において、シリサイドブロック膜BKで覆われていないサイドウォールスペースSWで、絶縁膜IL3の側面よりも突出した部分の絶縁膜IL2がエッチングされるとしても、ソース・ドレイン領域SD上

50

などに自然酸化膜が形成されている場合にその自然酸化膜を除去しやすい。このため、シリサイドブロック膜BKで覆われていないソース・ドレイン領域SDに金属膜MEが確実に接触するように、金属膜MEを形成することができ、自然酸化膜が金属シリサイド層SLの形成を阻害するのを、よりの確に防止することができる。

【0227】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【符号の説明】

【0228】

BK シリサイドブロック膜

CT, CT2 コンタクトホール

EG 端部

EX エクステンション領域

GE ゲート電極

GI ゲート絶縁膜

IL1, IL2, IL3, IL4, IL5, IL6, IL7 絶縁膜

IL15, IL16, IL17 絶縁膜

IL15a エッチング残り

LM 積層膜

M1, M2 配線

ME 金属膜

PG, PG2 プラグ

PR1 フォトレジストパターン

PW1, PW2 p型ウエル

Q1, Q2, Q3, Q4, Q5, Q6 MISFET

SB 半導体基板

SD, SD2 ソース・ドレイン領域

SL, SL2 金属シリサイド層

SP 側壁絶縁膜

ST 素子分離領域

SW, SW2 サイドウォールスペーサ

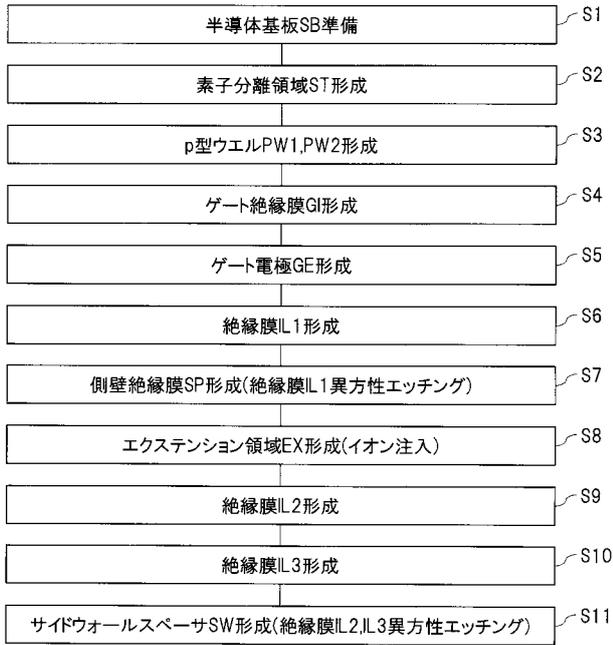
10

20

30

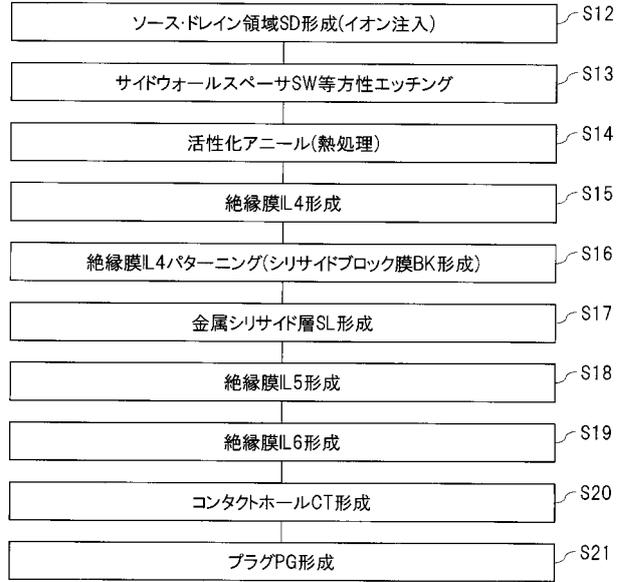
【 図 1 】

図 1



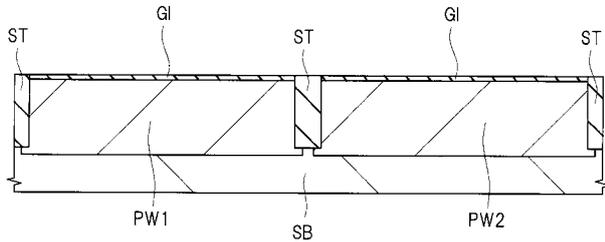
【 図 2 】

図 2



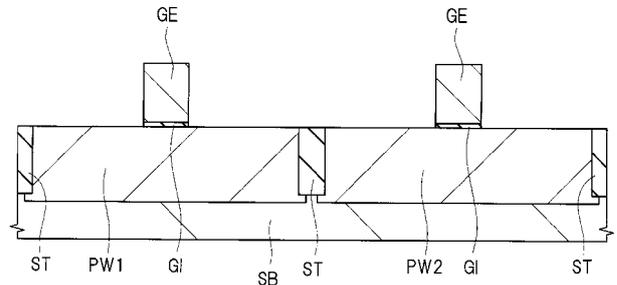
【 図 3 】

図 3

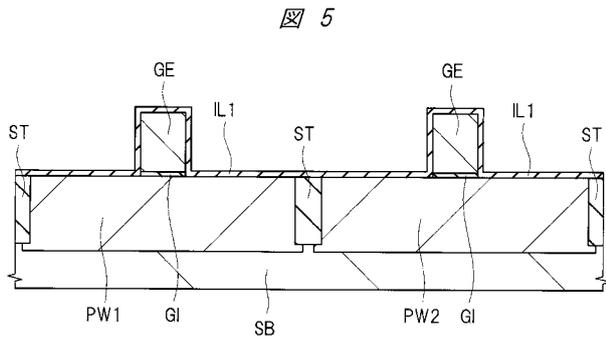


【 図 4 】

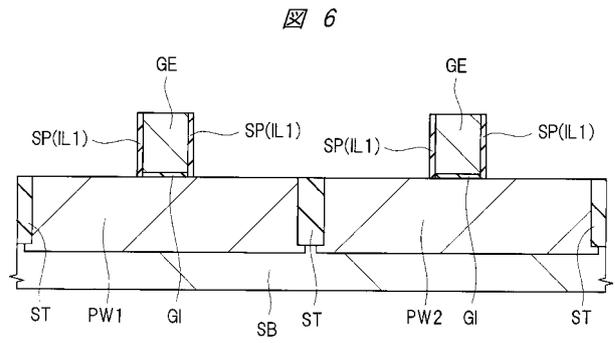
図 4



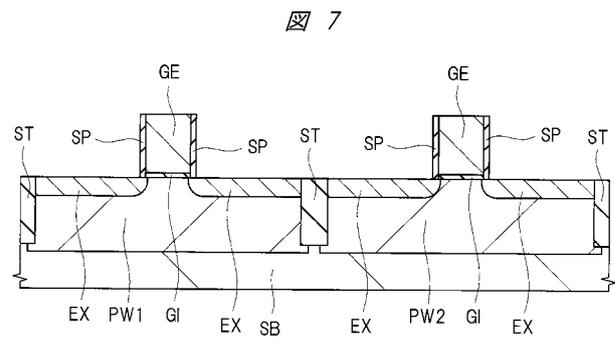
【 図 5 】



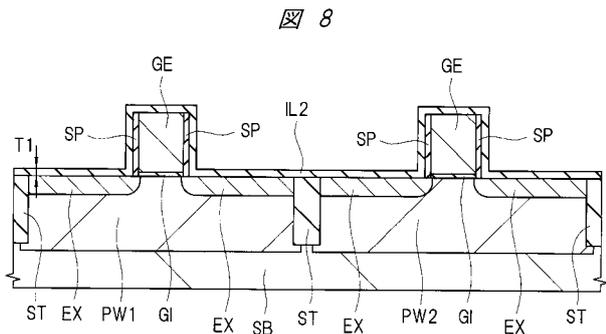
【 図 6 】



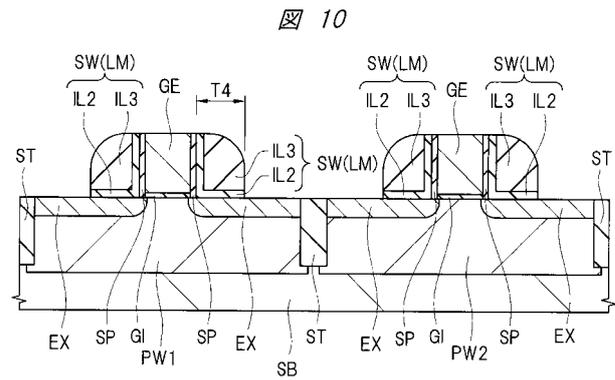
【 図 7 】



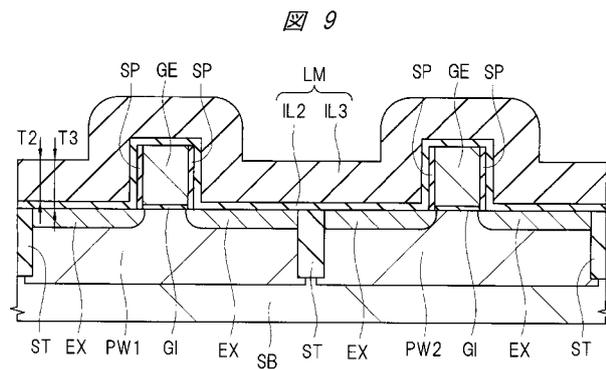
【 図 8 】



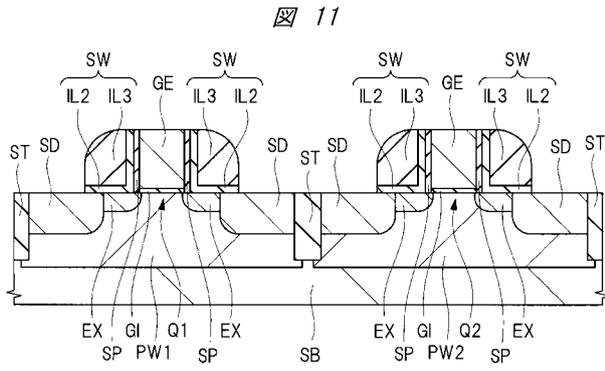
【 図 10 】



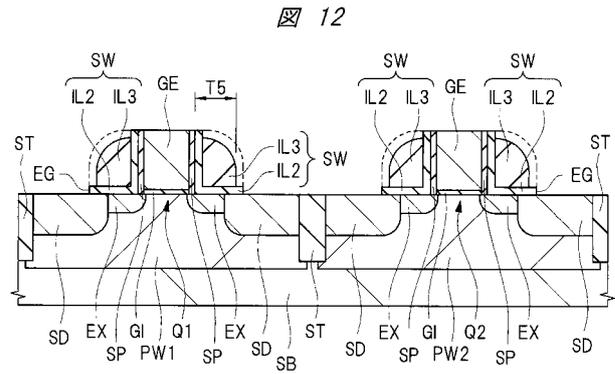
【 図 9 】



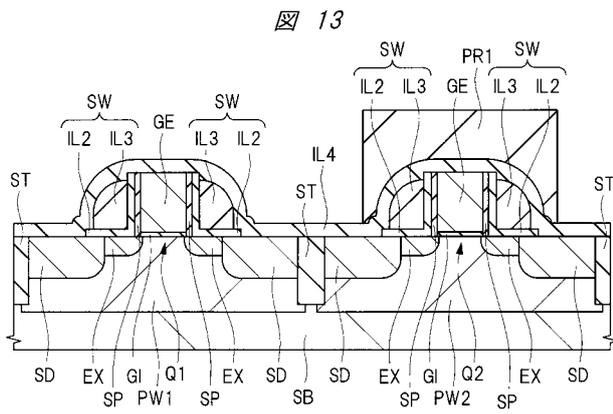
【 図 1 1 】



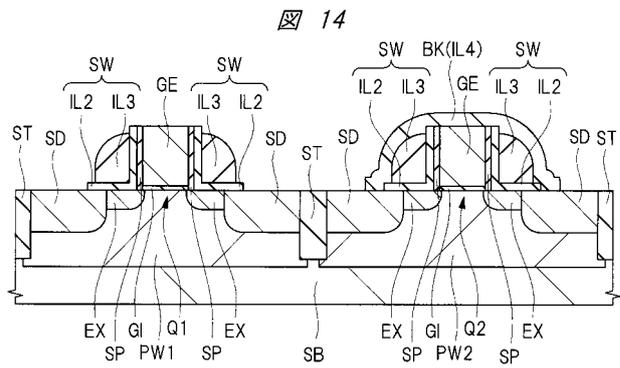
【 図 1 2 】



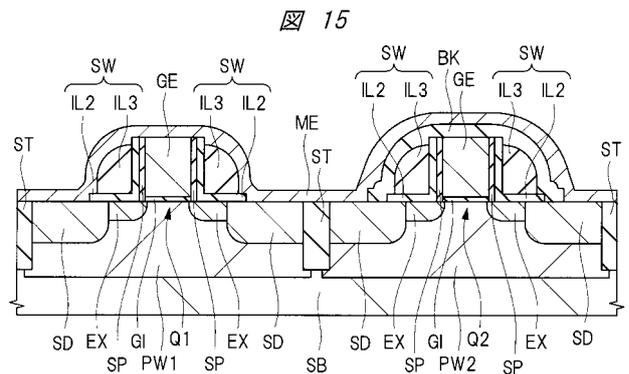
【 図 1 3 】



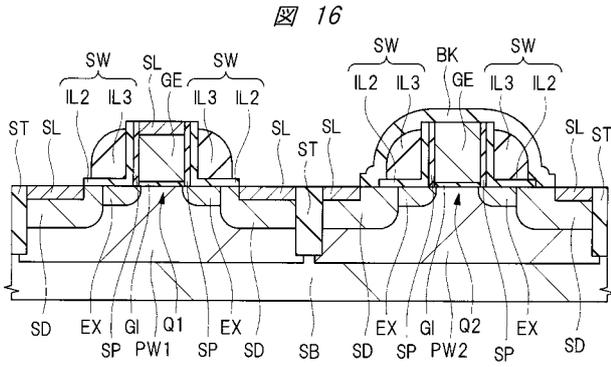
【 図 1 4 】



【 図 1 5 】

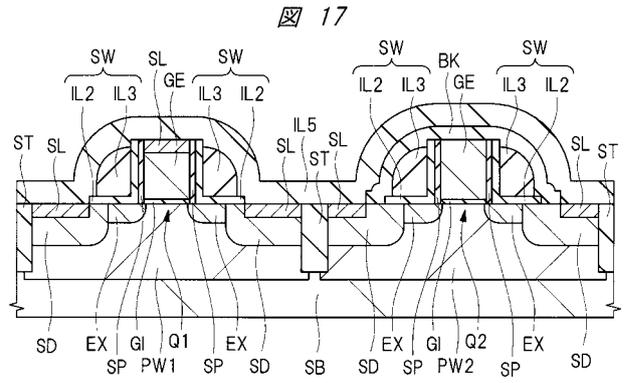


【 図 1 6 】

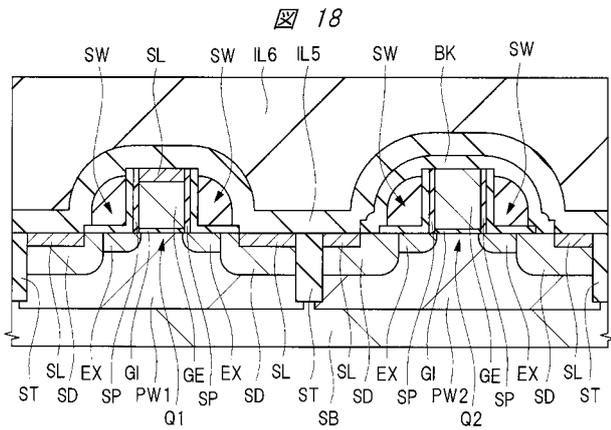


GE : ゲート電極
 IL2,IL3 : 絶縁膜
 SB : 半導体基板
 SD : ソース・ドレイン領域
 SW : サイドウォールスペーサ

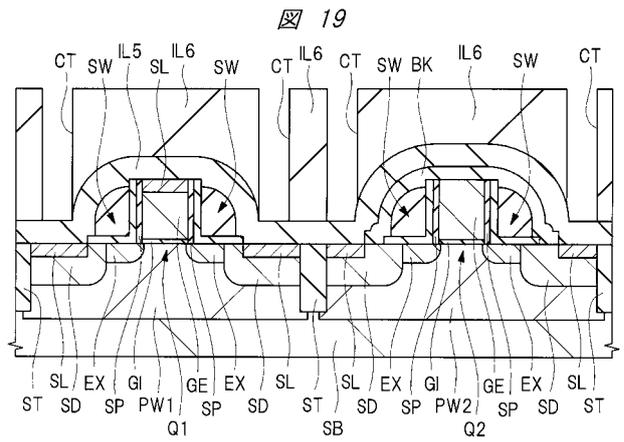
【 図 1 7 】



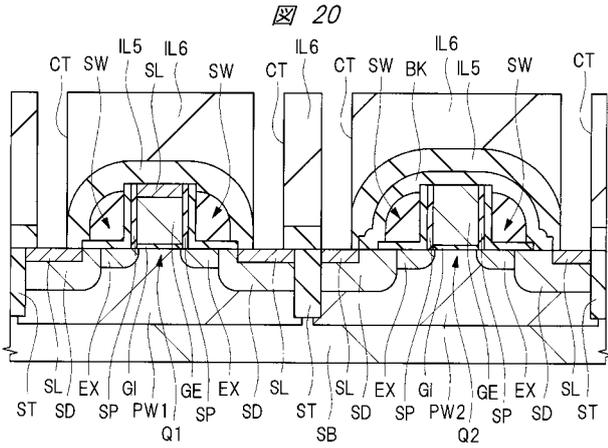
【 図 1 8 】



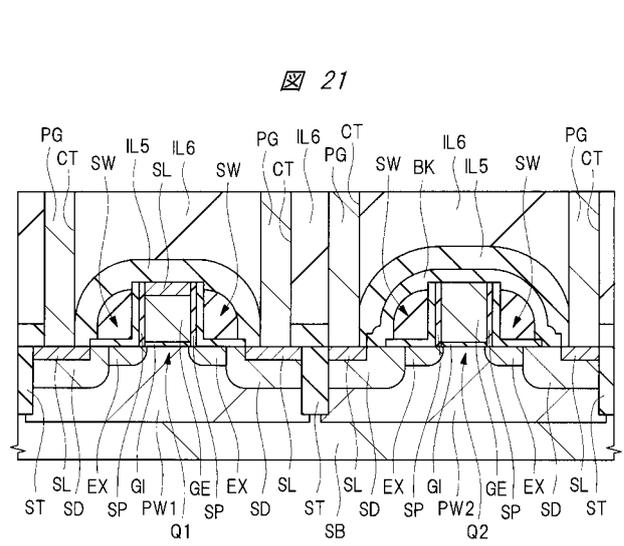
【 図 1 9 】



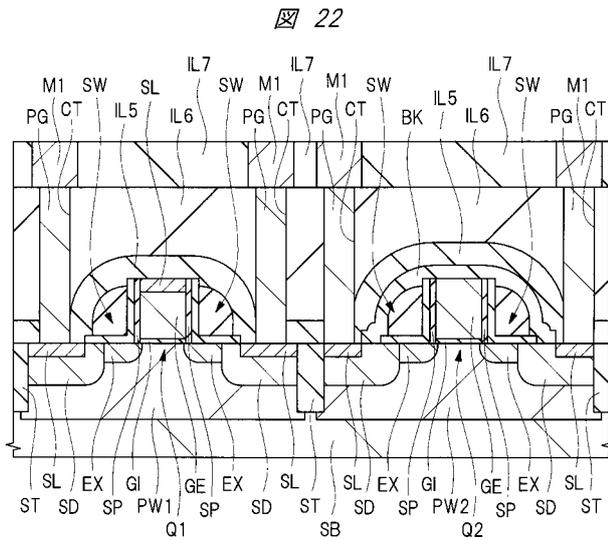
【 図 2 0 】



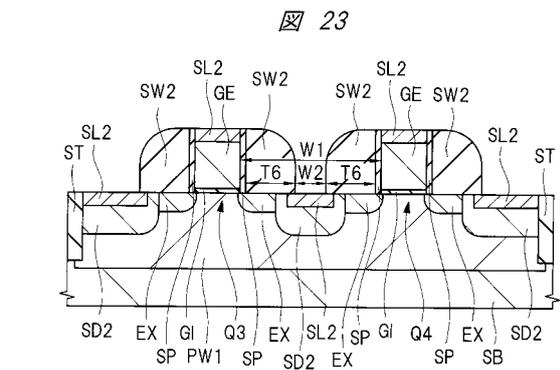
【 図 2 1 】



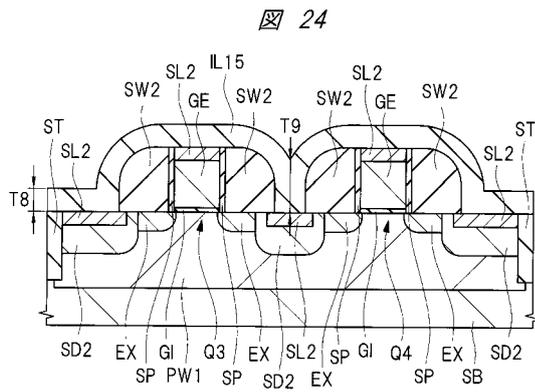
【 図 2 2 】



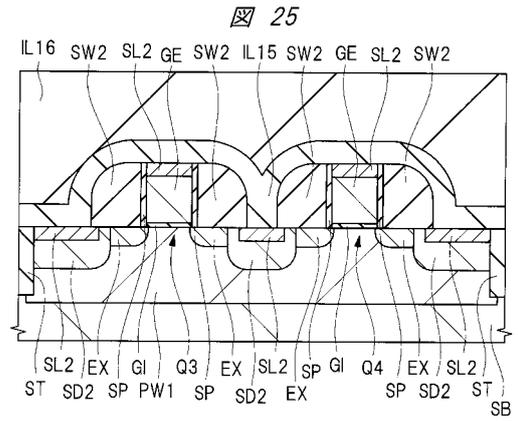
【 図 2 3 】



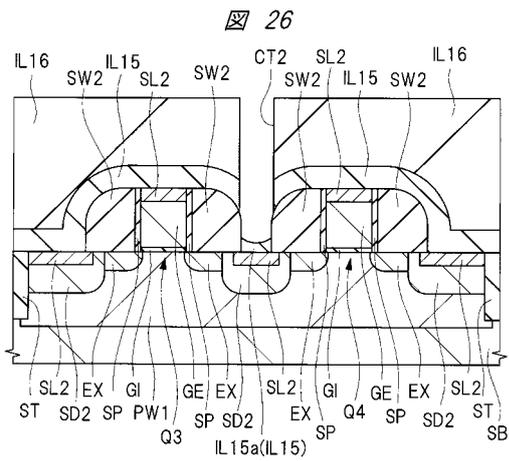
【 図 2 4 】



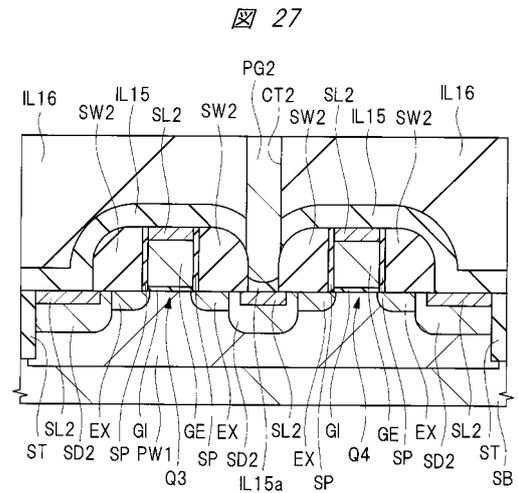
【 図 2 5 】



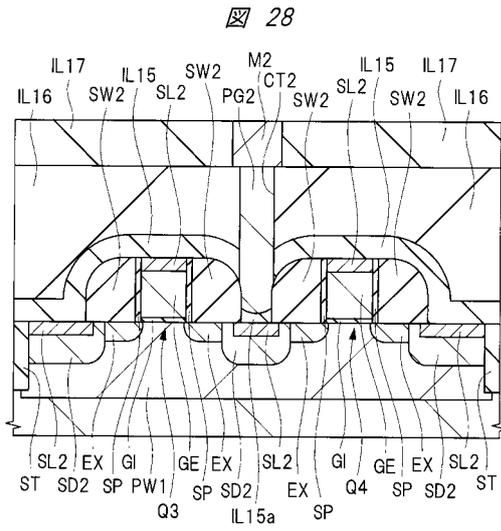
【 図 2 6 】



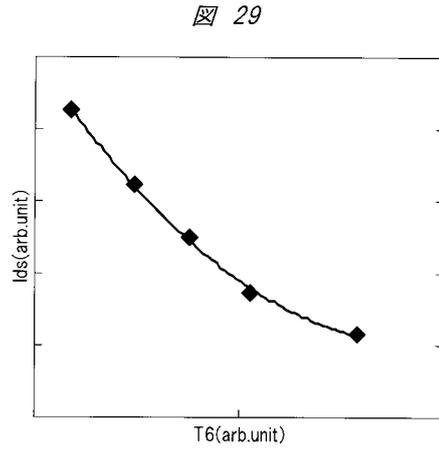
【 図 2 7 】



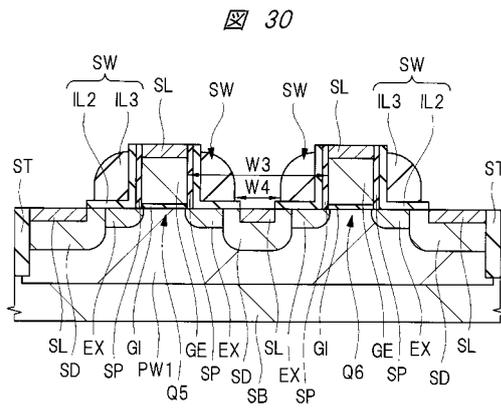
【 図 28 】



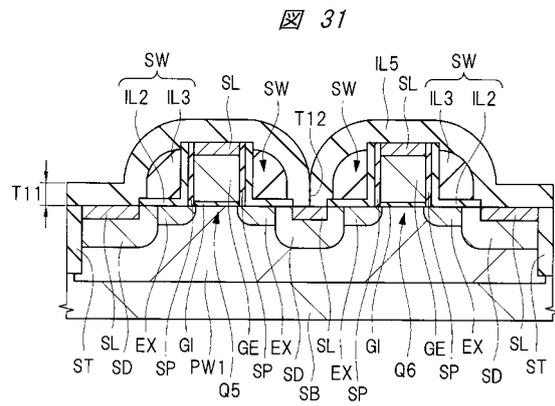
【 図 29 】



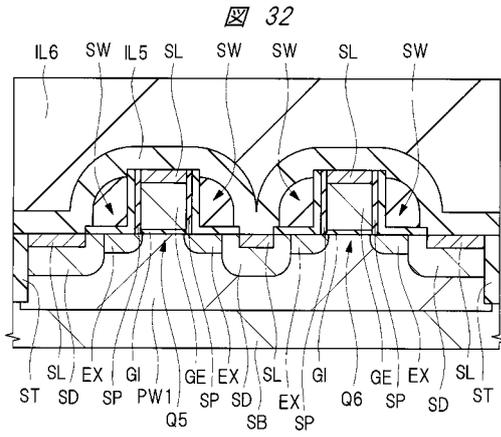
【 図 30 】



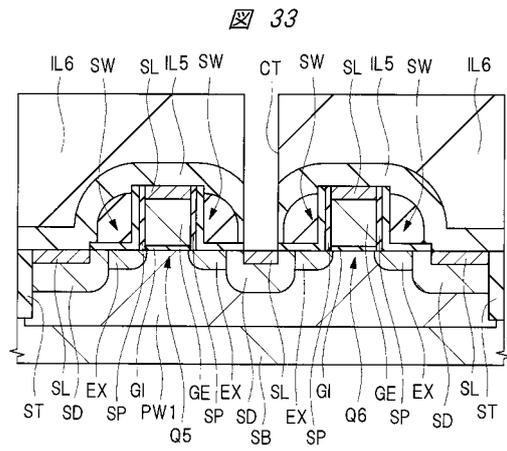
【 図 31 】



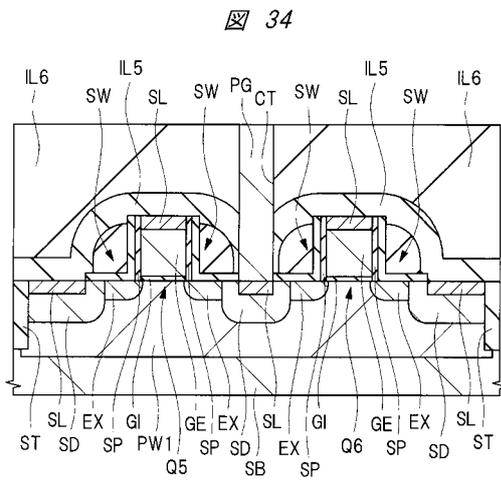
【 図 3 2 】



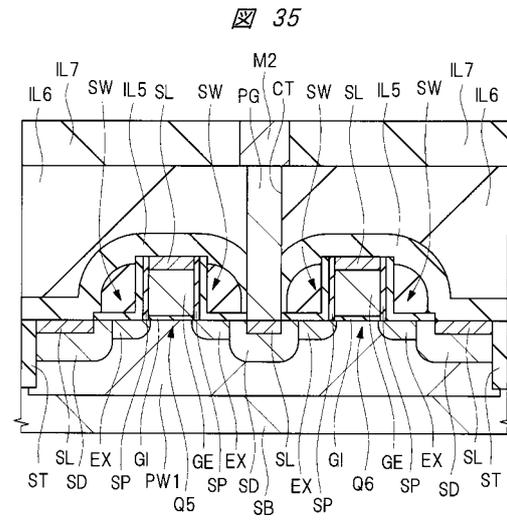
【 図 3 3 】



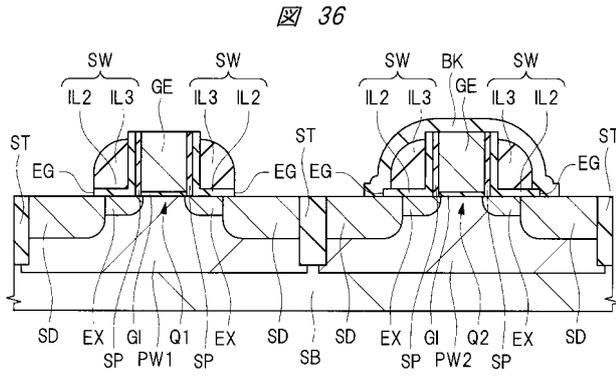
【 図 3 4 】



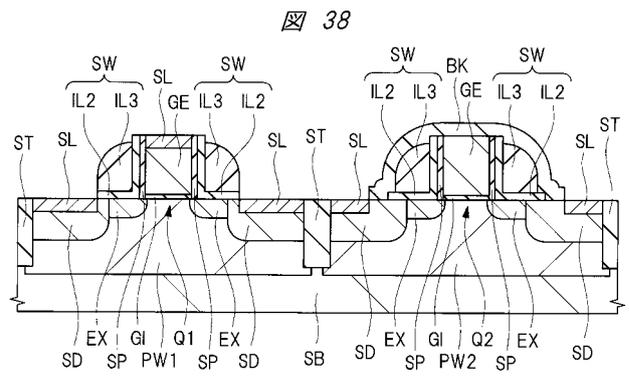
【 図 3 5 】



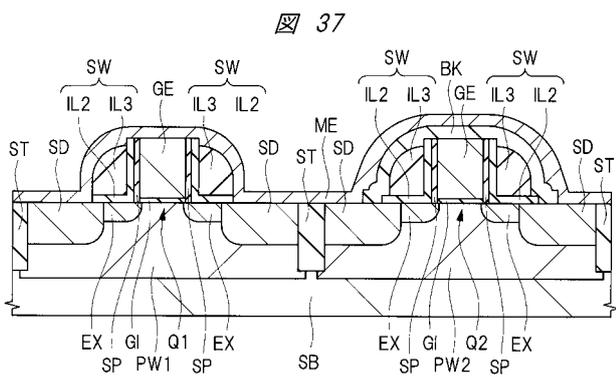
【 図 3 6 】



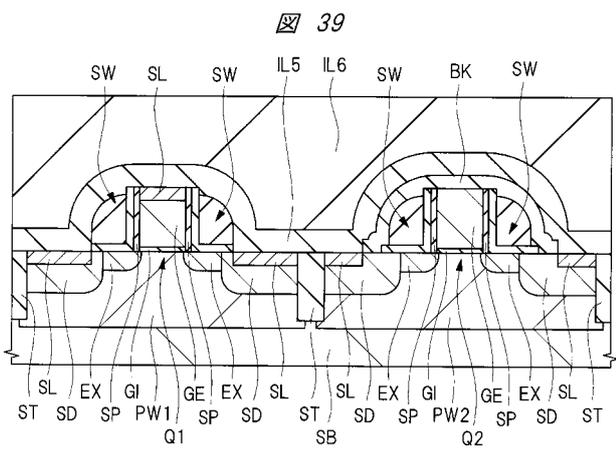
【 図 3 8 】



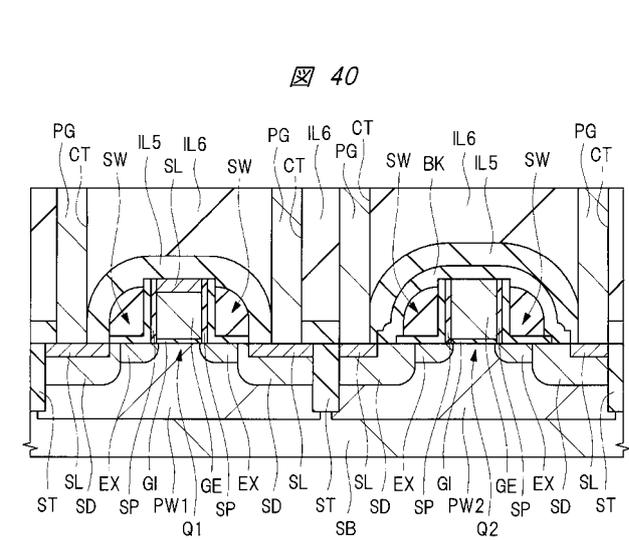
【 図 3 7 】



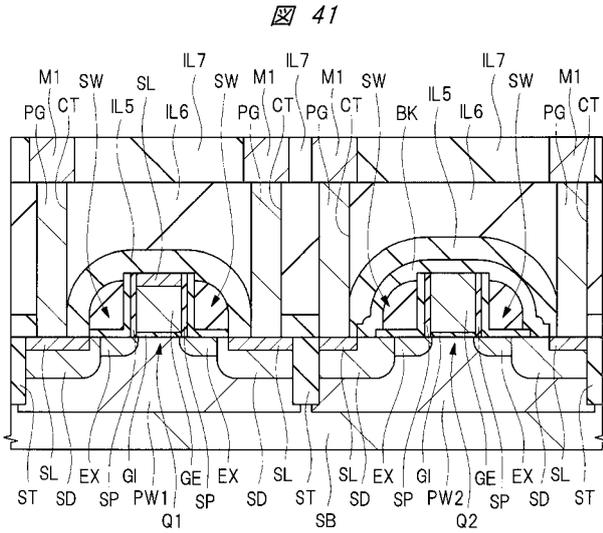
【 図 3 9 】



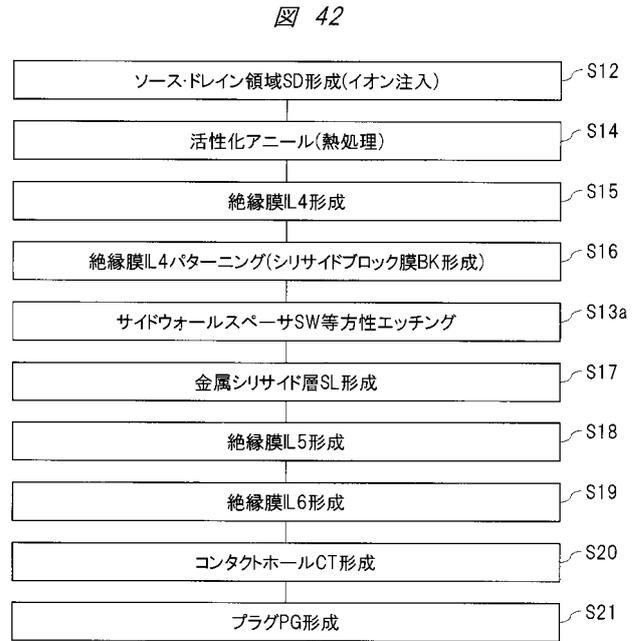
【 図 4 0 】



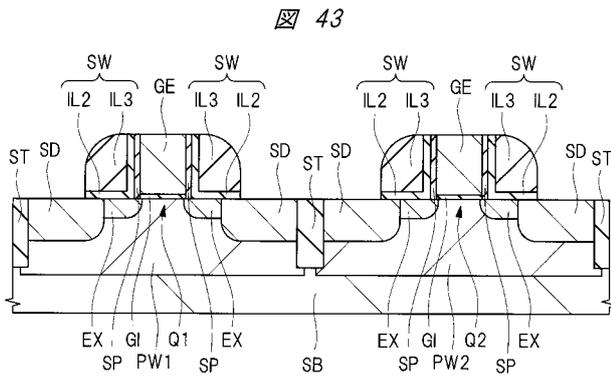
【図41】



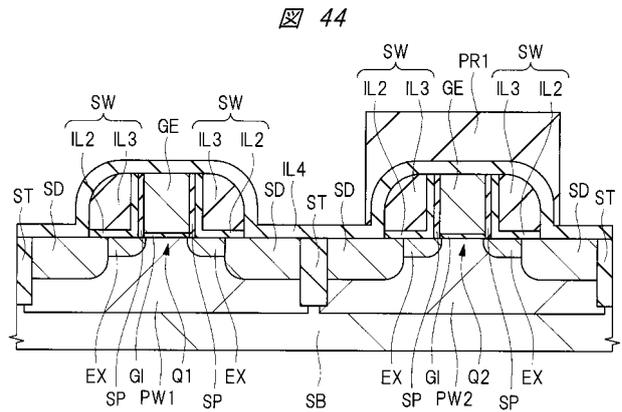
【図42】



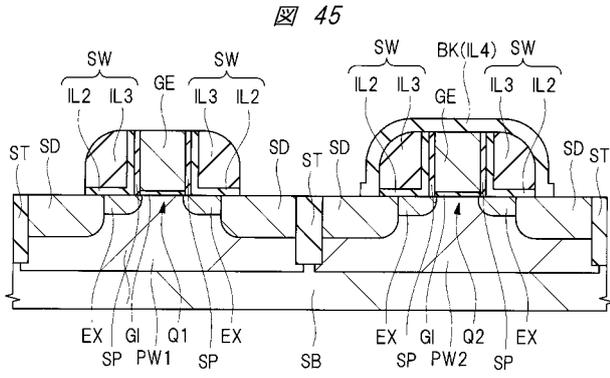
【図43】



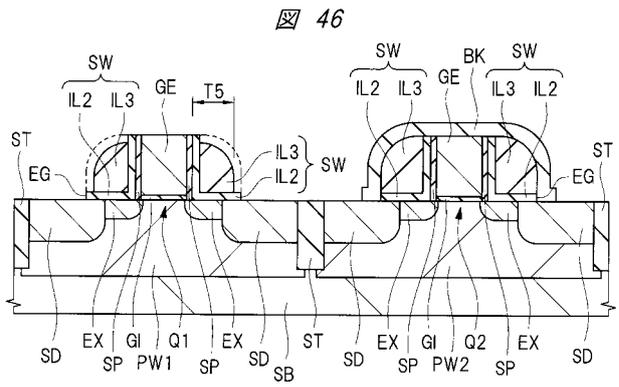
【図44】



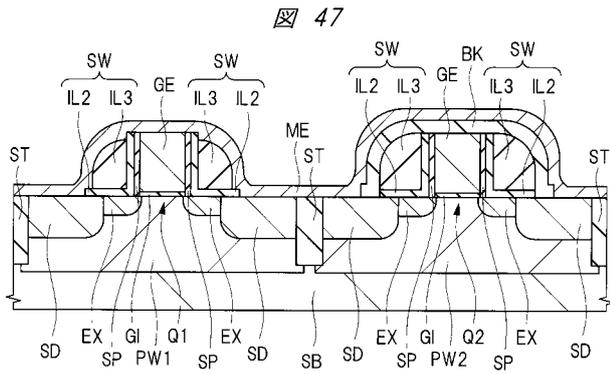
【 図 4 5 】



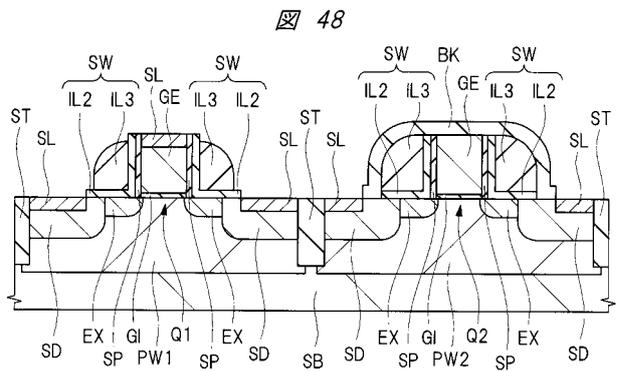
【 図 4 6 】



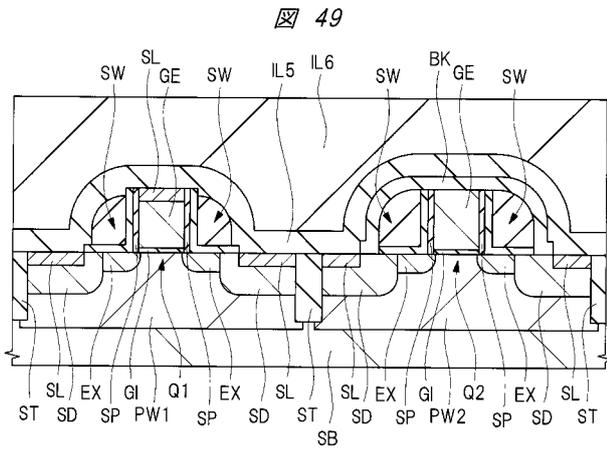
【 図 4 7 】



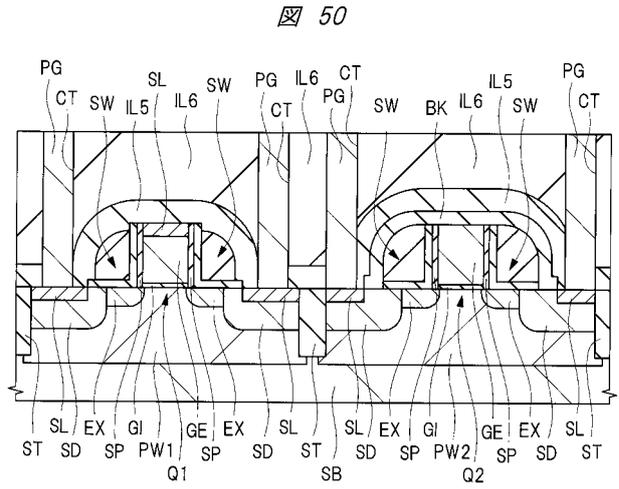
【 図 4 8 】



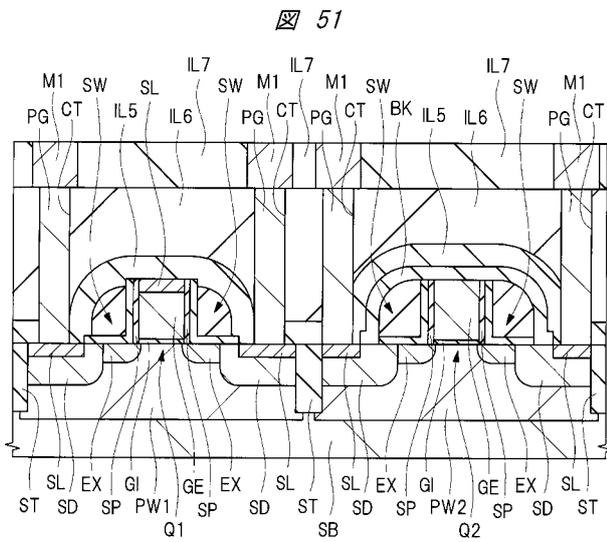
【 図 4 9 】



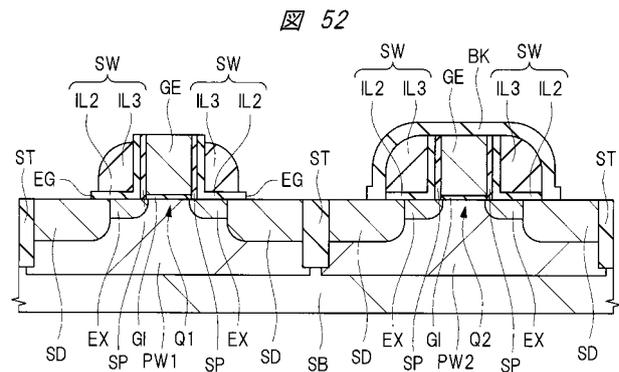
【 図 5 0 】



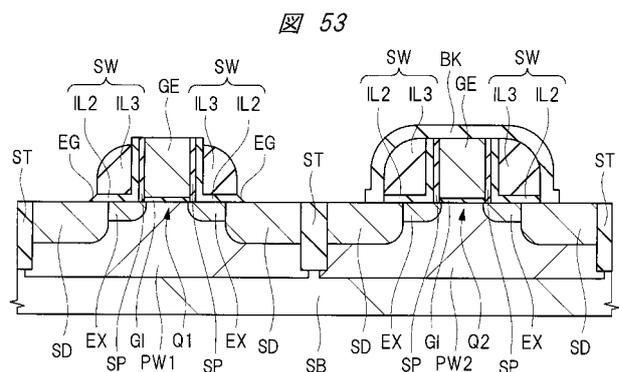
【 図 5 1 】



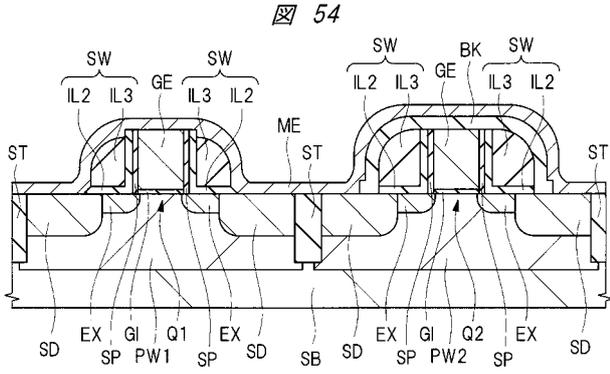
【 図 5 2 】



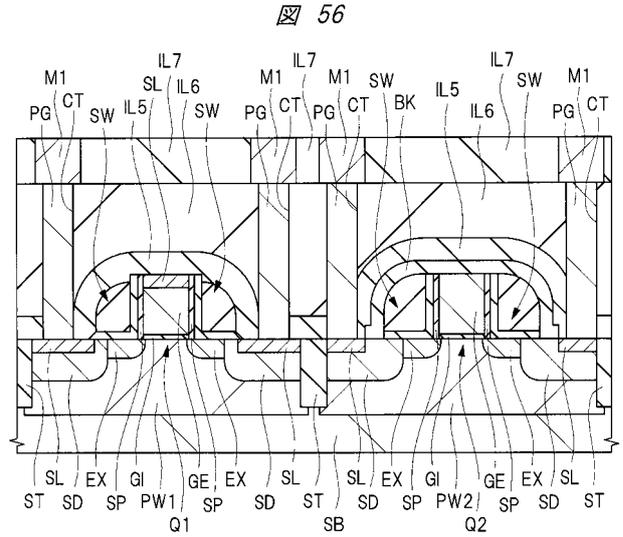
【 図 5 3 】



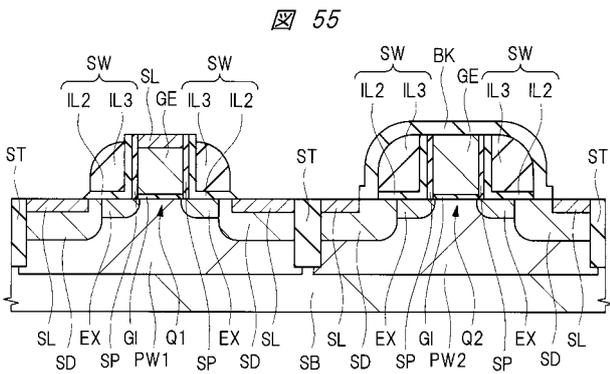
【 図 5 4 】



【 図 5 6 】



【 図 5 5 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/768 (2006.01) H 0 1 L 21/90 C

(72)発明者 岩崎 敏文

神奈川県川崎市中原区下沼部 1 7 5 3 番地 ルネサスエレクトロニクス株式会社内

F ターム(参考) 4M104 AA01 BB01 BB14 BB20 BB21 BB30 DD02 DD07 DD08 DD17
 DD18 DD37 DD43 DD75 DD78 DD84 EE09 EE12 EE14 EE17
 FF14 FF22 GG09 GG10 GG14
 5F033 HH11 HH21 HH32 HH33 JJ18 JJ19 JJ33 KK01 KK25 MM01
 MM12 MM13 NN06 NN07 PP06 PP15 PP27 QQ08 QQ09 QQ11
 QQ13 QQ16 QQ19 QQ25 QQ31 QQ33 QQ35 QQ37 QQ48 QQ70
 QQ73 RR04 RR06 SS11 SS15 TT08
 5F048 AC01 AC03 BA01 BB02 BB06 BB07 BB08 BB11 BB12 BC02
 BC06 BE03 BF02 BF06 BF07 BF11 BF15 BF16 BF17 BG12
 BG13 DA25 DA27 DA30
 5F140 AA00 AA10 AA24 AB03 AC32 BA01 BD09 BE02 BE07 BE08
 BF04 BF11 BF18 BF19 BG10 BG12 BG14 BG28 BG38 BG52
 BG53 BG54 BG58 BH14 BH15 BJ08 BJ09 BJ11 BJ13 BJ15
 BJ17 BJ27 BK02 BK13 BK21 BK28 BK29 BK30 BK34 BK39
 CA03 CB01 CB04 CB08 CC01 CC03 CC04 CC08 CC12 CE07
 CF04