



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0065969
(43) 공개일자 2017년06월14일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G11C 16/34</i> (2006.01) <i>G11C 16/10</i> (2006.01)
 <i>G11C 16/26</i> (2006.01) <i>G11C 29/26</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>G11C 16/3445</i> (2013.01)
 <i>G11C 16/10</i> (2013.01)</p> <p>(21) 출원번호 10-2015-0172401
 (22) 출원일자 2015년12월04일
 심사청구일자 없음</p> | <p>(71) 출원인
 에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091</p> <p>(72) 발명자
 유병성
 서울특별시 노원구 십발로 139 공릉풍림아파트 105동 1006호</p> <p>고재형
 서울특별시 서초구 잠원로 202-11, 2동 1007호(잠원동, 잠원훼미리아파트)</p> <p>(74) 대리인
 특허법인신성</p> |
|---|--|

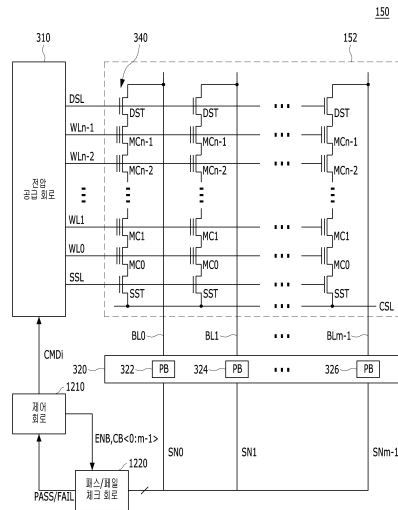
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **메모리 장치 및 그의 동작방법**

(57) 요약

본 기술은 메모리 장치 및 그 동작방법에 관한 것으로서, 다수의 메모리 셀들 중 제1그룹 메모리 셀들의 데이터를 리드하여 각각의 프로그램 동작을 검증한 결과에 따라 프로그램 페일로 검증된 메모리 셀의 수와 제1 기준 비트 수를 비교하여 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 확인하는 패스/페일 체크 회로, 및 제1그룹 메모리 셀들이 프로그램 패스로 확인된 경우 제1 기준 비트 수보다 작은 제2 기준 비트 수를 바탕으로 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 재확인하도록 패스/페일 체크 회로를 제어하기 위한 제어 회로를 제공한다.

대표도 - 도12



(52) CPC특허분류

G11C 16/26 (2013.01)

G11C 29/26 (2013.01)

G11C 2213/75 (2013.01)

명세서

청구범위

청구항 1

다수의 메모리 셀들을 포함하는 메모리 블록;

상기 다수의 메모리 셀들 중 제1그룹 메모리 셀들의 데이터를 리드하여 각각의 프로그램 동작을 검증하는 리드/라이트 회로;

상기 리드/라이트 회로의 검증 결과를 바탕으로 상기 제1그룹 메모리 셀들 중 프로그램 페일로 검증된 메모리 셀의 수와 제1 기준 비트 수를 비교하여 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 확인하는 패스/페일 체크 회로; 및

상기 제1그룹 메모리 셀들이 프로그램 패스로 확인된 경우 상기 제1 기준 비트 수보다 작은 제2 기준 비트 수를 바탕으로 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 재확인하도록 상기 패스/페일 체크 회로를 제어하기 위한 제어 회로

를 포함하는 메모리 장치.

청구항 2

제1항에 있어서,

상기 다수의 메모리 셀들 중 상기 제1그룹 메모리 셀들의 프로그램/검증 동작을 위해 각각에 프로그램/검증 전압을 인가하는 전압 공급 회로를 더 포함하며,

상기 제어 회로는 상기 제1그룹 메모리 셀들이 프로그램 페일로 확인된 경우 상기 프로그램 전압을 스텝 전압만큼 상승시켜 상기 제1그룹 메모리 셀들에 다시 프로그램/검증 및 프로그램 패스/페일 확인 동작이 수행되도록 제어하는 메모리 장치.

청구항 3

제2항에 있어서,

상기 프로그램/검증 및 프로그램 패스/페일 확인 동작이 기설정된 횟수만큼 반복되는 동안 상기 제1그룹 메모리 셀들이 계속 프로그램 페일로 확인되면, 상기 제어 회로는 제1그룹 메모리 셀들을 프로그램 불량 페이지로 처리하는 메모리 장치.

청구항 4

제1항에 있어서,

상기 리드 라이트 회로는,

비트라인을 통해 상기 제1그룹 메모리 셀들과 각각 연결되고, 상기 패스/페일 회로의 각각의 감지 노드에 연결되는 복수의 페이지 버퍼를 포함하는 메모리 장치.

청구항 5

제4항에 있어서,

상기 복수의 페이지 버퍼는 각각 해당 비트라인을 통해 연결된 메모리 셀에 프로그램된 데이터를 리드하여 내부

에 래치된 데이터와 비교하고, 그 결과를 바탕으로 해당 감지 노드의 전위를 변화시키는 메모리 장치.

청구항 6

제4항에 있어서,

상기 패스/페일 체크 회로는,

복수 비트의 검증 신호에 응답하여 기준 전류를 생성하는 기준 전류 생성부;

상기 감지 노드의 전위에 응답하여 감지 전류를 생성하는 감지 전류 생성부; 및

상기 기준 전류와 상기 감지 전류를 비교해 패스/페일 신호를 출력하는 비교부를 포함하는 메모리 장치.

청구항 7

제6항에 있어서,

상기 제어 회로는 초기에 상기 복수 비트의 검증 신호 중 상기 제1 기준 비트 수의 비트를 활성화하는 메모리 장치.

청구항 8

제7항에 있어서,

상기 제어 회로는 상기 비교부로부터 출력되는 패스 신호에 응답하여 상기 복수 비트의 검증 신호 중 상기 제2 기준 비트 수의 비트를 활성화하는 메모리 장치.

청구항 9

제1항에 있어서,

상기 패스/페일 체크 회로는,

상기 제1그룹 메모리 셀들 중 프로그램 페일로 검증된 메모리 셀의 수가 상기 제1 기준 비트 수보다 작으면 상기 제1그룹 메모리 셀들을 프로그램 패스로 확인하고, 상기 제1그룹 메모리 셀들 중 프로그램 페일로 검증된 메모리 셀의 수가 상기 제1 기준 비트 수보다 많으면 상기 제1그룹 메모리 셀들을 프로그램 페일로 확인하는 메모리 장치.

청구항 10

제1항에 있어서,

상기 제2 기준 비트 수를 바탕으로 상기 제1그룹 메모리 셀들이 프로그램 페일로 재확인되면, 상기 제어 회로는 상기 제1그룹 메모리 셀들을 성능 악화 가능성이 높은 페이지로 등록하여 관리하는 메모리 장치.

청구항 11

제10항에 있어서,

가비지 컬렉션 (garbage collection) 동작 시, 상기 성능 악화 가능성이 높은 페이지를 참조하여 희생 (victim) 블록을 선택하는 메모리 장치.

청구항 12

다수의 메모리 셀들을 포함하는 메모리 블록;

상기 다수의 메모리 셀들의 테이터를 리드하여 상기 메모리 블록의 소거(이레이즈) 동작을 검증하는 리드/라이트 회로;

상기 리드/라이트 회로의 검증 결과를 바탕으로 상기 다수의 메모리 셀들 중 소거 페일로 검증된 메모리 셀의 수와 제1 기준 비트 수를 비교하여 상기 메모리 블록의 소거 패스/페일 여부를 확인하는 패스/페일 체크 회로; 및

상기 메모리 블록이 소거 패스로 확인된 경우 상기 제1 기준 비트 수보다 작은 제2 기준 비트 수를 바탕으로 상기 메모리 블록의 소거 패스/페일 여부를 재확인하도록 상기 패스/페일 체크 회로를 제어하기 위한 제어 회로를 포함하는 메모리 장치.

청구항 13

제12항에 있어서,

상기 메모리 블록의 소거/검증 동작을 위해 소거/검증 전압을 인가하는 전압 공급 회로를 더 포함하며,

상기 제어 회로는 상기 메모리 블록이 소거 페일로 확인된 경우 상기 소거 전압을 스텝 전압만큼 상승시켜 상기 메모리 블록에 다시 소거/검증 및 소거 패스/페일 확인 동작이 수행되도록 제어하는 메모리 장치.

청구항 14

제12항에 있어서,

상기 제2 기준 비트 수를 바탕으로 상기 메모리 블록이 소거 페일로 재확인되면, 상기 제어 회로는 상기 메모리 블록을 성능 악화 가능성이 높은 블록으로 등록하여 관리하는 메모리 장치.

청구항 15

다수의 메모리 셀들 중 제1그룹 메모리 셀들에 프로그램 전압을 인가하여 프로그램하는 단계;

상기 제1그룹 메모리 셀들 각각의 프로그램 상태를 검증하는 단계;

상기 검증 결과를 바탕으로 상기 제1그룹 메모리 셀들 중 프로그램 페일로 검증된 메모리 셀의 수와 제1 기준 비트 수를 비교하여 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 확인하는 단계; 및

상기 제1그룹 메모리 셀들이 프로그램 패스로 확인된 경우 상기 제1 기준 비트 수보다 작은 제2 기준 비트 수를 바탕으로 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 재확인하는 단계

를 포함하는 메모리 장치의 동작방법.

청구항 16

제15항에 있어서,

상기 제1그룹 메모리 셀들이 프로그램 페일로 확인된 경우 상기 프로그램 전압을 인가한 횟수를 카운팅하는 단계를 더 포함하고,

상기 인가한 횟수가 기설정된 횟수보다 작으면 상기 프로그램 전압을 스텝 전압만큼 상승시켜 상기 프로그램/검증 및 상기 프로그램 패스/페일 확인 단계를 반복하는 메모리 장치의 동작방법.

청구항 17

제16항에 있어서,
 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 확인하는 단계는,
 상기 제1그룹 메모리 셀들 중 프로그램 페일로 검증된 메모리 셀의 수에 대응하여 감지 전류를 생성하는 단계;
 상기 제1 기준 비트 수에 대응하여 기준 전류를 생성하는 단계; 및
 상기 감지 전류와 기준 전류를 비교하여 패스/페일 신호를 출력하는 단계를 포함하는 메모리 장치의 동작방법.

청구항 18

제17항에 있어서,
 상기 감지 전류와 기준 전류를 비교하여 패스/페일 신호를 출력하는 단계는
 상기 감지 전류가 상기 기준 전류보다 크면 페일 신호를 출력하는 단계; 및
 상기 감지 전류가 상기 기준 전류보다 작으면 패스 신호를 출력하는 단계를 포함하는 메모리 장치의 동작 방법.

청구항 19

제14항에 있어서,
 제2 기준 비트 수를 바탕으로 상기 제1그룹 메모리 셀들의 프로그램 페일로 재확인되면, 상기 제1그룹 메모리 셀들을 성능 악화 가능성이 높은 페이지로 등록하여 관리하는 메모리 장치의 동작방법.

청구항 20

제19항에 있어서,
 가비지 컬렉션 (garbage collection) 동작 시, 상기 성능 악화 가능성이 높은 페이지를 참조하여 희생 (victim) 블록을 선택하는 메모리 장치의 동작방법.

발명의 설명

기술 분야

[0001] 본 발명은 메모리 장치의 프로그램/소거 검증 동작에 관한 것으로서, 더욱 상세하게는 프로그램/소거 검증 동작을 통해 메모리 셀의 상태를 확인하는 메모리 장치 및 그 동작방법에 관한 것이다.

배경 기술

[0002] 최근 컴퓨터 환경에 대한 패러다임(paradigm)이 언제, 어디서나 컴퓨터 시스템을 사용할 수 있도록 하는 유비쿼터스 컴퓨팅(ubiquitous computing)으로 전환되고 있다. 이로 인해 휴대폰, 디지털 카메라, 노트북 컴퓨터 등과 같은 휴대용 전자 장치의 사용이 급증하고 있다. 이와 같은 휴대용 전자 장치는 일반적으로 메모리 장치를 이용하는 메모리 시스템, 다시 말해 데이터 저장 장치를 사용한다. 데이터 저장 장치는 휴대용 전자 장치의 주 기억 장치 또는 보조 기억 장치로 사용된다.

[0003] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며, 또한 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 데이터 저장 장치의 일 예로, USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, 솔리드 스테이트 드라이브(SSD: Solid State Drive) 등이 포함된다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 프로그램/소거 검증 동작을 통해 메모리 셀의 상태를 확인하는 메모리 장치 및 그 동작방법을 제공하고자 한다.

과제의 해결 수단

[0005] 본 발명의 실시예에 따른 메모리 장치는 다수의 메모리 셀들을 포함하는 메모리 블록; 상기 다수의 메모리 셀들 중 제1그룹 메모리 셀들의 데이터를 리드하여 각각의 프로그램 동작을 검증하는 리드/라이트 회로; 상기 리드/라이트 회로의 검증 결과를 바탕으로 상기 제1그룹 메모리 셀들 중 프로그램 페일로 검증된 메모리 셀의 수와 제1 기준 비트 수를 비교하여 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 확인하는 패스/페일 체크 회로; 및 상기 제1그룹 메모리 셀들이 프로그램 패스로 확인된 경우 상기 제1 기준 비트 수보다 작은 제2 기준 비트 수를 바탕으로 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 재확인하도록 상기 패스/페일 체크 회로를 제어하기 위한 제어 회로를 포함할 수 있다.

[0006] 본 발명의 또 다른 실시예에 따른 메모리 장치는 다수의 메모리 셀들을 포함하는 메모리 블록; 상기 다수의 메모리 셀들의 데이터를 리드하여 상기 메모리 블록의 소거(이레이즈) 동작을 검증하는 리드/라이트 회로; 상기 리드/라이트 회로의 검증 결과를 바탕으로 상기 다수의 메모리 셀들 중 소거 페일로 검증된 메모리 셀의 수와 제1 기준 비트 수를 비교하여 상기 메모리 블록의 소거 패스/페일 여부를 확인하는 패스/페일 체크 회로; 및 상기 메모리 블록이 소거 패스로 확인된 경우 상기 제1 기준 비트 수보다 작은 제2 기준 비트 수를 바탕으로 상기 메모리 블록의 소거 패스/페일 여부를 재확인하도록 상기 패스/페일 체크 회로를 제어하기 위한 제어 회로를 포함할 수 있다.

[0007] 본 발명의 또 다른 실시예에 따른 메모리 장치의 동작방법은, 다수의 메모리 셀들 중 제1그룹 메모리 셀들에 프로그램 전압을 인가하여 프로그램하는 단계; 상기 제1그룹 메모리 셀들 각각의 프로그램 상태를 검증하는 단계; 상기 검증 결과를 바탕으로 상기 제1그룹 메모리 셀들 중 프로그램 페일로 검증된 메모리 셀의 수와 제1 기준 비트 수를 비교하여 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 확인하는 단계; 및 상기 제1그룹 메모리 셀들이 프로그램 패스로 확인된 경우 상기 제1 기준 비트 수보다 작은 제2 기준 비트 수를 바탕으로 상기 제1그룹 메모리 셀들의 프로그램 패스/페일 여부를 재확인하는 단계를 포함할 수 있다.

발명의 효과

[0008] 본 기술은 메모리 셀들에 수행되는 프로그램/소거 동작에 따른 검증 동작을 통해 메모리 셀들의 상태를 정기적으로 스캔함으로써 별도의 리드 동작 없이 메모리 셀들의 신뢰성을 높이는 효과가 있다.

[0009] 즉, 펄웨어 오버헤드(overhead)를 증가시키지 않고, 열화 시 메모리 셀의 성능을 예측하여 데이터 에러를 사전 검출할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면.

도 2는 본 발명의 실시예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면.

도 3은 본 발명의 실시예에 따른 메모리 장치에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시한 도면.

도 4 내지 도 11은 본 발명의 실시예에 따른 메모리 시스템에서 메모리 장치 구조를 개략적으로 도시한 도면.

도 12는 본 발명의 실시예에 따른 메모리 장치의 프로그램 동작을 설명하기 위한 도면.

도 13은 도 12의 리드/라이트 회로에 포함되는 페이지 버퍼를 도시한 도면.

도 14는 도 12의 패스/페일 체크 회로를 도시한 도면.

도 15는 본 발명의 실시예에 따라 도 12의 메모리 장치의 전반적인 동작을 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구성될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진자에게 본 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [0012] 도 1은 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템의 일 예를 개략적으로 도시한 도면이다.
- [0013] 도 1을 참조하면, 데이터 처리 시스템(100)은, 호스트(Host)(102) 및 메모리 시스템(110)을 포함한다.
- [0014] 그리고, 호스트(102)는, 예컨대, 휴대폰, MP3 플레이어, 랩탑 컴퓨터 등과 같은 휴대용 전자 장치들, 또는 데스크탑 컴퓨터, 게임기, TV, 프로젝터 등과 같은 전자 장치들을 포함한다.
- [0015] 또한, 메모리 시스템(110)은, 호스트(102)의 요청에 응답하여 동작하며, 특히 호스트(102)에 의해서 액세스되는 데이터를 저장한다. 다시 말해, 메모리 시스템(110)은, 호스트(102)의 주 기억 장치 또는 보조 기억 장치로 사용될 수 있다. 여기서, 메모리 시스템(110)은 호스트(102)와 연결되는 호스트 인터페이스 프로토콜에 따라, 다양한 종류의 저장 장치들 중 어느 하나로 구현될 수 있다. 예를 들면, 메모리 시스템(110)은, 솔리드 스테이트 드라이브(SSD: Solid State Drive), MMC, eMMC(embedded MMC), RS-MMC(Reduced Size MMC), micro-MMC 형태의 멀티 미디어 카드(MMC: Multi Media Card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(SD: Secure Digital) 카드, USB(Universal Storage Bus) 저장 장치, UFS(Universal Flash Storage) 장치, CF(Compact Flash) 카드, 스마트 미디어(Smart Media) 카드, 메모리 스틱(Memory Stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구현될 수 있다.
- [0016] 아울러, 메모리 시스템(110)을 구현하는 저장 장치들은, DRAM(Dynamic Random Access Memory), SRAM(Static RAM) 등과 같은 휘발성 메모리 장치와 ROM(Read Only Memory), MROM(Mask ROM), PROM(Programmable ROM), EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM), FRAM(Ferroelectric RAM), PRAM(Phase-change RAM), MRAM(Magnetoresistive RAM), RRAM(Resistive RAM), 플래시 메모리 등과 같은 비휘발성 메모리 장치로 구현될 수 있다.
- [0017] 그리고, 메모리 시스템(110)은, 호스트(102)에 의해서 액세스되는 데이터를 저장하는 메모리 장치(150), 및 메모리 장치(150)로의 데이터 저장을 제어하는 컨트롤러(130)를 포함한다.
- [0018] 여기서, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적될 수 있다. 일 예로, 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적되어 SSD를 구성할 수 있다. 메모리 시스템(110)이 SSD로 이용되는 경우, 메모리 시스템(110)에 연결되는 호스트(102)의 동작 속도는 획기적으로 개선될 수 있다.
- [0019] 컨트롤러(130) 및 메모리 장치(150)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(130) 및 메모리 장치(150)는, 하나의 반도체 장치로 집적되어, PC 카드(PCMCIA: Personal Computer Memory Card International Association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억 장치(UFS) 등과 같은 메모리 카드를 구성할 수 있다.
- [0020] 또 다른 일 예로, 메모리 시스템(110)은, 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistant), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 태블릿 컴퓨터(tablet computer), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(Portable Multimedia Player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), DMB (Digital Multimedia Broadcasting) 재생기, 3차원 텔레비전(3-dimensional television), 스마트 텔레비전(smart television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 데이터 센터를 구성하는 스토리지, 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등을 구성할 수 있다.

- [0021] 한편, 메모리 시스템(110)의 메모리 장치(150)는, 전원이 공급되지 않아도 저장된 데이터를 유지할 수 있으며, 특히 라이트(write) 동작을 통해 호스트(102)로부터 제공된 데이터를 저장하고, 리드(read) 동작을 통해 저장된 데이터를 호스트(102)로 제공한다. 그리고, 메모리 장치(150)는, 복수의 메모리 블록(memory block)들(152, 154, 156)을 포함하며, 각각의 메모리 블록들은, 복수의 페이지(page)들을 포함하며, 또한 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다. 또한, 메모리 장치(150)는, 비휘발성 메모리 장치, 일 예로 플래시 메모리가 될 수 있으며, 이때 플래시 메모리는 3D 입체 스택(stack) 구조가 될 수 있다. 여기서, 메모리 장치(150)의 구조 및 메모리 장치(150)의 3D 입체 스택 구조에 대해서는, 이하 도 2 내지 도 11을 참조하여 보다 구체적으로 설명할 예정임으로, 여기서는 그에 관한 구체적인 설명을 생략하기로 한다.
- [0022] 그리고, 메모리 시스템(110)의 컨트롤러(130)는, 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어한다. 예컨대, 컨트롤러(130)는, 메모리 장치(150)로부터 리드된 데이터를 호스트(102)로 제공하고, 호스트(102)로부터 제공된 데이터를 메모리 장치(150)에 저장하며, 이를 위해 컨트롤러(130)는, 메모리 장치(150)의 리드, 라이트, 프로그램(program), 이레이즈(erase) 등의 동작을 제어한다.
- [0023] 보다 구체적으로 설명하면, 컨트롤러(130)는, 호스트 인터페이스(Host I/F)(132), 프로세서(Processor)(134), 에러 정정 코드(ECC: Error Correction Code) 유닛(138), 파워 관리 유닛(PMU: Power Management Unit)(140), 낸드 플래시 컨트롤러(NFC: NAND Flash Controller)(142), 및 메모리(Memory)(144)를 포함한다.
- [0024] 또한, 호스트 인터페이스(134)는, 호스트(102)의 커맨드(command) 및 데이터를 처리하며, USB(Universal Serial Bus), MMC(Multi-Media Card), PCI-E(Peripheral Component Interconnect-Express), SAS(Serial-Attached SCSI), SATA(Serial Advanced Technology Attachment), PATA(Parallel Advanced Technology Attachment), SCSI(Small Computer System Interface), ESDI(Enhanced Small Disk Interface), IDE(Integrated Drive Electronics) 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(102)와 통신하도록 구성될 수 있다.
- [0025] 아울러, ECC 유닛(138)은, 메모리 장치(150)에 저장된 데이터를 리드할 경우, 메모리 장치(150)로부터 리드된 데이터에 포함되는 에러를 검출 및 정정한다. 다시 말해, ECC 유닛(138)은, 메모리 장치(150)로부터 리드된 데이터에 대하여 에러 정정 디코딩을 수행한 후, 에러 정정 디코딩의 성공 여부를 판단하고 판단 결과에 따라 지시 신호를 출력하며, ECC 인코딩 과정에서 생성된 패리티(parity) 비트를 사용하여 리드된 데이터의 에러 비트를 정정할 수 있다. 이때, ECC 유닛(138)은, 에러 비트 개수가 정정 가능한 에러 비트 한계치 이상 발생하면, 에러 비트를 정정할 수 없으며, 에러 비트를 정정하지 못함에 상응하는 에러 정정 실패(fail) 신호를 출력할 수 있다.
- [0026] 여기서, ECC 유닛(138)은, LDPC(Low Density Parity Check) code, BCH(Bose, Chaudhri, Hocquenghem) code, turbo code, 리드-솔로몬(Reed-Solomon) code, convolutional code, RSC(Recursive Systematic Convolutional) code, TCM(Trellis-Coded Modulation), BCM(Block Coded Modulation) 등의 코딩 모듈레이션(coded modulation)을 사용하여 에러 정정을 수행할 수 있으며 이에 한정되는 것은 아니다. 또한, ECC 유닛(138)은 오류 정정을 위한 회로, 시스템 또는 장치를 모두 포함할 수 있다.
- [0027] 그리고, PMU(140)는, 컨트롤러(130)의 파워, 즉 컨트롤러(130)에 포함된 구성 요소들의 파워를 제공 및 관리한다.
- [0028] 또한, NFC(142)는, 컨트롤러(130)가 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어하기 위해, 컨트롤러(130)와 메모리 장치(150) 간의 인터페이스를 수행하는 메모리 인터페이스로서, 메모리 장치(150)가 플래시 메모리, 특히 일 예로 메모리 장치(150)가 낸드 플래시 메모리일 경우에, 프로세서(134)의 제어에 따라 메모리 장치(150)의 제어 신호를 생성하고 데이터를 처리한다.
- [0029] 아울러, 메모리(144)는, 메모리 시스템(110) 및 컨트롤러(130)의 동작 메모리로, 메모리 시스템(110) 및 컨트롤러(130)의 구동을 위한 데이터를 저장한다. 보다 구체적으로 설명하면, 메모리(144)는, 컨트롤러(130)가 호스트(102)로부터의 요청에 응답하여 메모리 장치(150)를 제어, 예컨대 컨트롤러(130)가, 메모리 장치(150)로부터 리드된 데이터를 호스트(102)로 제공하고, 호스트(102)로부터 제공된 데이터를 메모리 장치(150)에 저장하며, 이를 위해 컨트롤러(130)가, 메모리 장치(150)의 리드, 라이트, 프로그램, 이레이즈(erase) 등의 동작을 제어할 경우, 이러한 동작을 메모리 시스템(110), 즉 컨트롤러(130)와 메모리 장치(150) 간에 수행하기 위해 필요한 데이터를 저장한다.

- [0030] 여기서, 메모리(144)는, 휘발성 메모리로 구현될 수 있으며, 예컨대 정적 랜덤 액세스 메모리(SRAM: Static Random Access Memory), 또는 동적 랜덤 액세스 메모리(DRAM: Dynamic Random Access Memory) 등으로 구현될 수 있다. 또한, 메모리(144)는, 전술한 바와 같이, 호스트(102)와 메모리 장치(150) 간 데이터 라이트 및 리드 등의 동작을 수행하기 위해 필요한 데이터, 및 데이터 라이트 및 리드 등의 동작 수행 시의 데이터를 저장하며, 이러한 데이터 저장을 위해, 프로그램 메모리, 데이터 메모리, 라이트 버퍼, 리드 버퍼, 맵(map) 버퍼 등을 포함한다.
- [0031] 그리고, 프로세서(134)는, 메모리 시스템(110)의 제반 동작을 제어하며, 호스트(102)로부터의 라이트 요청 또는 리드 요청에 응답하여, 메모리 장치(150)에 대한 라이트 동작 또는 리드 동작을 제어한다. 여기서, 프로세서(134)는, 메모리 시스템(110)의 제반 동작을 제어하기 위해 플래시 변환 계층(FTL: Flash Translation Layer, 이하 'FTL'이라 칭하기로 함)이라 불리는 펌웨어(firmware)를 구동한다. 또한, 프로세서(134)는, 마이크로프로세서 또는 중앙 처리 장치(CPU) 등으로 구현될 수 있다.
- [0032] 그리고, 프로세서(134)에는, 메모리 장치(150)의 배드 관리(bad management), 예컨대 배드 블록 관리(bad block management)를 수행하기 위한 관리 유닛(도시하지 않음)이 포함되며, 관리 유닛은, 메모리 장치(150)에 포함된 복수의 메모리 블록들에서 배드 블록(bad block)을 확인한 후, 확인된 배드 블록을 배드 처리하는 배드 블록 관리를 수행한다. 여기서, 배드 관리, 다시 말해 배드 블록 관리는, 메모리 장치(150)가 플래시 메모리, 예컨대 낸드 플래시 메모리일 경우, 낸드의 특성으로 인해 데이터 라이트, 예컨대 데이터 프로그램(program) 시에 프로그램 실패(program fail)가 발생할 수 있으며, 프로그램 실패가 발생한 메모리 블록을 배드(bad) 처리한 후, 프로그램 실패된 데이터를 새로운 메모리 블록에 라이트, 즉 프로그램하는 것을 의미한다. 또한, 메모리 장치(150)가 3D 입체 스택 구조를 가질 경우에는, 프로그램 실패에 따라 해당 블록을 배드 블록으로 처리할 경우, 메모리 장치(150)의 사용 효율 및 메모리 시스템(100)의 신뢰성이 급격하게 저하되므로, 보다 신뢰성 있는 배드 블록 관리 수행이 필요하다. 그러면 이하에서는, 도 2 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서의 메모리 장치에 대해서 보다 구체적으로 설명하기로 한다.
- [0033] 도 2는 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치의 일 예를 개략적으로 도시한 도면이고, 도 3은 본 발명의 실시 예에 따른 메모리 장치에서 메모리 블록들의 메모리 셀 어레이 회로를 개략적으로 도시한 도면이며, 도 4 내지 도 11은 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치 구조를 개략적으로 도시한 도면으로, 메모리 장치가 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이다.
- [0034] 우선, 도 2를 참조하면, 메모리 장치(150)는, 복수의 메모리 블록들, 예컨대 블록0(BLK0)(210), 블록1(BLK1)(220), 블록2(BLK2)(230), 및 블록N-1(BLKN-1)(240)을 포함하며, 각각의 블록들(210, 220, 230, 240)은, 복수의 페이지들(Pages), 예컨대 2^M 개의 페이지들(2^M PAGES)을 포함한다. 여기서, 설명의 편의를 위해, 복수의 메모리 블록들이 각각 2^M 개의 페이지들을 포함하는 것을 일 예로 하여 설명하지만, 복수의 메모리들은, 각각 M개의 페이지들을 포함할 수도 있다. 그리고, 각각의 페이지들은, 복수의 워드라인(WL: Word Line)들이 연결된 복수의 메모리 셀들을 포함한다.
- [0035] 또한, 메모리 장치(150)는, 복수의 메모리 블록들을, 하나의 메모리 셀에 저장 또는 표현할 수 있는 비트의 수에 따라, 단일 레벨 셀(SLC: Single Level Cell) 메모리 블록 및 멀티 레벨 셀(MLC: Multi Level Cell) 메모리 블록 등으로 포함할 수 있다. 여기서, SLC 메모리 블록은, 하나의 메모리 셀에 1 비트 데이터를 저장하는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하며, 데이터 연산 성능이 빠르며 내구성이 높다. 그리고, MLC 메모리 블록은, 하나의 메모리 셀에 멀티 비트 데이터(예를 들면, 2 비트 이상)를 저장하는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하며, SLC 메모리 블록보다 큰 데이터 저장 공간을 가질 수, 다시 말해 고집적화할 수 있다. 여기서, 하나의 메모리 셀에 3 비트 데이터를 저장할 수 있는 메모리 셀들에 의해 구현된 복수의 페이지들을 포함하는 MLC 메모리 블록을, 트리플 레벨 셀(TLC: Triple Level Cell) 메모리 블록으로 구분할 수도 있다.
- [0036] 그리고, 각각의 블록들(210, 220, 230, 240)은, 라이트 동작을 통해 호스트 장치로부터 제공된 데이터를 저장하고, 리드 동작을 통해 저장된 데이터를 호스트(102)로 제공한다.
- [0037] 다음으로, 도 3을 참조하면, 메모리 시스템(110)에서 메모리 장치(150)의 메모리 블록(152)은, 비트라인들(BL₀ to BL_{m-1})에 각각 연결된 복수의 셀 스트링들(340)을 포함할 수 있다. 각 열(column)의 셀 스트링(340)은, 적어도 하나의 드레인 선택 트랜지스터(DST)와, 적어도 하나의 소스 선택 트랜지스터(SST)를 포함할 수 있다. 선택 트랜지스터들(DST, SST) 사이에는, 복수 개의 메모리 셀들, 또는, 메모리 셀 트랜지스터들(MC₀ to MC_{n-1})이 직

렬로 연결될 수 있다. 각각의 메모리 셀(MC0 to MCn-1)은, 셀 당 복수의 비트의 데이터 정보를 저장하는 멀티 레벨 셀(MLC: Multi-Level Cell)로 구성될 수 있다. 셀 스트링들(340)은 대응하는 비트라인들(BL0 to BLm-1)에 각각 전기적으로 연결될 수 있다.

[0038] 여기서, 도 3은 낸드 플래시 메모리 셀로 구성된 메모리 블록(152)을 일 예로 도시하고 있으나, 본 발명의 실시 예에 따른 메모리 장치(150)의 메모리 블록(152)은, 낸드 플래시 메모리에만 국한되는 것은 아니라 노어 플래시 메모리(NOR-type Flash memory), 적어도 두 종류 이상의 메모리 셀들이 혼합된 하이브리드 플래시 메모리, 및 메모리 칩 내에 컨트롤러가 내장된 One-NAND 플래시 메모리 등으로도 구현될 수 있다. 반도체 장치의 동작 특성은 전하 저장층이 전도성 부유 게이트로 구성된 플래시 메모리 장치는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(Charge Trap Flash; CTF)에도 적용될 수 있다.

[0039] 그리고, 메모리 장치(150)의 전압 공급부(310)는, 동작 모드에 따라서 각각의 워드라인들로 공급될 워드라인 전압들(예를 들면, 프로그램 전압, 리드 전압, 패스 전압 등)과, 메모리 셀들이 형성된 벌크(예를 들면, 웰 영역)로 공급될 전압을 제공할 수 있으며, 이때 전압 공급부(310)의 전압 발생 동작은 제어 회로(도시하지 않음)의 제어에 의해 수행될 수 있다. 또한, 전압 공급부(310)는, 다수의 리드 데이터를 생성하기 위해 복수의 가변 리드 전압들을 생성할 수 있으며, 제어 회로의 제어에 응답하여 메모리 셀 어레이의 메모리 블록들(또는 섹터들) 중 하나를 선택하고, 선택된 메모리 블록의 워드라인들 중 하나를 선택할 수 있으며, 워드라인 전압을 선택된 워드라인 및 비선택된 워드라인들로 각각 제공할 수 있다.

[0040] 아울러, 메모리 장치(150)의 리드/라이트(read/write) 회로(320)는, 제어 회로에 의해서 제어되며, 동작 모드에 따라 감지 증폭기(sense amplifier)로서 또는 라이트 드라이버(write driver)로서 동작할 수 있다. 예를 들면, 검증/정상 리드 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이로부터 데이터를 리드하기 위한 감지 증폭기로서 동작할 수 있다. 또한, 프로그램 동작의 경우 리드/라이트 회로(320)는, 메모리 셀 어레이에 저장될 데이터에 따라 비트라인들을 구동하는 라이트 드라이버로서 동작할 수 있다. 리드/라이트 회로(320)는, 프로그램 동작 시 셀 어레이에 라이트될 데이터를 버퍼(미도시)로부터 수신하고, 입력된 데이터에 따라 비트라인들을 구동할 수 있다. 이를 위해, 리드/라이트 회로(320)는, 열(column)들(또는 비트라인들) 또는 열쌍(column pair)(또는 비트라인 쌍들)에 각각 대응되는 복수 개의 페이지 버퍼(PB)들(322, 324, 326)을 포함할 수 있으며, 각각의 페이지 버퍼(page buffer)(322, 324, 326)에는 복수의 래치들(도시하지 않음)이 포함될 수 있다. 그러면 여기서, 도 4 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치가 3차원 비휘발성 메모리 장치로 구현될 경우의 메모리 장치에 대해서 보다 구체적으로 설명하기로 한다.

[0041] 도 4를 참조하면, 메모리 장치(150)는, 전술한 바와 같이, 복수의 메모리 블록들(BLK0 to BLKn-1)을 포함할 수 있다. 여기서, 도 4는, 도 2에 도시한 메모리 장치의 메모리 블록을 보여주는 블록도로서, 각 메모리 블록(BLK)은, 3차원 구조(또는 수직 구조)로 구현될 수 있다. 예를 들면, 각 메모리 블록(BLK)은 제1방향 내지 제3방향들, 예컨대 x-축 방향, y-축 방향, 및 z-축 방향을 따라 신장된 구조물들을 포함할 수 있다.

[0042] 각 메모리 블록(BLK)은 제2방향을 따라 신장된 복수의 낸드 스트링들(NS)을 포함할 수 있다. 제1방향 및 제3방향들을 따라 복수의 낸드 스트링들(NS)이 제공될 수 있다. 각 낸드 스트링(NS)은 비트라인(BL), 적어도 하나의 스트링 선택라인(SSL), 적어도 하나의 접지 선택라인(GSL), 복수의 워드라인들(WL), 적어도 하나의 더미 워드라인(DWL), 그리고 공통 소스라인(CSL)에 연결될 수 있다. 즉, 각 메모리 블록은 복수의 비트라인들(BL), 복수의 스트링 선택라인들(SSL), 복수의 접지 선택라인들(GSL), 복수의 워드라인들(WL), 복수의 더미 워드라인들(DWL), 그리고 복수의 공통 소스라인(CSL)에 연결될 수 있다.

[0043] 그리고, 도 5 및 도 6을 참조하면, 메모리 장치(150)의 복수의 메모리 블록들에서 임의의 메모리 블록(BLK_i)은, 제1방향 내지 제3방향들을 따라 신장된 구조물들을 포함할 수 있다. 여기서, 도 5는, 본 발명의 실시 예에 따른 메모리 장치가 제1구조의 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이며, 도 4의 복수의 메모리 블록에서 제1구조로 구현된 임의의 메모리 블록(BLK_i)을 도시한 사시도이고, 도 6은, 도 5의 메모리 블록(BLK_i)을 임의의 제1선(I-I')에 따른 단면도이다.

[0044] 우선, 기판(5111)이 제공될 수 있다. 예컨대, 기판(5111)은 제1타입 불순물로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 기판(5111)은 p-타입 불순물로 도핑된 실리콘 물질을 포함하거나, p-타입 웰(예를 들면, 포켓 p-웰)일 수 있고, p-타입 웰을 둘러싸는 n-타입 웰을 더 포함할 수 있다. 이하에서는 설명의 편의를 위해, 기판(5111)은 p-타입 실리콘인 것으로 가정하지만, 기판(5111)은 p-타입 실리콘으로 한정되지 않는다.

[0045] 그리고, 기판(5111) 상에, 제1방향을 따라 신장된 복수의 도핑 영역들(5311, 5312, 5313, 5314)이 제공될 수 있다.

예를 들면, 복수의 도핑 영역들(5311, 5312, 5313, 5314)은 기판(1111)과 상이한 제2타입을 가질 수 있다. 예를 들면, 복수의 도핑 영역들(5311, 5312, 5313, 5314)은 n-타입을 가질 수 있다. 이하에서는 설명의 편의를 위해, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)은, n-타입인 것으로 가정하지만, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)은 n-타입인 것으로 한정되지 않는다.

[0046] 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이에 대응하는 기판(5111) 상의 영역에서, 제1방향을 따라 신장되는 복수의 절연 물질들(5112)이 제2방향을 따라 순차적으로 제공될 수 있다. 예를 들면, 복수의 절연 물질들(5112) 및 기판(5111)은 제2방향을 따라 미리 설정된 거리만큼 이격되어 제공될 수 있다. 예를 들면, 복수의 절연 물질들(5112)은 각각 제2방향을 따라 미리 설정된 거리만큼 이격되어 제공될 수 있다. 예컨대, 절연 물질들(5112)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질을 포함할 수 있다.

[0047] 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이에 대응하는 기판(5111) 상의 영역에서, 제1방향을 따라 순차적으로 배치되며 제2방향을 따라 절연 물질들(5112)을 관통하는 복수의 필라들(5113)이 제공될 수 있다. 예컨대, 복수의 필라들(5113) 각각은 절연 물질들(5112)을 관통하여 기판(5111)과 연결될 수 있다. 예컨대, 각 필라(5113)는 복수의 물질들로 구성될 수 있다. 예를 들면, 각 필라(5113)의 표면층(5114)은 제1타입으로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 각 필라(5113)의 표면층(5114)은 기판(5111)과 동일한 타입으로 도핑된 실리콘 물질을 포함할 수 있다. 이하에서는 설명의 편의를 위해, 각 필라(5113)의 표면층(5114)은 p-타입 실리콘을 포함하는 것으로 가정하지만, 각 필라(5113)의 표면층(5114)은 p-타입 실리콘을 포함하는 것으로 한정되지 않는다.

[0048] 각 필라(5113)의 내부층(5115)은 절연 물질로 구성될 수 있다. 예를 들면, 각 필라(5113)의 내부층(5115)은 실리콘 산화물(Silicon Oxide)과 같은 절연 물질로 충전될 수 있다.

[0049] 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이의 영역에서, 절연 물질들(5112), 필라들(5113), 그리고 기판(5111)의 노출된 표면을 따라 절연막(5116)이 제공될 수 있다. 예컨대, 절연막(5116)의 두께는 절연 물질들(5112) 사이의 거리의 1/2 보다 작을 수 있다. 즉, 절연 물질들(5112) 중 제1절연 물질의 하부 면에 제공된 절연막(5116), 그리고, 제1절연 물질 하부의 제2절연 물질의 상부 면에 제공된 절연막(5116) 사이에, 절연 물질들(5112) 및 절연막(5116) 이외의 물질이 배치될 수 있는 영역이 제공될 수 있다.

[0050] 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이의 영역에서, 절연막(5116)의 노출된 표면 상에 도전 물질들(5211, 5221, 5231, 5241, 5251, 5261, 5271, 5281, 5291)이 제공될 수 있다. 예를 들면, 기판(5111)에 인접한 절연 물질(5112) 및 기판(5111) 사이에 제1방향을 따라 신장되는 도전 물질(5211)이 제공될 수 있다. 특히, 기판(5111)에 인접한 절연 물질(5112)의 하부 면의 절연막(5116) 및 기판(5111)의 상부 면의 절연막(5116) 사이에, 제1방향으로 신장되는 도전 물질(5211)이 제공될 수 있다.

[0051] 절연 물질들(5112) 중 특정 절연 물질 상부 면의 절연막(5116) 및 특정 절연 물질 상부에 배치된 절연 물질의 하부 면의 절연막(5116) 사이에, 제1방향을 따라 신장되는 도전 물질이 제공될 수 있다. 예컨대, 절연 물질들(5112) 사이에, 제1방향으로 신장되는 복수의 도전 물질들(5221, 5231, 5241, 5251, 5261, 5271, 5281)이 제공될 수 있다. 또한, 최상부 절연 물질(5112) 상의 영역에 제1방향을 따라 신장되는 도전 물질(5291)이 제공될 수 있다. 예컨대, 제1방향으로 신장된 도전 물질들(5211, 5221, 5231, 5241, 5251, 5261, 5271, 5281, 5291)은 금속 물질일 수 있다. 예컨대, 제1방향으로 신장된 도전 물질들(5211, 5221, 5231, 5241, 5251, 5261, 5271, 5281, 5291)은 폴리 실리콘 등과 같은 도전 물질일 수 있다.

[0052] 제2도핑 영역 및 제3도핑 영역들(5312, 5313) 사이의 영역에서, 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이의 구조물과 동일한 구조물이 제공될 수 있다. 예컨대, 제2도핑 영역 및 제3도핑 영역들(5312, 5313) 사이의 영역에서, 제1방향으로 신장되는 복수의 절연 물질들(5112), 제1방향을 따라 순차적으로 배치되며 제3방향을 따라 복수의 절연 물질들(5112)을 관통하는 복수의 필라들(5113), 복수의 절연 물질들(5112) 및 복수의 필라들(5113)의 노출된 표면에 제공되는 절연막(5116), 그리고, 제1방향을 따라 신장되는 복수의 도전 물질들(5212, 5222, 5232, 5242, 5252, 5262, 5272, 5282, 5292)이 제공될 수 있다.

[0053] 제3도핑 영역 및 제4도핑 영역들(5313, 5314) 사이의 영역에서, 제1도핑 영역 및 제2도핑 영역들(5311, 5312) 사이의 구조물과 동일한 구조물이 제공될 수 있다. 예컨대, 제3도핑 영역 및 제4도핑 영역들(5313, 5314) 사이의 영역에서, 제1방향으로 신장되는 복수의 절연 물질들(5112), 제1방향을 따라 순차적으로 배치되며 제3방향을 따라 복수의 절연 물질들(5112)을 관통하는 복수의 필라들(5113), 복수의 절연 물질들(5112) 및 복수의 필라들(5113)의 노출된 표면에 제공되는 절연막(5116), 그리고 제1방향을 따라 신장되는 복수의 도전 물질들

(5213, 5223, 5243, 5253, 5263, 5273, 5283, 5293)이 제공될 수 있다.

- [0054] 복수의 필라들(5113) 상에 드레인들(5320)이 각각 제공될 수 있다. 예컨대, 드레인들(5320)은 제2타입으로 도핑된 실리콘 물질들일 수 있다. 예를 들면, 드레인들(5320)은 n-타입으로 도핑된 실리콘 물질들일 수 있다. 이하에서는 설명의 편의를 위해, 드레인들(5320)은 n-타입 실리콘을 포함하는 것으로 가정하지만, 드레인들(5320)은 n-타입 실리콘을 포함하는 것으로 한정되지 않는다. 예컨대, 각 드레인(5320)의 폭은 대응하는 필라(5113)의 폭보다 클 수 있다. 예를 들면, 각 드레인(5320)은 대응하는 필라(5113)의 상부면에 패드 형태로 제공될 수 있다.
- [0055] 드레인들(5320) 상에, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)이 제공될 수 있다. 도전 물질들(5331, 5332, 5333)은 제1방향을 따라 순차적으로 배치될 수 있다. 도전 물질들(5331, 5332, 5333) 각각은 대응하는 영역의 드레인들(5320)과 연결될 수 있다. 예컨대, 드레인들(5320) 및 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 각각 콘택 플러그들(contact plug)을 통해 연결될 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 금속 물질일 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 폴리 실리콘 등과 같은 도전 물질일 수 있다.
- [0056] 도 5 및 도 6에서, 각 필라(5113)는 절연막(5116)의 인접한 영역 및 제1방향을 따라 신장되는 복수의 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293) 중 인접한 영역과 함께 스트링을 형성할 수 있다. 예를 들면, 각 필라(5113)는 절연막(5116)의 인접한 영역 및 제1방향을 따라 신장되는 복수의 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293) 중 인접한 영역과 함께 낸드 스트링(NS)을 형성할 수 있다. 낸드 스트링(NS)은 복수의 트랜지스터 구조들(TS)을 포함할 수 있다.
- [0057] 그리고, 도 7을 참조하면, 도 6에 도시한 트랜지스터 구조(TS)에서의 절연막(5116)은, 제1서브 절연막 내지 제3서브 절연막들(5117, 5118, 5119)을 포함할 수 있다. 여기서, 도 7은, 도 6의 트랜지스터 구조(TS)를 보여주는 단면도이다.
- [0058] 필라(5113)의 p-타입 실리콘(5114)은 바디(body)로 동작할 수 있다. 필라(5113)에 인접한 제1서브 절연막(5117)은 터널링 절연막으로 동작할 수 있으며, 열산화막을 포함할 수 있다.
- [0059] 제2서브 절연막(5118)은 전하 저장막으로 동작할 수 있다. 예를 들면, 제2서브 절연막(5118)은 전하 포획층으로 동작할 수 있으며, 질화막 또는 금속 산화막(예컨대, 알루미늄 산화막, hafnium 산화막 등)을 포함할 수 있다.
- [0060] 도전 물질(5233)에 인접한 제3 서브 절연막(5119)은 블로킹 절연막으로 동작할 수 있다. 예를 들면, 제1방향으로 신장된 도전 물질(5233)과 인접한 제3서브 절연막(5119)은 단일층 또는 다층으로 형성될 수 있다. 제3서브 절연막(5119)은 제1서브 절연막 및 제2서브 절연막들(5117, 5118)보다 높은 유전상수를 갖는 고유전막(예컨대, 알루미늄 산화막, hafnium 산화막 등)일 수 있다.
- [0061] 도전 물질(5233)은 게이트(또는 제어 게이트)로 동작할 수 있다. 즉, 게이트(또는 제어 게이트(5233)), 블로킹 절연막(5119), 전하 저장막(5118), 터널링 절연막(5117), 및 바디(5114)는, 트랜지스터(또는 메모리 셀 트랜지스터 구조)를 형성할 수 있다. 예컨대, 제1서브 절연막 내지 제3서브 절연막들(5117, 5118, 5119)은 ONO(oxide-nitride-oxide)를 구성할 수 있다. 이하에서는 설명의 편의를 위해, 필라(5113)의 p-타입 실리콘(5114)을 제2방향의 바디라 칭하기로 한다.
- [0062] 메모리 블록(BLK_i)은 복수의 필라들(5113)을 포함할 수 있다. 즉, 메모리 블록(BLK_i)은 복수의 낸드 스트링들(NS)을 포함할 수 있다. 보다 구체적으로 설명하면, 메모리 블록(BLK_i)은 제2방향(또는 기판과 수직인 방향)으로 신장된 복수의 낸드 스트링들(NS)을 포함할 수 있다.
- [0063] 각 낸드 스트링(NS)은 제2방향을 따라 배치되는 복수의 트랜지스터 구조들(TS)을 포함할 수 있다. 각 낸드 스트링(NS)의 복수의 트랜지스터 구조들(TS) 중 적어도 하나는 스트링 선택 트랜지스터(SST)로 동작할 수 있다. 각 낸드 스트링(NS)의 복수의 트랜지스터 구조들(TS) 중 적어도 하나는 접지 선택 트랜지스터(GST)로 동작할 수 있다.
- [0064] 게이트들(또는 제어 게이트들)은 제1방향으로 신장된 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)에 대응할 수 있다. 즉, 게이트들(또는 제어 게이트들)은 제1방향으로 신장되어 워드라인들, 그리고 적어도 두 개의 선택라인들(예를 들면, 적어도 하나의 스트링 선택라인(SSL) 및 적어도 하나의 접지 선택라인(GSL))을 형성할 수 있다.
- [0065] 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 낸드 스트링들(NS)의 일단에 연결될 수 있다. 예컨대, 제3방향으로 신장된 도전 물질들(5331, 5332, 5333)은 비트라인들(BL)로 동작할 수 있다. 즉, 하나의 메모리 블록

(BLKi)에서, 하나의 비트라인(BL)에 복수의 낸드 스트링들(NS)이 연결될 수 있다.

- [0066] 제1방향으로 신장된 제2타입 도핑 영역들(5311, 5312, 5313, 5314)이 낸드 스트링들(NS)의 타단에 제공될 수 있다. 제1방향으로 신장된 제2타입 도핑 영역들(5311, 5312, 5313, 5314)은 공통 소스라인들(CSL)로 동작할 수 있다.
- [0067] 즉, 메모리 블록(BLK_i)은 기판(5111)에 수직인 방향(제2방향)으로 신장된 복수의 낸드 스트링들(NS)을 포함하며, 하나의 비트라인(BL)에 복수의 낸드 스트링들(NS)이 연결되는 낸드 플래시 메모리 블록(예를 들면, 전하 포획형)으로 동작할 수 있다.
- [0068] 도 5 내지 도 7에서는, 제1방향으로 신장되는 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 9개의 층에 제공되는 것으로 설명하였지만, 제1방향으로 신장되는 도체라인들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 9개의 층에 제공되는 것으로 한정되지 않는다. 예를 들면, 제1방향으로 신장되는 도체라인들은 8개의 층, 16개의 층, 또는 복수의 층에 제공될 수 있다. 즉, 하나의 낸드 스트링(NS)에서, 트랜지스터는 8개, 16개, 또는 복수 개일 수 있다.
- [0069] 전술한 도 5 내지 도 7에서는, 하나의 비트라인(BL)에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 설명하였으나, 하나의 비트라인(BL)에 3개의 낸드 스트링들(NS)이 연결되는 것으로 한정되지 않는다. 예컨대, 메모리 블록(BLK_i)에서, 하나의 비트라인(BL)에 m 개의 낸드 스트링들(NS)이 연결될 수 있다. 이때, 하나의 비트라인(BL)에 연결되는 낸드 스트링들(NS)의 수만큼, 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)의 수 및 공통 소스라인들(5311, 5312, 5313, 5314)의 수 또한 조절될 수 있다.
- [0070] 또한, 도 5 내지 도 7에서는, 제1방향으로 신장된 하나의 도전 물질에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 설명하였으나, 제1방향으로 신장된 하나의 도전 물질에 3 개의 낸드 스트링들(NS)이 연결되는 것으로 한정되지 않는다. 예를 들면, 제1방향으로 신장된 하나의 도전 물질에, n 개의 낸드 스트링들(NS)이 연결될 수 있다. 이때, 제1방향으로 신장된 하나의 도전 물질에 연결되는 낸드 스트링들(NS)의 수만큼, 비트라인들(5331, 5332, 5333)의 수 또한 조절될 수 있다.
- [0071] 도 8을 참조하면, 메모리 장치(150)의 복수의 블록들에서 제1구조로 구현된 임의의 블록(BLK_i)에는, 제1비트라인(BL1) 및 공통 소스라인(CSL) 사이에 낸드 스트링들(NS11 to NS31)이 제공될 수 있다. 여기서, 도 8은, 도 5 내지 도 7에서 설명한 제1구조로 구현된 메모리 블록(BLK_i)의 등가 회로를 도시한 회로도이다. 그리고, 제1비트라인(BL1)은 제3방향으로 신장된 도전 물질(5331)에 대응할 수 있다. 제2비트라인(BL2) 및 공통 소스라인(CSL) 사이에 낸드 스트링들(NS12, NS22, NS32)이 제공될 수 있다. 제2비트라인(BL2)은 제3방향으로 신장된 도전 물질(5332)에 대응할 수 있다. 제3비트라인(BL3) 및 공통 소스라인(CSL) 사이에, 낸드 스트링들(NS13, NS23, NS33)이 제공될 수 있다. 제3비트라인(BL3)은 제3방향으로 신장된 도전 물질(5333)에 대응할 수 있다.
- [0072] 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST)는 대응하는 비트라인(BL)과 연결될 수 있다. 각 낸드 스트링(NS)의 접지 선택 트랜지스터(GST)는 공통 소스라인(CSL)과 연결될 수 있다. 각 낸드 스트링(NS)의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST) 사이에 메모리 셀들(MC)이 제공될 수 있다.
- [0073] 이하에서는 설명의 편의를 위해, 행(row) 및 열(column) 단위로 낸드 스트링들(NS)을 정의할 수 있으며, 하나의 비트라인에 공통으로 연결된 낸드 스트링들(NS)은 하나의 열을 형성할 수 있음을, 일 예로 하여 설명하기로 한다. 예를 들면, 제1비트라인(BL1)에 연결된 낸드 스트링들(NS11 내지 NS31)은 제1열에 대응할 수 있고, 제2비트라인(BL2)에 연결된 낸드 스트링들(NS12 내지 NS32)은 제2열에 대응할 수 있으며, 제3비트라인(BL3)에 연결된 낸드 스트링들(NS13 내지 NS33)은 제3열에 대응할 수 있다. 하나의 스트링 선택라인(SSL)에 연결되는 낸드 스트링들(NS)은 하나의 행을 형성할 수 있다. 예를 들면, 제1스트링 선택라인(SSL1)에 연결된 낸드 스트링들(NS11 내지 NS13)은 제1행을 형성할 수 있고, 제2스트링 선택라인(SSL2)에 연결된 낸드 스트링들(NS21 내지 NS23)은 제2행을 형성할 수 있으며, 제3스트링 선택라인(SSL3)에 연결된 낸드 스트링들(NS31 내지 NS33)은 제3행을 형성할 수 있다.
- [0074] 또한, 각 낸드 스트링(NS)에서, 높이가 정의될 수 있다. 예컨대, 각 낸드 스트링(NS)에서, 접지 선택 트랜지스터(GST)에 인접한 메모리 셀(MC1)의 높이는 1이다. 각 낸드 스트링(NS)에서, 스트링 선택 트랜지스터(SST)에 인접할수록 메모리 셀의 높이는 증가할 수 있다. 각 낸드 스트링(NS)에서, 스트링 선택 트랜지스터(SST)에 인접한 메모리 셀(MC6)의 높이는 7이다.
- [0075] 그리고, 동일한 행의 낸드 스트링들(NS)의 스트링 선택 트랜지스터들(SST)은 스트링 선택라인(SSL)을 공유할 수 있다. 상이한 행의 낸드 스트링들(NS)의 스트링 선택 트랜지스터들(SST)은 상이한 스트링 선택라인들(SSL1,

SSL2, SSL3)에 각각 연결될 수 있다.

- [0076] 아울러, 동일한 행의 낸드 스트링들(NS)의 동일한 높이의 메모리 셀들은 워드라인(WL)을 공유할 수 있다. 또한, 동일한 높이에서, 상이한 행의 낸드 스트링들(NS)의 메모리 셀들(MC)에 연결된 워드라인들(WL)은 공통으로 연결될 수 있다. 동일한 행의 낸드 스트링들(NS)의 동일한 높이의 더미 메모리 셀들(DMC)은 더미 워드라인(DWL)을 공유할 수 있다. 또한, 동일한 높이에서, 상이한 행의 낸드 스트링들(NS)의 더미 메모리 셀들(DMC)에 연결된 더미 워드라인들(DWL)은 공통으로 연결될 수 있다.
- [0077] 예컨대, 워드라인들(WL) 또는 더미 워드라인들(DWL)은 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 제공되는 층에서 공통으로 연결될 수 있다. 예컨대, 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)은 콘택을 통해 상부 층에 연결될 수 있다. 상부 층에서 제1방향으로 신장되는 도전 물질들(5211 내지 5291, 5212 내지 5292, 및 5213 내지 5293)이 공통으로 연결될 수 있다. 즉, 동일한 행의 낸드 스트링들(NS)의 접지 선택 트랜지스터들(GST)은 접지 선택라인(GSL)을 공유할 수 있다. 그리고, 상이한 행의 낸드 스트링들(NS)의 접지 선택 트랜지스터들(GST)은 접지 선택라인(GSL)을 공유할 수 있다. 다시 말해, 낸드 스트링들(NS11 내지 NS13, NS21 내지 NS23, 및 NS31 내지 NS33)은 접지 선택라인(GSL)에 공통으로 연결될 수 있다.
- [0078] 공통 소스라인(CSL)은 낸드 스트링들(NS)에 공통으로 연결될 수 있다. 예를 들면, 기관(5111) 상의 활성 영역에서, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)이 연결될 수 있다. 예를 들면, 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)은 콘택을 통해 상부 층에 연결될 수 있고, 또한 상부 층에서 제1도핑 영역 내지 제4도핑 영역들(5311, 5312, 5313, 5314)이 공통으로 연결될 수 있다.
- [0079] 즉, 도 8에 도시된 바와 같이, 동일 깊이의 워드라인들(WL)은 공통으로 연결될 수 있다. 따라서, 특정 워드라인(WL)이 선택될 때, 특정 워드라인(WL)에 연결된 모든 낸드 스트링들(NS)이 선택될 수 있다. 상이한 행의 낸드 스트링들(NS)은 상이한 스트링 선택라인(SSL)에 연결될 수 있다. 따라서, 스트링 선택라인들(SSL1 내지 SSL3)을 선택함으로써, 동일 워드라인(WL)에 연결된 낸드 스트링들(NS) 중 비선택 행의 낸드 스트링들(NS)이 비트라인들(BL1 내지 BL3)로부터 분리될 수 있다. 즉, 스트링 선택라인들(SSL1 내지 SSL3)을 선택함으로써, 낸드 스트링들(NS)의 행이 선택될 수 있다. 그리고, 비트라인들(BL1 내지 BL3)을 선택함으로써, 선택 행의 낸드 스트링들(NS)이 열 단위로 선택될 수 있다.
- [0080] 각 낸드 스트링(NS)에서, 더미 메모리 셀(DMC)이 제공될 수 있다. 더미 메모리 셀(DMC) 및 접지 선택 트랜지스터(GST) 사이에 제1메모리 셀 내지 제3메모리 셀들(MC1 내지 MC3)이 제공될 수 있다.
- [0081] 더미 메모리 셀(DMC) 및 스트링 선택 트랜지스터(SST) 사이에 제4메모리 셀 내지 제6메모리 셀들(MC4 내지 MC6)이 제공될 수 있다. 여기서, 각 낸드 스트링(NS)의 메모리 셀들(MC)은, 더미 메모리 셀(DMC)에 의해 메모리 셀 그룹들로 분할될 수 있으며, 분할된 메모리 셀 그룹들 중 접지 선택 트랜지스터(GST)에 인접한 메모리 셀들(예를 들면, MC1 to MC3)을 하부 메모리 셀 그룹이라 할 수 있고, 분할된 메모리 셀 그룹들 중 스트링 선택 트랜지스터(SST)에 인접한 메모리 셀들(예를 들면, MC4 내지 MC6)을 상부 메모리 셀 그룹이라 할 수 있다. 그러면 이하에서는, 도 9 내지 도 11을 참조하여 본 발명의 실시 예에 따른 메모리 시스템에서 메모리 장치가 제1구조와 다른 구조의 3차원 비휘발성 메모리 장치로 구현될 경우에 대해 보다 구체적으로 설명하기로 한다.
- [0082] 도 9 및 도 10을 참조하면, 메모리 장치(150)의 복수의 메모리 블록들에서 제2구조로 구현된 임의의 메모리 블록(BLKj)은, 제1방향 내지 제3방향들을 따라 신장된 구조물들을 포함할 수 있다. 여기서, 도 9는, 본 발명의 실시 예에 따른 메모리 장치가 앞선 도 5 내지 도 8에서 설명한 제1구조와 다른 제2구조의 3차원 비휘발성 메모리 장치로 구현될 경우의 구조를 개략적으로 도시한 도면이며, 도 4의 복수의 메모리 블록에서 제2구조로 구현된 임의의 메모리 블록(BLKj)을 도시한 사시도이고, 도 10은, 도 9의 메모리 블록(BLKj)을 임의의 제2선(VII-VII')에 따른 단면도이다.
- [0083] 우선, 기관(6311)이 제공될 수 있다. 예컨대, 기관(6311)은 제1타입 불순물로 도핑된 실리콘 물질을 포함할 수 있다. 예를 들면, 기관(6311)은 p-타입 불순물로 도핑된 실리콘 물질을 포함하거나, p-타입 웰(예를 들면, 포켓 p-웰)일 수 있고, p-타입 웰을 둘러싸는 n-타입 웰을 더 포함할 수 있다. 이하에서는 설명의 편의를 위해, 기관(6311)은 p-타입 실리콘인 것으로 가정하지만, 기관(6311)은 p-타입 실리콘으로 한정되지 않는다.
- [0084] 그리고, 기관(6311) 상에, x-축 방향 및 y-축 방향으로 신장되는 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)이 제공된다. 여기서, 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)은 z-축 방향을 따라 특정 거리만큼 이격되어 제공된다.

- [0085] 또한, 기관(6311) 상에 x-축 방향 및 y-축으로 신장되는 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)이 제공된다. 여기서, 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)은 z-축 방향을 따라 특정 거리만큼 이격되어 제공된다. 그리고, 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)은 y-축 방향을 따라 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)과 이격되어 제공된다.
- [0086] 아울러, 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)을 관통하는 복수의 하부 필라(DP)들이 제공된다. 각 하부 필라(DP)는 z-축 방향을 따라 신장된다. 또한, 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)을 관통하는 복수의 상부 필라(UP)들이 제공된다. 각 상부 필라(UP)는 z-축 방향을 따라 신장된다.
- [0087] 하부 필라(DP) 및 상부 필라(UP) 각각은 내부 물질(6361), 중간층(6362) 및 표면층(6363)을 포함한다. 여기서, 도 5 및 도 6에서 설명한 바와 같이, 중간층(6362)은 셀 트랜지스터의 채널로서 동작할 것이다. 표면층(6363)은 블로킹 절연막, 전하 저장막 및 터널링 절연막을 포함할 것이다.
- [0088] 하부 필라(DP) 및 상부 필라(UP)는 파이프 게이트(PG)를 통해 연결된다. 파이프 게이트(PG)는 기관(6311) 내에 배치될 수 있으며, 일 예로, 파이프 게이트(PG)는 하부 필라(DP) 및 상부 필라(UP)와 동일한 물질들을 포함할 수 있다.
- [0089] 하부 필라(DP)의 상부에, x-축 방향 및 y-축 방향으로 신장되는 제 2 타입의 도핑 물질(6312)이 제공된다. 예컨대, 제2타입의 도핑 물질(6312)은 n-타입의 실리콘 물질을 포함할 수 있다. 제2타입의 도핑 물질(6312)은 공통 소스라인(CSL)으로서 동작한다.
- [0090] 상부 필라(UP)의 상부에 드레인(6340)이 제공된다. 예컨대, 드레인(6340)은 n-타입의 실리콘 물질을 포함할 수 있다. 그리고, 드레인(6340)들의 상부에 y-축 방향으로 신장되는 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)이 제공된다.
- [0091] 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)은 x-축 방향을 따라 이격되어 제공된다. 예컨대, 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)은 금속 물질로 형성될 수 있으며, 일 예로, 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)과 드레인(6340)들은 콘택 플러그들을 통해 연결될 수 있다. 제1상부 도전 물질 및 제2상부 도전 물질들(6351, 6352)은 각각 제1비트라인 및 제2비트라인들(BL1, BL2)로 동작한다.
- [0092] 제1도전 물질(6321)은 소스 선택라인(SSL)으로 동작하고, 제2도전 물질(6322)은 제1더미 워드라인(DWL1)으로 동작하며, 제3도전 물질 및 제4도전 물질들(6323, 6324)은 각각 제1메인 워드라인 및 제2메인 워드라인들(MWL1, MWL2)로 동작한다. 그리고, 제5도전 물질 및 제6도전 물질들(6325, 6326)은 각각 제3메인 워드라인 및 제4메인 워드라인들(MWL3, MWL4)로 동작하고, 제7도전 물질(6327)은 제2더미 워드라인(DWL2)으로 동작하며, 제8도전 물질(6328)은 드레인 선택라인(DSL)로서 동작한다.
- [0093] 하부 필라(DP), 그리고 하부 필라(DP)에 인접한 제1도전 물질 내지 제4도전 물질들(6321, 6322, 6323, 6324)은 하부 스트링을 구성한다. 상부 필라(UP), 그리고 상부 필라(UP)에 인접한 제5도전 물질 내지 제8도전 물질들(6325, 6326, 6327, 6328)은 상부 스트링을 구성한다. 하부 스트링 및 상부 스트링은 파이프 게이트(PG)를 통해 연결된다. 하부 스트링의 일단은 공통 소스라인(CSL)으로 동작하는 제2타입의 도핑 물질(6312)에 연결된다. 상부 스트링의 일단은 드레인(6320)을 통해 해당 비트라인에 연결된다. 하나의 하부 스트링 및 하나의 상부 스트링은 제2타입의 도핑 물질(6312)과 해당 비트라인 사이에 연결된 하나의 셀 스트링을 구성할 것이다.
- [0094] 즉, 하부 스트링은 소스 선택 트랜지스터(SST), 제1더미 메모리 셀(DMC1), 그리고 제1메인 메모리 셀 및 제2메인 메모리 셀들(MMC1, MMC2)을 포함할 것이다. 그리고, 상부 스트링은 제3메인 메모리 셀 및 제4메인 메모리 셀들(MMC3, MMC4), 제2더미 메모리 셀(DMC2), 그리고 드레인 선택 트랜지스터(DST)를 포함할 것이다.
- [0095] 한편, 도 9 및 도 10에서 상부 스트링 및 하부 스트링은, 낸드 스트링(NS)을 형성할 수 있으며, 낸드 스트링(NS)은 복수의 트랜지스터 구조들(TS)을 포함할 수 있다. 여기서, 도 9 및 도 10에서의 낸드 스트링에 포함된 트랜지스터 구조는, 앞서 도 7에서 구체적으로 설명하였으므로, 여기서는 그에 관한 구체적인 설명을 생략하기로 한다.
- [0096] 그리고, 도 11을 참조하면, 메모리 장치(150)의 복수의 블록들에서 제2구조로 구현된 임의의 블록(BLKj)에는, 도 9 및 도 10에서 설명한 바와 같이, 하나의 상부 스트링과 하나의 하부 스트링이 파이프 게이트(PG)를 통해 연결되어 구현된 하나의 셀 스트링들이 각각 복수의 쌍들을 이루어 제공될 수 있다. 여기서, 도 11은, 도 9 및

도 10에서 설명한 제2구조로 구현된 메모리 블록(BLKj)의 등가 회로를 도시한 회로도이며, 설명의 편의를 위해 제2구조로 구현된 임의의 블록(BLKj)에서 한 쌍을 구성하는 제1스트링과 제2스트링만을 도시하였다.

- [0097] 즉, 제2구조로 구현된 임의의 블록(BLKj)에서, 제1채널(CH1)을 따라 적층된 메모리 셀들, 예컨대 적어도 하나의 소스 선택 게이트(SSG1) 및 적어도 하나의 드레인 선택 게이트(DSG1)는, 제1스트링(ST1)을 구현하고, 제2채널(CH2)을 따라 적층된 메모리 셀들, 예컨대 적어도 하나의 소스 선택 게이트(SSG2) 및 적어도 하나의 드레인 선택 게이트(DSG2)는 제2스트링(ST2)을 구현한다.
- [0098] 또한, 제1스트링(ST1)과 제2스트링(ST2)은, 동일한 드레인 선택라인(DSL) 및 동일한 소스 선택라인(SSL)에 연결되며, 또한 제1스트링(ST1)은, 제1비트라인(BL1)에 연결되고, 제2스트링(ST2)은 제2비트라인(BL2)에 연결된다.
- [0099] 여기서, 설명의 편의를 위해, 도 11에서는, 제1스트링(ST1)과 제2스트링(ST2)이 동일한 드레인 선택라인(DSL) 및 동일한 소스 선택라인(SSL)에 연결되는 경우를 일 예로 설명하였으나, 제1스트링(ST1)과 제2스트링(ST2)이 동일한 소스 선택라인(SSL) 및 동일한 비트라인(BL)에 연결되어, 제1스트링(ST1)이 제1드레인 선택라인(DSL1)에 연결되고 제2스트링(ST2)이 제2드레인 선택라인(DSL2)에 연결되거나, 또는 제1스트링(ST1)과 제2스트링(ST2)이 동일한 드레인 선택라인(DSL) 및 동일한 비트라인(BL)에 연결되어, 제1스트링(ST1)이 제1소스 선택라인(SSL1)에 연결되고 제2스트링(ST2)은 제2소스 선택라인(SDSL2)에 연결될 수도 있다.
- [0100] 도 12는 본 발명의 실시예에 따른 메모리 장치의 프로그램 동작을 설명하기 위한 도면이다.
- [0101] 도 12를 참조하면, 도 3에 도시된 메모리 장치(150)의 구성을 참조하여 도시한 것을 알 수 있다. 즉, 도 3의 메모리 장치(150)의 구성을 바탕으로, 본 발명의 실시예에 따라 제어 회로((1210), 및 패스/페일 체크 회로(1220)가 추가로 구비될 수 있다.
- [0102] 본 발명의 실시예에 따른 메모리 장치(150)는 프로그램 동작 시 메모리 셀(MC)의 워드라인(WL)에 프로그램 펄스를 인가한 후 메모리 셀(MC)과 연결된 페이지 버퍼(PB)를 이용하여 메모리 셀(MC)의 프로그램 완료 여부를 확인하는 프로그램 검증 동작을 수행한다. 또한, 프로그램 검증 동작을 통해 확인된 페일 메모리 셀들을 카운팅하여, 에러 보정(ECC: Error Correction Code)이 가능한 정도로 발생하였는지 판단하는 패스/페일 확인 동작을 수행한다. 결국, 에러 보정 허용 비트 수보다 작은 페일 비트가 발생한 경우 프로그램 동작은 패스로 처리되고, 에러 보정 허용 비트 수보다 큰 페일 비트가 발생한 경우 프로그램 동작은 페일로 처리된다.
- [0103] 리드/라이트 회로(320)의 복수 개의 페이지 버퍼(PB)들(322, 324, 326)은 대응하는 비트라인(BL0 내지 BLm-1)을 통해 메모리 셀들(예를 들어, MC0)과 연결되어 프로그램 검증 동작을 수행한다. 메모리 셀들(MC0)의 프로그램 상태에 따라 검증 데이터를 저장한 후 이에 따라 감지 노드(SN0 내지 SNm-1)의 전위를 하이 레벨로 유지하거나 로우 레벨로 변화시킨다. 이때 메모리 셀들(MC0)의 프로그램 상태가 패스로 판단되었을 경우 "1"의 검증 데이터가 저장되어 감지 노드(SN0 내지 SNm-1)는 로우 레벨로 변화하고, 메모리 셀들(MC0)의 프로그램 상태가 페일로 판단되었을 경우 "0"의 검증 데이터가 저장되어 감지 노드(SN0 내지 SNm-1)는 하이 레벨을 유지한다. 프로그램 검증 동작 시 페이지 버퍼(PB)의 동작은 후술되는 도면을 참조하여 구체적으로 나타내도록 한다.
- [0104] 패스/페일 체크 회로(1220)는 리드/라이트 회로(320)의 페이지 버퍼(PB)들의 감지 노드(SN) 전위 레벨에 따라 생성되는 전류 패스에 흐르는 전류량과 에러 보정 ECC(Error Correction Code) 회로(미도시)에서 처리할 수 있는 허용 비트 수에 대응하는 전류량을 비교하여 패스 또는 페일 신호(PASS/FAIL)를 출력한다. 예를 들어, 전류 패스에 흐르는 측정 전류량이 허용 비트 수에 대응하는 기준 전류량보다 많을 경우 페일 신호(FAIL)를 출력하고, 측정 전류량이 기준 전류량보다 작을 경우 패스 신호(PASS)를 출력한다. 구체적인 패스/페일 체크 회로(1220)의 구성 및 동작은 후술되는 도면을 참조하여 나타내도록 한다.
- [0105] 제어 회로(1210)는 패스/페일 체크 회로(1220)에서 출력된 패스/페일 신호(PASS/FAIL)에 따라 프로그램 동작을 패스 또는 페일로 판단하여 해당 메모리 블록의 불량 여부를 체크한다. 본 발명의 실시예에 따른 메모리 장치(150)는 펄스 신호인 프로그램 전압을 여러 단계에 걸쳐 점차 상승시켜 인가하는 ISPP(Incremental Step Pulse Program) 방식으로 프로그램 동작을 수행할 수 있다. 이때, 제어 회로(1210)는 초기 설정된 횟수의 프로그램 펄스를 인가하는 동안은 패스/페일로 판단하는 동작을 스킵하여 동작 속도를 개선할 수 있다.
- [0106] 초기 설정된 횟수로 프로그램 펄스를 인가한 이후에, 제어 회로(1210)는 패스/페일 신호(PASS/FAIL)에 응답해 해당 페이지에 대한 프로그램 동작을 판단할 수 있다. 패스/페일 체크 회로(1220)로부터 출력되는 패스 신호(PASS)에 따라 제어 회로(1210)는 해당 페이지에 대한 프로그램 동작을 패스로 판단하여 프로그램 동작을 종료한다. 또한, 패스/페일 체크 회로(1220)가 페일 신호(FAIL)를 출력하는 경우, 제어 회로(1210)는 내부 명령어(CMDi)를 생성하여 전압 공급 회로(310)가 프로그램 펄스를 스텝 전압만큼 상승시켜 워드라인(Wn)에 다시 인가

하도록 제어한다.

- [0107] 프로그램 펄스 인가 횟수가 최종 설정된 횟수에 도달할 때까지, 제어 회로(1210)는 페일 신호(FAIL)에 응답해 전압 공급 회로(310)가 프로그램 펄스를 상승시켜 워드라인(Wn)에 인가하도록 반복해서 제어할 수 있다. 프로그램 펄스를 최종 설정된 횟수만큼 인가하고 나서도 패스/페일 체크 회로(1220)가 페일 신호(FAIL)를 출력하는 경우, 제어 회로(1210)는 해당 페이지에 대해 프로그램 불량으로 판단하고 프로그램 동작을 종료한다. 이 같은 페이지는 추후 프로그램, 및 리드 동작이 진행되는 것을 방지하고, 해당 메모리 블록의 불량 여부를 체크할 때 참조한다.
- [0108] 또한, 제어 회로(1210)는 에러 보정 ECC(Error Correction Code) 회로(미도시)에서 처리할 수 있는 허용 비트 수를 확인하고, 그에 따라 검증 신호(CB<0:m-1>)를 생성한다. 허용 비트 수에 맞춰 검증 신호(CB<0:m-1>)의 비트 값을 결정할 수 있다. 본 발명의 실시예에 따른 제어 회로는(1210) 패스/페일 체크 회로(1220)로부터 출력되는 패스 신호(PASS)에 응답하여 검증 신호(CB<0:m-1>)의 비트 값을 변경하여 출력할 수 있다. 이에 대한 구체적인 설명은 도 14의 패스/페일 체크 회로(1220)의 동작을 참조하여 하기로 한다.
- [0109] 도 13은 도 12의 리드/라이트 회로(320)에 포함되는 페이지 버퍼(PB)를 도시한 도면이다. 복수 개의 페이지 버퍼(PB)들(322, 324, 326) 중 제1페이지 버퍼(322)를 대표적으로 도시하였다.
- [0110] 도 13을 참조하면, 제1페이지 버퍼(322)는 비트라인 연결부(1310), 프리차지부(1320), 래치부(1330), 데이터 입력부(1340), 및 센싱부(1350)을 포함한다.
- [0111] 비트라인 연결부(1310)는 비트라인(BL0)과 감지 노드(SN0) 사이에 연결되어 연결 신호(PBSENSE)에 응답하여 비트라인(BL0)과 감지 노드(SN0)를 연결한다. 비트라인 연결부(1310)는 제1 NMOS 트랜지스터(N1)로 구성될 수 있다.
- [0112] 프리차지부(1320)는 전원 단자(VDD)와 감지 노드(SN0) 사이에 연결되어 프리차지 신호(PRECHb)에 응답하여 감지 노드(SN0)를 전원 전압 레벨로 프리차지한다. 프리차지부(1320)는 제1 PMOS 트랜지스터(P1)로 구성될 수 있다.
- [0113] 래치부(1330)는 감지 노드(SN0)와 연결되어 래치된 데이터에 따라 감지 노드(SN0)의 전위를 하이 레벨 또는 로우 레벨로 천이시킨다. 래치부(1330)는 제1 노드(QM)와 제2 노드(QM_N) 사이에 역방향 병렬 연결된 인버터(IV1, 및 IV2)와 제1 노드(QM)와 감지 노드(SN0) 사이에 연결된 제2 NMOS 트랜지스터(N2), 및 제2 노드(QM_N)와 감지 노드(SN0) 사이에 연결된 제3 NMOS 트랜지스터(N3)를 포함한다. 제2 NMOS 트랜지스터(N2)는 제1 전송 신호(TRANM_N)에 응답하여 턴온되고, 제3 NMOS 트랜지스터(N3)는 제2 전송 신호(TRANM)에 응답하여 턴온된다.
- [0114] 데이터 입력부(1340)는 공통 노드(COM)와 래치부(1330)의 제1 노드(QM), 및 제2 노드(QM_N) 사이에 연결되어, 제1 및 제2 입력 신호(MRST 및 MSET)에 응답하여 공통 노드(COM)의 전위에 따른 데이터를 래치부(1330)에 입력한다. 데이터 입력부(1340)는 제4 및 제5 NMOS 트랜지스터(N4 및 N5)를 포함한다. 제4 NMOS 트랜지스터(N4)는 제1 노드(QM)와 공통 노드(COM) 사이에 연결되어, 제1 입력 신호(MRST)에 응답하여 턴온된다. 제5 NMOS 트랜지스터(N5)는 제2 노드(QM_N)와 공통 노드(COM) 사이에 연결되어 제2 입력 신호(MSET)에 응답하여 턴온된다.
- [0115] 센싱부(1350)는 공통 노드(COM)와 접지 단자(GND) 사이에 연결되어, 감지 노드(SN0)의 전위에 따라 턴온 또는 턴오프되어 공통 노드(COM)의 전위를 제어한다. 센싱부(1350)는 제6 NMOS 트랜지스터(N6)로 구성될 수 있다.
- [0116] 페이지 버퍼(322)의 프로그램 검증 동작 시 검증 데이터를 저장하는 동작을 설명하면 다음과 같다.
- [0117] 페이지 버퍼(322)는 해당 비트라인(BL0)을 통해 연결된 메모리 셀(예를 들어, MC0)의 프로그램 상태를 검증한다. 프로그램 검증 동작은 리드 동작과 유사하게 수행될 수 있다. 우선 비트라인(BL0)을 하이 레벨로 프리차지한 후, 메모리 셀(MC0)에 연결된 워드라인(WL0)에 검증 전압을 인가한다. 이로 인하여 메모리 셀(MC0)의 프로그램 상태에 따라 비트라인(BL0)의 전위가 하이 레벨을 유지하거나 로우 레벨로 디스차지된다. 이때 페이지 버퍼(322)의 래치부(1330)에는 메모리 셀(MC0)에 프로그램한 데이터가 저장되어 있다. 프로그램 데이터와 비트라인(BL0)의 전위를 비교하여 검증 데이터를 래치부(1330)에 저장한다. 프로그램 데이터와 비트라인(BL0)의 전위가 서로 대응하여 프로그램 성공으로 판단될 경우 검증 데이터는 제2 노드(QM_N)의 전위가 하이 레벨인 "1"이 되고, 프로그램 데이터와 비트라인(BL0)의 전위가 서로 대응하지 않아 프로그램 실패로 판단된 경우 검증 데이터는 제2 노드(QM_N)의 전위가 로우 레벨인 "0"이 된다. 이후, 프리차지부(1320)를 이용하여 감지 노드(SN0)를 하이 레벨로 프리차지하고, 제1 전송 신호(TRANM_N)를 하이 레벨로 인가하여 제1 노드(QM)와 감지 노드(SN0)를 연결한다. 이로 인하여 래치부(1330)에 래치된 검증 데이터 값에 따라 감지 노드(SN0)의 전위가 제어된다. 즉, 메모리 셀(MC0)이 프로그램 성공으로 판단된 경우 페이지 버퍼(322)의 감지 노드(SN0)는 로우 레벨로 디스차지

되고, 메모리 셀(MC)이 프로그램 페일로 판단된 경우 페이지 버퍼(322)의 감지 노드(SN)는 하이 레벨을 유지한다.

- [0118] 도 14는 도 12의 패스/페일 체크 회로(1220)를 도시한 도면이다.
- [0119] 도 14를 참조하면, 패스/페일 체크 회로(1220)는 전류 공급부(1410), 기준 전류 생성부(1420), 감지 전류 생성부(1430), 및 비교부(1440)을 포함한다.
- [0120] 전류 공급부(1410)는 제1 및 제2 PMOS 트랜지스터(PM1 및 PM2)로 구성될 수 있다. 제1 PMOS 트랜지스터(PM1)는 전원 전압 단자(VDD)와 제1 노드(N1) 사이에 연결되고, 제2 PMOS 트랜지스터(PM2)는 전원 전압 단자(VDD)와 제2 노드(N2) 사이에 연결된다. 제1 및 제2 PMOS 트랜지스터(PM1 및 PM2)의 게이트는 제2 노드(N2)와 연결된다.
- [0121] 기준 전류 생성부(1420)는 전류 공급부(1410)의 제1 노드(N1)와 접지 전원 단자(GND) 사이에 연결된다. 기준 전류 생성부(1420)은 검증 신호(CB)의 복수의 비트 값(CB<0> 내지 CB<m-1>)에 대응하여 제1 노드(N1)와 접지 전원 단자(GND) 사이에 병렬 연결된 복수의 전류 분배부(1420_0 내지 1420_m-1)를 포함할 수 있다. 각각의 전류 분배부(1420_0 내지 1420_m-1)는 제1 노드(N1)와 접지 전원 단자(GND) 사이에 직렬 연결된 2개의 NMOS 트랜지스터로 구성될 수 있다.
- [0122] 예를 들면, 제1 전류 분배부(1420_0)는 제1 노드(N1)와 접지 전원 단자(GND) 사이에 직렬 연결된 제1 및 제2 NMOS 트랜지스터(NM1 및 NM2)를 포함한다. 제1 NMOS 트랜지스터(NM1)는 활성화 신호(ENB)에 응답하여 턴온되고, 제2 NMOS 트랜지스터(NM2)는 검증 신호(CB<0:m-1>)의 해당 비트 값, 즉 제1 비트 값(CB<0>)에 응답하여 턴온된다.
- [0123] 앞서 설명한 바와 같이, 검증 신호(CB<0:m-1>)의 복수의 비트 값은 에러 보정 ECC(Error Correction Code) 회로(미도시)에서 처리할 수 있는 허용 비트 수에 대응하여 결정될 수 있다. 예를 들면, 에러 보정 ECC(Error Correction Code) 회로에서 처리할 수 있는 허용 비트 수가 a 개일 때(a<m), 복수의 비트 값은 a 개의 하이 레벨 "1"과 m-a 개의 로우 레벨 "0"으로 구성될 수 있다. 이때, 전류 분배부(1420_0 내지 1420_m-1)는 a 개의 하이 레벨의 비트 값에 대응하여 제1 노드(N1)에서 접지 전원 단자(GND)로 흐르는 전류 패스를 형성한다.
- [0124] 감지 전류 생성부(1430)는 전류 공급부(1410)의 제2 노드(N2)와 접지 전원 단자(GND) 사이에 연결된다. 감지 전류 생성부(1430)은 복수의 페이지 버퍼(PB)에 대응하여 제2 노드(N2)와 접지 전원 단자(GND) 사이에 병렬 연결된 복수의 전류 분배부(1430_0 내지 1430_m-1)를 포함할 수 있다. 각각의 전류 분배부(1430_0 내지 1430_m-1)는 제2 노드(N2)와 접지 전원 단자(GND) 사이에 직렬 연결된 2개의 NMOS 트랜지스터로 구성될 수 있다.
- [0125] 예를 들면, 제1 전류 분배부(1430_0)는 제2 노드(N2)와 접지 전원 단자(GND) 사이에 직렬 연결된 제3 및 제4 NMOS 트랜지스터(NM3 및 NM4)를 포함한다. 제3 NMOS 트랜지스터(NM3)는 활성화 신호(ENB)에 응답하여 턴온되고, 제4 NMOS 트랜지스터(NM4)는 대응하는 페이지 버퍼, 즉 제1페이지 버퍼(322)의 검증 노드(SN) 전위에 따라 턴온된다. 즉, 각각의 전류 분배부(1430_0 내지 1430_m-1)는 대응하는 페이지 버퍼(PB)의 감지 노드(SN) 전위에 따라 제2 노드(N2)에서 접지 전원 단자(GND)로 흐르는 전류 패스를 형성한다.
- [0126] 비교부(1440)는 기준 전류 생성부(1420)를 통해 흐르는 기준 전류(Iref)와 감지 전류 생성부(1430)를 통해 흐르는 감지 전류(Ipb)를 비교하여 패스/페일 신호(PASS/FAIL)를 생성한다. 예를 들어 기준 전류(Iref)가 감지 전류(Ipb)보다 클 경우 제1 노드(N1)의 기준 전위(Vref)가 제2 노드(N2) 감지 전위(Vpd)보다 낮으므로 비교부(1440)는 하이 레벨의 패스 신호(PASS)를 출력하고, 기준 전류(Iref)가 감지 전류(Ipb)보다 작을 경우 제1 노드(N1)의 기준 전위(Vref)가 제2 노드(N2) 감지 전위(Vpd)보다 높으므로 비교부(1440)는 로우 레벨의 페일 신호(Fail)를 출력한다.
- [0127] 즉, 본 발명의 실시예에 따르면, 페이지 버퍼(PB)는 메모리 셀(MC)의 프로그램 상태를 검증하여 프로그램 페일로 판단된 경우 감지 노드(SN)를 하이 레벨로 유지한다. 따라서, 페일로 판단된 메모리 셀(MC)의 개수만큼, 감지 노드(SN)는 하이레벨로 유지되고 전류 분배부(1430_0 내지 1430_m-1)는 턴온되어 전류 패스를 형성한다. 반면, 기준 전류 생성부(1420)에서는 허용 가능 비트 수만큼, 검증 신호(CB<0:m-1>)가 하이 레벨의 비트 값을 갖고 전류 분배부(1420_0 내지 1420_m-1) 역시 턴온되어 전류 패스를 형성한다.
- [0128] 따라서, 페일로 판단된 메모리 셀(MC)의 개수가 허용 가능 비트 수보다 적을 때는, 전류 분배부(1430_0 내지 1430_m-1)의 턴온 개수가 전류 분배부(1420_0 내지 1420_m-1)보다 적다. 결국 감지 전류(Ipb)가 기준 전류(Iref)보다 작아 비교부(1440)는 하이 레벨의 패스 신호(PASS)를 출력한다. 반대로, 페일로 판단된 메모리 셀(MC)의 개수가 허용 가능 비트 수보다 많을 때는, 전류 분배부(1430_0 내지 1430_m-1)의 턴온 개수가 전류 분배

부(1420_0 내지 1420_m-1)보다 많다. 결국 감지 전류(Ipb)가 기준 전류(Iref)보다 커서 비교부(1440)는 로우 레벨의 페일 신호(FAIL)를 출력한다.

- [0129] 도12 내지 14를 참조하여 본 발명의 실시예에 따른 메모리 장치(150)의 동작을 설명하면, 설정된 에러 보정 기준을 바탕으로 프로그램 검증 동작을 수행할 때, 검증 결과 프로그램 동작이 성공으로 판단되면 에러 보정 기준을 강화해 다시 검증 동작을 수행할 수 있다.
- [0130] 즉, 제어 회로(1210)는 에러 보정 ECC(Error Correction Code) 회로(미도시)에서 처리할 수 있는 허용 비트 수를 에러 보정 기준으로 설정하여, 검증 신호(CB<0:m-1>)의 비트 값을 결정한다. 결국, 결정된 검증 신호(CB<0:m-1>)를 바탕으로 패스/페일 체크 회로(1220)는 프로그램 패스/페일 확인 동작을 수행하여 패스/페일 신호(PASS/FAIL)를 출력한다. 앞서 설명한 바와 같이 페일로 판단된 메모리 셀(MC)의 개수가 허용 가능 비트 수보다 많을 때는, 페일 신호(FAIL)가 출력되어 제어 회로(1210)는 프로그램 전압을 스텝 전압만큼 상승시켜 다시 프로그램/검증 및 프로그램 패스/페일 확인 동작이 수행되도록 제어한다.
- [0131] 반면, 계속되는 프로그램 동작에 따라 페일로 판단된 메모리 셀(MC)의 개수가 허용 가능 비트 수보다 작아지게 되면, 패스 신호(PASS)가 출력되고 제어 회로(1210)는 이에 응답해 검증 신호(CB<0:m-1>)의 비트값을 조절하고 한번 더 검증 동작이 수행되도록 제어한다. 예를 들면, 기존에 에러 보정 ECC(Error Correction Code) 회로(미도시)에서 처리할 수 있는 허용 비트가 100bits의 임계값(threshold)을 갖고 이를 기준으로 검증 동작을 거쳐 성공으로 판단되면, 임계값(threshold)을 70bits로 낮춰 더 강화된 기준으로 검증 동작을 한번 더 수행하는 것이다.
- [0132] 이때 페일로 판단되는 페이지들에 대한 정보를 상태 레지스터 등에 저장하여 관리할 수 있다. 따라서, 단순히 프로그램 동작을 검증하는 것뿐 아니라, 검증된 페이지들 중에서도 열화 시 성능이 악화될 가능성이 높은 페이지들을 따로 관리할 수 있다. 이러한 페이지들에 대한 정보는 가비지 컬렉션(garbage collection) 등의 동작 시 희생 블록(victim block)을 선택할 때 참조될 수 있다. 성능 악화 가능성이 높은 페이지뿐 아니라 무효 페이지 등의 개수를 확인하여 희생 블록(victim block)을 선택하는 방법은 공지 기술에 따른 동작으로 구체적인 설명은 생략한다.
- [0133] 도 15는 본 발명의 실시예에 따라 도 12의 메모리 장치(150)의 전반적인 동작을 설명하기 위한 도면이다.
- [0134] 1) 프로그램 동작 (S1510)
- [0135] 우선, 제어 회로(1210)의 제어에 따라 전압 공급 회로(310)는 메모리 블록(152)의 워드라인(예를 들어, WL0)에 프로그램 전압을 인가하여 프로그램 동작을 시작한다. 이때, 리드/라이트 회로(320)의 복수 개의 페이지 버퍼(PB)들은 프로그램 데이터를 저장하고, 대응하는 비트라인(BL)의 전위를 저장된 프로그램 데이터에 따라 변화시킨다. 따라서, 워드라인(WL0)에 연결된 메모리 셀(MC0)들은 대응하는 비트라인(BL)의 전위에 응답해 프로그램된다.
- [0136] 2) 프로그램 검증 동작 (S1520)
- [0137] 제어 회로(1210)의 제어에 따라 전압 공급 회로(310)는 메모리 블록(152)의 워드라인(WL0)에 검증 전압을 인가하고 리드/라이트 회로(320)는 복수 개의 페이지 버퍼(PB)들은 메모리 셀(MC0)의 프로그램 상태를 검증한다. 이때, 페이지 버퍼(PB)는 메모리 셀(MC0)로부터 득출된 데이터와 래치된 프로그램 데이터를 비교하여 대응하는 감지 노드의 전위를 변화시킨다.
- [0138] 3) PASS/FAIL 판단 (S1530)
- [0139] 패스/페일 체크 회로(1220)는 프로그램 동작이 페일로 검증된 메모리 셀(MC0)의 개수를 카운팅하고, 에러 보정(ECC: Error Correction Code) 시 허용 가능한 기준과 비교하여 패스/페일 확인 동작을 수행한다. PASS/FAIL 판단 결과, 허용 가능 기준보다 많은 수의 메모리 셀이 페일로 판단된 경우, 페일 신호(FAIL)가 생성되고 인가 횟수 판단 단계(S1540)로 진행된다. 반면, 허용 가능 기준보다 적은 수의 메모리 셀이 페일로 판단된 경우, 패스 신호(PASS)가 생성되고 검증 기준 강화 단계(S1570)로 진행된다.
- [0140] 4) 인가 횟수 판단 (S1540)
- [0141] PASS/FAIL 판단 단계(S1530)에서 페일로 판단된 경우, 프로그램 전압 인가 횟수를 카운팅하여 기설정된 횟수와 비교한다. 인가 횟수 판단 결과, 인가 횟수가 설정된 횟수와 같거나 그 이상이면(>=), 해당 페이지를 프로그램 불량 페이지로 처리하고 (단계 S1550) 프로그램 동작을 종료한다. 즉, ISPP(Incremental Step Pulse Program)

방식으로 프로그램 전압을 상승시켜 인가할 때, 설정된 횟수 내에서 프로그램 동작을 반복적으로 수행할 수 있다.

[0142] 5) 프로그램 전압 상승 (S1560)

[0143] 인가 횟수 판단 단계(S1540)에서 인가 횟수가 설정된 횟수보다 작을 경우, 프로그램 전압을 스텝 전압만큼 상승시키고 프로그램 동작 단계(S1510)로 진행될 수 있다. PASS/FAIL 판단 단계(S1530)와 인가 횟수 판단 단계(S1540)의 결과에 따라 프로그램 동작 단계(S1510) 및 프로그램 검증 동작 단계(S152)가 반복적으로 수행될 수 있다.

[0144] 6) 검증 기준 강화 (S1570)

[0145] PASS/FAIL 판단 단계(S1530)에서 패스로 판단된 경우, 제어 회로(1210)는 패스/페일 체크 회로(1220)의 허용 가능 기준을 강화한다. 제어 회로(1210)는 검증 신호(CB<0:m-1)의 활성화되는 비트값을 감소시켜 패스/페일 체크 회로(1220)의 허용 가능 기준을 강화할 수 있다.

[0146] 7) 열화 성능 판단 (S1580)

[0147] 패스/페일 체크 회로(1220)는 강화된 허용 가능 기준을 바탕으로 프로그램이 완료(성공)된 페이지의 열화 성능을 판단할 수 있다. 해당 페이지에서 프로그램 페일된 메모리 셀의 개수가 강화된 기준에도 만족할 경우, 프로그램 동작은 최종적으로 성공으로 판단되어 종료된다. 반면, 프로그램 페일된 메모리 셀의 개수가 프로그램 검증 기준에는 만족하지만 열화 성능을 판단하기 위한 강화된 기준에는 미치지 못할 경우, 해당 페이지는 열화 페이지로 처리되어 따로 관리될 수 있다. (단계 S1590) 물론 해당 페이지 역시 프로그램 동작은 성공적으로 수행되었기 때문에, 불량 페이지와는 달리 계속해서 프로그램/리드 동작이 수행될 수 있다.

[0148] 이와 같이 본 발명의 실시예에 따른 프로그램의 패스/페일 확인 동작을 통해 별도의 리드 동작 없이 메모리 셀들의 상태를 정기적으로 스캔할 수 있다. 본 실시예에서는 프로그램 동작에 적용하여 설명하였으나, 이는 소거(이레이즈) 동작에서도 마찬가지로 적용될 수 있다. 단지 소거 동작은 메모리 블록 단위로 수행되어 메모리 블록 단위로 패스/페일이 확인되는 점을 제외하고는 유사하여 관련 설명은 생략하도록 한다. 따라서 펌웨어 오버헤드(overhead)를 증가시키지 않고, 리드 레이턴시(latency) 역시 줄일 수 있다.

[0149] 또한, 프로그램/소거 검증 기준을 노멀한 상황뿐 아니라 열화 상황에 맞춰 설정함으로써, 메모리 셀이 현재는 패스 상태라 할지라도 열화 시에는 어떤 성능을 가질지 예측할 수 있다. 결국 데이터 에러를 사전 검출하여 미연에 방지함으로써 메모리 셀의 리텐션 특성 및 신뢰성을 향상시킬 수 있다.

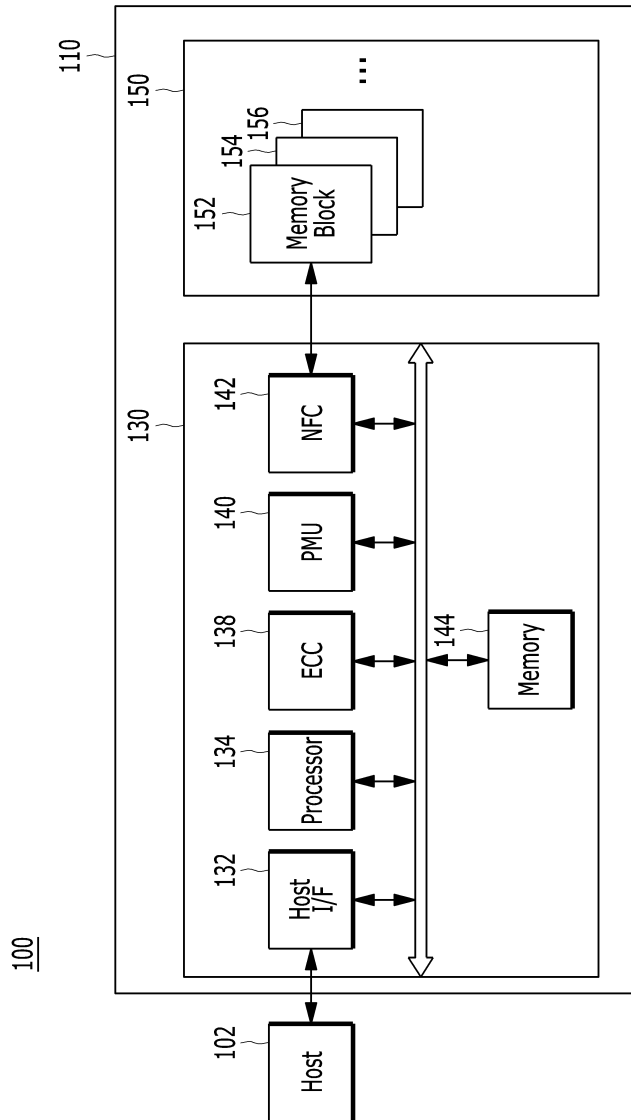
[0150] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

부호의 설명

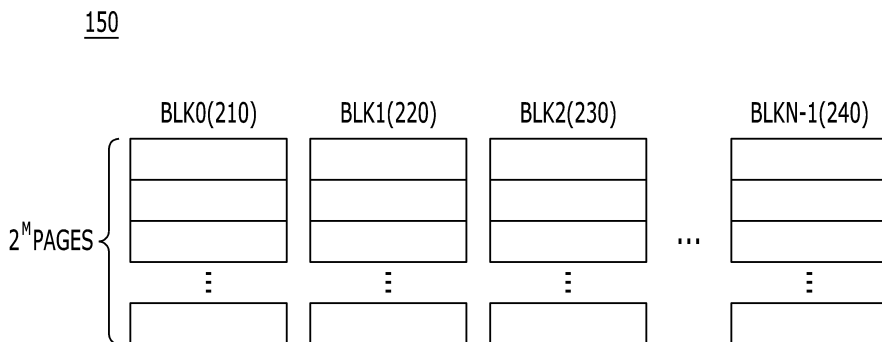
- [0151] 150 : 메모리 블록
- 310 : 전압 공급 회로
- 320 : 리드/라이트 회로
- 1210 : 제어 회로
- 1220 : 패스/페일 회로

도면

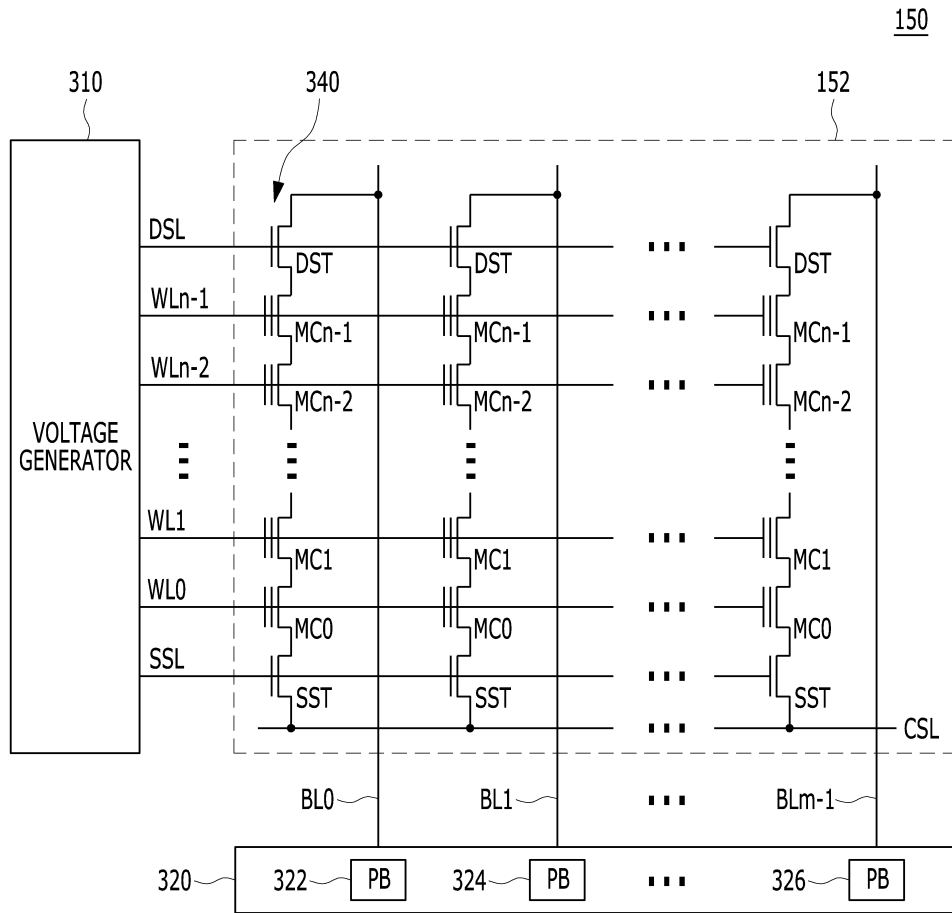
도면1



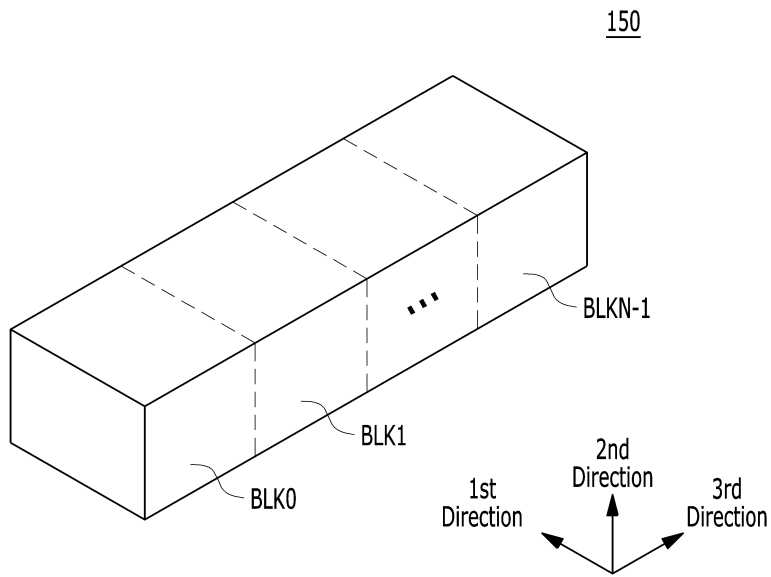
도면2



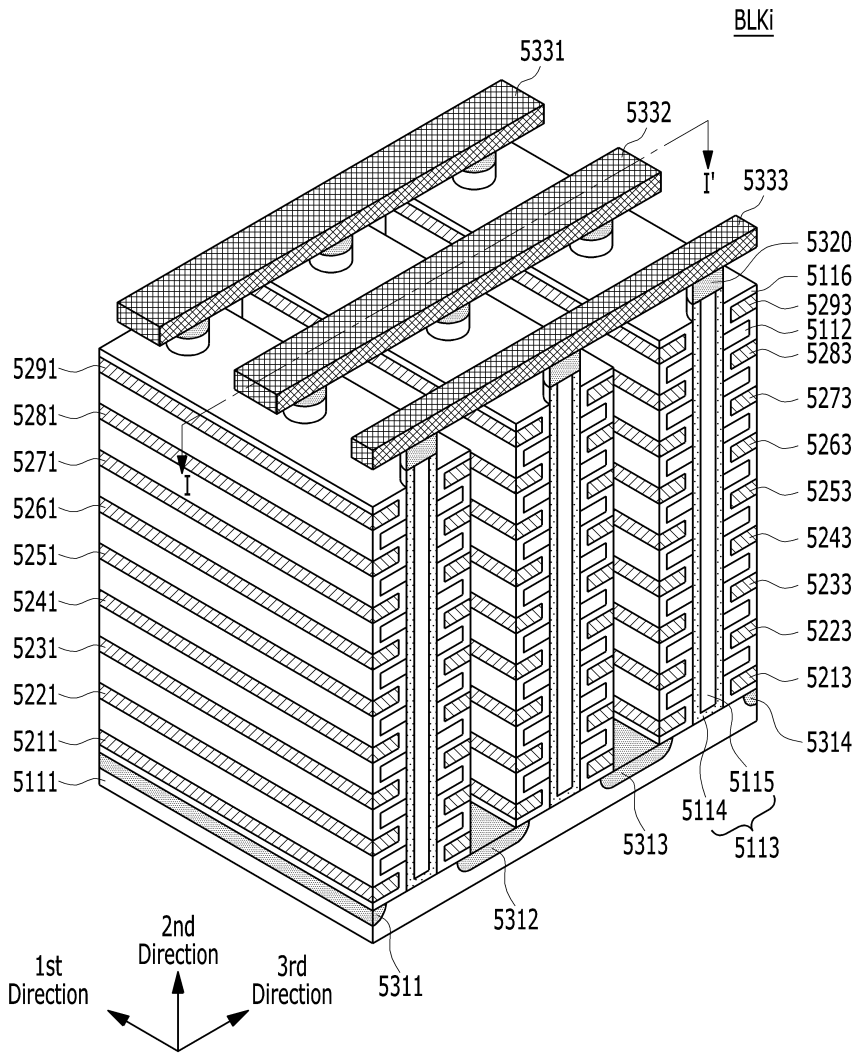
도면3



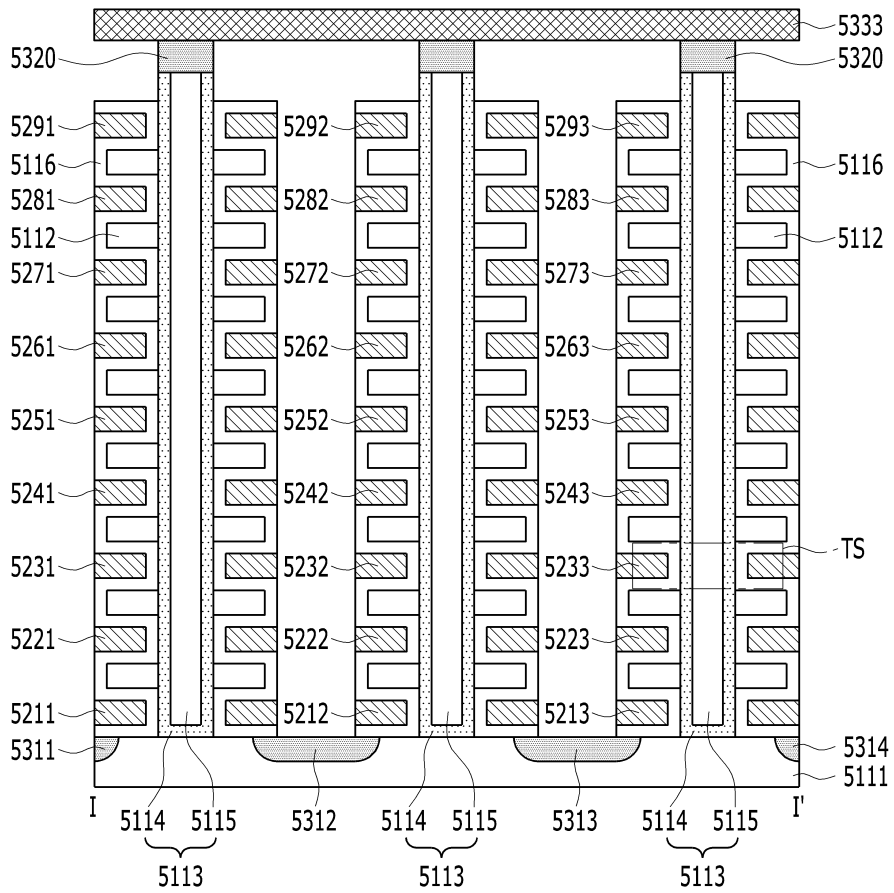
도면4



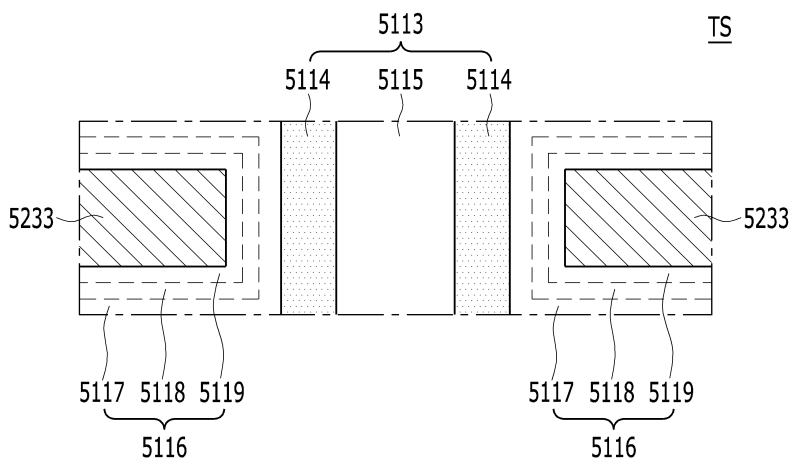
도면5



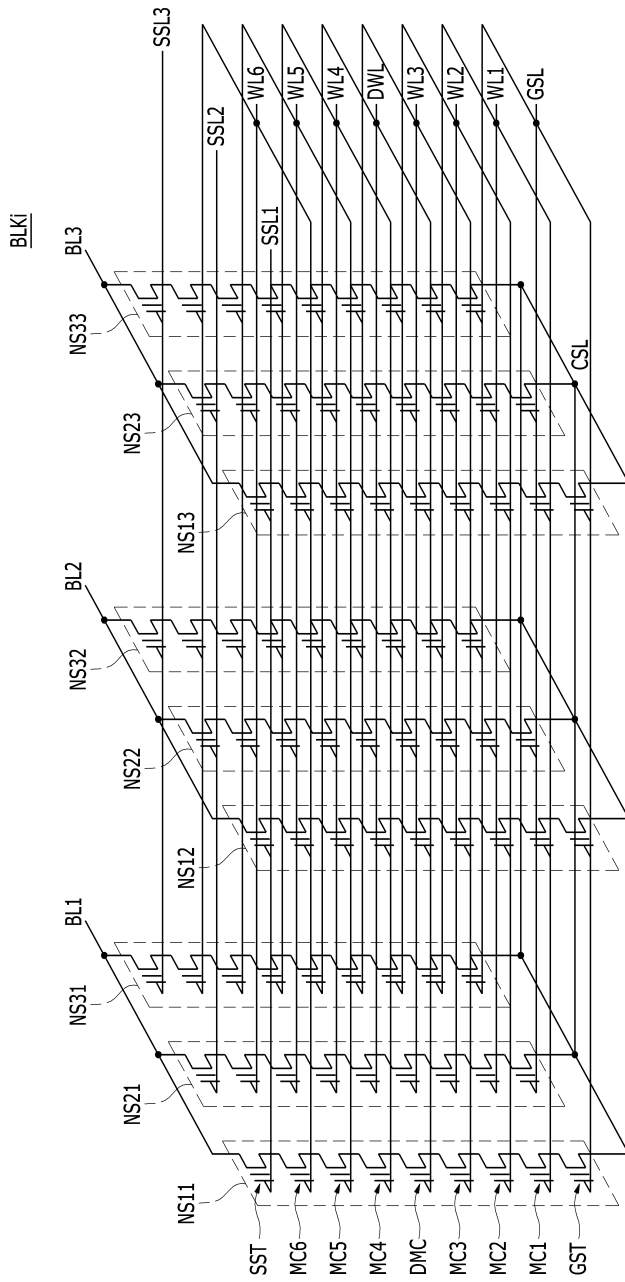
도면6



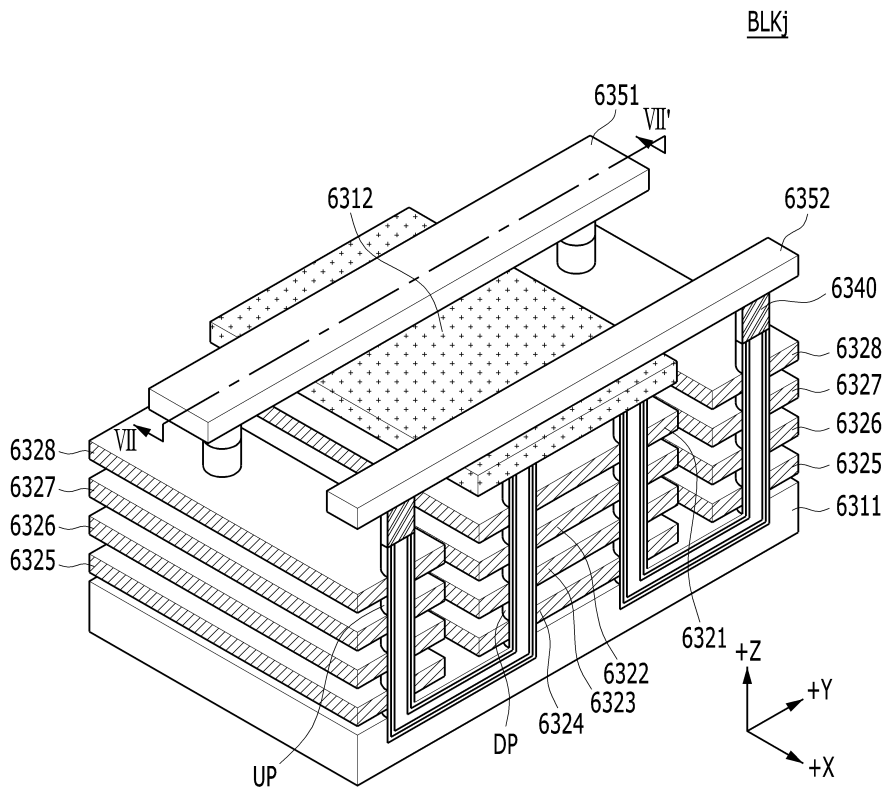
도면7



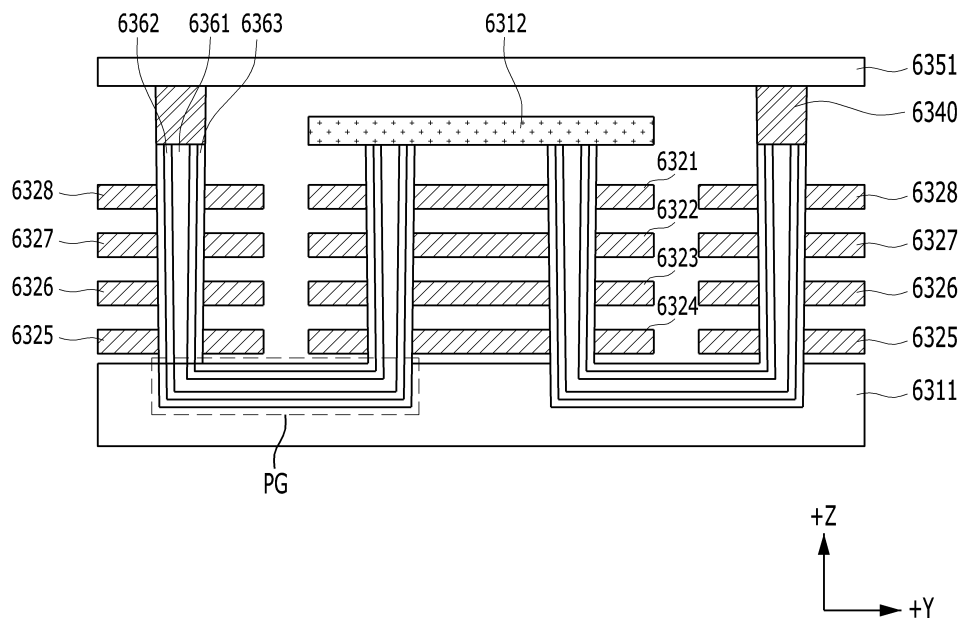
도면8



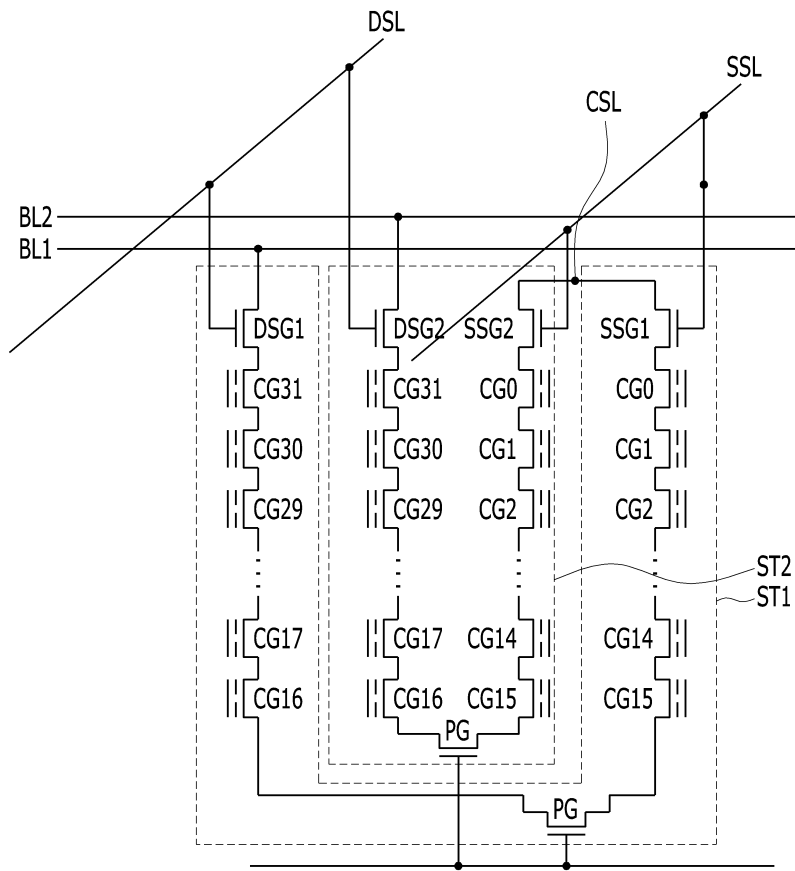
도면9



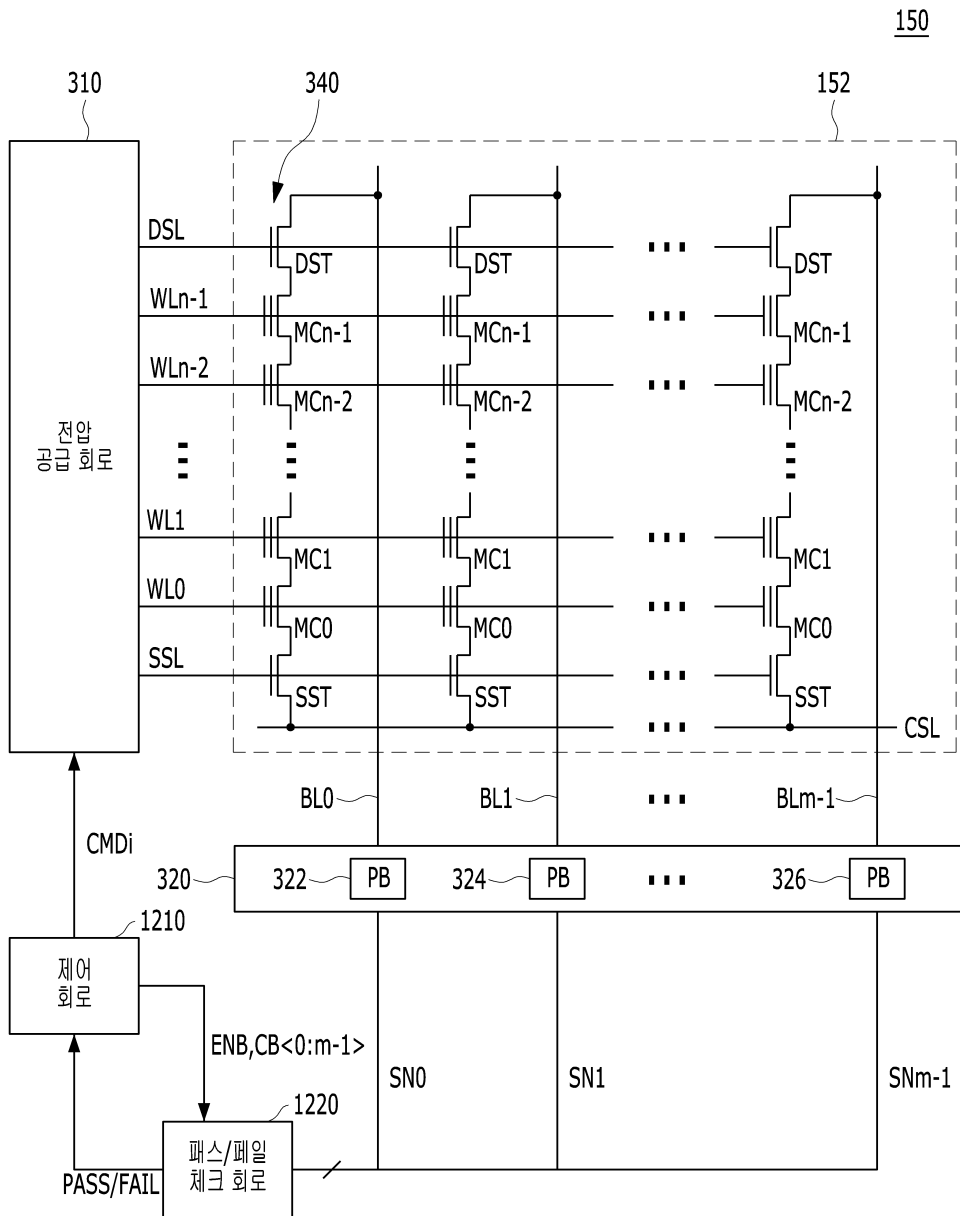
도면10



도면11

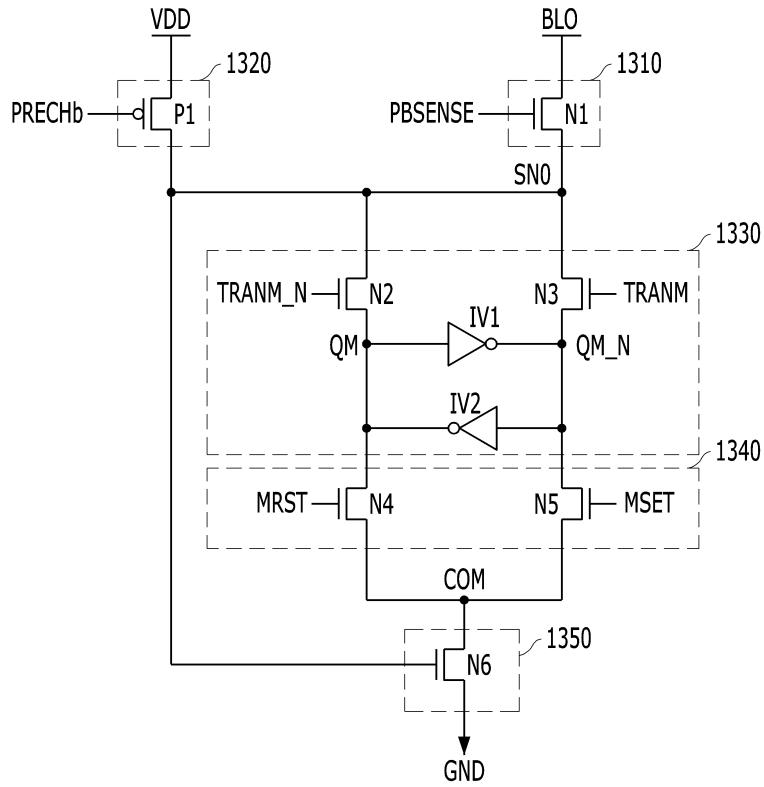


도면12

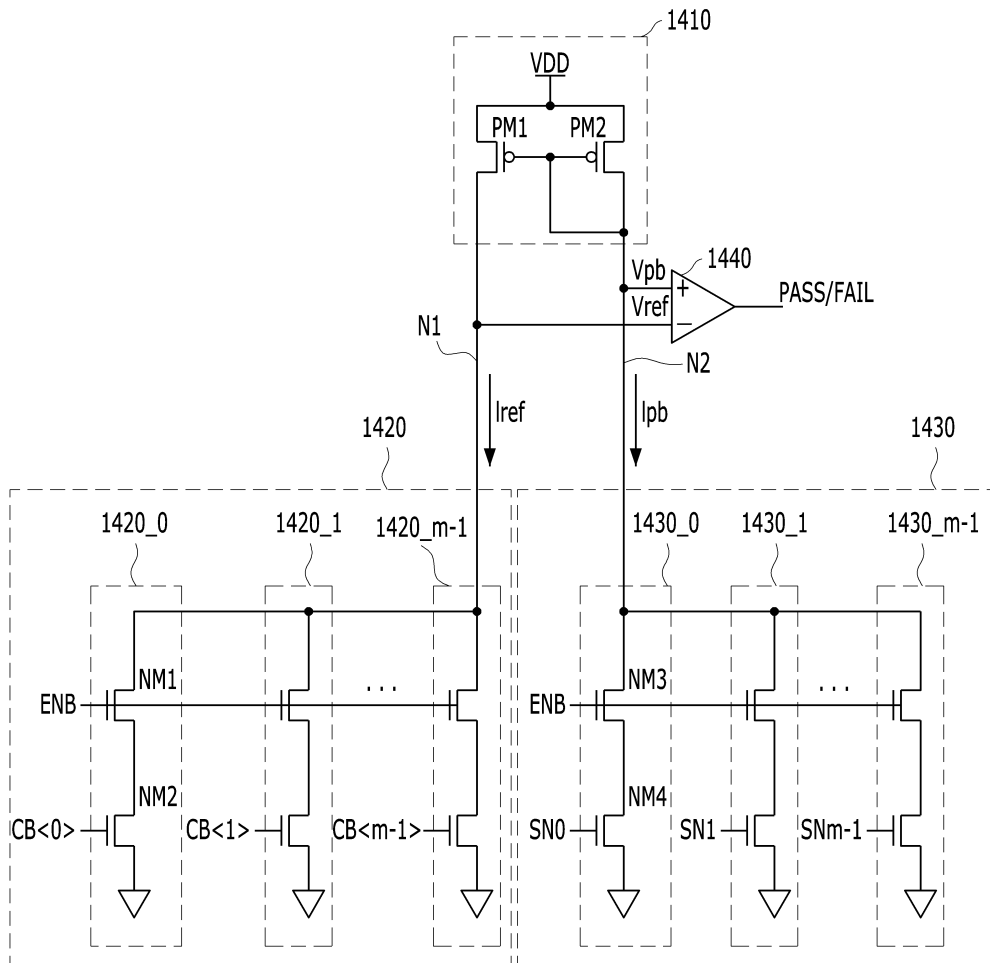


도면13

322



도면14



도면15

