

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6163702号  
(P6163702)

(45) 発行日 平成29年7月19日 (2017.7.19)

(24) 登録日 平成29年6月30日 (2017.6.30)

(51) Int. Cl.	F I
HO 1 L 25/00 (2006.01)	HO 1 L 25/00 B
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 O 1 Z
HO 1 L 23/29 (2006.01)	HO 1 L 23/30 R
HO 1 L 23/31 (2006.01)	HO 1 L 21/56 R
HO 1 L 21/56 (2006.01)	HO 5 K 3/28 G
請求項の数 17 (全 14 頁) 最終頁に続く	

(21) 出願番号 特願2016-563875 (P2016-563875)  
 (86) (22) 出願日 平成26年12月9日 (2014.12.9)  
 (65) 公表番号 特表2017-505547 (P2017-505547A)  
 (43) 公表日 平成29年2月16日 (2017.2.16)  
 (86) 国際出願番号 PCT/US2014/069361  
 (87) 国際公開番号 W02016/093808  
 (87) 国際公開日 平成28年6月16日 (2016.6.16)  
 審査請求日 平成27年12月1日 (2015.12.1)

(73) 特許権者 591003943  
 インテル・コーポレーション  
 アメリカ合衆国 95054 カリフォル  
 ニア州・サンタクララ・ミッション カレ  
 ッジ ブレーバード・2200  
 (74) 代理人 110000877  
 龍華国際特許業務法人  
 (72) 発明者 アルベルス、スベン  
 アメリカ合衆国 95054 カリフォル  
 ニア州・サンタクララ・ミッション カレ  
 ッジ ブレーバード・2200 インテル  
 ・コーポレーション内

最終頁に続く

(54) 【発明の名称】 パッケージ基板または装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に少なくとも1つの受動構造体をビルドアップ工程によって形成する段階と、  
 前記基板上に1つまたは複数の集積回路チップを導入する段階と、  
 前記少なくとも1つの受動構造体上及び前記1つまたは複数の集積回路チップ上にモ  
 ー  
 ルディングコンパウンドを導入する段階と  
 を含み、  
 前記ビルドアップ工程は、  
 前記基板上に導電性粉末の層を繰り返し堆積する段階と、  
 前記堆積された層の前記導電性粉末を選択的に溶融する段階と  
 を含む、パッケージ基板または装置の製造方法。

10

【請求項2】

基板上に少なくとも1つの受動構造体をビルドアップ工程によって形成する段階と、  
 前記基板上に1つまたは複数の集積回路チップを導入する段階と、  
 前記少なくとも1つの受動構造体上及び前記1つまたは複数の集積回路チップ上にモ  
 ー  
 ルディングコンパウンドを導入する段階と  
 を含み、  
 前記ビルドアップ工程はステレオリソグラフィを含む、パッケージ基板または装置の  
 製造方法。

【請求項3】

20

基板上に少なくとも1つの受動構造体をビルドアップ工程によって形成する段階と、前記基板上に1つまたは複数の集積回路チップを導入する段階と、前記少なくとも1つの受動構造体上及び前記1つまたは複数の集積回路チップ上にモールドディングコンパウンドを導入する段階と

を含み、

前記少なくとも1つの受動構造体は、コイルを含む、パッケージ基板または装置の製造方法。

【請求項4】

前記基板は犠牲基板を有し、

前記モールドディングコンパウンドを導入する段階の後に前記犠牲基板を除去する段階を含む

10

請求項1から3の何れか一項に記載の製造方法。

【請求項5】

前記少なくとも1つの受動構造体の各々及び前記1つまたは複数の集積回路チップは複数の接触点を含み、

前記犠牲基板を除去することによって、前記複数の接触点を露出させ、

再配線層を前記複数の接触点に結合する段階を更に含む

請求項4に記載の製造方法。

【請求項6】

前記1つまたは複数の集積回路チップを導入する段階は、前記1つまたは複数の集積回路チップの複数の接触点を前記基板の複数の接触点に結合する段階を含む

20

請求項1から5の何れか一項に記載の製造方法。

【請求項7】

前記1つまたは複数の集積回路チップは、複数の半田接続を介して前記基板に結合される

請求項6に記載の製造方法。

【請求項8】

前記基板上に前記少なくとも1つの受動構造体を形成する段階は、前記少なくとも1つの受動構造体を前記基板の1つまたは複数の接触点のそれぞれに結合する段階を含む

請求項6または7に記載の製造方法。

30

【請求項9】

前記少なくとも1つの受動構造体は、アンテナ、レジスタまたはシールドの少なくとも1つを含む

請求項1から8の何れか一項に記載の製造方法。

【請求項10】

基板上に少なくとも1つの受動構造体を3次元プリント工程によって形成する段階と、前記基板上に1つまたは複数の集積回路チップを導入する段階と、

前記少なくとも1つの受動構造体及び前記1つまたは複数の集積回路チップをモールドディングコンパウンドに埋め込む段階と

を含む、パッケージ基板または装置の製造方法。

40

【請求項11】

前記基板は犠牲基板を有し、

前記少なくとも1つの受動構造体及び前記1つまたは複数の集積回路チップを前記モールドディングコンパウンドに埋め込む段階の後に、前記犠牲基板を除去する段階を含む

請求項10に記載の製造方法。

【請求項12】

前記少なくとも1つの受動構造体の各々及び前記1つまたは複数の集積回路チップは、複数の接触点を含み、

前記犠牲基板を除去することによって、前記複数の接触点を露出させ、

金属被膜層を前記複数の接触点に結合する段階を更に含む

50

請求項 1 1 に記載の製造方法。

【請求項 1 3】

前記 1 つまたは複数の集積回路チップを導入する段階は、前記 1 つまたは複数の集積回路チップの複数の接触点を前記基板の複数の接触点に結合する段階を含む

請求項 1 0 から 1 2 の何れか一項に記載の製造方法。

【請求項 1 4】

前記 1 つまたは複数の集積回路チップは複数の半田接続を介して前記基板に結合される請求項 1 3 に記載の製造方法。

【請求項 1 5】

前記基板上に前記少なくとも 1 つの受動構造体を形成する段階は、前記少なくとも 1 つの受動構造体を前記基板の 1 つまたは複数の接触点のそれぞれに結合する段階を含む

請求項 1 3 または 1 4 に記載の製造方法。

【請求項 1 6】

前記 3 次元プリント工程は、

前記基板上に導電性粉末の層を繰り返し堆積する段階と、

前記堆積された層の前記導電性粉末を選択的に溶融する段階とを含む

請求項 1 0 から 1 5 の何れか一項に記載の製造方法。

【請求項 1 7】

前記 3 次元プリント工程は、ステレオリソグラフィを含む

請求項 1 0 から 1 6 の何れか一項に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路パッケージングに関する。

【背景技術】

【0002】

より高い集積度、及び、より低いコストに対する要求によって、システムインパッケージ (SIP) ソリューションのような、コンポーネントの集積化が駆り立てられている。この点について、主に、サイズ及びコストの低下と、機能性の増大とによって、駆り立てられている。

【図面の簡単な説明】

【0003】

【図 1】接着層と接着層上の複数の接触点とを含む犠牲キャリアの断面図を示している。

【図 2】図 1 の構造体が、続いて、接着層上で複数の接触点と接続される複数の受動構造体を形成された状態を示している。

【図 3】図 2 の構造体が、続いて、接着層上に 2 つの集積回路チップを導入された状態を示している。

【図 4】図 3 の構造体が、続いて、複数の受動構造体及び複数の集積回路チップを埋め込むべく、接着層上にモールドイング材料を導入された状態を示している。

【図 5】図 4 の構造体が、続いて、モールドイング材料に埋め込まれた複数の構造体をキャリアから外された状態を示している。

【図 6】図 5 の構造体が、続いて、金属被膜層及び複数の接触点を含むべく更にウェハレベル処理され、複数の接触点上に複数の半田接続を配置された状態を示している。

【図 7】フリップチップ構成において、基板上的複数の接触点に接続された集積回路チップを示している。

【図 8】図 7 の構造体が、続いて、基板の上に粉末材料を導入され、受動構造体を形成するビルドアップ処理又は付加処理をされた状態を示している

【図 9】図 8 の構造体が、続いて、付加処理又はビルドアップ処理によって受動構造体を完成された状態を示している。

【図 10】図 9 の構造体が、続いて、受動構造体を形成すべく、電磁放射によって溶融さ

10

20

30

40

50

れなかった粉末を除去された状態を示している。

【図 1 1】図 1 0 の構造体が、続いて、集積回路チップ及び受動構造体をモールドイング材料に埋め込むべく、基板の面上にモールドイング材料を導入された状態を示している。

【図 1 2】図 1 1 の構造体が、続いて、基板の第 2 面上の複数の接触点に複数の半田接続を導入された状態を示している。

【図 1 3】集積回路チップと鉛直コイルの受動構造体とを集積したパッケージを示す図である。

【図 1 4】集積回路チップ及び並設マルチコイルにおけるマルチコイル構成の複数のコイルとを集積したパッケージ構造体を示す図である。

【図 1 5】集積回路チップと複数巻線コイル水平構成の複数のコイルとを集積したパッケージ基板を示す図である。

【図 1 6】複数巻線コイル鉛直構成における集積回路チップと複数のコイルを集積したパッケージ構造体を示す図である。

【図 1 7】集積回路チップを、例えば複数のコイル間に配置された磁性体のコアを含む並設マルチコイル構成の複数の受動コイルと集積させたパッケージ構造体を示す図である。

【図 1 8】集積回路チップと、コイルを貫通する磁性体のコアを有する鉛直複数巻線コイル構成の複数の受動コイルと、コイルを貫通する磁気コアを有する水平複数巻線コイル構成の複数のコイルとを集積したパッケージ構造体を示す図である。

【図 1 9】集積回路チップと、それぞれがインターコネクタである、とりわけ、例えば銅材の貫通モールド導電性ビアである複数の受動構造体を集積したパッケージ基板を示す図である。

【図 2 0】集積回路チップを、接地したシールドの受動構造体と集積させたパッケージ基板を示す図である。

【図 2 1】集積回路チップを、アンテナの受動構造体と集積させたパッケージ基板を示す図である。

【図 2 2】コンピューティングデバイスの一実施形態を例示する図である。

【発明を実施するための形態】

【0004】

複数の受動コンポーネントと、集積回路チップ又はパッケージ内の複数のチップなどの能動回路コンポーネントとを集積する方法について説明する。能動回路コンポーネントは、電子流を電氣的に制御する能力を有する任意のタイプの回路コンポーネントである。本明細書に係る受動コンポーネントまたは構造体は、電気信号によって電流を制御できないコンポーネントまたは構造体である。受動コンポーネントまたは構造体の複数の例には、レジスタ、キャパシタ、インダクタ、フィルタ、バラン、トランシーバ、レシーバ並びに/若しくはインターコネクタ、アンテナ、及びシールドが含まれる。一実施形態において、かかる方法は、基板上に受動コンポーネントまたは構造体を形成する段階と、1つまたは複数の能動回路コンポーネント(例えば、1つまたは複数の集積回路チップ)を基板上に導入する段階と、その後、その少なくとも1つの受動構造体、及び1つまたは複数の能動コンポーネント上にモールドイングコンパウンドを導入する段階とを含む。一実施形態においては、基板上に受動構造体を形成する段階はビルドアップ工程または付加工程によって行われる。代表的な例として、3次元付加工程(例えば、3次元プリント工程)は、複数の受動構造体を生成すべく用いられる。3次元付加工程の代表的な例としては、選択的レーザ溶融システムや、例えば、液体を選択的に固化すべく、液体フォトリソグラフィ工程などの、選択的溶融又は焼結工程がある。パッケージング工程の前または進行中に、ビルドアップ工程または付加工程で(例えば、層ごとに)複数の受動構造体をビルドすることによって、コイル、アンテナ、レジスタまたはシールドのような簡単なまたは複雑な複数の3次元構造体を生成することができる。更に、パッケージモジュールの機能性及び/または性能を向上させる複数の付加的コンポーネントを配置して生成すべく、パッケージ容量の全体を用いることができる。複数の能動及び受動構造体に対してパッケージ容量の全体を利用可能にする方法を用いるこ

10

20

30

40

50

とによって、複数の２次元受動構造体では達成できない方法で複数の受動構造体の複数の電気的特性を改善することが更に可能になる。最後に、パッケージの全容量内に複数の受動コンポーネントまたは構造体を実装することによって、プリント回路基板上に並んで取り付けられるそのような複数の受動構造体を有するパッケージに対し、パッケージの占有面積を比較的小さくできる。

#### 【 0 0 0 5 】

図 1 ~ 6 は、パッケージの容量内に埋め込まれた少なくとも 1 つの受動構造体及び 1 つまたは複数の能動回路コンポーネント（例えば、1 つまたは複数の集積回路チップ）の集積化を含む、パッケージの生成の工程フローの実施形態を例示する。本実施形態の工程フローは、ファンアウトウエファレレベルボンディング技術を用いる。最終パッケージに埋め込まれる受動構造体は、コイルである。図 1 は、犠牲キャリアの断面図を示している。キャリア 1 1 0 は、例えば、金属、ポリマー、またはセラミック材であり、次の複数の処理操作に機能性を提供するのに十分な代表厚み（例えば、ミリメートルオーダーの厚み）を有する。構造体 1 0 0 のキャリア 1 1 0 の面上（図示のように、上面）に、接着層 1 1 5 が配置される。一実施形態において、接着層 1 1 5 は、キャリア 1 1 0 に積層された両面粘着フィルムである。一実施形態において、接着層 1 1 5 上に、複数の金属パッド/ランディングのような、構造体上に形成される複数のデバイス用の任意の複数の接触点が配置される。

#### 【 0 0 0 6 】

図 2 は、図 1 の構造体が、続いて、接着層 1 1 5 上に複数の受動構造体を形成された状態を示し、この実施形態において、複数の受動構造体は複数の接触点 1 2 0 に接続される。一実施形態において、受動構造体 1 3 0 A、受動構造体 1 3 0 B 及び受動構造体 1 3 0 C の各々は、ビルドアップまたは付加工程（例えば、３次元プリント工程）によって形成された３次元受動構造体である。図 2 は、水平方向に配置されたコイルとしての受動構造体 1 3 0 A 及び受動構造体 1 3 0 B と、鉛直に配置されたコイルとしての受動構造体 1 3 0 C とを示す図である。複数のコイルは、３次元プリント工程などのビルドアップ工程または付加工程によってビルドされてもよい構造体の一例であることを理解されたい。他の複数の構造体は、想定される他の複数の受動構造体を含む。

#### 【 0 0 0 7 】

図 3 は、図 2 の構造体が、続いて、構造体上に 2 つの集積回路チップを導入された状態を示している。図 3 は、接着層 1 1 5 に取り付けられた集積回路チップ 1 4 0 A 及び集積回路チップ 1 4 0 B を示す。集積回路チップ 1 4 0 A 及び集積回路チップ 1 4 0 B は、接着層 1 1 5 の受動構造体 1 3 0 A ~ 1 3 0 C に占められていない（例えば、それらの間の）複数の領域上に配置される。図 3 は、受動構造体 1 3 0 A と受動構造体 1 3 0 C との間に配置された集積回路チップ 1 4 0 A、及び、集積回路チップ 1 3 0 B と集積回路チップ 1 3 0 C との間に配置された集積回路チップ 1 4 0 B を具体的に示す。一実施形態において、集積回路チップ 1 4 0 A 及び集積回路チップ 1 4 0 B のそれぞれは、デバイス側が接着層 1 1 5 に向くように配置される（図示のように、デバイス側を下にする）。別の実施形態において、複数のチップやダイが受動構造体 1 3 0 A 及び 1 3 0 B の間、及び/または 1 3 0 B 及び 1 3 0 C の間に配置されることができる。

#### 【 0 0 0 8 】

図 4 は、図 3 の構造体が、続いて、複数の受動構造体及び複数の集積回路チップを埋め込むべく、接着層上にモールドイング材料を導入された状態を示している。図 4 は、接着層 1 1 5 上に配置され、受動構造体 1 3 0 A ~ 1 3 0 C と集積回路チップ 1 4 0 A ~ 1 4 0 B とを埋め込むべく、ある厚みまで導入されたモールド材料 1 5 0 を示す。一実施形態において、モールド材料 1 5 0 に適する材料は、KE - G 1 2 5 0 F C - 2 0 C U または充填エポキシ系モールドコンパウンドなどのモールドコンパウンドである。

#### 【 0 0 0 9 】

図 5 は、図 4 の構造体が、続いて、モールドイング材料 1 5 0 に埋め込まれた複数の構造体をキャリアから外された状態を示している。一実施形態において、キャリアは、熱工

10

20

30

40

50

エネルギー、化学エネルギー、または任意の他の形態のエネルギーの添加によって、外される（分離される）。図5は、基板110と接着層115が外された後の、モールド材料150に埋め込まれた受動構造体130A~130C及び集積回路チップ140A~140Bを含む構造体100を示す。

#### 【0010】

図6は、図5の構造体が、続いて、更にウェハレベル処理された状態を示している。そのような工程は、代表的に、露出された表面（キャリア110が外されたことによって露出された表面）の掃除、例えば、ポリイミド、エポキシ、ポリベンゾオキサゾール、それらの混合物または同様の材料などの誘電体層160の導入、複数のチップや受動構造体の複数の接触点へ複数の開口又はビアの形成、再配線層170の設置、メッキ及びパターンニング、半田停止材180の導入を含む。図6は、再配線層190の複数の接触点への、複数の予備成形ボールとしてプリントされた又は配置された複数の半田接続（半田ボール）も示す。

10

#### 【0011】

図7~12は、フリップチップパッケージ用の、3次元受動構造体と1つまたは複数の集積回路チップとの組込工程フローの実施形態を示す。図7は、フリップチップ構成において、基板（パッケージまたはボード）上の複数の接触点に接続されたマイクロプロセッサのような集積回路チップを示している。構造体200は基板210を含む。基板210は、例えば、コアレス、又は、コア構造体を含む基板であるが、成型されたインターコネクト基板（MIS）、又は、セラミック基板であってもよい。基板210は、第1側上にある複数の接触点220と、その反対側の第2側上にある複数の接触点225とを含む。基板210上に配置され、複数の接触点220と接触するのが集積回路チップ230である。チップ230は、一実施形態において、複数の半田接続（半田バンプ）または複数の銅ピラーを介して、基板210上の複数の接触点220に接続される。そのようなチップは、一括リフローや圧着ボンディングにより取り付けられてよい。フリップチップ構成において、チップ230は、デバイス側を下にして、または基板210に向けて、基板210に取り付けられる。集積回路チップ230の基板210への接続はアンダーフィリングされてよい。図7は、例えばポリマー材などのアンダーフィリングされた材料235を示す。

20

#### 【0012】

図8は、図7の構造体が、続いて、集積回路チップ230に隣接する領域に基板210上に粉末材料を導入され、受動構造体を形成するビルドアップ処理又は付加処理をされた状態を示している。図8を参照すると、一実施形態において、受動構造体は、粉末材料（粒子材料）を連続的に導入し、選択的電磁放射溶融原理を利用して粉末を加熱し所望の箇所の粉末を溶融（焼結）することによって形成される。図8は、基板210上に一層ごとに導入された粉末240を示している。代表的に、そのような導入は、基板210の表面と一列に並べられたローラを用いて、粉末源から粉末（例えば導電性粒子）を移動することによって行われてもよい。一旦1つの粉末層が導入されると、電磁源が活性化され、電磁放射が所望の箇所の粉末上に与えられる。図8は、粉末材料240の所望の粒子上に電磁放射260を与えるスキャナ255を含む電磁源250を示す。一実施形態において、スキャナ255は、複数の非一時的機械可読命令を含むコントローラによって制御される。非一時的機械可読命令が実行された場合、スキャナ255は、基板210における粉末を含有する領域に亘って、少なくとも2次元平面（x方向及びy方向）に移動される。スキャナ255は、予め定められた複数の場所で電磁放射を与える。

30

40

#### 【0013】

図9は、図8の構造体が、続いて、受動構造体を形成すべく、導入の完了及び粉末240を溶融した状態を示している。図9は水平コイルの受動構造体245を示す。図9に例示されるように、水平コイル及び集積回路チップ230は、粉末240によって埋め込まれ、または囲まれる。

#### 【0014】

50

図10は、図9の構造体が、続いて、受動構造体を形成すべく、電磁放射によって溶融されなかった粉末240を除去された状態を示している。図10は、基板210上に配置され、基板の面上の複数の接触点220に接続された（電氣的に基板210と接続された）水平コイルである受動構造体245を示す。図11は、図10の構造体が、続いて、集積回路チップ230及び受動構造体245をモルディング材料に埋め込むべく、基板210の面上にモルディング又はグロブトップ材料を導入された状態を示している。

【0015】

図12は、図11の構造体が、続いて、基板210の第2面上の複数の接触点225に複数の半田接続を導入された状態を示している。図12は、複数の接触点225に接続された複数の半田接続260（半田バンプ）を示す。

10

【0016】

上述の実施形態において、受動構造体は、基板上にチップを導入または配置した後に、パッケージ基板上に形成された。別の実施形態において、受動構造体は、パッケージ基板上にチップを配置または導入する前に形成されてよい。

【0017】

図13～21は、1つまたは複数の集積回路チップを有するパッケージの中に集積された複数の受動構造体の異なる複数の実施形態を示す。フリップチップパッケージは、様々な受動構造体を例示する典型的な実施形態として、用いられる。図13は、集積回路チップ330と鉛直コイルの受動構造体345とを集積したパッケージ300を示している。図14は、集積回路チップ430と並設マルチコイル構成におけるマルチコイル構成のコイル445A及び445Bを集積したパッケージ構造体400を示す。図15は、集積回路チップ530と複数巻線コイル水平構成のコイル545A及びコイル545Bを集積したパッケージ基板500を示す。図16は、集積回路チップ630と複数巻線コイル鉛直構成のコイル645A及びコイル645Bを集積したパッケージ構造体600を示す。

20

【0018】

図17は、集積回路チップ730を、例えば複数のコイル間に配置された磁性体のコア750を含む並設マルチコイル構成の受動コイル745A及び受動コイル745Bと集積させたパッケージ構造体700を示す。図18は、集積回路チップ830と、コイル内を貫通する磁性体のコア850Aを有する鉛直複数巻線コイル構成の受動コイル845A及び受動コイル845Bと、コイルを貫通する磁気コア850Bを有する水平複数巻線コイル構成のコイル845C及びコイル845Dを集積させたパッケージ構造体800を示す。

30

【0019】

図19は、集積回路チップ930と、それぞれがインターコネクトである、とりわけ、例えば銅材の貫通モールド導電性ビアである受動構造体945Aと、受動構造体945Bと、受動構造体945Cとを集積したパッケージ基板900を示す。そのような複数の貫通モールドビアは、基板910上の複数の接触点に、個々に接続されてもよい。

【0020】

図20は、集積回路チップ1030を、接地されたシールドの受動構造体1045と集積させたパッケージ基板1000を示す。

40

【0021】

図21は、集積回路チップ1130をアンテナの受動構造体1145と集積させたパッケージ基板1100を示す。

【0022】

図22は、一実装に従ったコンピューティングデバイス1200を例示する。コンピューティングデバイス1200は、ボード1202を収容する。ボード1202は、プロセッサ1204と、少なくとも1つの通信チップ1206とを含む、いくつかのコンポーネントを含んでもよいが、これらに限定されない。プロセッサ1204は、物理的に及び電氣的にボード1202に結合される。いくつかの実装において、少なくとも1つの通信チップ1206も物理的に及び電氣的にボード1202に結合される。更なる実装において

50

は、通信チップ1206はプロセッサ1204の一部である。

【0023】

その用途に応じて、コンピューティングデバイス1200は、物理的に及び電氣的にボード1202と結合させられても結合させられなくてもよい複数の他のコンポーネントを含んでよい。これら他のコンポーネントは、以下を含むが、以下に限定されない：揮発性メモリ（例えば、DRAM）や非揮発性メモリ（例えば、ROM）、フラッシュメモリ、グラフィックスプロセッサ、デジタル信号プロセッサ、暗号プロセッサ、チップセット、アンテナ、ディスプレイ、タッチスクリーンディスプレイ、タッチスクリーンコントローラ、バッテリー、オーディオコーデック、ビデオコーデック、電力増幅器、グローバルポジショニングシステム（GPS）デバイス、コンパス、加速度計、ジャイロスコープ、スピーカ、カメラ、大容量記憶装置（ハードディスクドライブ、コンパクトディスク（CD）、デジタルバーサタイルディスク（DVD）など）。

10

【0024】

通信チップ1206がコンピューティングデバイス1200から及びコンピューティングデバイス1200へのデータ転送用無線通信を可能にする。「無線」という用語及びその派生語は、非固体媒体を介して変調電磁放射の使用によってデータ通信をしてよい回路やデバイス、システム、方法、技術、通信チャネルなどを説明するときに用いてよい。いくつかの実施形態において互いに関連する複数のデバイスが何らの線材を含有しない場合はあるが、これらの用語は、そのようなことを示唆しない。通信チップ1206は、以下を含む任意の数の無線規格やプロトコルを実装してよいが、それらに限定されない：Wi-Fi（IEEE 802.11ファミリー）、WiMAX（IEEE 802.16ファミリー）、IEEE 802.20、ロングタームエボリューション（LTE）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM（登録商標）、GPRS、CDMA、TDMA、DECT、Bluetooth（登録商標）、またはこれらの派生語、及び、任意の他の3G、4G、5G認定とそれ以降の無線プロトコル。コンピューティングデバイス1200は、複数の通信チップ1206を含んでよい。例えば、第1通信チップ1206は、Wi-FiやBluetooth（登録商標）などの比較的短い距離の無線通信専用であってよく、第2通信チップ1206は、GPS、EDGE、GPRS、CDMA、WiMAX、LTE、Ev-DOなどの比較的長い距離の無線通信専用であってよい。

20

30

【0025】

コンピューティングデバイス1200のプロセッサ1204は、プロセッサ1204内にパッケージされた集積回路ダイを含む。「プロセッサ」という用語は、レジスタ及び/またはメモリからの電子データを処理して、レジスタ及び/またはメモリに保存してよい他の電子データに変換する任意のデバイスやデバイスの一部を指してよい。いくつかの実装において、集積回路ダイは、上述の教示に従ってパッケージ内の受動構造体と集積されてもよい。

【0026】

通信チップ1206もまた、通信チップ1206内にパッケージされた集積回路ダイを含んでよい。いくつかの実装において、集積回路ダイは、上述の教示に従ってパッケージ内の受動構造体と集積されてもよい。

40

【0027】

更なる実装においては、コンピューティングデバイス1200内にハウジングされた別のコンポーネントは、トランジスタや金属インターコネクトなどの1つまたは複数のデバイスを含む集積回路ダイを含んでよい。いくつかの実装において、集積回路ダイは、上述の教示に従ってパッケージ内の受動構造体と集積されてもよい。

【0028】

様々な実装において、コンピューティングデバイス1200は、以下のものであってよい：ラップトップやネットブック、ノートブック、ウルトラブック、スマートフォン、タブレット、パーソナルデジタルアシスタント（PDA）、ウルトラモバイルPC、携帯電

50



話、デスクトップコンピュータ、サーバ、プリンタ、スキャナ、モニタ、セットトップボックス、娯楽制御ユニット、デジタルカメラ、携帯音楽プレーヤ、デジタルビデオレコーダなど。更なる実装においては、コンピューティングデバイス1200は、データを処理するその他の電子デバイスであってよい。

【0029】

実施例

【0030】

例1は、基板上に少なくとも1つの受動構造体をビルドアップ工程によって形成する段階と、基板上に1つまたは複数の集積回路チップを導入する段階と、少なくとも1つの受動構造体上及び1つまたは複数の集積回路チップ上にモールドニングコンパウンドを導入する段階とを方法である。

10

【0031】

例2において、例1の方法に係る基板は、犠牲基板を有し、モールドニングコンパウンドを導入する段階の後に、犠牲基板を除去する段階を含む方法である。

【0032】

例3において、例2の方法に係る少なくとも1つの受動構造体の各々及び1つまたは複数の集積回路チップは複数の接触点を含み、犠牲基板の除去することによって複数の接触点を露出させ、再配線層を複数の接触点と結合する段階を更に含む方法である。

【0033】

例4において、例1の方法に係る1つまたは複数のチップを導入する段階は、1つまたは複数のチップの複数の接触点を基板の複数の接触点に結合する段階を含む方法である。

20

【0034】

例5において、例4の方法に係る1つまたは複数のチップは、複数の半田接続を介して基板に結合される方法である。

【0035】

例6において、例4の方法に係る基板上に少なくとも1つの受動構造体を形成する段階は、少なくとも1つの受動構造体を基板の1つまたは複数の接触点のそれぞれに結合する段階を含む方法である。

【0036】

例7において、例1の方法に係るビルドアップ工程は、基板上に導電性粉末の層を繰り返し堆積する段階と、堆積された層の導電性粉末を選択的に溶融する段階を含む方法である。

30

【0037】

例8において、例1の方法に係るビルドアップ工程はステレオリソグラフィを含む方法である。

【0038】

例9において、例1の方法に係る少なくとも1つの受動構造体はコイルを含む方法である。

【0039】

例10において、例1の方法に係る少なくとも1つの受動構造体は、アンテナ、レジスタまたはシールドの少なくとも1つを含む方法である。

40

【0040】

例11において、例1～10の方法の何れか一つの方法によってパッケージ基板が製造される。

【0041】

例12は、基板上に少なくとも1つの受動構造体を3次元プリント工程によって形成する段階と、基板上に1つまたは複数の集積回路チップを導入する段階と、少なくとも1つの受動構造体及び1つまたは複数の集積回路チップをモールドニングコンパウンドに埋め込む段階を含む方法である。

【0042】

50

例 1 3 において、例 1 2 の方法に係る基板は犠牲基板を有し、少なくとも 1 つの受動構造体及び 1 つまたは複数の集積回路をモールドイングコンパウンドに埋め込む段階の後に、犠牲基板を除去する段階を含む方法である。

【 0 0 4 3 】

例 1 4 において、例 1 3 の方法に係る少なくとも 1 つの受動構造体の各々及び 1 つまたは複数の集積回路チップは、複数の接触点を含み、犠牲基板を除去することによって、複数の接触点を露出させ、金属被膜層を複数の接触点に結合する段階を更に含む方法である。

【 0 0 4 4 】

例 1 5 において、例 1 2 の方法に係る 1 つまたは複数のチップを導入する段階は、1 つまたは複数のチップの複数の接触点を基板の複数の接触点に結合する段階を含む方法である。

10

【 0 0 4 5 】

例 1 6 において、例 1 5 の方法に係る 1 つまたは複数のチップは、複数の半田接続を介して基板に結合される段階を含む方法である。

【 0 0 4 6 】

例 1 7 において、例 1 5 の方法に係る基板上に少なくとも 1 つの受動構造体を形成する段階は、少なくとも 1 つの受動構造体を基板の 1 つまたは複数の接触点のそれぞれに結合する段階を含む方法である。

【 0 0 4 7 】

20

例 1 8 において、例 1 2 の方法に係る 3 次元プリント工程は、基板上に導電性粉末の層を繰り返し堆積する段階と、堆積された層の導電性粉末を選択的に溶融する段階を含む方法である。

【 0 0 4 8 】

例 1 9 において、例 1 2 の方法に係る 3 次元プリント工程は、ステレオリソグラフィを含む方法である。

【 0 0 4 9 】

例 2 0 において、例 1 2 ~ 1 9 の方法の何れか 1 つの方法によってパッケージ基板が製造される。

【 0 0 5 0 】

30

例 2 1 は、少なくとも 1 つの 3 次元プリントされた受動構造体及び 1 つまたは複数の集積回路チップを有するパッケージ基板を備え、少なくとも 1 つの 3 次元プリントされた受動構造体及び 1 つまたは複数の集積回路チップは、モールド材料に埋め込まれる装置である。

【 0 0 5 1 】

例 2 2 において、例 2 1 の装置に係る少なくとも 1 つの受動構造体は、アンテナ、レジスタ、コイルまたはシールドの少なくとも 1 つを含む装置である。

【 0 0 5 2 】

例 2 3 において、例 2 1 の装置に係るパッケージは、複数の接触点を上に含む基板を更に有し、少なくとも 1 つの受動構造体及び 1 つまたは複数の集積回路チップは基板の複数の接触点のそれぞれに結合される装置である。

40

【 0 0 5 3 】

例 2 4 において、例 2 3 の装置に係る 1 つまたは複数の集積回路チップは、複数の半田接続を介して基板の複数の接触点のそれぞれに結合される装置である。

【 0 0 5 4 】

例示した複数の実装の上記説明は、要約に説明されている内容を含めて、網羅的であることを意図されておらず、又は、本発明を開示した通りの複数の形態に限定することを意図されていない。本発明に係る複数の特定の实装及び実施例は、例示的な目的でここに説明されたものであり、当業者が理解する様々な同等な変更例は範囲内であれば可能である。

50

【 0 0 5 5 】

これらの変更例は、上述の詳細な説明を考慮した上、本発明に対して行ってよい。以下の特許請求の範囲に用いられている複数の用語は、本発明を明細書及び特許請求の範囲で開示した複数の特定の実装に限定するものと解釈されるべきではない。むしろ、発明の範囲は、クレームの解釈の確立された原則に従って解釈される以下の特許請求の範囲によって全体的に決められるものである。

【 図 1 】

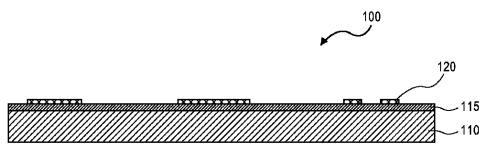


FIG. 1

【 図 2 】

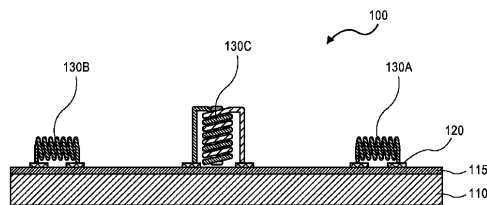


FIG. 2

【 図 3 】

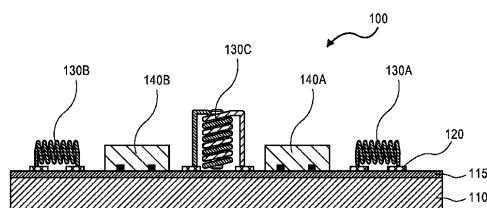


FIG. 3

【 図 4 】

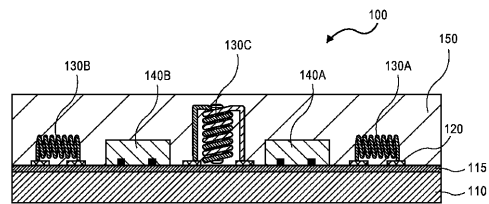


FIG. 4

【 図 5 】

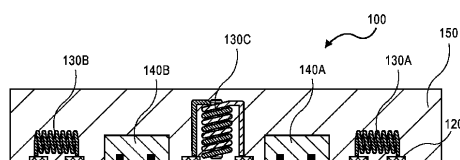


FIG. 5

【 図 6 】

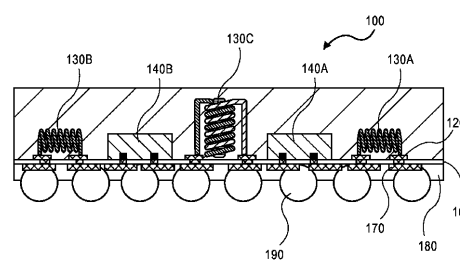


FIG. 6

【 図 7 】

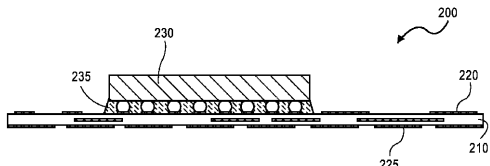


FIG. 7

【 図 8 】

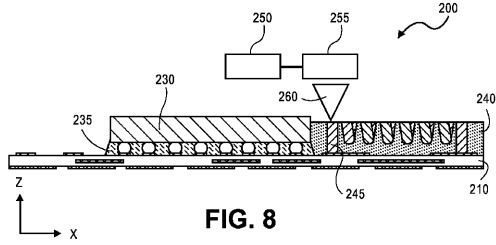


FIG. 8

【 図 9 】

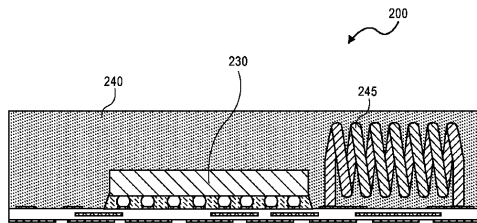


FIG. 9

【 図 1 2 】

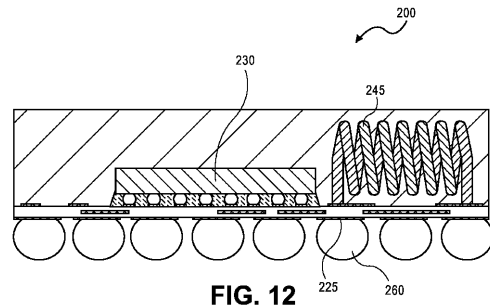


FIG. 12

【 図 1 3 】

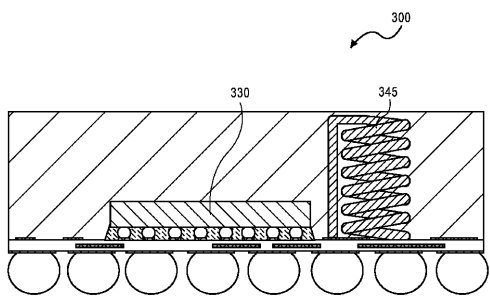


FIG. 13

【 図 1 0 】

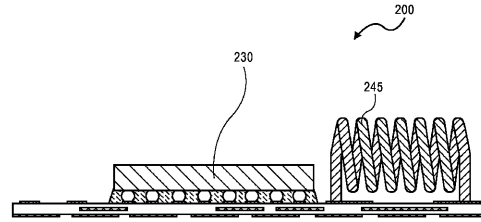


FIG. 10

【 図 1 1 】

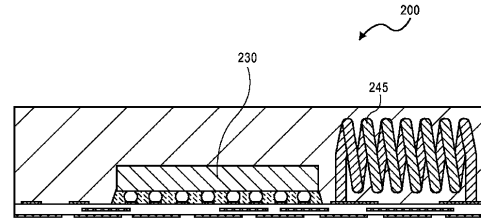


FIG. 11

【 図 1 4 】

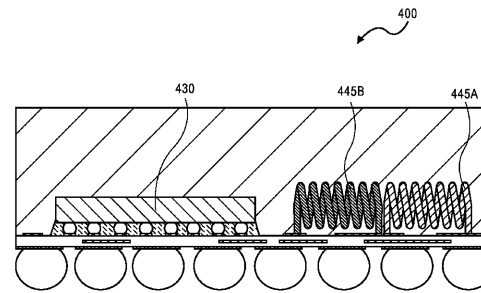


FIG. 14

【 図 1 5 】

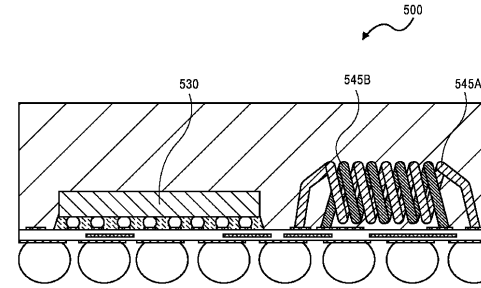


FIG. 15

【図16】

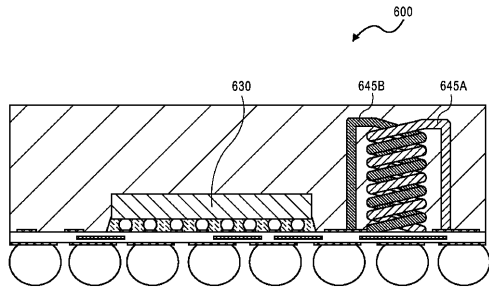


FIG. 16

【図18】

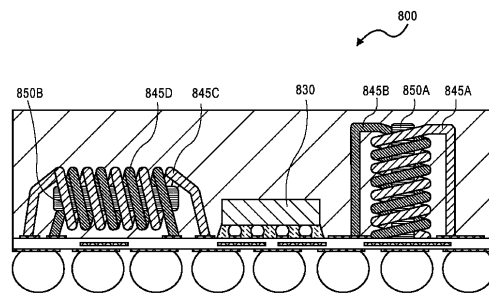


FIG. 18

【図17】

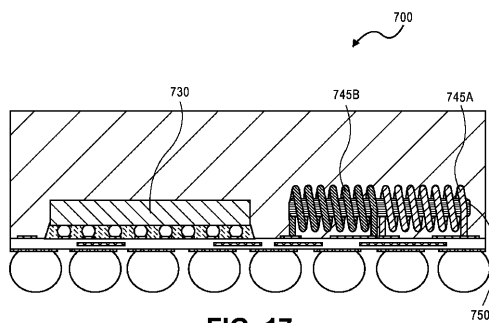


FIG. 17

【図19】

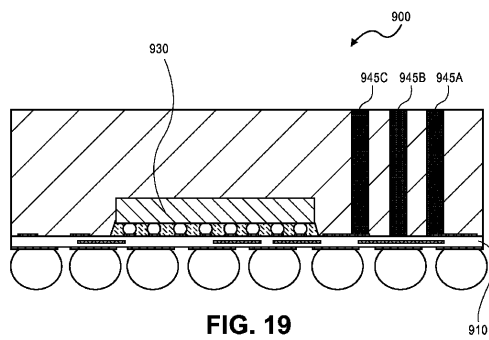


FIG. 19

【図20】

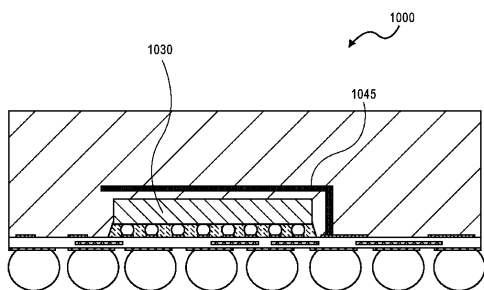


FIG. 20

【図21】

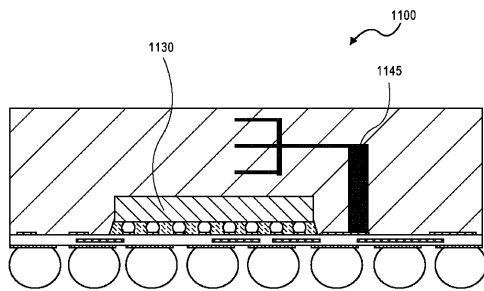
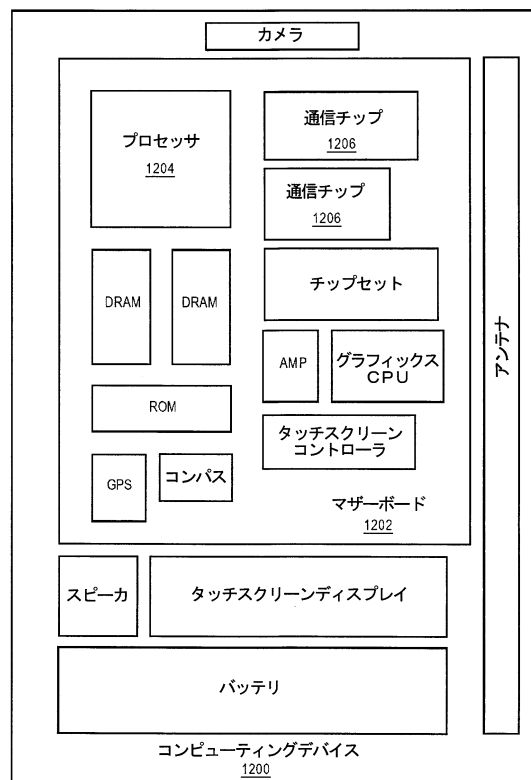


FIG. 21

【図22】



## フロントページの続き

(51)Int.Cl.			F I		
H 0 5 K	3/28	(2006.01)	H 0 5 K	1/18	J
H 0 5 K	1/18	(2006.01)	H 0 5 K	1/18	S

- (72)発明者 ウォルター、アンドレアス  
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー  
 バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 レイングルバー、クラウド  
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー  
 バード・2 2 0 0 インテル・コーポレーション内
- (72)発明者 メイヤー、ソーステン  
 アメリカ合衆国 9 5 0 5 4 カリフォルニア州・サンタクララ・ミッション カレッジ ブレー  
 バード・2 2 0 0 インテル・コーポレーション内

審査官 木下 直哉

- (56)参考文献 特開2013-222752(JP,A)  
 米国特許出願公開第2013/0009320(US,A1)  
 米国特許出願公開第2013/0292808(US,A1)  
 米国特許出願公開第2014/0076617(US,A1)  
 米国特許出願公開第2008/0135977(US,A1)  
 米国特許出願公開第2014/0110840(US,A1)  
 特表2014-516240(JP,A)  
 特開2007-158352(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- |         |                         |
|---------|-------------------------|
| H 0 1 L | 2 5 / 0 0 - 2 5 / 1 8   |
| H 0 1 L | 2 1 / 5 6               |
| H 0 1 L | 2 3 / 1 2 - 2 3 / 1 5   |
| H 0 1 L | 2 3 / 2 8 - 2 3 / 3 1   |
| H 0 1 L | 2 3 / 5 2 - 2 3 / 5 3 8 |
| H 0 5 K | 1 / 1 8                 |
| H 0 5 K | 3 / 2 8                 |