



# (12) 发明专利申请

(10) 申请公布号 CN 115568204 A

(43) 申请公布日 2023. 01. 03

(21) 申请号 202110746053.8

(22) 申请日 2021.07.01

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区  
空港工业园兴业大道388号

(72) 发明人 韩清华

(74) 专利代理机构 上海晨皓知识产权代理事务  
所(普通合伙) 31260

专利代理师 成丽杰

(51) Int. Cl.

H10B 12/00 (2023.01)

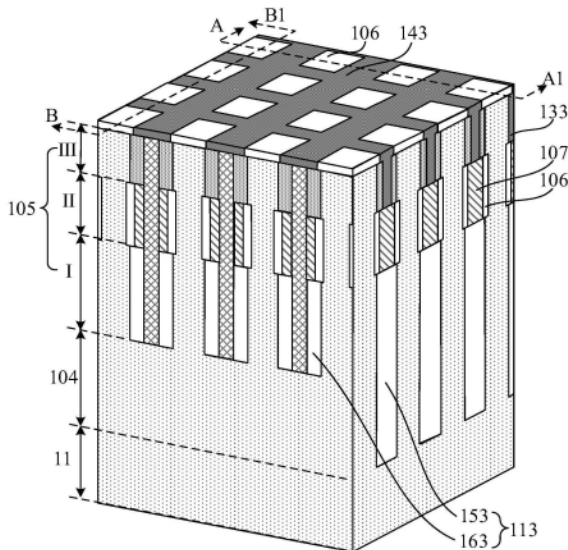
权利要求书3页 说明书12页 附图28页

## (54) 发明名称

半导体结构及其制作方法

## (57) 摘要

本发明实施例提供一种半导体结构及其制作方法,其中,制作方法包括:提供基底;在基底上形成位线,和在位线远离基底的表面形成半导体通道,半导体通道包括依次排列的第一掺杂区、沟道区和第二掺杂区;形成第一介质层,第一介质层环绕半导体通道侧壁,且位于同一位线上相邻半导体通道侧壁的第一介质层之间具有第一间隙;形成第二介质层,第二介质层填充第一间隙,且第二介质层的材料和第一介质层的材料不同;去除部分第一介质层至露出沟道区侧壁;形成绝缘层,至少覆盖沟道区侧壁表面,且绝缘层与第二介质层之间具有第二间隙;形成字线,字线填充第二间隙。本发明实施例有利于简化形成字线的步骤,且形成尺寸小且精度高的字线。



1. 一种半导体结构的制作方法,其特征在于,包括:

提供基底;

在所述基底上形成位线,以及在所述位线远离所述基底的表面形成半导体通道,在沿所述基底指向所述位线的方向上,所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区;

形成第一介质层,所述第一介质层环绕所述半导体通道侧壁,且位于同一所述位线上相邻所述半导体通道侧壁的所述第一介质层之间具有第一间隙;

形成第二介质层,所述第二介质层填满所述第一间隙,且所述第二介质层的材料和所述第一介质层的材料不同;

去除部分所述第一介质层至露出所述沟道区侧壁;

形成绝缘层,所述绝缘层至少覆盖所述沟道区侧壁表面,且所述绝缘层与所述第二介质层之间具有第二间隙;

形成字线,所述字线填满所述第二间隙。

2. 如权利要求1所述的半导体结构的制作方法,其特征在于,去除部分所述第一介质层至露出所述沟道区侧壁的步骤包括:

刻蚀部分所述第一介质层至露出所述第二掺杂区侧壁;

形成第三介质层,所述第三介质层环绕所述第二掺杂区侧壁和位于所述第二介质层侧壁,位于所述第二掺杂区侧壁的所述第三介质层和位于所述第二介质层侧壁的所述第三介质层共同围成通孔,所述通孔底部露出所述第一介质层,且所述第三介质层的材料和所述第一介质层的材料不同;

去除所述通孔露出的位于所述沟道区侧壁的所述第一介质层,剩余所述第一介质层环绕所述第一掺杂区侧壁。

3. 如权利要求2所述的半导体结构的制作方法,其特征在于,形成所述绝缘层的步骤包括:

对露出的所述沟道区侧壁进行热氧化处理,以形成所述绝缘层,且所述绝缘层覆盖剩余所述沟道区的侧壁表面。

4. 如权利要求2所述的半导体结构的制作方法,其特征在于,形成所述字线的步骤包括:

形成初始字线,所述初始字线填满所述第二间隙和所述通孔,且所述初始字线还位于相邻所述位线上的所述沟道区侧壁的所述绝缘层之间;

去除位于所述通孔中的所述初始字线,剩余所述初始字线作为所述字线。

5. 如权利要求4所述的半导体结构的制作方法,其特征在于,形成所述字线后,还包括:形成第四介质层,所述第四介质层填满所述通孔。

6. 如权利要求1所述的半导体结构的制作方法,其特征在于,所述去除部分所述第一介质层至露出所述沟道区侧壁的步骤中,还包括去除位于所述第二掺杂区侧壁的所述第一介质层;所述形成所述绝缘层的步骤中,所述绝缘层还覆盖所述第二掺杂区侧壁。

7. 如权利要求6所述的半导体结构的制作方法,其特征在于,形成所述字线的步骤包括:

形成初始字线,所述初始字线填满所述第二间隙,且所述初始字线还位于相邻所述

位线上的所述半导体通道部分侧壁的所述绝缘层之间；

去除部分所述初始字线，剩余所述初始字线作为所述字线，所述字线仅环绕位于所述沟道区侧壁的所述绝缘层。

8. 如权利要求1所述的半导体结构的制作方法，其特征在于，形成所述位线和所述半导体通道的步骤包括：

在所述基底上形成第一掩膜层；

以所述第一掩膜层为掩膜刻蚀所述基底，形成多个第一沟槽；

去除所述第一掩膜层，在所述第一沟槽中形成第五介质层；

在所述第五介质层和剩余所述基底共同构成的顶面上形成第二掩膜层；

以所述第二掩膜层为掩膜刻蚀所述基底和所述第五介质层，形成多个第二沟槽、所述位线和所述半导体通道，且在垂直于所述基底表面的方向上，所述第二沟槽的深度小于所述第一沟槽的深度；

去除所述第二掩膜层。

9. 如权利要求8所述的半导体结构的制作方法，其特征在于，所述第一掩膜层具有多个相互分立的第一开口，所述第二掩膜层具有多个相互分立的第二开口，且所述第一开口的延伸方向垂直于所述第二开口的延伸方向。

10. 如权利要求9所述的半导体结构的制作方法，其特征在于，在垂直于所述半导体通道侧壁的方向上，所述第一开口的开口宽度与所述第二开口的开口宽度的比值为2~1，且相邻所述第一开口之间的间距等于相邻所述第二开口之间的间距。

11. 如权利要求8所述的半导体结构的制作方法，其特征在于，形成所述第一介质层的步骤包括：

形成第六介质层，所述第六介质层位于所述第二沟槽的侧壁，剩余所述第五介质层和所述第六介质层共同组成所述第一介质层，且位于所述第二沟槽侧壁的所述第六介质层之间具有所述第一间隙。

12. 如权利要求1所述的半导体结构的制作方法，其特征在于，还包括：

采用外延生长工艺，在所述第二掺杂区顶面形成电容接触层，且所述电容接触层在所述位线上的正投影覆盖所述第二掺杂区在所述位线上的正投影。

13. 一种半导体结构，其特征在于，包括：

基底；

位线，位于所述基底上；

半导体通道，位于所述位线表面，在沿所述基底指向所述位线的方向上，所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区，所述第一掺杂区与所述位线相接触；

第一介质层，环绕所述第一掺杂区设置，且同一所述位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔；

绝缘层，至少覆盖所述沟道区侧壁表面；

字线，环绕位于所述沟道区侧壁的所述绝缘层，且相邻所述字线之间具有第二间隔；

隔离层，至少位于所述第一间隔和所述第二间隔中，且所述隔离层远离所述基底的顶面不低于所述第二掺杂区远离所述基底的顶面。

14. 如权利要求13所述的半导体结构,其特征在于,所述基底、所述位线和所述半导体通道具有相同的半导体元素。

15. 如权利要求13所述的半导体结构,其特征在于,所述第一掺杂区、所述沟道区和所述第二掺杂区掺杂有相同类型的掺杂离子,且所述掺杂离子在所述第一掺杂区中的掺杂浓度与在所述沟道区和所述第二掺杂区中的掺杂浓度一致,所述掺杂离子为N型离子或P型离子中的一者。

16. 如权利要求15所述的半导体结构,其特征在于,还包括:电容接触层,位于所述第二掺杂区顶面,所述电容接触层在所述位线上的正投影覆盖所述第二掺杂区在所述位线上的正投影,且所述电容接触层具有所述掺杂离子,所述掺杂离子在所述电容接触层中的掺杂浓度大于在所述第二掺杂区中的掺杂浓度。

17. 如权利要求13所述的半导体结构,其特征在于,所述沟道区在所述位线上的正投影小于所述第二掺杂区在所述位线上的正投影,且小于所述第一掺杂区在所述位线上的正投影。

18. 如权利要求13所述的半导体结构,其特征在于,所述隔离层包括第二介质层和第三介质层,所述第二介质层位于所述第一间隔和所述第二间隔中,且所述第二介质层远离所述基底的顶面不低于所述第二掺杂区远离所述基底的顶面;所述第三介质层覆盖所述第二掺杂区侧壁。

19. 如权利要求18所述的半导体结构,其特征在于,所述绝缘层的外围在所述位线上的正投影小于所述第三介质层的外围在所述位线上的正投影。

20. 如权利要求13所述的半导体结构,其特征在于,所述第一介质层包括第五介质层和第六介质层,所述第五介质层位于相邻所述位线的间隔中,且位于相邻所述位线上的相邻所述第一掺杂区的间隔中;所述第六介质层位于同一所述位线上相邻所述第一掺杂区的侧壁,且位于所述第五介质层的侧壁。

## 半导体结构及其制作方法

### 技术领域

[0001] 本发明实施例涉及半导体领域,特别涉及一种半导体结构及其制作方法。

### 背景技术

[0002] 随着半导体器件的集成密度朝着更高的方向发展,开始对半导体结构中晶体管的排布方式以及如何缩小半导体结构中单个功能器件的尺寸进行研究。

[0003] 相关技术中,基于马鞍形鳍晶体管的动态随机存取存储器(DRAM,Dynamic Random Access Memor)存储单元的占据面积为 $6F^2$ (F:在给定工艺条件下可获得的最小图案尺寸),为进一步缩小DRAM占据面积,对DRAM进行等比例缩放时,会面临临近栅效应等问题,对DRAM的电学性能造成不利影响。

[0004] 利用垂直的全环绕栅极(GAA, Gate-All-Around)晶体管结构作为选择晶体管(access transistor)时,其占据的面积可以达到 $4F^2$ ,原则上可以实现更高的密度效率,但是在部分尺寸下,由于制造工艺所采用的设备以及制造流程的限制,存在字线刻蚀困难等问题。

### 发明内容

[0005] 本发明实施例解决的技术问题为提供一种半导体结构及其制作方法,有利于简化字线的形成步骤,且形成尺寸精度高且尺寸小的字线和半导体通道。

[0006] 为解决上述问题,本发明实施例提供一种半导体结构的制作方法,包括:提供基底;在所述基底上形成位线,以及在所述位线远离所述基底的表面形成半导体通道,在沿所述基底指向所述位线的方向上,所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区;形成第一介质层,所述第一介质层环绕所述半导体通道侧壁,且位于同一所述位线上相邻所述半导体通道侧壁的所述第一介质层之间具有第一间隙;形成第二介质层,所述第二介质层填满所述第一间隙,且所述第二介质层的材料和所述第一介质层的材料不同;去除部分所述第一介质层至露出所述沟道区侧壁;形成绝缘层,所述绝缘层至少覆盖所述沟道区侧壁表面,且所述绝缘层与所述第二介质层之间具有第二间隙;形成字线,所述字线填满所述第二间隙。

[0007] 相应地,本发明实施例还提供一种半导体结构,包括:基底;位线,位于所述基底上;半导体通道,位于所述位线表面,在沿所述基底指向所述位线的方向上,所述半导体通道包括依次排列的第一掺杂区、沟道区以及第二掺杂区,所述第一掺杂区与所述位线相接触;第一介质层,环绕所述第一掺杂区设置,且同一所述位线上相邻所述第一掺杂区侧壁的所述第一介质层之间具有第一间隔;绝缘层,至少覆盖所述沟道区侧壁表面;字线,环绕位于所述沟道区侧壁的所述绝缘层,且相邻所述字线之间具有第二间隔;隔离层,至少位于所述第一间隔和所述第二间隔中,且所述隔离层远离所述基底的顶面不低于所述第二掺杂区远离所述基底的顶面。

[0008] 与相关技术相比,本发明实施例提供的技术方案具有以下优点:

[0009] 上述技术方案中,在基底上形成垂直的GAA晶体管,且位线位于基底与GAA晶体管之间,因而可以构成3D堆叠的半导体结构,有利于提高半导体结构的集成密度。而且,部分第一介质层占据后续所需形成的绝缘层和字线的位置,后续形成第二介质层后,去除位于沟道区侧壁的第一介质层时,剩余第一介质层位于第一掺杂区侧壁,使得在沟道区侧壁形成绝缘层时,剩余第一介质层能保护第一掺杂区不受影响,且绝缘层与第二介质层之间形成第二间隙,则可通过自对准的方式在第二间隙中形成尺寸精确的字线,无需通过刻蚀工艺即可形成高尺寸精度的字线,有利于简化字线的形成步骤,且通过调控第二间隙的尺寸,即可获得小尺寸的字线。

## 附图说明

[0010] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,除非有特别说明,附图中的图不构成比例限制。

[0011] 图1至图25为本发明一实施例提供的半导体结构的制作方法各步骤对应的结构示意图;

[0012] 图26至图31为本发明又一实施例提供的半导体结构的制作方法各步骤对应的结构示意图。

## 具体实施方式

[0013] 由背景技术可知,目前形成垂直结构的GAA晶体管的制作流程有待优化。

[0014] 经分析发现,形成环绕GAA晶体管中半导体通道的沟道区侧壁的字线时,通常需要通过沉积加刻蚀两个工艺步骤,形成多条相互分立的字线。然而,由于集成度较高,相邻半导体通道之间的间隔也较小,通过刻蚀工艺形成字线的步骤中,刻蚀精度难以控制,因而形成字线的尺寸精度也难以控制。此外,当GAA晶体管的尺寸较小时,要形成垂直结构的GAA有结晶体管,对半导体通道各区域的掺杂浓度难以控制,影响最终形成的PN结的良率

[0015] 为解决上述问题,本发明实施例提供一种半导体结构及其制作方法,制作方法中,部分第一介质层占据后续所需形成的绝缘层和字线的位置,后续形成第二介质层后,去除位于沟道区侧壁的第一介质层时,剩余第一介质层位于第一掺杂区侧壁,使得在沟道区侧壁形成绝缘层时,剩余第一介质层能保护第一掺杂区不受影响,且绝缘层与第二介质层之间形成第二间隙,则可通过自对准的方式在第二间隙中形成尺寸精确的字线,无需通过刻蚀工艺即可形成高尺寸精度的字线,有利于简化字线的形成步骤,且通过调控第二间隙的尺寸,即可获得小尺寸的字线。此外,第一掺杂区、沟道区和第二掺杂区中的掺杂离子的掺杂浓度可以相同,使得半导体通道105构成的器件为无结晶体管(Junctionless Transistor)。

[0016] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合附图对本发明的各实施例进行详细的阐述。然而,本领域的普通技术人员可以理解,在本发明各实施例中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施例的种种变化和修改,也可以实现本申请所要求保护的技术方案。

[0017] 本发明一实施例提供一种半导体结构的制作方法,以下将结合附图对本发明一实施例提供的半导体结构的制作方法进行详细说明。图1至图25为本发明一实施例提供的半

导体结构的制作方法各步骤对应的结构示意图。需要说明的是,为了便于描述以及清晰地示意出半导体结构制作方法的步骤,本实施例中的图1至图25均为半导体结构的局部结构示意图。

[0018] 参考图1,提供基底100,本实施例中,基底100包括:衬底110以及在衬底110上依次堆叠的缓冲层120和保护层130。

[0019] 本实施例中,提供基底100包括如下步骤:

[0020] 提供衬底110,具体地,衬底110的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以硅或者锗;晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

[0021] 衬底110包括:半导体阱层11,半导体阱层11内掺杂有第一类型离子;初始半导体层10,设置于半导体阱层11上。

[0022] 对初始半导体层10进行掺杂处理以及退火处理,使得初始半导体层10内掺杂有第二类型离子,用于后续在初始半导体层10的基础上形成位线和半导体通道,且第二类型离子与第一类型离子不同,第一类型离子与第二类型离子均为N型离子或P型离子中的一者。具体地,N型离子为砷离子、磷离子或者锑离子中的至少一种;P型离子为硼离子、镓离子或者铟离子中的至少一种。

[0023] 其中,掺杂处理可以采用高温扩散或者离子注入的方法,当采用离子注入的方式对初始半导体层10进行掺杂处理后,退火处理的退火温度为 $800^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ 。

[0024] 本实施例中,第二类型离子在初始半导体层10内的掺杂浓度为 $1\times 10^{19}\text{atom}/\text{cm}^3\sim 1\times 10^{20}\text{atom}/\text{cm}^3$ ,且在初始半导体层10指向半导体阱层11的方向上,初始半导体层10内第二类型离子的掺杂深度为 $150\text{nm}\sim 250\text{nm}$ 。此外,第一类型离子为P型离子,第二类型离子为N型离子。在其他实施例中,第一类型离子可以为N型离子,第二类型离子可以为P型离子。

[0025] 在初始半导体层10远离半导体阱层11的一侧依次堆叠形成缓冲层120和保护层130。在一些例子中,可采用沉积工艺形成缓冲层120和保护层130,缓冲层120的材料为氧化硅,保护层130的材料为氮化硅。

[0026] 进一步地,可以采用化学气相沉积工艺沉积氮化硅以形成保护层130,氮化硅膜层的氧化速度非常慢,有利于保护位于氮化硅膜层下方的衬底110,避免衬底110被氧化。

[0027] 在一些例子中,衬底110为硅衬底,由于氮化硅的晶格常数和热膨胀系数与硅衬底的晶格常数和热膨胀系数的失配率都很大,因而若在硅衬底上直接形成氮化硅,氮化硅和硅的界面处缺陷密度大,容易成为载流子陷阱和复合中心,影响硅的载流子迁移率,从而影响半导体结构的性能和工作寿命。而且,氮化硅薄膜应力较大,直接沉积在硅衬底上易出现龟裂现象。因而,在硅衬底上沉积氮化硅之前先形成氧化硅作为缓冲层120,有利于提高导体结构的性能和工作寿命。

[0028] 参考图1至图4,在基底100上形成位线104,以及在位线104远离基底100的表面形成半导体通道105,在沿基底100指向位线104的方向Z上,半导体通道105包括依次排列的第一掺杂区I、沟道区II以及第二掺杂区III。

[0029] 本实施例中,形成位线104和半导体通道105包括如下步骤:

[0030] 继续参考图1,在基底100上形成第一掩膜层102,第一掩膜层102具有多个相互分立的第一开口b,在沿第一开口b的延伸方向X上,第一开口b的长度与后续形成的位线的长

度一致。

[0031] 参考图2,以第一掩膜层102为掩膜刻蚀基底100,形成多个第一沟槽a,并去除第一掩膜层102。

[0032] 本实施例中,沿垂直于基底100表面的方向Z,第一沟槽a的深度为250~300nm。由于第一沟槽a的深度大于初始半导体层10内第二类型离子的掺杂深度,有利于保证掺杂有第二类型离子的初始半导体层10均被刻蚀,便于后续形成第二类型离子掺杂浓度高的半导体通道和位线。

[0033] 参考图3,在第一沟槽a中形成第五介质层153。

[0034] 本实施例中,可采用以下工艺步骤形成第五介质层153:进行沉积工艺,形成覆盖保护层130顶面以及填充满的第五介质膜;对第五介质膜进行化学机械平坦化处理至露出保护层130顶面,剩余第五介质膜作为第五介质层153。其中,第五介质膜的材料包括氧化硅。

[0035] 进一步地,在第五介质层153和剩余基底100共同构成的顶面上形成第二掩膜层112,第二掩膜层112具有多个相互分立的第二开口c,在沿第二开口c的延伸方向Y上,第二开口c的长度与后续形成的字线的长度一致。

[0036] 本实施例中,结合参考图1和图3,第一开口b的延伸方向X垂直于第二开口c的延伸方向Y,使得后续形成的半导体通道呈现 $4F^2$ 的排布方式,有利于进一步提高半导体结构的集成密度。在其他实施例中,第一开口的延伸方向与第二开口的延伸方向相交,两者之间的夹角可以不为 $90^\circ$ 。

[0037] 进一步地,第一开口b沿方向Y上的开口宽度与第二开口c沿方向X上的开口宽度的比值为 $2\sim 1$ ,以保证后续能形成露出环绕沟道区II侧壁的第一介质层的通孔,从而有利于后续形成用于制造字线的第二间隙。在一些例子中,第一开口b沿方向Y上的开口宽度等于第二开口c沿方向X上的开口宽度,且相邻第一开口b之间的间距等于相邻第二开口c之间的间距,一方面,使得后续形成的多个半导体通道排列规整,进一步提高半导体结构的集成密度;另一方面,可以采用同一掩膜版形成第一掩膜层102和形成第二掩膜层112,有利于降低半导体结构的制备成本。

[0038] 本实施例中,形成第一掩膜层102和形成第二掩膜层112的方法均包括自对准多重曝光技术(SAQP, Self-Aligned Quadruple Patterning)或者自对准多重成像技术(SADP, Self-aligned Double Patterning)。

[0039] 参考图4,以第二掩膜层112为掩膜刻蚀基底100(参考图1)和第五介质层153,形成多个第二沟槽d、位线104和半导体通道105,且在垂直于基底100表面的方向Z上,第二沟槽d的深度小于第一沟槽a的深度,有利于在形成位线104的同时,在位线104远离半导体阱层11的一侧形成多个相互分立的半导体通道105,且位线104与半导体通道105的第一掺杂区I相接触;去除第二掩膜层112。

[0040] 在一些例子中,第二沟槽d的深度为100nm~150nm,由于初始半导体层10(参考图1)内第二类型离子的掺杂深度为150nm~250nm,有利于使得大部分或者全部掺杂有第二类型离子的初始半导体层10经过两次刻蚀转变为半导体通道105。

[0041] 此外,衬底110的材料为硅,第五介质层153的材料为氧化硅,在以第二掩膜层112为掩膜刻蚀基底100和第五介质层153的步骤中,刻蚀工艺对氧化硅的刻蚀速率大于对硅的



刻蚀速率,因而位线104的部分侧壁会暴露出来。

[0042] 本实施例中,在半导体阱层11上可以形成多个间隔排布的位线104,以及每一位线104可与至少一个第一掺杂区I相接触,图4中以4个相互间隔的位线104,以及每一位线104与4个第一掺杂区I相接触作为示例,可根据实际电学需求,合理设置位线104的数量以及与每一位线104相接触的第一掺杂区I的数量。

[0043] 为了实现相邻位线104和相邻半导体通道105之间的电绝缘,以第二掩膜层112为掩膜刻蚀基底100和第五介质层153之后,剩余第五介质层153还位于相邻位线104的间隔中,以及位于相邻半导体通道105的间隔中。

[0044] 本实施例中,由于初始半导体层10(参考图1)掺杂有N型离子,因此本步骤中形成的位线104和半导体通道105中可以掺杂有N型离子。

[0045] 其中,位线104中掺杂有N型离子,半导体阱层11中掺杂有P型离子,因此,位线104与半导体阱层11构成PN结,该PN结有利于防止位线104漏电,进一步改善半导体结构的电学性能。需要说明的是,在其他实施例中,基底也可以不包括半导体阱层,即基底为初始半导体层,且位线位于初始半导体层表面。

[0046] 此外,半导体通道105构成的器件为无结晶体管,即第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子的类型相同,例如掺杂离子均为N型离子,进一步地,第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子可以相同。其中,此处的“无结”指的是无PN结,即半导体通道105构成的晶体管中没有PN结,即第一掺杂区I、沟道区II和第二掺杂区III中的掺杂离子的掺杂浓度相同,这样的好处包括:一方面,无需对第一掺杂区I和第二掺杂区III进行额外的掺杂,从而避免了对第一掺杂区I和第二掺杂区III的掺杂工艺难以控制的问题,尤其是随着晶体管尺寸进一步缩小,若额外对第一掺杂区I和第二掺杂区III进行掺杂,掺杂浓度更加难以控制;另一方面,由于器件为无结晶体管,有利于避免采用超陡峭源漏浓度梯度掺杂工艺,在纳米尺度范围内制作超陡峭PN结的现象,因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题,还有利于抑制短沟道效应,在几纳米的尺度范围内仍然可以工作,因而有助于进一步提高半导体结构的集成密度和电学性能。可以理解的是,此处额外的掺杂指的是,为了让第一掺杂区I和第二掺杂区III的掺杂离子类型与沟道区II的掺杂离子类型不同而进行的掺杂。

[0047] 进一步地,形成半导体通道105垂直于位线104远离半导体阱层11顶面的GAA晶体管,可以构成3D堆叠的半导体结构,有利于在不对GAA晶体管的电学性能造成不利影响的前提下,设计尺寸特征更小的GAA晶体管,以提高半导体结构的集成密度。

[0048] 本实施例中,利用第一掩膜层102和第二掩膜层112,通过两次刻蚀工艺同时形成位线104和半导体通道105,一方面,有利于通过调控第一开口b和第二开口c的尺寸调控半导体通道105的尺寸,且形成尺寸精度较高的半导体通道105;另一方面,位线104和半导体通道105均是通过刻蚀衬底110形成的,即位线104和半导体通道105利用同一膜层结构形成,使得位线104和半导体通道105为一体结构,从而改善位线104和半导体通道105之间的界面态缺陷,改善半导体结构的性能。此外,在以第一掩膜层102为掩膜刻蚀基底100之后,在第一沟槽a中还形成有第五介质层153,为后续在沟道区II侧壁和第二介质层之间形成空隙做前期准备,从而有利于后续形成制备字线的第二间隙。

[0049] 参考图5至图8,形成第一介质层113,第一介质层113环绕半导体通道105侧壁,且

位于同一位线104上相邻半导体通道105侧壁的第一介质层113之间具有第一间隙e。

[0050] 其中,图7为图6所示结构沿第一截面方向AA1的剖面示意图,图8为图6所示结构沿第二截面方向BB1的剖面示意图。需要说明的是,后续将根据表述需要设置沿第一截面方向AA1的剖面示意图以及沿第二截面方向BB1的剖面示意图中的一者或者两者,当仅参考一个附图时,附图为沿第一截面方向AA1的剖面示意图;当同时参考两个附图时,附图首先为沿第一截面方向AA1的剖面示意图,其次为沿第二截面方向BB1的剖面示意图。

[0051] 本实施例中,形成第一介质层包括如下步骤:

[0052] 参考图5,形成第六介质膜103,第六介质膜103保形覆盖第二沟槽d的侧壁和底部,并且还位于保护层130和第五介质层153的顶面。

[0053] 结合参考图5和图6,对第六介质膜103进行无掩膜干法刻蚀工艺,直至露出保护层130,利用相同的刻蚀时间内,刻蚀工艺刻蚀第六介质膜103不同区域的厚度相同,形成第六介质层163。

[0054] 结合参考图6至图8,第六介质层163位于第二沟槽d的侧壁,第五介质层153位于相邻半导体通道105的间隔中,第五介质层153和第六介质层163共同组成第一介质层113,且位于第二沟槽d侧壁的第六介质层163之间具有第一间隙e。

[0055] 其中,第六介质层163的材料与第五介质层153的材料相同,便于后续通过刻蚀工艺一同去除与沟道区II侧壁对应的第六介质层163和第五介质层153,从而在沟道区II侧壁和后续形成的第二介质层之间形成空隙,从而有利于后续形成制备字线的第二间隙。进一步地,第六介质层163的材料与第五介质层153的材料均为氧化硅。

[0056] 在其他实施例中,第六介质层的材料和第五介质层的材料也可以不同,只需满足第六介质层的材料和第五介质层的材料为绝缘效果良好的材料即可,然后可以分步去除与沟道区侧壁对应的第六介质层和第五介质层。

[0057] 结合参考图7和图9,形成第二介质层123,填充第一间隙e,且第二介质层123的材料和第一介质层113的材料不同。

[0058] 在一些例子中,可采用以下工艺步骤形成第二介质层123:进行沉积工艺,形成覆盖保护层130顶面以及填充第一间隙e的第二介质膜;对第二介质膜、保护层130、缓冲层120以及第一介质层113(参考图6)进行化学机械平坦化处理至露出第二掺杂区III顶面,剩余第二介质膜作为第二介质层123。其中,第二介质膜的材料包括氮化硅。

[0059] 参考图10至图17,去除部分第一介质层113至露出沟道区II侧壁。

[0060] 在一些例子中,去除部分第一介质层113至露出沟道区II侧壁的包括如下步骤:

[0061] 结合参考图9和图10,以半导体通道105和第二介质层123为掩膜,刻蚀部分第一介质层113至露出第二掺杂区III侧壁。在一些例子中,在垂直于位线104指向半导体通道105的方向Z上,第二掺杂区III的高度为30nm~50nm。

[0062] 参考图11至图14,其中,图12为图11的俯视示意图,图13为沿第三截面方向CC1的剖面示意图,图14为沿第二截面方向BB1的剖面示意图。

[0063] 形成第三介质层133,第三介质层133环绕第二掺杂区III侧壁和位于第二介质层123侧壁,位于第二掺杂区III侧壁的第三介质层133和位于第二介质层123侧壁的第三介质层133共同围成通孔f,通孔f底部露出第一介质层113,且第三介质层133的材料和第一介质层113的材料不同。

[0064] 进一步地,参考图13和图14,第三介质层133在环绕第二掺杂区III侧壁的同时,覆盖第六介质层163顶面和部分第五介质层153顶面,通孔f露出的是第五介质层153的部分顶面。

[0065] 本实施例中,可采用以下工艺步骤形成第三介质层133:进行沉积工艺,形成保形覆盖由半导体通道105、第一介质层113以及第二介质层123共同构成的表面的第三介质膜;对第三介质膜进行无掩膜干法刻蚀工艺,直至露出第二掺杂区III顶面,利用相同的刻蚀时间内,刻蚀工艺刻蚀第三介质膜不同区域的厚度相同,形成露出第一介质层113的第三介质层133。其中,第三介质层133的材料包括氮化硅。

[0066] 此外,在前述的第一掩膜层102和第二掩膜层112中,第一开口b沿方向Y上的开口宽度与第二开口c沿方向X上的开口宽度的比值为2~1,在形成第三介质层133时,有利于保证第三介质层133填充满同一位线104上相邻半导体通道105之间的间隔的同时,不会将相邻位线104上相邻半导体通道105之间的间隙填满,从而保证形成露出第五介质层153的部分顶面的通孔f,便于后续利用通孔f去除部分第一介质层113。

[0067] 参考图15至图17,去除通孔f露出的位于沟道区II侧壁的第一介质层113,剩余第一介质层113环绕第一掺杂区I侧壁。

[0068] 由于通孔f露出第一介质层113的部分顶面,第一介质层113的材料与第二介质层123和第三介质层133的材料均不相同,则可以向通孔f中注入刻蚀液,通过湿法刻蚀工艺去除位于沟道区II侧壁的第一介质层113,保留位于第一掺杂区I侧壁的第一介质层113。

[0069] 此外,第二介质层123和第三介质层133共同组成支撑骨架,支撑骨架与第二掺杂区III相接触连接,且部分支撑骨架嵌入第一介质层113中。在进行湿法刻蚀工艺的步骤中,一方面,支撑骨架有对半导体通道105起支撑固定的作用,当刻蚀液流动时产生对半导体通道105的挤压力,有利于避免半导体通道105受挤压发生倾斜或者偏移,以提高半导体结构的稳定性;另一方面,支撑骨架包裹着第二掺杂区III侧壁,有利于避免刻蚀液对第二掺杂区III造成损伤。

[0070] 去除位于沟道区II侧壁的第一介质层113之后,沟道区II与第二介质层123之间形成第三间隙g,通孔f和第三间隙g共同组成洞穴结构h。

[0071] 参考图18和图19,形成绝缘层106,绝缘层106至少覆盖沟道区II侧壁表面,且绝缘层106与第二介质层123之间具有第二间隙i。进一步地,参考图19,第二间隙i还位于相邻位线104的相邻半导体通道105侧壁的绝缘层106之间。

[0072] 本实施例中,由于半导体通道105的材料为硅,形成绝缘层106的步骤包括:对露出的沟道区II侧壁进行热氧化处理,以形成绝缘层106,且绝缘层106覆盖剩余沟道区II的侧壁表面。其中,绝缘层106的材料为氧化硅。在其他实施例中,也可以通过沉积工艺形成覆盖沟道区侧壁表面的绝缘层。

[0073] 由于对露出的沟道区II侧壁进行热氧化处理,则沟道区II的部分区域被转化为绝缘层106,使得沟道区II在位线104上的正投影小于第二掺杂区III在位线104上的正投影,且小于第一掺杂区I在位线104上的正投影,有利于在不采用刻蚀工艺的前提下,形成在垂直于位线104指向半导体通道105的方向Z的截面中,截面面积更加小的沟道区II,有利于提高后续形成的字线对沟道区II的控制能力,从而更容易控制GAA晶体管的导通或者关断。

[0074] 在一些例子中,在垂直于方向Z的截面中,沟道区II的宽度W和沟道区II的长度L不

高于10nm,有利于保证后续形成的字线对沟道区II有良好的控制能力。此外,在方向Z上,沟道区II的高度为30nm~50nm。

[0075] 此外,由于第二掺杂区III顶面暴露在外,在热氧化处理的过程中,第二掺杂区II的靠近顶面的部分区域也转化为绝缘层106。本实施例中,在后续的工艺步骤中去除位于剩余第二掺杂区III顶面的绝缘层106。在其他实施例中,可以在热氧化处理之后,就去掉位于剩余第二掺杂区顶面的绝缘层,仅保留覆盖剩余沟道区的侧壁表面的绝缘层。

[0076] 继续参考图18和图19,绝缘层106的外围在位线104上的正投影小于第三介质层133的外围在位线104上的正投影,即绝缘层106远离半导体通道105的外壁相较于第三介质层133远离半导体通道105外壁,更靠近半导体通道105,从而保证绝缘层106与第二介质层123之间具有第二间隙i,使得后续字线能环绕位于沟道区II侧壁的绝缘层106。此外,绝缘层106远离半导体通道105的外壁相较于第一介质层113(参考图15)远离半导体通道105外壁,也可以更靠近半导体通道105。

[0077] 参考图20和图22,其中,图22为图21中一条字线107环绕四个半导体通道105的局部剖视图。

[0078] 形成字线107,字线107填充第二间隙i。

[0079] 本实施例中,形成字线107的步骤包括:形成初始字线,初始字线填充第二间隙i和通孔f。具体地,初始字线位于绝缘层106与第二介质层123之间,且位于相邻位线104上相邻沟道区II侧壁的绝缘层106之间;去除位于通孔f中的初始字线,剩余初始字线作为字线107。其中,可通过沉积工艺形成初始字线,初始字线的材料包括多晶硅、氮化钛、氮化钽、铜或者钨中的至少一种。

[0080] 初始字线自对准地填充洞穴结构h(参考图15),去除位于通孔f中的初始字线之后,有利于自对准地形成尺寸精确的字线107,无需通过刻蚀工艺来设计字线107的尺寸,有利于简化字线107的形成步骤,且通过调控第二间隙i的尺寸,即可获得小尺寸的字线107。

[0081] 参考图23,形成字线107之后,还形成第四介质层143,第四介质层143填充通孔f(参考图21)。

[0082] 本实施例中,可采用以下工艺步骤形成第四介质层143:进行沉积工艺,形成覆盖位于第二掺杂区III顶面的绝缘层106的顶面以及填充通孔f的第四介质膜;对第四介质膜进行化学机械平坦化处理至露出绝缘层106顶面,剩余第四介质膜作为第四介质层143。其中,第四介质膜与第二介质层和第三介质层的材料相同,均包括氮化硅。在其他实施例中,也可以对第四介质膜进行化学机械平坦化处理至露出第二掺杂区顶面,即同步去除位于第二掺杂区顶面的绝缘层,剩余第四介质膜作为第四介质层。

[0083] 参考图23至图25,去除位于第二掺杂区III顶面的绝缘层106,采用外延生长工艺,在第二掺杂区III顶面形成电容接触层108,且电容接触层108在位线104上的正投影覆盖第二掺杂区III在位线104上的正投影。

[0084] 一方面,采用外延生长工艺有利于提升第二掺杂区III和电容接触层108之间的连续性,减少因晶格特性不同或者晶格错位导致的接触缺陷,减小因接触缺陷导致的接触电阻,提升载流子的传输能力和移动速度,进而提高第二掺杂区III和电容接触层108之间的导电性能,以及降低半导体结构运行过程中的发热;另一方面,采用外延生长工艺有利于增大电容接触层108在位线104上的正投影,后续在电容接触层108上形成电容结构的下电极

时,有利于增大电容接触层108与下电极之间的接触面积,从而降低电容接触层108与下电极之间的接触电阻。

[0085] 此外,在外延生长的工艺步骤中,在电容接触层108还掺杂有与第二掺杂区III中相同类型的掺杂离子,且掺杂离子在电容接触层108中的掺杂浓度大于在第二掺杂区III中的掺杂浓度,则电容接触层108的电阻小于第二掺杂区III的电阻,有利于进一步降低第二掺杂区III与下电极之间的传输电阻。

[0086] 进一步地,在电容接触层108和第四介质层143共同构成的表面形成电容结构(图中未示出)。

[0087] 在其他实施例中,在形成字线之后,可以采用湿法刻蚀工艺去除第二介质层和第三介质层,形成露出字线和第一介质层全部顶面的第四间隙;采用沉积工艺,形成填充第四间隙的第七介质层,由于第七介质层为一体结构,第七介质层的致密度较高,内部缺陷少,有利于增强第七介质层对相邻半导体通道以及相邻位线之间的隔离效果。进一步地,第七介质层的材料和第二介质层的材料可以相同,在一些例子中,七介质层的材料和第二介质层的材料均为氮化硅。

[0088] 在其他实施例中,还可以不形成电容接触层,在去除位于第二掺杂区顶面的绝缘层之后,直接在第二掺杂区顶面形成电容结构。

[0089] 综上所述,通过形成第一介质层113和第二介质层123,以第二介质层123为掩膜对第一介质层113进行刻蚀,以形成洞穴结构h;采用沉积工艺,在洞穴结构h中自对准地形成尺寸精确的字线107,无需通过刻蚀工艺来设计字线107的尺寸,有利于简化字线107的形成步骤,且通过调控第二间隙i的尺寸,即可获得小尺寸的字线107。

[0090] 本申请又一实施例还提供一种半导体结构的制作方法,该半导体结构的制作方法与前一实施例大致相同,主要区别包括去除部分第一介质层至露出沟道区侧壁的工艺步骤不同。以下将结合附图对本申请又一实施例提供的半导体结构的制作方法进行详细说明,需要说明的是,与前述实施例相同或者相应的部分,可参考前述实施例的详细描述,在此不再赘述。

[0091] 图26至图31为本发明又一实施例提供的半导体结构的制作方法各步骤对应的结构示意图。需要说明的是,为了便于描述以及清晰地示意出半导体结构制作方法的步骤,本实施例中的图26至图31均为半导体结构的局部结构示意图,后续将根据表述需要设置结构的沿第一截面方向AA1的剖面示意图以及沿第二截面方向BB1的剖面示意图中的一者或两者,当仅参考一个附图时,附图为沿第二截面方向BB1的剖面示意图;当同时参考两个附图时,附图首先为沿第一截面方向AA1的剖面示意图,其次为沿第二截面方向BB1的剖面示意图。

[0092] 本实施例中,参考图26和图27,在基底上形成位线204以及半导体通道205、形成第一介质层213和第二介质层223,且基底中具有半导体阱层21,第一介质层213包括第五介质层253和第六介质层263。具体地,形成位线204、半导体通道205、第一介质层213和第二介质层223的步骤与上述实施例的步骤相同,在此不再赘述。

[0093] 参考图27,去除部分第一介质层213至露出沟道区II侧壁的步骤中,还包括去除位于第二掺杂区III侧壁的第一介质层213,即剩余第一介质层213仅位于第一掺杂区I的侧壁表面。

[0094] 参考图28和图29,形成绝缘层206,绝缘层206不仅覆盖沟道区II侧壁表面,还位于

第二掺杂区III侧壁表面以及顶面,且绝缘层206与第二介质层223之间具有第二间隙i。

[0095] 本实施例中,由于半导体通道205的材料为硅,形成绝缘层206的步骤包括:对露出的沟道区II侧壁和第二掺杂区III的侧壁和顶面进行热氧化处理,以形成绝缘层206,且绝缘层206覆盖剩余沟道区II和剩余第二掺杂区III的侧壁表面。在其他实施例中,也可以通过沉积工艺形成覆盖沟道区侧壁和第二掺杂区的侧壁和顶面的绝缘层。

[0096] 由于对露出的沟道区II和第二掺杂区III侧壁进行热氧化处理,则沟道区II和第二掺杂区III的部分区域被转化为绝缘层206,使得沟道区II和第二掺杂区III在位线204上的正投影均小于第一掺杂区I在位线204上的正投影,有利于在不采用刻蚀工艺的前提下,形成在垂直于位线204指向半导体通道205的方向Z的截面中,截面面积更加小的沟道区II和第二掺杂区III,有利于降低半导体通道205构成的晶体管的阈值电压,使得晶体管在较低的阈值电压下,实现导通或者关断。

[0097] 在一些例子中,在垂直于方向Z的截面中,沟道区II的宽度W和沟道区II的长度不高于10nm,有利于保证晶体管具有较小的阈值电压。此外,在方向Z上,沟道区II的高度为30nm~50nm。

[0098] 本实施例中,在后续的工艺步骤中去除位于剩余第二掺杂区III顶面的绝缘层206。在其他实施例中,可以在热氧化处理之后,就去掉位于剩余第二掺杂区顶面的绝缘层,仅保留覆盖剩余沟道区以及剩余第二掺杂区的侧壁表面的绝缘层。

[0099] 参考图30和图31,形成字线207。具体地,形成字线207包括如下:

[0100] 形成初始字线,初始字线填充第二间隙i(参考图29),即初始字线位于相邻位线204上的沟道区II和第二掺杂区III侧壁的绝缘层206之间。其中,可通过沉积工艺形成初始字线。

[0101] 去除部分初始字线,剩余初始字线作为字线207,字线207仅环绕位于沟道区II侧壁的绝缘层206。

[0102] 初始字线自对准地填充第二间隙i,有利于后续自对准地形成尺寸精确的字线207,无需通过刻蚀工艺来设计字线207的尺寸,有利于简化字线207的形成步骤,且通过调控第二间隙i的尺寸,即可获得小尺寸的字线207。

[0103] 进一步地,形成第四介质层,第四介质层填充位于第二掺杂区III侧壁的绝缘层206之间的间隙,然后去除位于第二掺杂区III顶面的绝缘层206。具体的,形成第四介质层和去除部分绝缘层206的步骤与上述实施例的步骤相同,在此不再赘述。在其他实施例中,也可以在形成第四介质层之前,去除位于第二掺杂区侧壁和顶面的绝缘层,然后形成露出第一掺杂区顶面的第四介质层。

[0104] 本实施例中,进一步地还可以在第二掺杂区III顶面形成电容接触层和电容结构,具体地,形成电容接触层和电容结构的步骤与上述实施例的步骤相同,在此不再赘述。

[0105] 综上所述,通过形成第一介质层213和第二介质层223,以第二介质层223为掩膜对第一介质层213进行刻蚀,以形成第二间隙i;采用沉积工艺,在第二间隙i中自对准地形成尺寸精确的字线207,无需通过刻蚀工艺来设计字线207的尺寸,有利于简化字线207的形成步骤,且通过调控第二间隙i的尺寸,即可获得小尺寸的字线207。

[0106] 相应地,本发明另一实施例还提供一种半导体结构,由上述任一实施例提供的半导体结构的制作方法制备。

[0107] 参考图24和图25,半导体结构包括:基底,基底包括半导体阱层11;位线104,位于半导体阱层11上;半导体通道105,位于位线104表面,在沿基底指向位线104的方向Z上,半导体通道105包括依次排列的第一掺杂区I、沟道区II以及第二掺杂区III,第一掺杂区I与位线104相接触。

[0108] 本实施例中,基底、位线104和半导体通道105具有相同的半导体元素,则半导体通道105与位线104利用同一膜层结构形成,该膜层结构由半导体元素构成,使得半导体通道105与位线104为一体结构,从而改善半导体通道105与位线104之间的界面态缺陷,改善半导体结构的性能。

[0109] 其中,半导体元素可以包括硅、碳、锗、砷、镓、铟中的至少一种。具体地,基底、位线104和半导体通道105的材料类型可以为元素半导体材料或者晶态无机化合物半导体材料。元素半导体材料可以硅或者锗;晶态无机化合物半导体材料可以为碳化硅、锗化硅、砷化镓或者镓化铟等。

[0110] 具体地,第一掺杂区I、沟道区II和第二掺杂区III掺杂有相同类型的掺杂离子,且掺杂离子在第一掺杂区I中的掺杂浓度与在沟道区II和第二掺杂区III中的掺杂浓度一致,则半导体通道105构成的器件为无结晶体管,有利于避免采用超陡峭源漏浓度梯度掺杂工艺,在纳米尺度范围内制作超陡峭PN结的现象,因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题,还有利于抑制短沟道效应,在几纳米的尺度范围内仍然可以工作,因而有助于进一步提高半导体结构的集成密度和电学性能。其中,掺杂离子为N型离子或P型离子中的一者。

[0111] 沟道区II在位线104上的正投影小于第二掺杂区III在位线104上的正投影,且小于第一掺杂区I在位线104上的正投影。因而,在不采用刻蚀工艺的前提下,在垂直于位线104指向半导体通道105的方向Z的截面中,有利于形成截面面积更加小的沟道区II,以提高字线107对沟道区II的控制能力,从而更容易控制GAA晶体管的导通或者关断。

[0112] 在一些例子中,在垂直于方向Z的截面中,沟道区II的宽度W和沟道区II的长度L不高于10nm,有利于保证晶体管具有较小的阈值电压。此外,在方向Z上,沟道区II的高度为30nm~50nm。

[0113] 结合参考图6和图24至图25,半导体结构还包括:第一介质层113,环绕第一掺杂区I设置,且同一位线104上相邻第一掺杂区I侧壁的第一介质层113之间具有第一间隔。

[0114] 具体地,第一介质层113可以包括第五介质层153和第六介质层163,第五介质层153位于相邻位线104的间隔中,且位于相邻位线104上的相邻第一掺杂区I的间隔中;第六介质层163位于同一位线104上相邻第一掺杂区I的侧壁,且位于第五介质层153的侧壁。第一介质层113用于实现相邻半导体通道105和相邻位线104之间的电绝缘。

[0115] 半导体结构还包括:绝缘层106,至少覆盖沟道区II侧壁表面。本实施例中,绝缘层106仅覆盖沟道区II侧壁表面。在其他实施例中,绝缘层可覆盖沟道区和第二掺杂区两者的侧壁表面。

[0116] 半导体结构还包括:字线107,环绕位于沟道区II侧壁的绝缘层106,且相邻字线107之间具有第二间隔;隔离层109,至少位于第一间隔和第二间隔中,且隔离层109远离基底的顶面不低于第二掺杂区III远离基底的顶面。

[0117] 具体地,隔离层109可以包括第二介质层123和第三介质层133,第二介质层123位

于第一间隔和第二间隔中,且第二介质层123远离基底的顶面不低于第二掺杂区III远离基底的顶面;第三介质层133覆盖第二掺杂区III侧壁。

[0118] 在一些例子中,第二介质层123顶面与第二掺杂区III顶面齐平,且隔离层109还包括第四介质层143。继续参考图25,第四介质层143位于第二介质层123和第三介质层133共同构成顶面,以及位于相邻第三介质层133构成的间隔中。其中,第二介质层123、第三介质层133和第四介质层143的材料相同,共同构成隔离层109,实现相邻半导体通道105以及相邻位线104之间的电绝缘。在其他例子中,第二介质层、第三介质层和第四介质层可以为一体成型结构,则隔离层的致密度较高,内部缺陷少,有利于增强隔离层对相邻半导体通道以及相邻位线之间的隔离效果。

[0119] 在其他实施例中,当绝缘层覆盖沟道区以及第二掺杂区两者的侧壁表面时,隔离层包括第二介质层和第四介质层,其中第二介质层位于第一间隔和第二间隔中,且第二介质层远离基底的顶面不低于第二掺杂区远离基底的顶面;第四介质层位于第二介质层和绝缘层构成的间隔中,以及位于相邻绝缘层构成的间隔中,且第四介质层覆盖第二介质层顶面。

[0120] 进一步地,绝缘层106的外围在位线104上的正投影小于第三介质层133的外围在位线104上的正投影。

[0121] 半导体结构还可以包括:电容接触层108,位于第二掺杂区III顶面,电容接触层108在位线104上的正投影覆盖第二掺杂区III在位线104上的正投影,且电容接触层108具有掺杂离子,掺杂离子在电容接触层108中的掺杂浓度大于在第二掺杂区II中的掺杂浓度。

[0122] 由于电容接触层108与第二掺杂区III掺杂有相同类型的掺杂离子,且掺杂离子在电容接触层108中的掺杂浓度大于在第二掺杂区III中的掺杂浓度,有利于进一步提高电容接触层108的导电性。此外,电容接触层108在位线104上的正投影覆盖第二掺杂区III在位线104上的正投影,有利于增大电容接触层108与后续其他导电结构之间的接触面积,从而降低电容接触层108与后续其他导电结构之间的接触电阻。

[0123] 半导体结构还可以包括:电容结构(图中未示出),电容结构位于电容接触层108和第四介质层143共同构成的表面。

[0124] 综上所述,在垂直于位线104指向半导体通道105的方向Z的截面中,沟道区II的截面面积小于第一掺杂区I和第二掺杂区II的截面面积,有利于降低半导体通道105构成的晶体管的阈值电压,使得晶体管在较低的阈值电压下,实现导通或者关断。此外,半导体通道105构成的器件为无结晶体管,有利于避免采用超陡峭源漏浓度梯度掺杂工艺,因而可以避免掺杂突变所产生的阈值电压漂移和漏电流增加等问题,还有利于抑制短沟道效应,从而进一步提高半导体结构的集成密度和电学性能。

[0125] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各自更动与修改,因此本发明的保护范围应当以权利要求限定的范围为准。



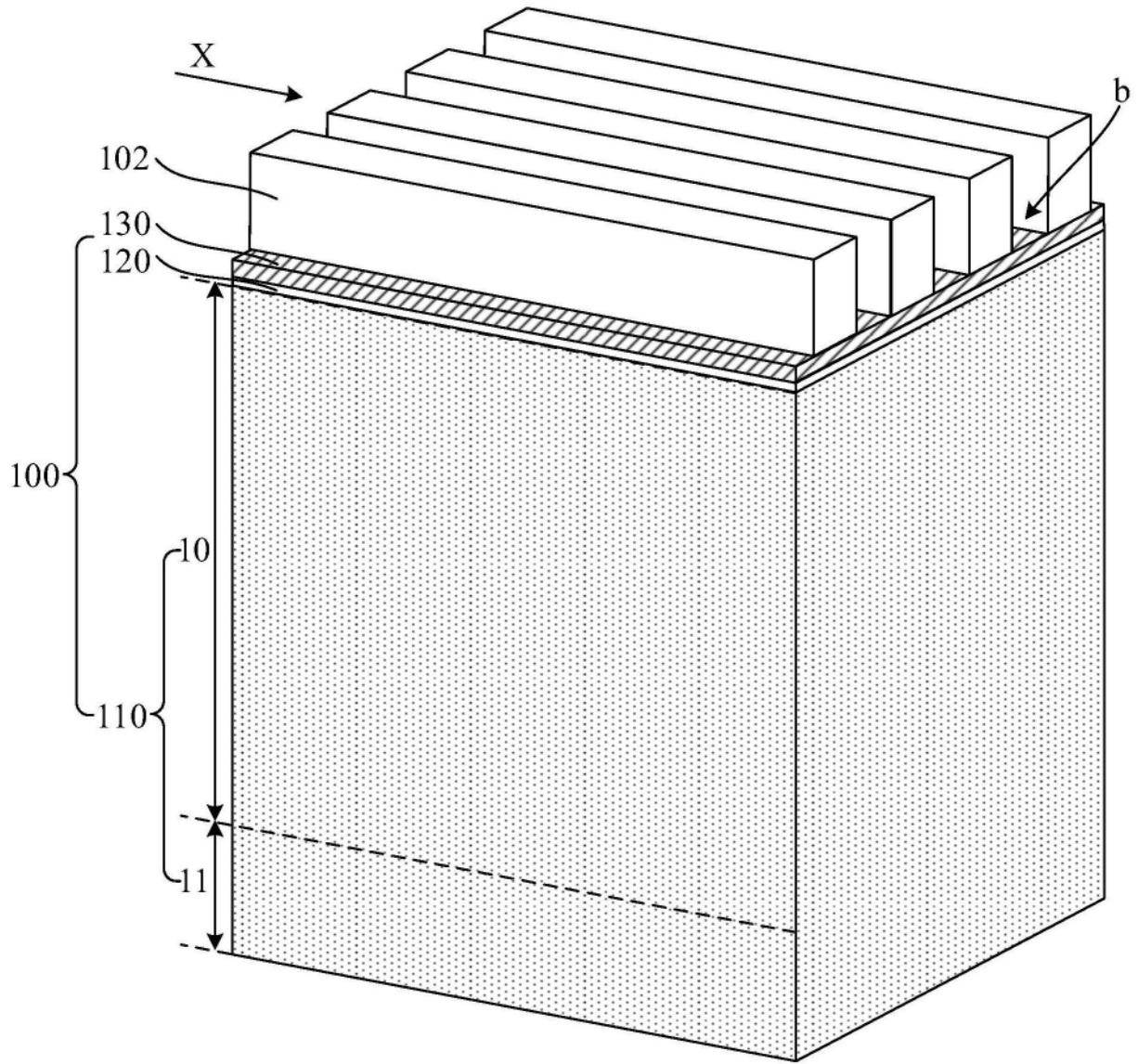


图1

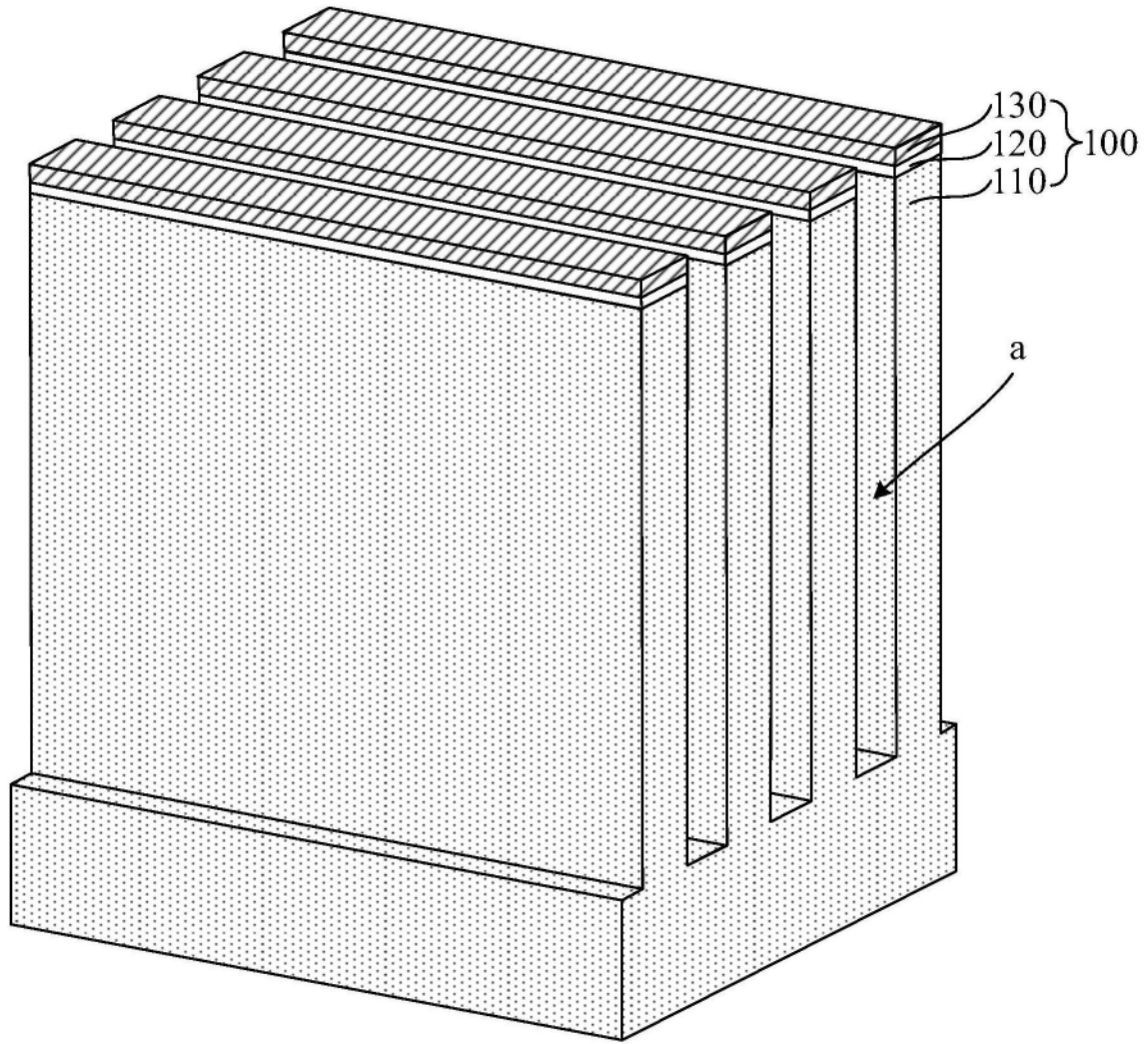


图2

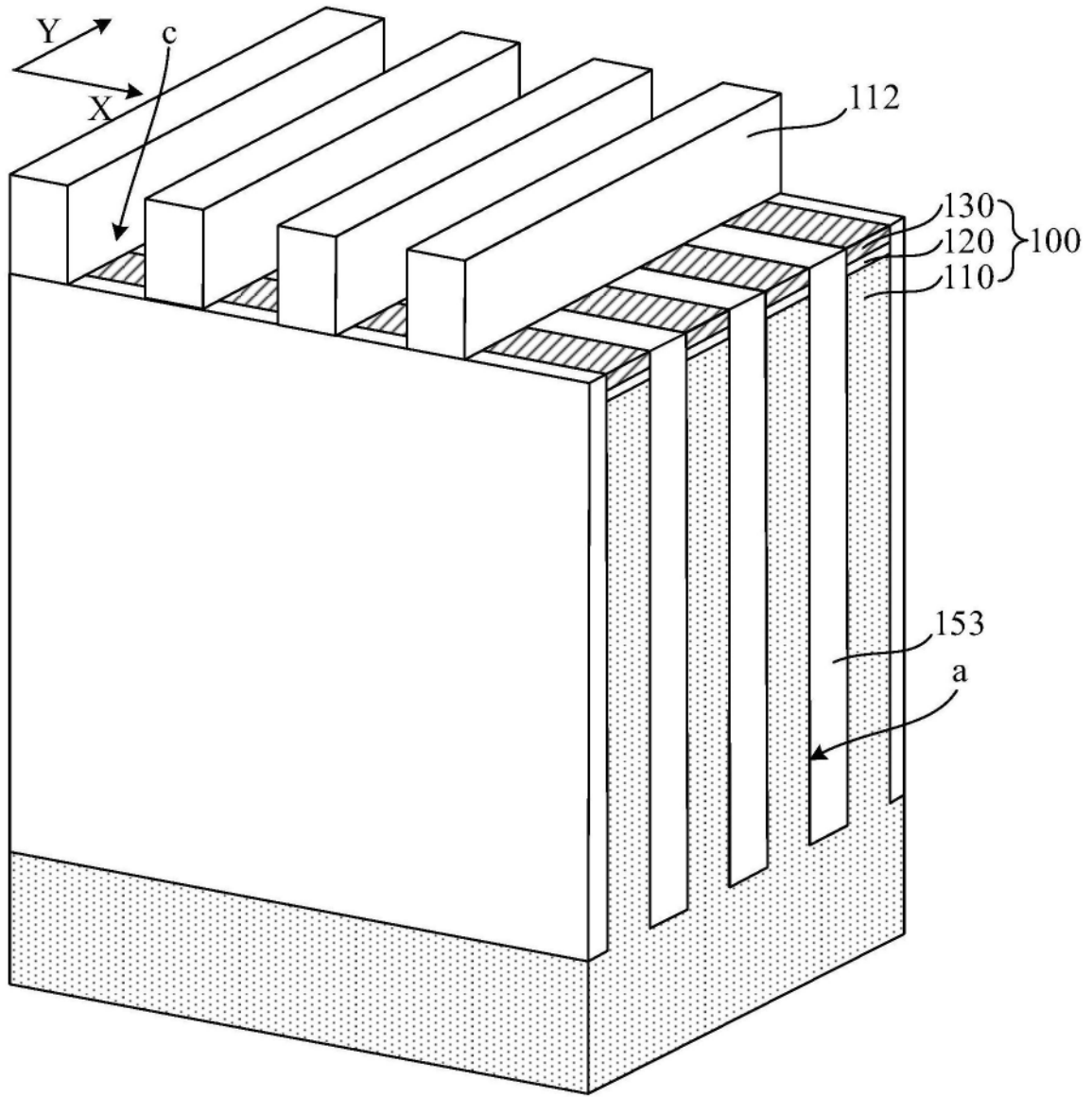


图3

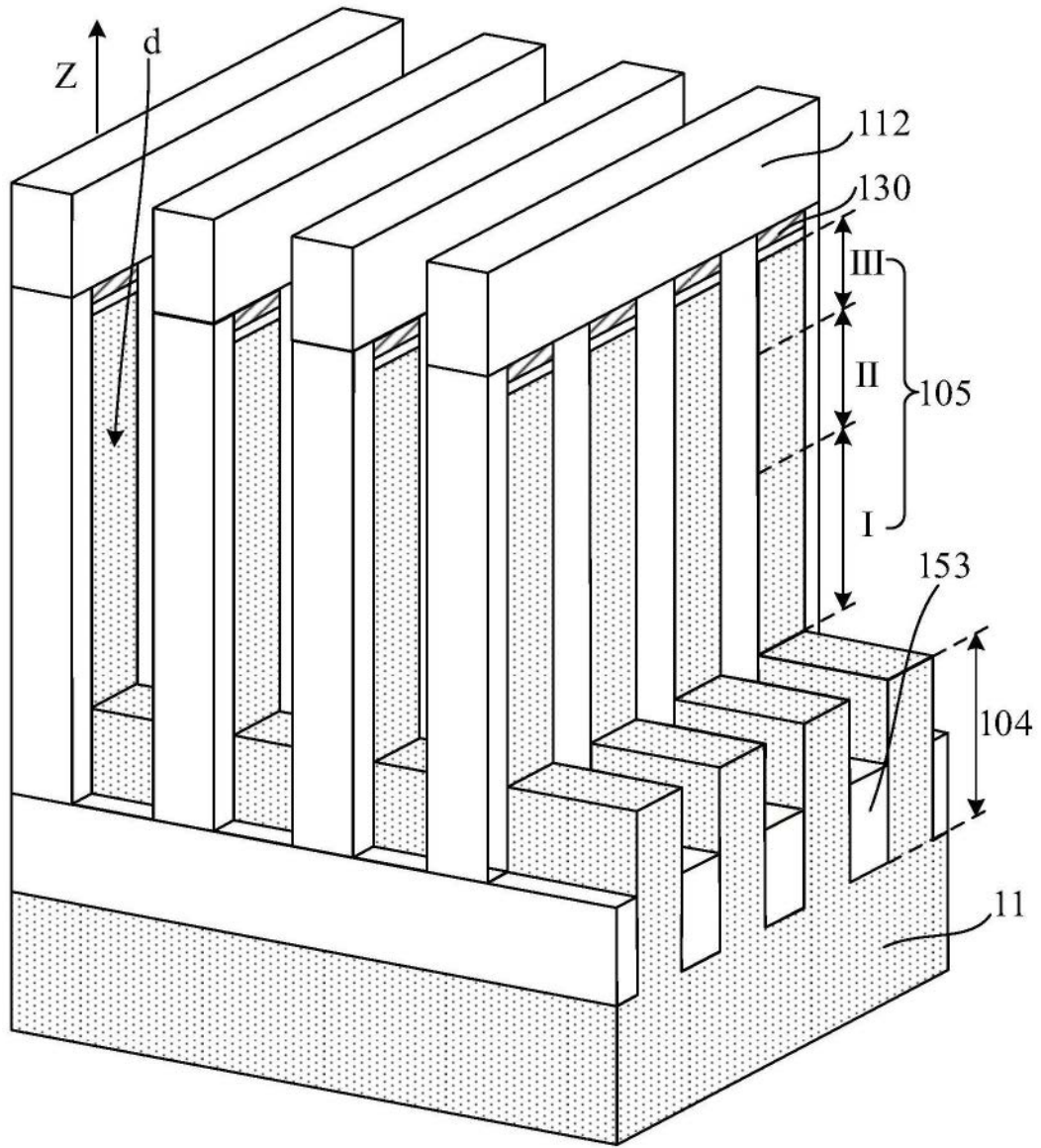


图4

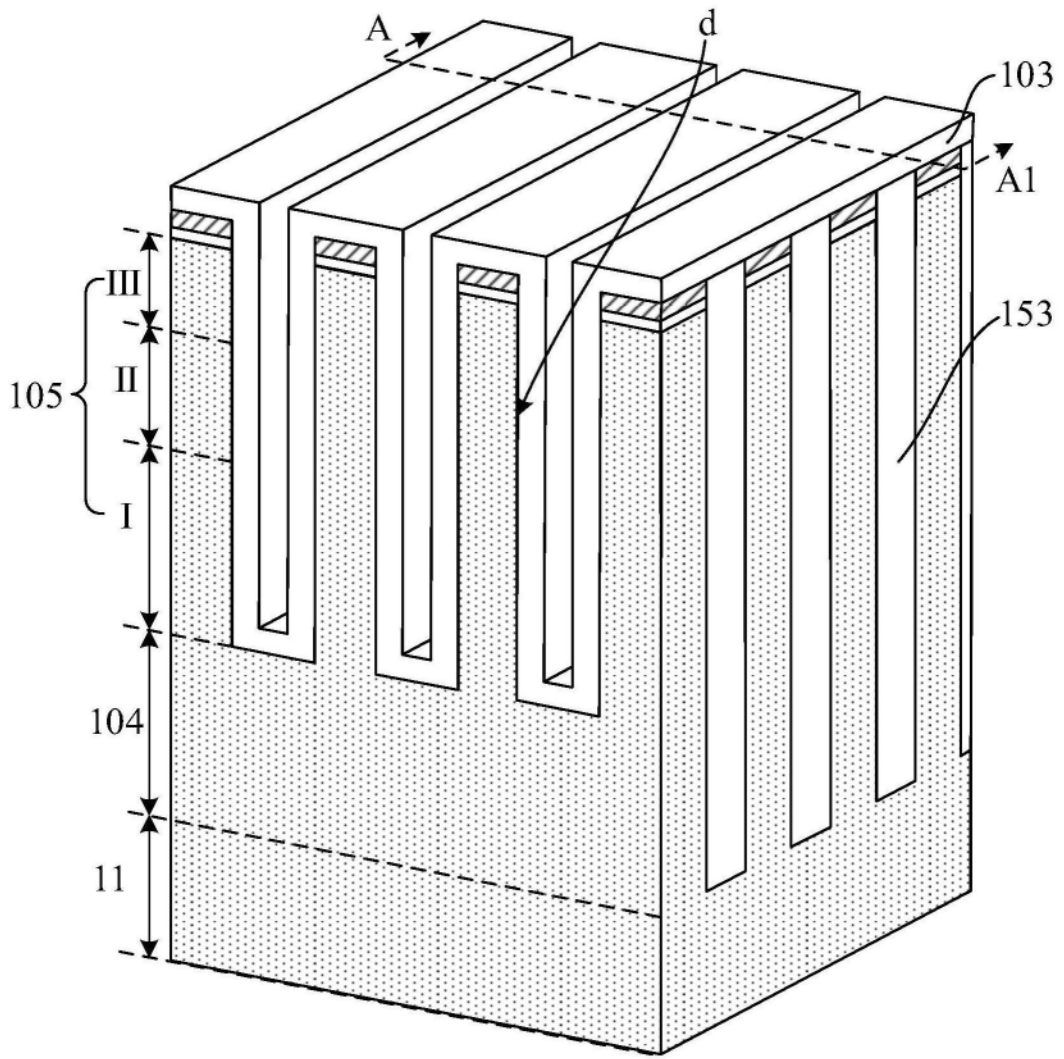


图5

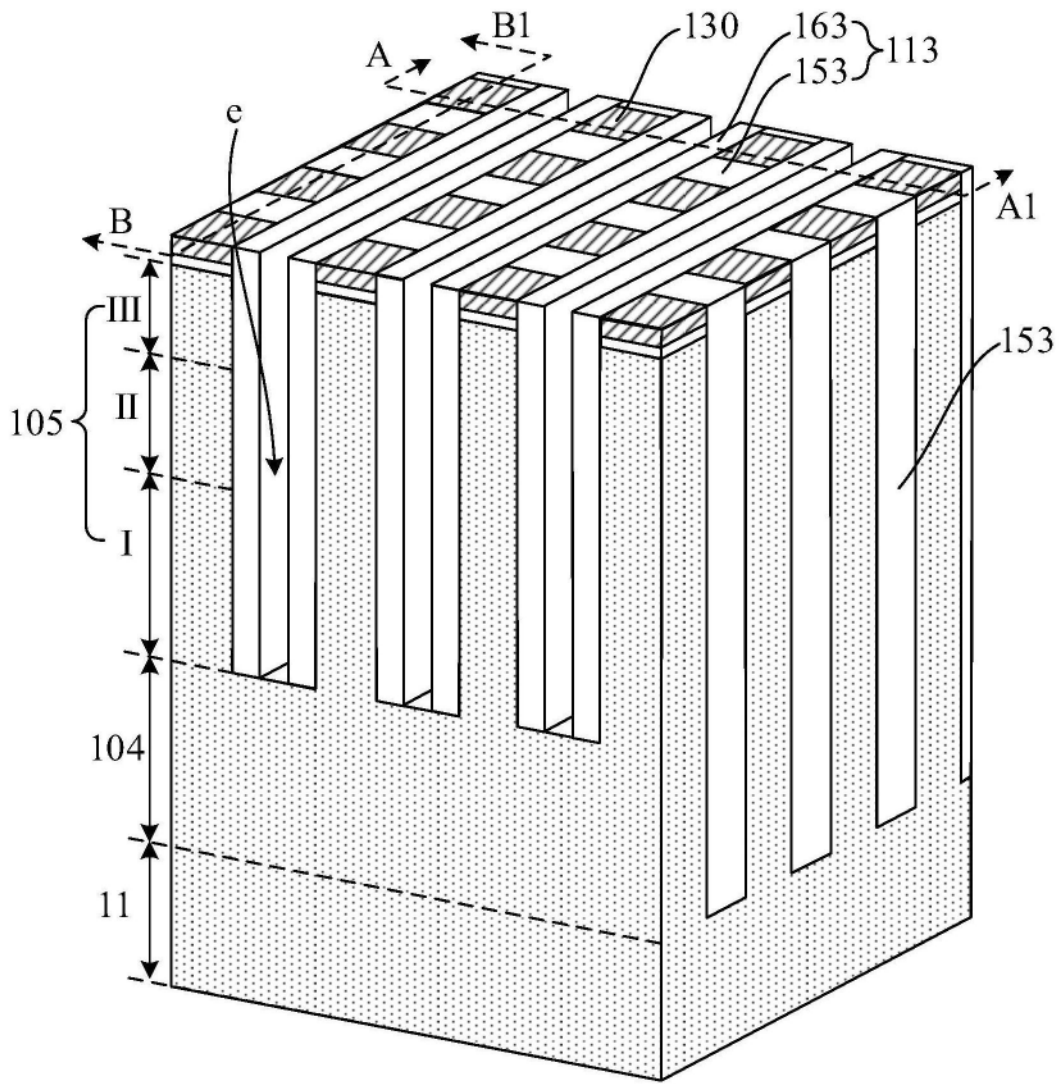


图6

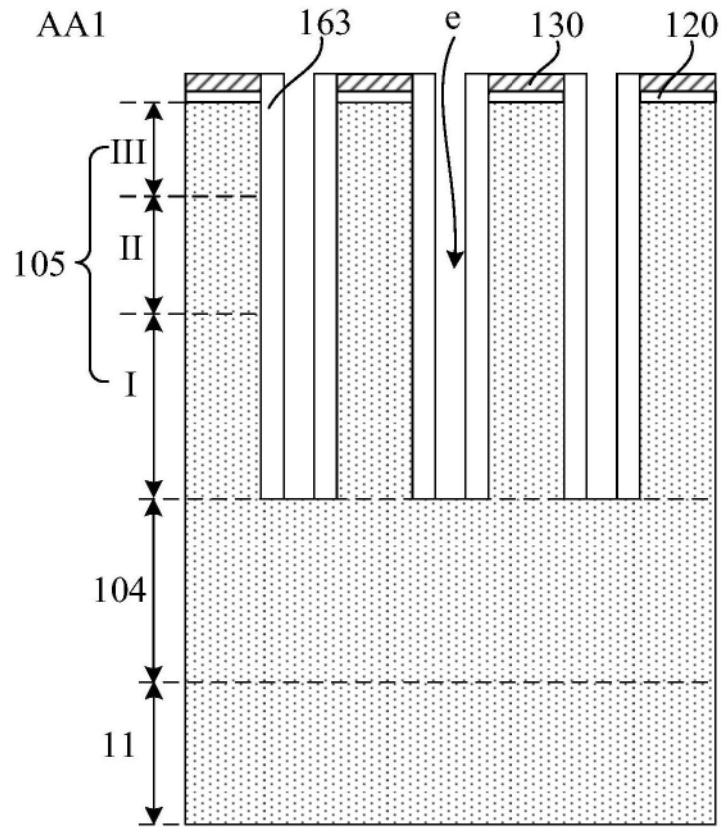


图7

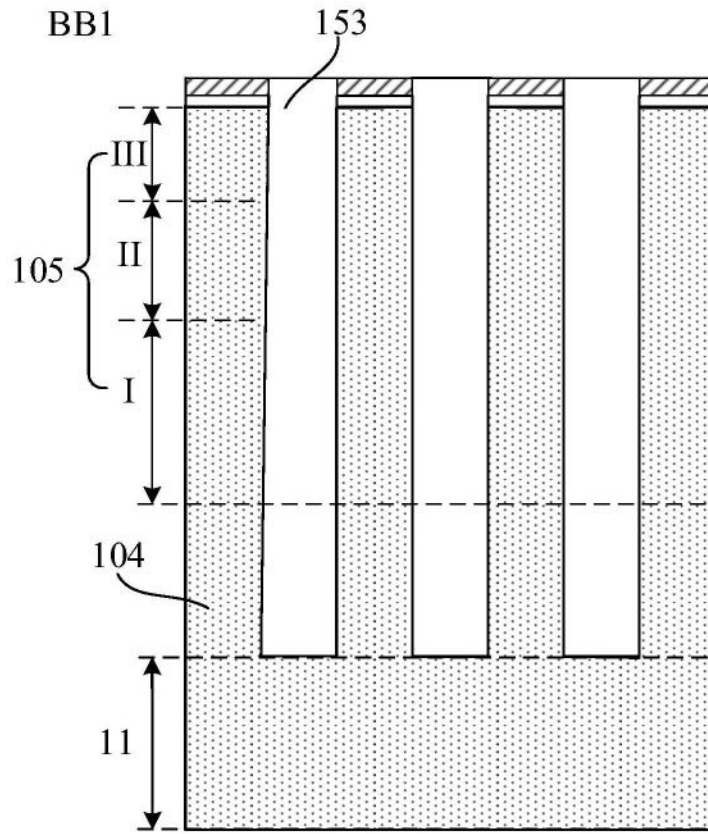


图8



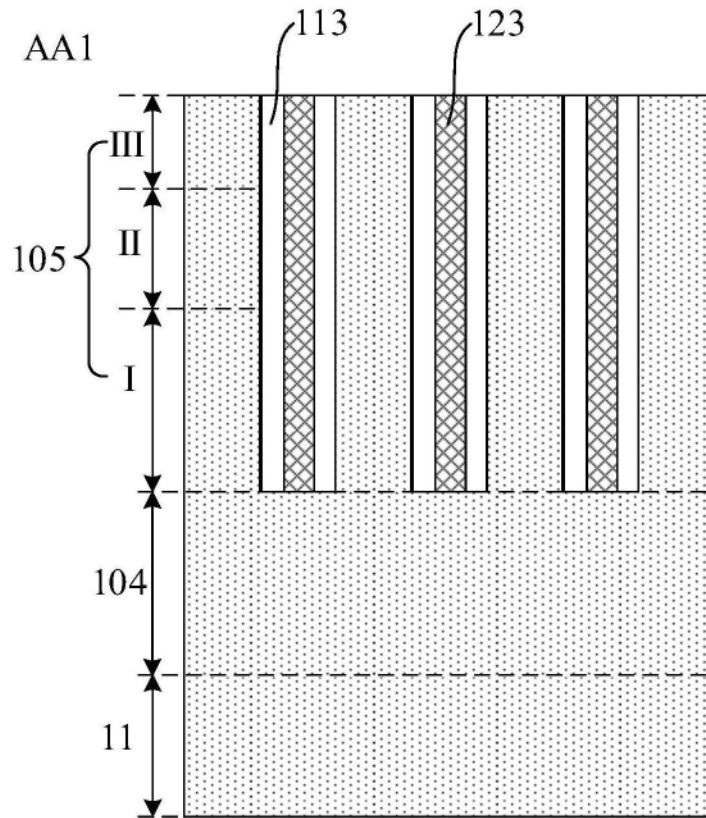


图9

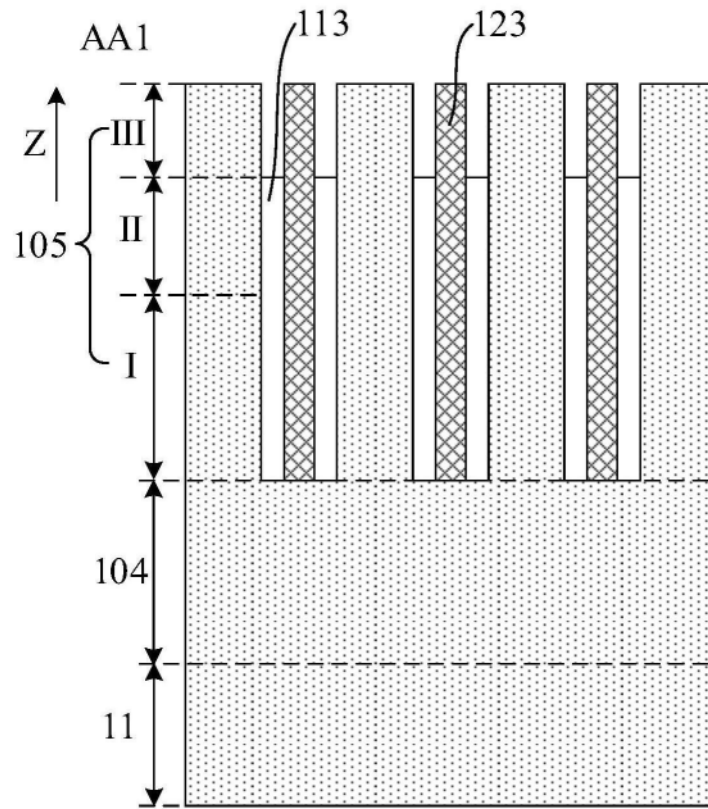


图10

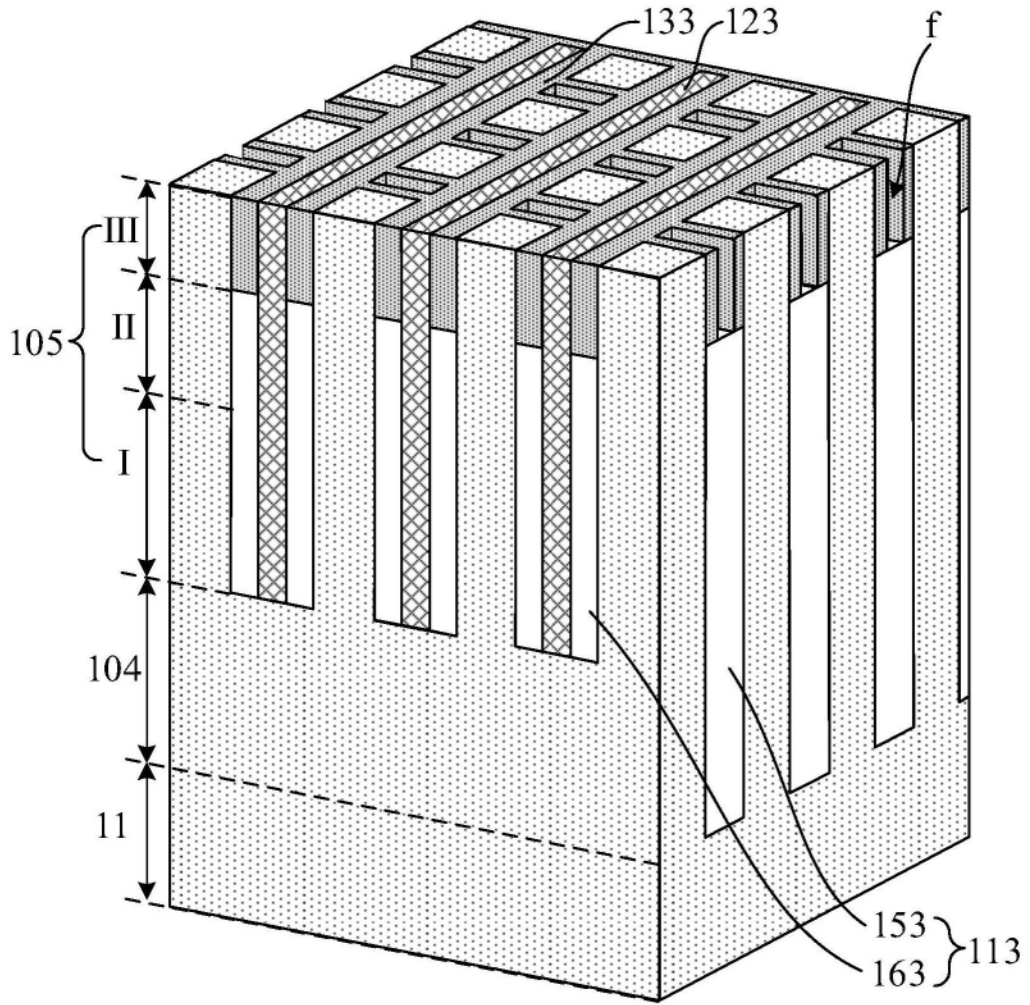


图11

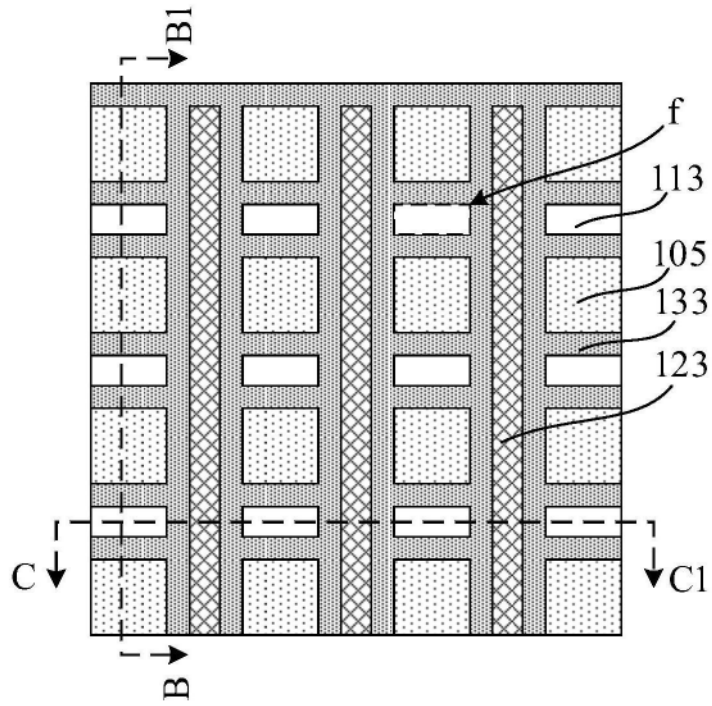


图12

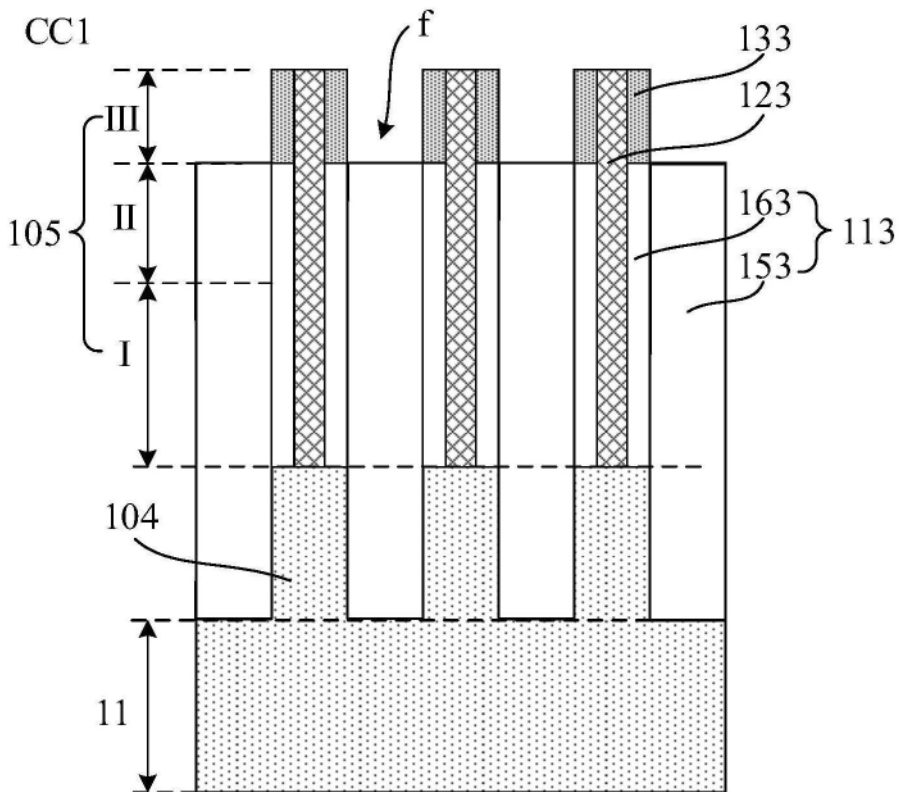


图13

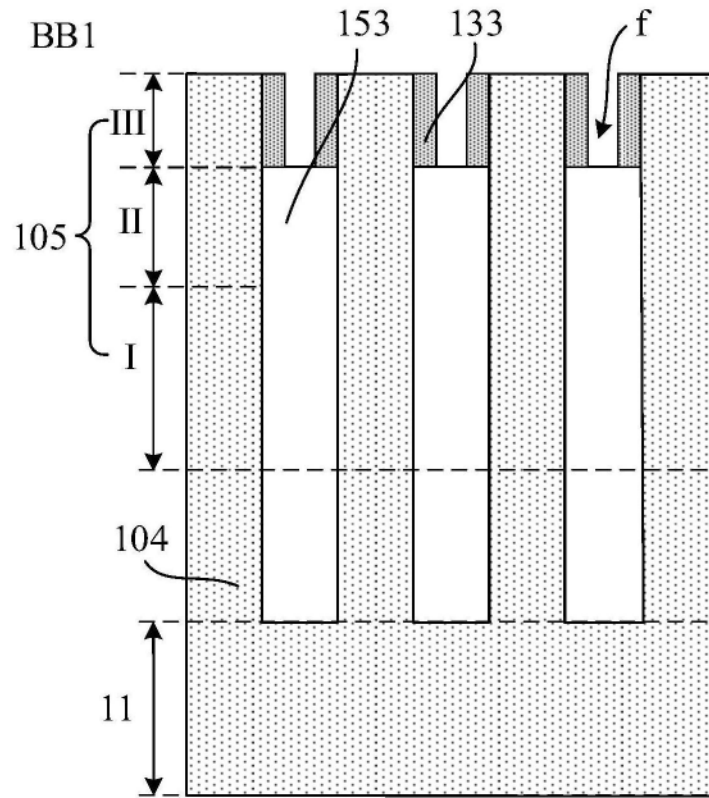


图14

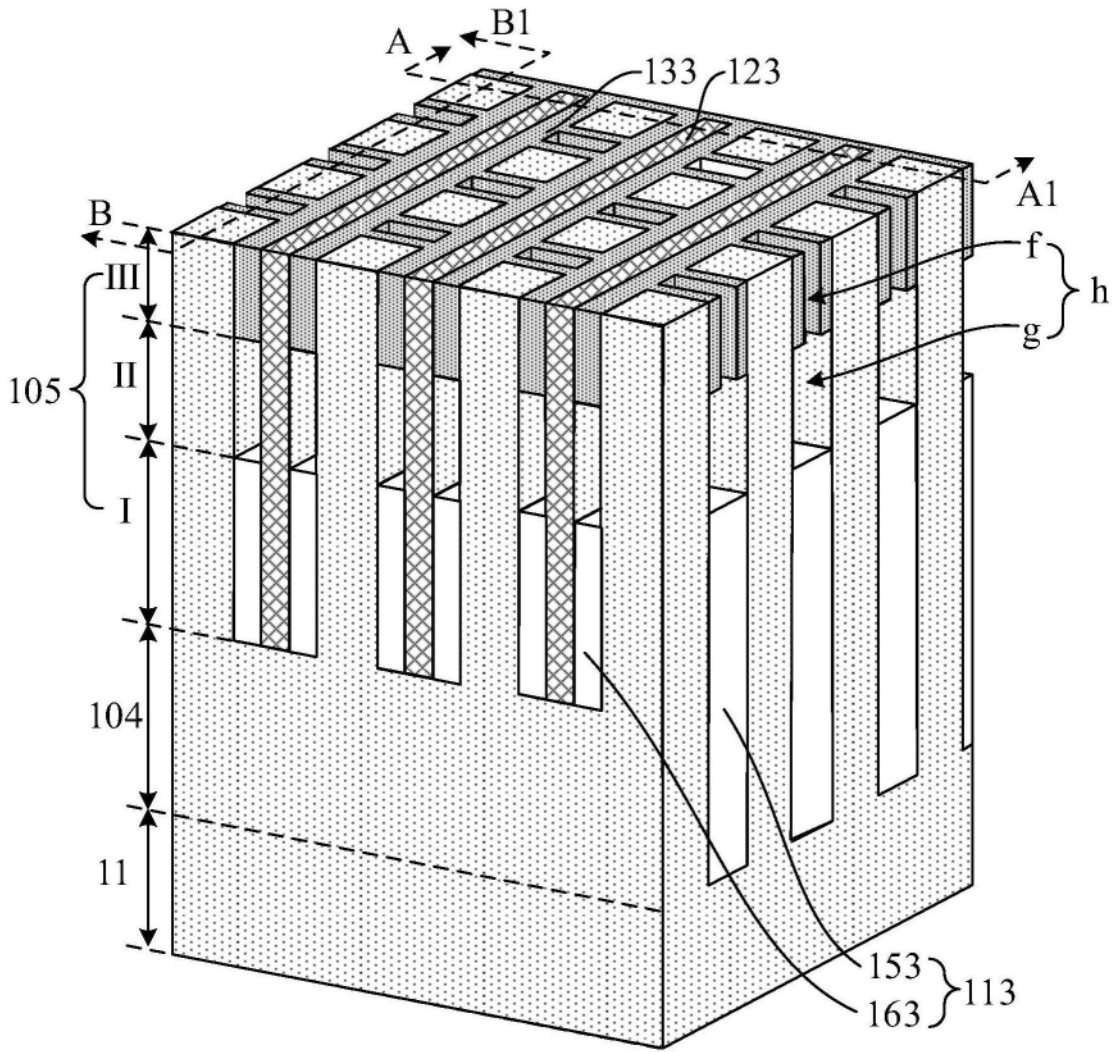


图15

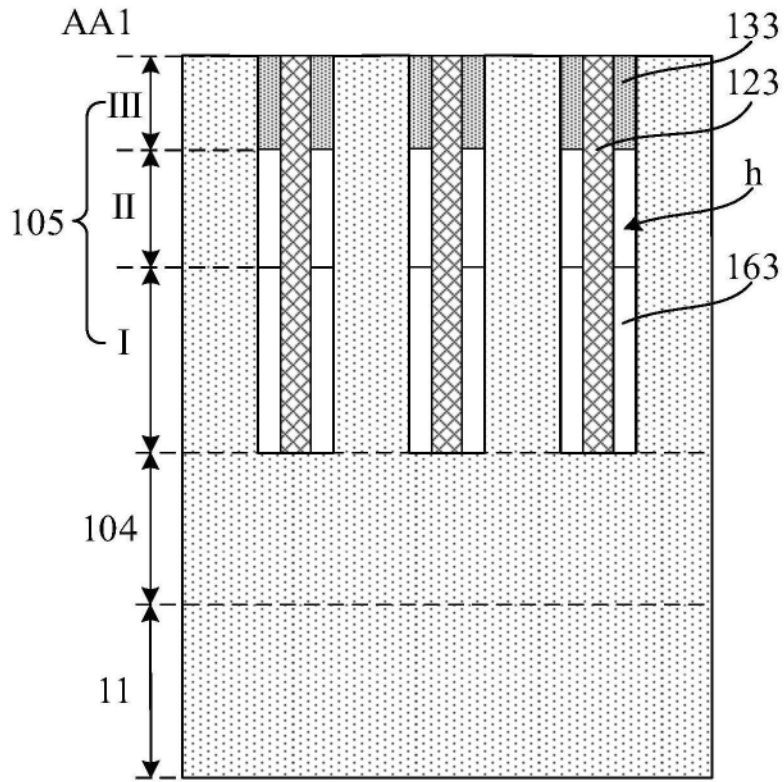


图16

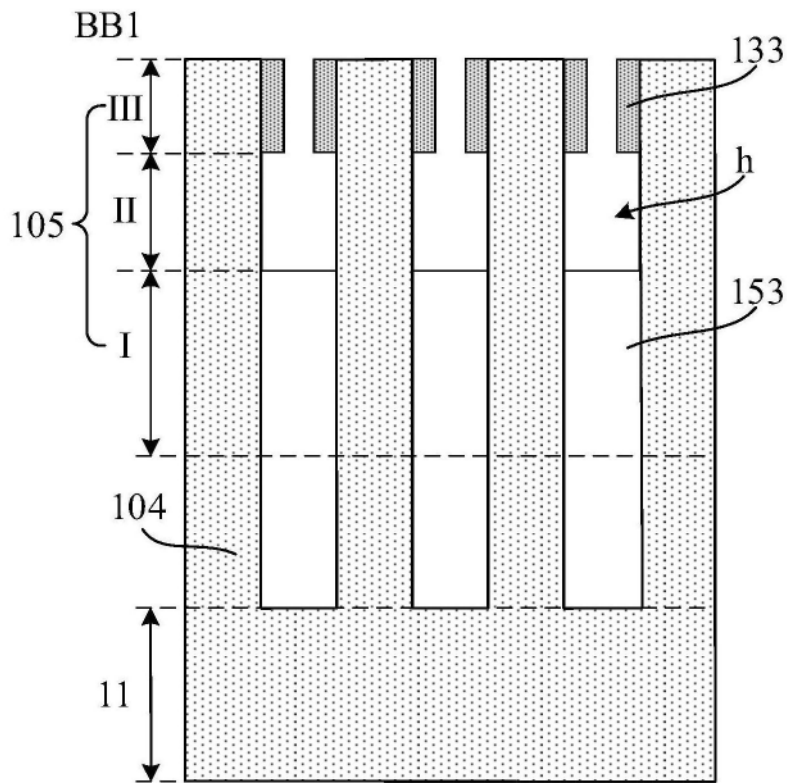


图17

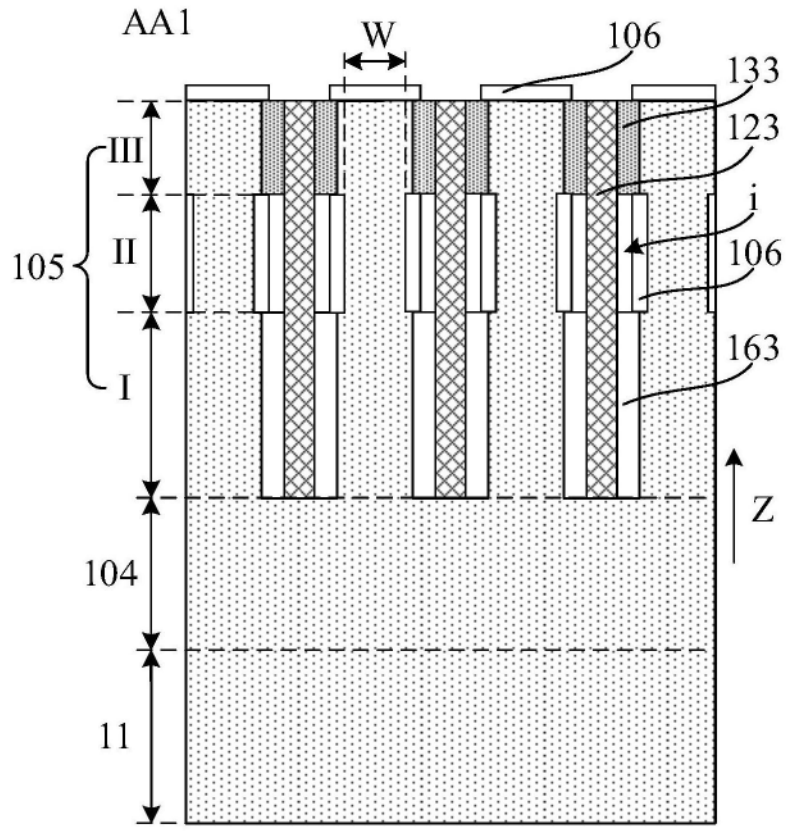


图18



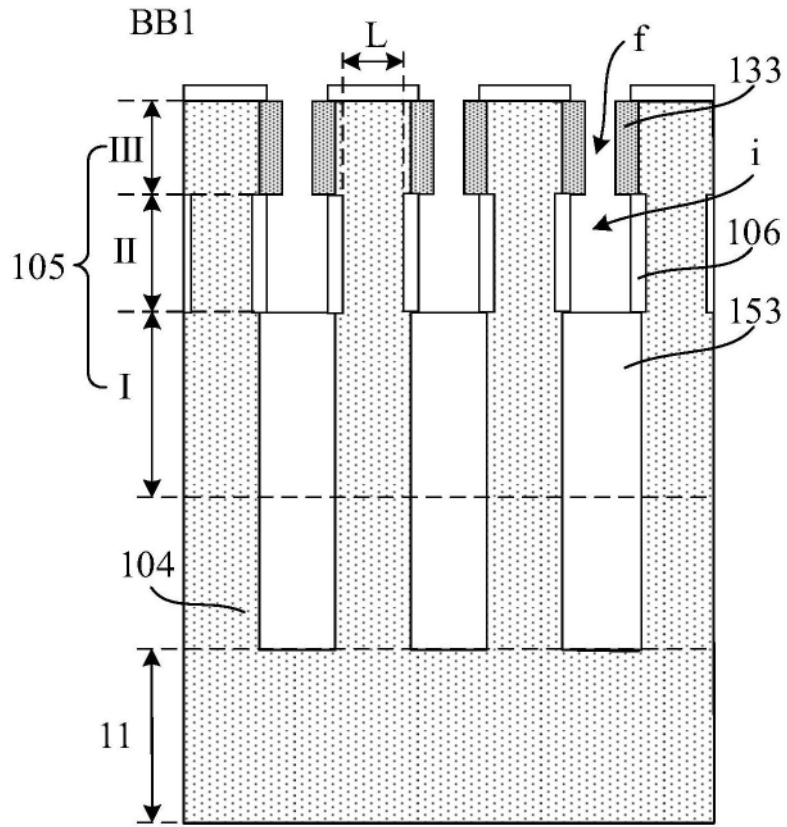


图19

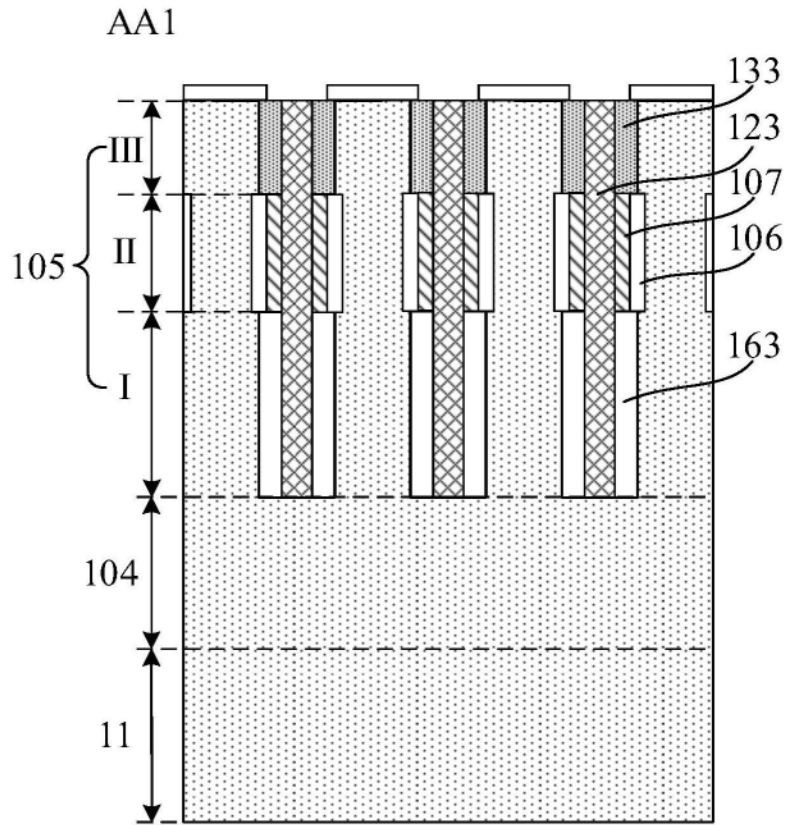


图20

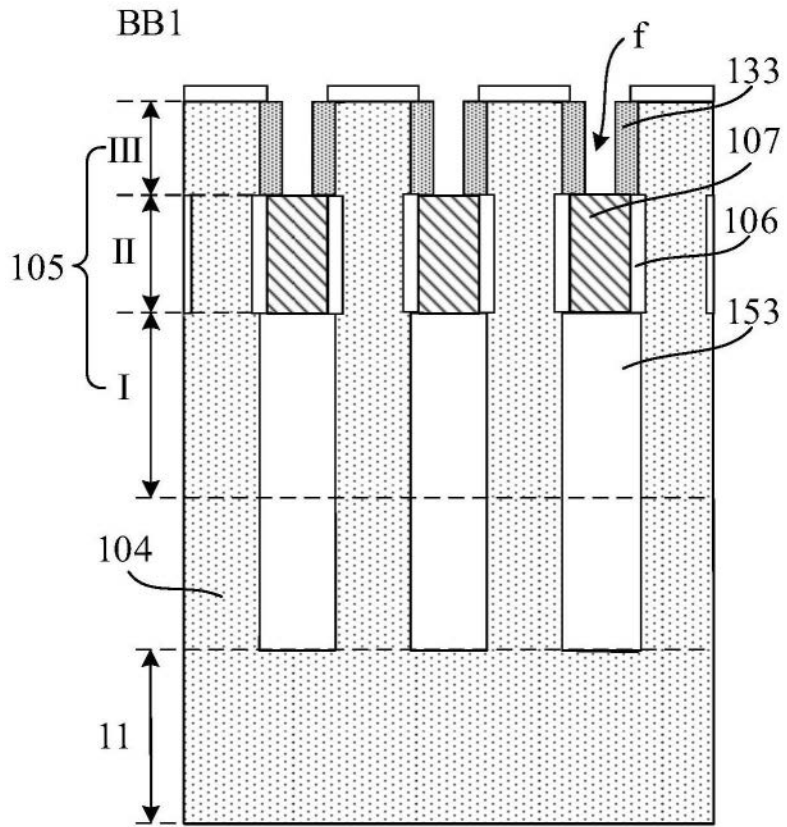


图21

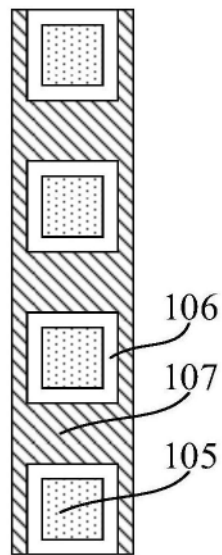


图22



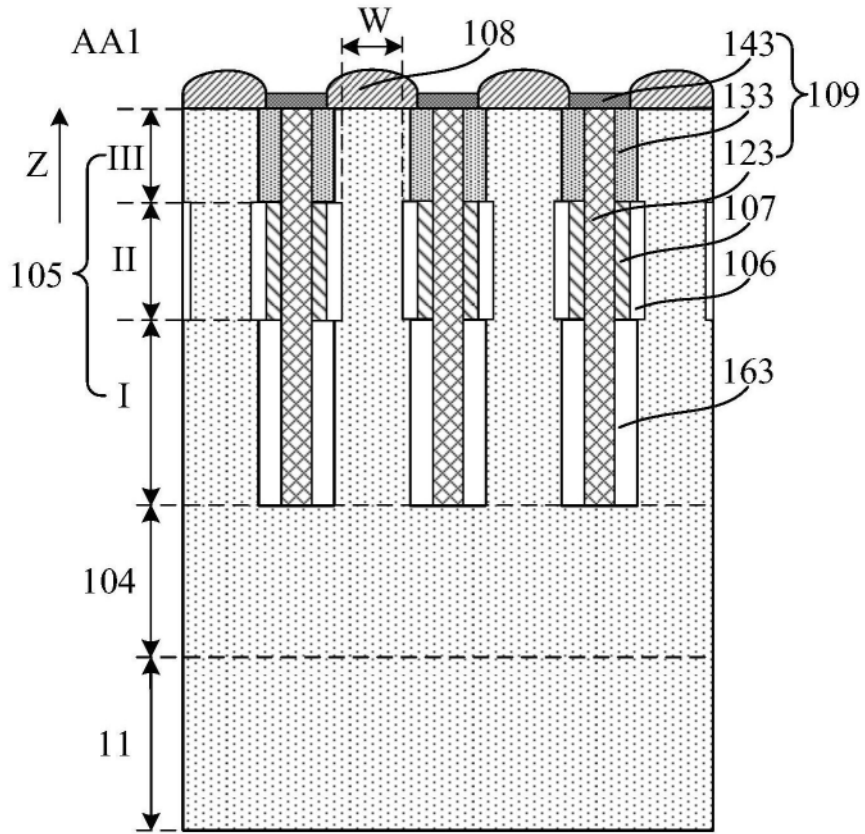


图24

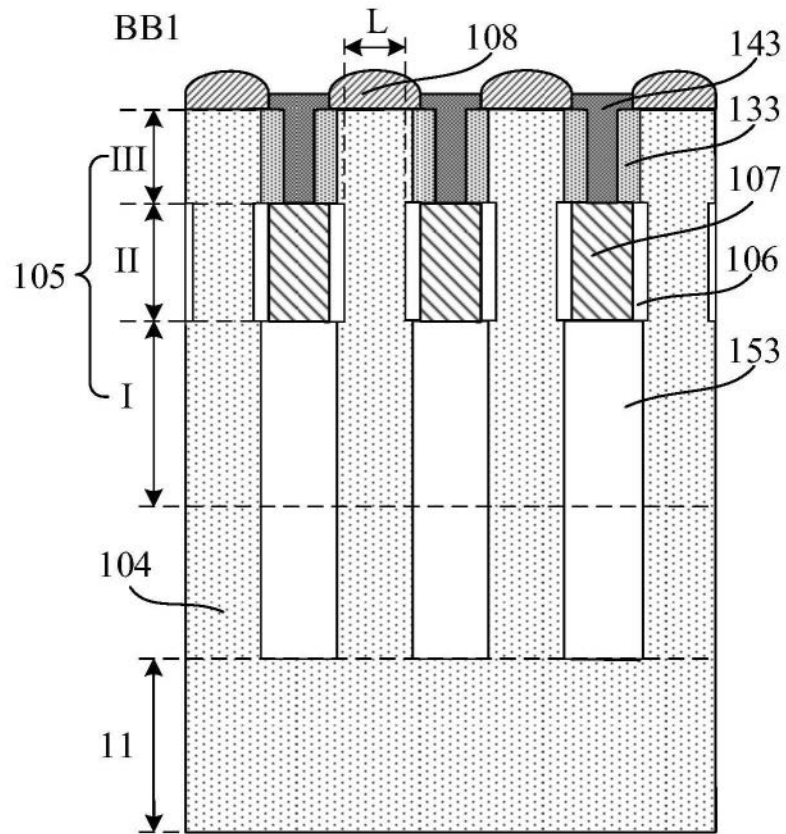


图25

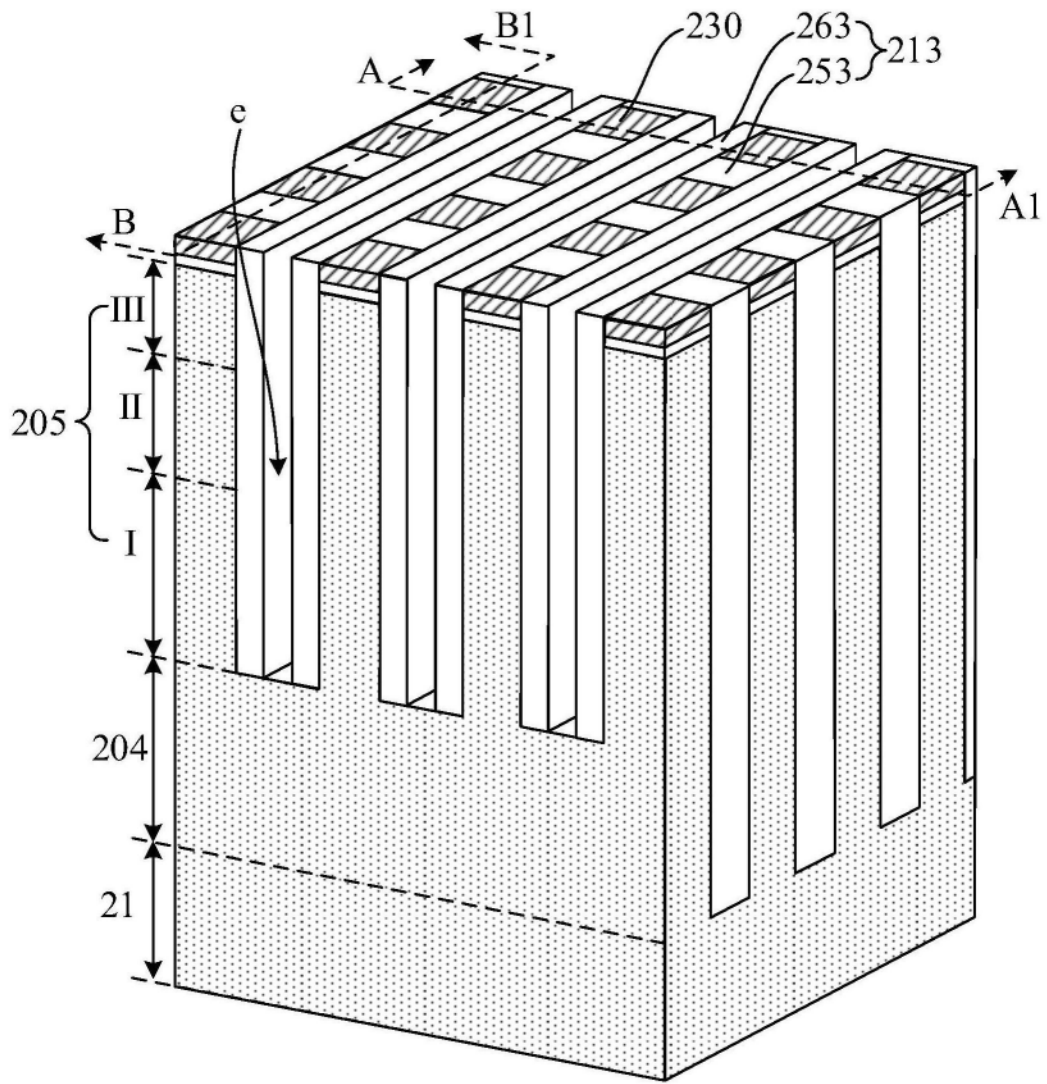


图26

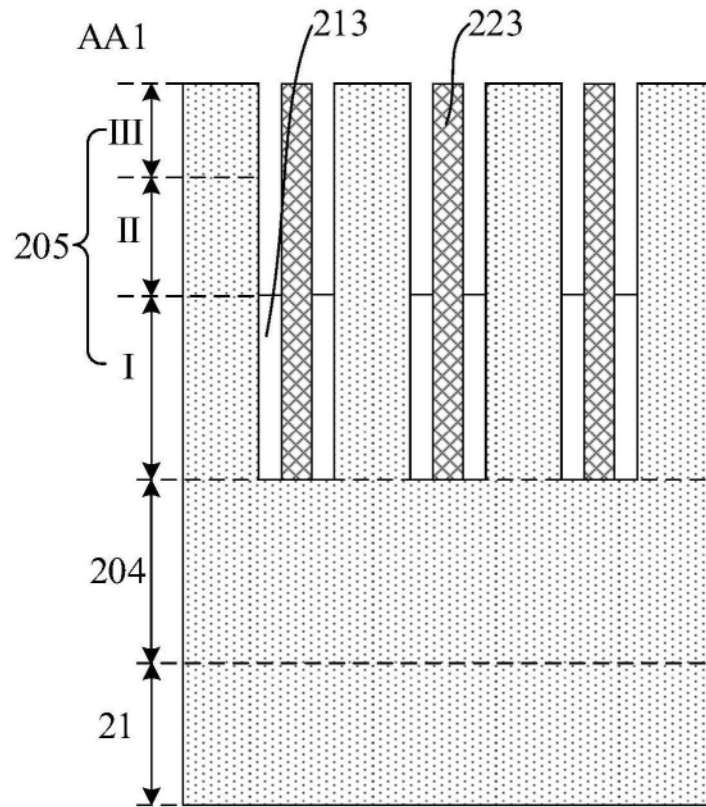


图27



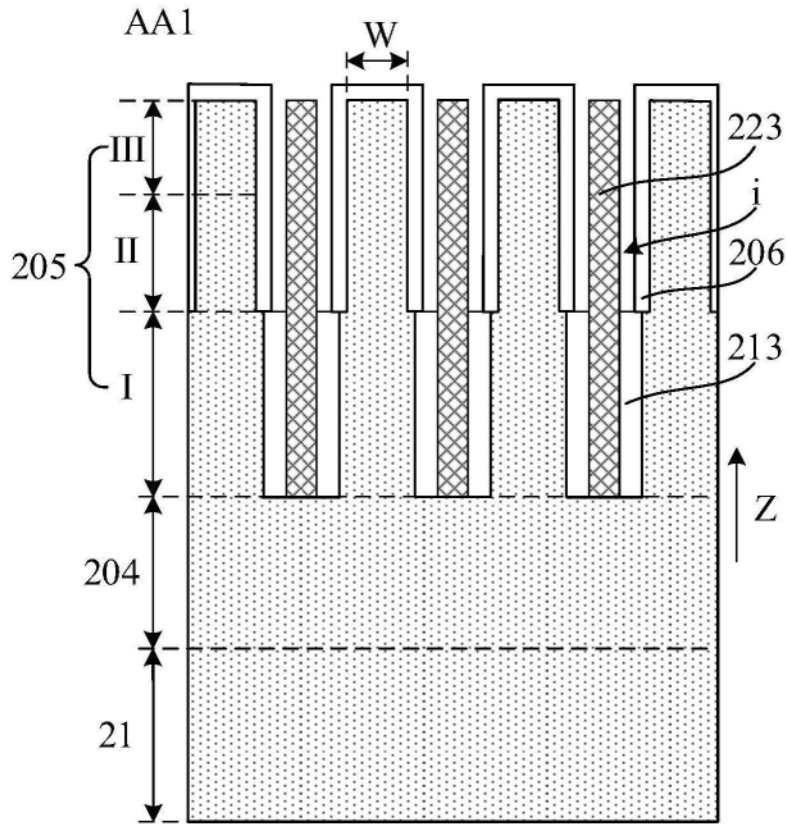


图28

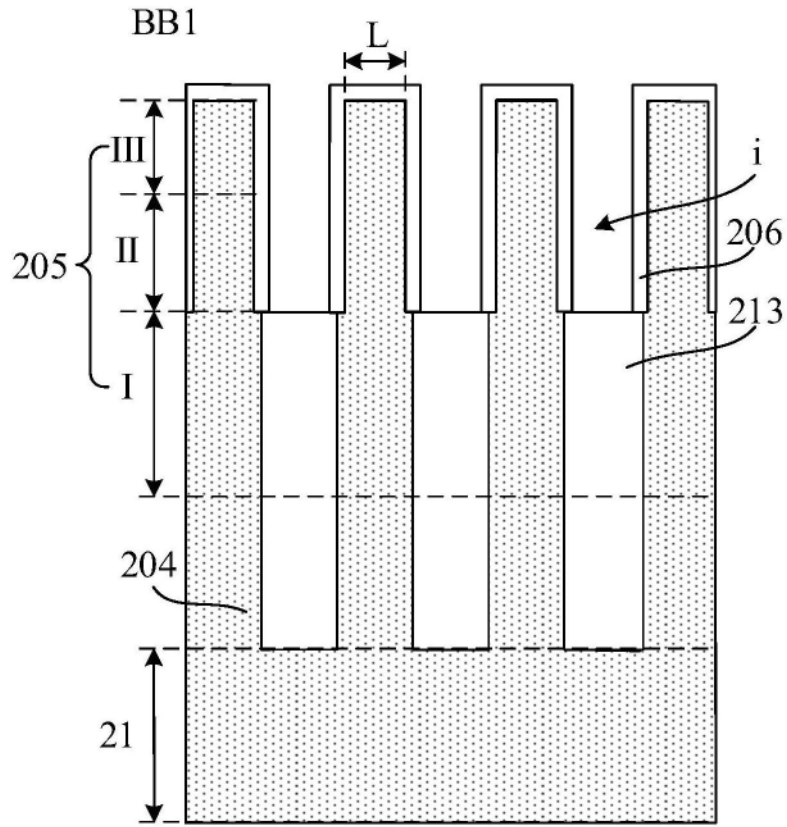


图29

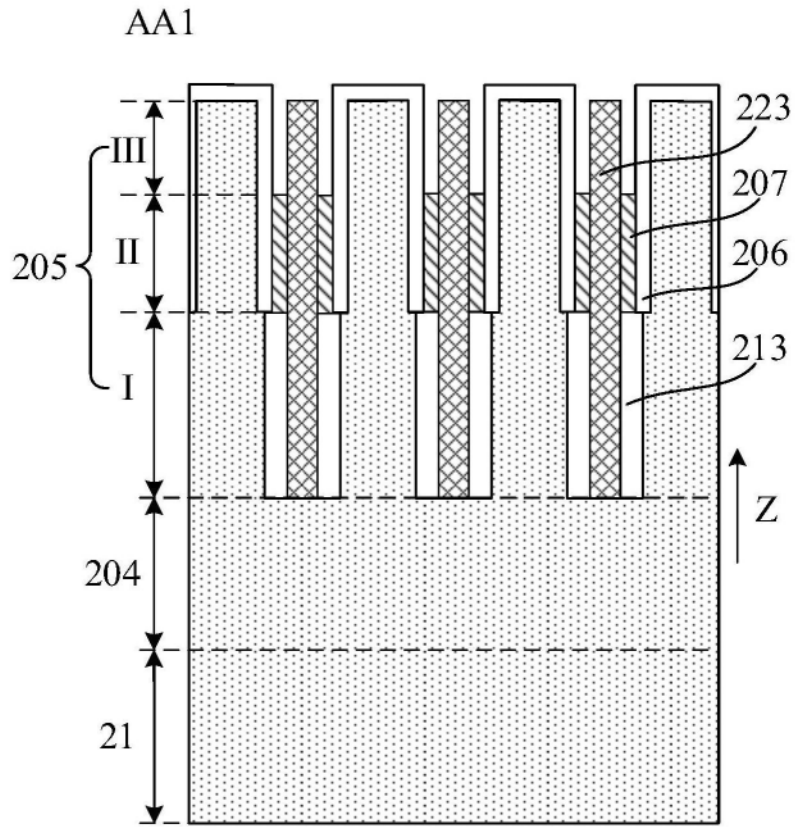


图30

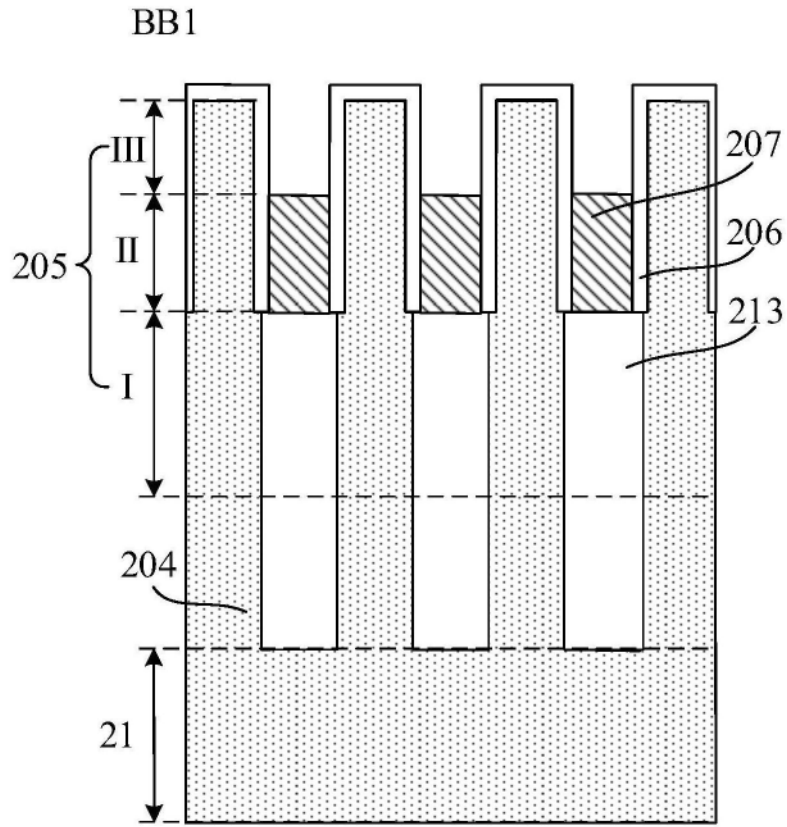


图31