



C (10) Julkaisu on suojattu
1983.03.31 - 1983.03.31
(51) Kv.1k.5 - Int.c1.5

G 06F 12/06

SUOMI-FINLAND

(FI)

Patentti- ja rekisterihallitus
Patent- och registerstyrelsen

(21) Patenttihakemus - Patentansökning	841233
(22) Hakemispäivä - Ansökningsdag	28.03.84
(24) Alkupäivä - Löpdag	28.03.84
(41) Tullut julkiseksi - Blivit offentlig	01.10.84
(44) Nähtäväsipanon ja kuul.julkaisun pvm. - Ansökan utlagd och utl.skriften publicerad	15.04.91
(32) (33) (31) Etuoikeus - Prioritet	
31.03.83 US 480964 P	

(71) Hakija - Sökande

1. Bull HN Information Systems Inc., Delaware, US; 200 Smith Street, Waltham, Mass., USA, (US)

(72) Keksijä - Uppfinnare

1. Salas, Edward R., 4 Riverhurst Road, Billerica, Middlesex, Mass., USA, (US)
2. Fisher, Edwin P., 652 Adams Street, N. Abington, Plymouth, Mass., USA, (US)
3. Johnson, Robert B., 50 Buckingham Drive, Billerica, Middlesex, Mass., USA, (US)
4. Nibby, Jr., Chester M., 15 Keys Drive, Apt. 2, Peabody, Essex, Mass., USA, (US)
5. Boudreau, Daniel A., 82 Wyman Road, Billerica, Middlesex, Mass., USA, (US)

(74) Asiamies - Ombud: Oy Jalo Ant-Wuorinen Ab

(54) Keksinnön nimitys - Uppfinningens benämning

Muistijärjestelmä
Minnessystem

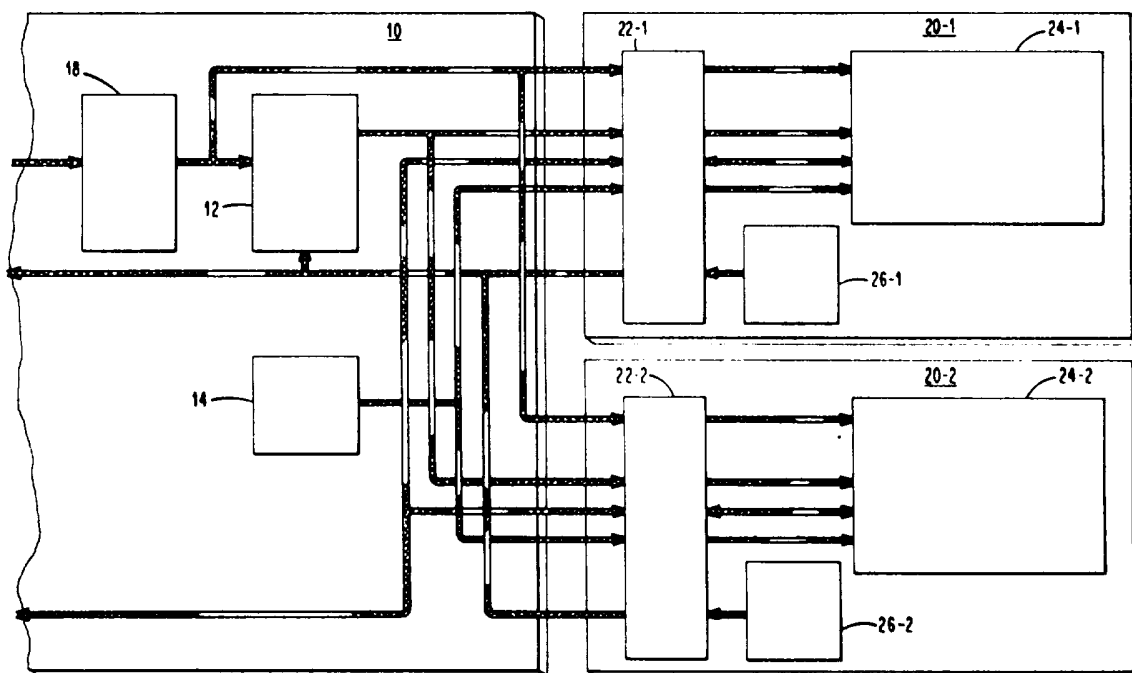
(56) Viitejulkaisut - Anförda publikationer

US A 4281392 (G 06F 13/06), US A 3813652 (G 11c 7/00), US A 4303993 (G 11c 13/00),
US A 4296467 (G 11c 13/00)

(57) Tiivistelmä - Sammandrag

Muistijärjestelmä, johon sisältyy yksi tai useampia rakenteltaan samanlaisia muistimodulilevyjä (20-1, 20-2) ja yksi tietokonelevy (10), joka sisältää ohjauspiirit (12, 14, 18) muistitoimintojen ohjaamiseksi. Jokainen levy (20-1, 20-2) voidaan liittää päälevyyn (10), ja levyt sisältävät muistiosan (24-1, 24-2), jossa on joukko muistipiiririvejä (0-3), ja tunnusosan (26-1, 26-2), jossa on piirit, jotka kehittävät signaalit, jotka ilmaisevat levyn tiheyden ja levyn muistiosan konstruoinnissa käytettyjen muistikomponenttien tyyppin. Päälevyn (10) ohjauspiirit sisältävät joukon dekooderipiirejä (24-4, 12-6, 12-8), jotka kytkeytyvät kunkin muistimodulilevyn (20-1, 20-2) tunnusosaan (26-1, 26-2) ja muistiosaan (24-1, 24-2). Dekooderipiirit (12-4, 12-6, 12-8) vastaanottavat jokaisen muistinkäyttöpyynnön ennaltamäärtyen monibittisen osoiteosan erilaiset osoitebittikombinaatiot (MMADO6010-MMADO2010). Dekooderipiirit (12-4, 12-6, 12-8) aktivoidaan paikalleen asennettujen muistilevyjen tunnusosien kehittämien signaalien (MMD BEN100, MDD BEN200, M256PR100, M256PR200) valitsemina dekoodaamaan osien määräämät osoiteosan bittikombinaatiot sallien järjestelmän kaikkien muistipaikkaryhmien peräkkäisen osoituksen.

Minnessystem som omfattar en eller flera, till konstruktionen indentiska minnesmoduler (20-1, 20-2) och den datorskiva (10) vilken innehåller styrkretsarna (12, 14, 18) för styrning av minnesoperationerna. Varje skiva (20-1, 20-2) kan kopplas till huvudskivan (10) och skivorna innehåller en minnessektion (24-1, 24-2) med ett antal rader av minneskretsar (0-3), och en identifieringssektion (26-1, 26-2) med kretsar för alstring av signaler vilka indikerar skivtätheten och typen av minneskomponenter använda vid konstruktionen av skivans minnessektion. Huvudskivans (10) styrkretsar innehåller ett antal avkodningskretsar (12-4, 12-6, 12-8) vilka kopplar till identifieringssektionen (26-1, 26-2) och minnessektionen (24-1, 24-2) av varje minnesmodulskiva (20-1, 20-2). Avkodningskretsarna (12-4, 12-6, 12-8) mottar de skilda adressbitkombinationerna (MMDADO6010-MMADO2010) av en förutbestämd multibitadressdel av varje minnesanvändningsanhållan. Avkodningskretsarna (12-4, 12-6, 12-8) aktiveras selektivt av signaler (MDBEN100, MDBEN200, M256PR100, M256PRO200) alstrade av identifieringssektionerna av de installerade minnesskivorna för avkodning av de av sektionerna specificerade bitkombinationerna av adressdelen för att tillåta successiv adressering av alla minnesplatsgrupper i systemet.



Muistijärjestelmä - Minnessystem

Esillä oleva keksintö liittyy muistijärjestelmiin ja täsmällisemmin tällaisten järjestelmien rakennetta ja laajentamista yksinkertaistavaan laitteeseen.

On yleisesti tunnettua, että modulaariset muistijärjestelmät mahdollistavat käyttäjän muistijärjestelmän tai muistiavaruuden helpon laajentamisen. Tällaisen laajentamisen mahdollistamiseksi muistijärjestelmien valmistajien on ollut konstruoitava useita erilaisia muistijärjestelmiä, joilla on erilaisia muistikapasiteetteja tai erisuuruiset muistinlaajennusportaat. Tämä on vuorostaan edellyttänyt useiden eri tyyppisten muistiyksiköiden rakentamista.

Eräässä tunnetussa järjestelmässä, joka on esitetty hakijan US-patentissa 4 001 790, käytetään järjestelyä, jossa voidaan käyttää samaa muistipiirilevykonstruktiot mille tahansa useista muistimoduleista, jotka kytketään muistinohjaimeen. Tässä järjestelyssä ohjauslogiikkapiirit sisältyvät ensimmäistä tyyppiä olevaan muistipiirilevyyn (äitilevyyn) ja toista tyyppiä oleva muistipiirilevy (tytärlevy) sisältää muistimodulin. Vaatimuksena on, että muistimoduli on voitava asettaa mihin tahansa useista eri paikoista.

Tämän tyyppisessä järjestelyssä muistijärjestelmän kapasiteettia voidaan täydentää ja laajentaa käyttämällä edellä mainittuja kahta tyyppiä olevia muistipiirilevyjä. Muistin laajennusporras tai muistin koko vastaa tässä tapauksessa tytärlevyn kapasiteettia.

Eri tyyppisten muistilevyjen lukumäärän pienentämiseksi US-patentissa 4 296 467 esitettyssä tunnetussa järjestelmässä käytetään useita layoutiltaan ja rakenteeltaan samantlaisia muistimoduleja. Jokaisessa piirilevyssä on kiertävät piirinvalintapiirit, joihin sisältyy joukko kytkimiä ja aritmeettinen yksikkö. Kytkinryhmän asentoja muuttamalla aritmeettinen yksikkö sovitetaan kehittämään halutun loogisen riviosoitteen ensimmäisessä rivipaikassa fysikaalisesti sijaitsevien piirien aktivoimiseksi eri osoitearvojen vaikutuksesta.

Vaikkakin tämä järjestely pienentää erityyppisten muistilevyjen lukumäärän pienimmäksi mahdolliseksi, järjestelmässä on oltava osoitekarttapiirit. Nämä piirit sisältävät tavallisesti toisen kytkinryhmän ja vertailulogiikkapiirit tietyllä kortilla osoitettavissa olevaa muistiavaruutta tai muistinlaajennusta edustavien signaalien kehittämiseksi. Myös piirilevyn maksimikapasiteetin ylittävä laajennus edellyttää vielä erilaisen piirilevytyyppien käyttämistä.

Hakijan US-patentissa 4 303 993 on esitetty muistialijärjestelmä, jossa käytetään rakenteeltaan samanlaisia muistimodulilevyjä. Jokaiseen levyyn sisältyy kytkinryhmä, joka on kytketty muistin läsnäolon ilmaiseviin piireihin. Kytkimien asentoja muuttamalla muistin läsnäolon ilmaisevat piirit voidaan ohjata kehittämään lähtösignaalin, joka ilmoittaa tämän muistinlaajennuksen tai muistimodulilevyn paikallaolon, kun toista muistin osaa osoitetaan.

Selitetyn tyyppiset järjestelyt edellyttävät, että huolto- tai asennushenkilöstö asettaa jokaisen muistilevyn kytkinryhmät määrittelemään järjestelmään lisättävän tai asennettavan laajennuksen koon, lohkon tai muistiavaruuden. Tämä pyrkii monimutkaistamaan kokoonpano- ja huoltotoimintoja etenkin, kun muistijärjestelmä voidaan konstruoida aikaansaamaan useita erilaisia osoitealueita. Tämä ongelma monimutkaistuu edelleen, kun muistilevyt voi olla konstruoitu monista erityyppisistä muistikomponenteista ja käyttäen erilaisia muistikomponenttitiheyksiä.

US-julkaisussa 4 281 392, joka sisältää alamuistijärjestelmän, jossa on useita muistimoduleita, jotka jokainen on kytketty muistiosoitteita tuottaviin piireihin vastaanotukseen moduliosoitteesignaaleja, vältetään edellä mainittujen kytkimien käyttö ja automaattinen muistin uudellenjärjestely saadaan aikaan järjestämällä jokaisesta muistimodulista takaisinkytkentäsignaali vastaten vastaavan muistimodulin muistin kokoa. Kaikkien modulien takaisinkytkentäsig-

naaleja käytetään muistiosoitteita tuottavien piirien ohjauspiireissä osoitetilan uudelleenjärjestelyyn. Tämä järjestely rajoittaa kuitenkin muistimodulin yhteen kahdesta muistimodulin koosta eikä tyydytä sellaisten tytärlevyjen käyttöä, joissa on vaihtelevia sirutiheyksiä.

Esillä olevan keksinnön muistijärjestelmä sisältää samoin kuin US 4 281 392 yhden tai usean muistimodulin, jotka jokainen ovat rakenteeltaan identtisiä, ja yhden ainoan osoiteosan, joka sisältää useita osoiterekistereitä vastaten jokaisen osoitekoodin ensimmäistä osaa tuottaakseen muistimodulien muistipaikkojen osoitteita ja dekooderipiirin vastaten osoitekoodin osaa, joka sisältää ainakin toisen osan siitä, joka riippuu mainitusta takaisinkytkentäsignaalista, johon myös viitataan "moduliparametrisignaalina", tuottaakseen osoitesigaaleja, jotka sopivat muistiosan osoiterakenteelle. Keksinnölle on tunnusomaista, että jokainen muistimoduli on tytärlevy joka on kytketty yhteen ainoaan päälevyyn, joka sisältää mainitun osoiteosan. Jokaiseen tytärlevyyn sisältyy useita rivejä erillisiä muistisiruja, jotka ovat ennalta valittavaa ja osoitettavaa muistikokoa ja siinä on tunnisteosa, joka sisältää piirejä mainitun moduliparametrin tuottamiseksi vähintään kahden logiikkasignaalin muodossa, jotka ilmaisevat levyn karakteristiikan. Logiikkasignaalit sisältävät ainakin yhden, joka edustaa sirutiheyttä ja vähintään toisen, joka edustaa mainitun sirun kokoa. Kaikkien tytärlevyjen logiikkasignaalit on yhdistetty dekooderipiirin otossa siten, että se asetetaan kaikkien tytärlevyjen moduliparametrisignaaleilla tulkitakseen osoitesignaalit, jotka on kytketty siihen ja siten tuottaa rivinvalintasiigaaleja sopivassa sekvenssissä riippuen populaatiotiheydestä ja sirukoosta suhteessa jokaiseen mainituista tytärlevyistä.

Tässä selostetussa suoritusmuodossa päälevyn ohjauspiirit sisältävät usean dekooderipiirin, jotka ovat yhteydessä

kunkin muistimodulilevyn tunnusosaan ja muistiosaan. Dekooderipiirit on kytketty siten, että ne vastaanottavat erilaiset osoitebittikombinaatiot muistipaikan sisällön osoitukseen käytetyn muistinkäyttöpyynnön osoitteen ennaltamäärätyistä monibittisestä osoiteosasta. Paikalleen asennettujen muistilevyjen tunnusosien kehittämät signaalit aktivoivat dekodeeripiirit valinnaisesti dekadaamaan tunnusosien yksiköimät osoiteosan bittikombinaatiot. Tämä vuorostaan aikaansaa halutun riviosoitevalintasignaalien sekvenssin, jotka syötetään selektiivisesti järjestelmään asennetuille muistilevyille aktivoimaan levyjen muistiosien muistipiiririveissä olevien muistipaikkaryhmien peräkkäisen osoituksen.

Parhaana pidetyssä suoritusmuodossa muistimodulilevyt voi olla konstruoitu jommasta kummasta kahdesta muistipiirityypistä ja niillä voi olla jompi kumpi kahdesta tiheydestä. Kun muistiosa on täydellisesti kalustettu, muistimodulilevyllä on suuri piiritiheys, jota kutsutaan "kaksinkertaiseksi tiheydeksi". Kun muistiosa on puoliksi kalustettu, muistimodulilevyllä on alempi tiheys, jota kutsutaan "nomaalitiheydeksi". Tunnuksen sisällyttämällä jokaiseen modulilevyyn esillä olevan keksinnön järjestelmä voi generoida automaattisesti halutun riviosoitevalintasignaalsekvenssin minkä tahansa muistipaikan osoittamiseksi muistijärjestelmässä. Tällä vältetään ylimääräisten asetusvaiheiden käytön tarve muistimodulilevyjä järjestelmään lisättäessä tai vaihdettaessa. Se myös parantaa järjestelmän luotettavuutta.

Lisäksi järjestelmään asennettujen muistimodulilevyjen muodostamat osoiteryhmät tai -rivit kehitetään automaattisesti tarvitsematta ylimääräisiä kytkimiä tai logiikka-piirejä. Lisäksi normaalitiheysiset muistimodulilevyt voidaan korvata muistimodulilevyillä, joilla on kaksinkertainen tiheys, ja tietyn tyyppisistä muistikomponenteista (esim. 64 k RAM-piireistä) konstruoidut muistimodulilevyt voidaan korvata toisen tyyppisistä muistikomponenteista (esim. 256 k RAM-piireistä) konstruoiduilla muistimodulilevyillä tarvitsematta tehdä muutoksia järjestelmään.

Uudet ominaisuudet, joiden uskotaan olevan sekä keksinnön organisaatiolle että toimintatavalle luonteenomaisia, sekä muut tavoitteet ja edut ovat paremmin ymmärrettävissä seuraavasta selityksestä tarkasteltuna oheisten piirustusten yhteydessä. On kuitenkin erikoisesti ymmärrettävä, että kaikki piirustukset on esitetty vain havainnollistamista ja selittämistä varten eikä niitä ole tarkoitettu määrittelemään esillä olevan keksinnön rajoja.

Kuvio 1 on esillä olevan keksinnön sisältävän muistijärjestelmän lohkokaavio.

Kuviot 2a-2c esittävät kuvion 1 dekodauslaitteen erilaisia suoritusmuotoja, jotka on konstruoitu esillä olevan keksinnön ajatusten mukaisesti.

Kuviot 3-5 esittävät yksityiskohtaisemmin kuvion 1 eri lohkoja.

Kuvio 6 esittää muistipaikkoja osoitettaessa käytetyn muistin osoitesanan muotoa.

Kuvio 7 esittää erityyppisiä muistimodulilevyjä, joita voidaan käyttää kuvion 1 järjestelmässä.

Kuviot 8a-8d esittävät kuvion 1 modulilevyjen esillä olevan keksinnön ajatusten mukaista konstruktiota.

Kuvio 1 esittää lohkokaaviomuodossa esillä olevan keksinnön muistijärjestelmän parhaana pidettyä suoritusmuotoa. Muistijärjestelmä sisältää esitetyllä tavalla yhden tietokonepää/äitilevyn 10 ja kaksi paikalleen työnnettävää muistimodulitytärlevyä 20-1 ja 20-2. Tytärlevyt 20-1 ja 20-2 kytkeytyvät levyyn 10 80-napaisten I/O-liittimien 22-1 ja

22-2 kautta.

Levy 10 sisältää kaikki järjestelmän muistinohjauslo-
giikkapiirit. Näihin piirehin sisältyy lohkon 18 osoitere-
kisteripiirit, lohkon 14 muistin ajoitus- ja ohjauspiirit
5 ja lohkon 12 piirityyppi- ja muistitiheyspiirit. Lohkon 18
osoiterekisteripirit, jotka on esitetty yksityiskohtasem-
min kuviossa 4, vastaanottavat tallennettavaksi jokaisen
järjestelmäväylän kautta syötetyn muistinkäyttöpyyntökomen-
non osoiteosan. Rekisteripiirit syöttävät näistä osoitesig-
10 naaleista eri osoitesignaaleja tytärlevyille 20-1 ja 20-2 ja
lohkon 12 piireille.

Lohkon 14 piirit, jotka on esitetty yksityiskohtaisem-
min kuviossa 3, kehittävät vaaditun ajoituspoimintasigna-
alien sekvenssin muistin luku- tai kirjoitusjaksojen suorit-
15 tamiseksi. Nämä piirit syöttävät ajoitussignaaleja tytärle-
vyille 20-1 ja 20-2, kuten on esitetty.

Lohkon 12 piirityypin ja muistitiheyden dekooderipii-
rit, jotka on esitetty yksityiskohtaisemmin kuvioissa 2a-
2c, kehittävät joukon riviosoitedekoodaussignaaleja lohkon
20 18 piireiltä vastaanotettujen osoitesignaalien valittujen
kombinaatioiden vaikutuksesta tytärlevyiltä 20-1 ja 20-2
vastaanotetuista signaaleista riippuvaisesti. Lohkon 12 pii-
rit antavat valitut näistä signaaleista tytärlevyille 20-1
ja 20-2.

25 Molemmat tytärlevyt 20-1 ja 20-2 ovat toiminnaltaan
ja rakenteeltaan samanlaisia. Tämän vuoksi riittää, kun vain
toinen tytärlevy selitetään yksityiskohtaisesti. Esillä ole-
van keksinnön mukainen yksi ainoa muistitytärlevy on konstruo-
tu siten, että siinä voidaan käyttää erityyppisiä muistikom-
30 ponentteja, kuten on mainittu. Tämän aikaansaamiseksi levy
on suunniteltu (syövytetty) siten, että siihen mahtuu maksi-
mikokoiset muistipiirit. Alueet, jotka edellyttävät erilai-
sia signaalien järjestelyjä, kuten osoitus, asetetaan tai
johdetaan paikalleen levyllä.

35 Kuten kuvioista 1 havaitaan, kuhunkin tytärlevyyn sisäl-
tyy muistiosa (ts. osat 24-1 ja 24-2), piirityypin ja tihey-
den tunnusosa (ts. osat 26-1 ja 26-2) ja otto/antoliitin

(ts. liittimet 22-1 ja 22-2). Muistiosa sisältää enintään neljä riviä 64 kbitin tai 256 kbitin (1k = 1024) dynaamisia RAM-piirejä.

Kukin muistiosa muodostaa ensintään 256 ksanen tai
 5 1024 ksanen muistitilan organisoituna neljäksi lohkoksi, jotka sisältävät 64 ksanaa tai 256 ksanaa, joissa on 16 databittiä ja kuusi EDAC-tarkastusbittiä. 64 kbitin tai 256 kbitin dynaamiset MOS RAM-piirit ovat rakenteltaan tavanomaisia. Ne voivat muodostua 65536 tai 262144 sanaa x 1-bitin piireistä tyyppinumeroiltaan 2164, jota valmistaa Intel Corporation, ja MSM37256, jota valmistaa Oki Semiconductor Corporation.

Kummankin levyn tunnusosa on johdotettu tai asetettu osoittamaan siihen liittyvän muistiosan piirityyppi- ja tiheystiedot. Koska muistilevyt ovat samanlaisia, molempien osien antonavat on kytketty yhteen (ts. langoitettuun TAI-kytkentään).

Yhden piirilevyn tietokone 10

Seuraavassa tarkastellaan yksityiskohtasemmin esillä
 20 olevan keksinnön kannalta merkityksellisiä muistipiirilevyn 10 eri osia. Nämä osat on esitetty kuvioissa 2a-4.

Piirityypin ja tiheyden dekooderipiirit - 12

Kuviot 2a-2c esittävät esillä olevan keksinnön dekooderipiirien erilaisia suoritusmuotoja. Tarkastellaan aluksi
 25 kuviota 2a, jossa on esitetty joukko dekooderipiirejä 12-4-12-8 niihin liittyvine ottopiireineen, joihin sisältää JA-EI-portti 12-2, JA-portti 12-20 ja ylösvetokuormitusvastukset 12-40 ja 12-42, ja antopiireineen, joihin sisältyy esitetyllä tavalla järjestetyt JA-EI-portit 12-22 - 12-36. Tämä dekooderipiirijärjestely muodostaa riviosoitteen deko-
 30 dauksen poimintasignaalien vaaditu sekvenssin maksimimistimäärän (ts. 2^{20}) osoittamiseksi.

Yksi megasana tai kaksi megatavua osoitettavaa muistia vastaa neljää riviä 256k RAM-piirejä. Tässä tapauksessa
 35 järjestelmään asennetaan siten vain yksi tytärlevy, kun tytärlevy on kalustettu täyteen (kaikki neljä riviä) 256k RAM-piireillä.

Paitsi että tytärlevy voidaan konstruoida eri muistikomponenteilla, levy voidaan konstruoida tiheydeltään kahdenlaiseksi, normaalitiheyttä tai kaksinkertaista tiheyttä käyttäen. Muistimodulilevystä, joka on kalustettu sisältämään kaksinkertaisen lukumäärä piirejä (ts. piirejä neljässä rivissä) verrattuna levyyn, jossa on käytetty normaalitiheyttä (ts. piirejä kahdessa rivissä), käytetään termiä "kaksinkertainen tiheys". Toisin sanoen "standardi- tai normaalitiheys" tarkoittaa puoliksi kalustettua muistimodulilevyä, kun taas "kaksinkertainen tiheys" viittaa täysin kalustettuun tytärlevyyn.

Kuvion 2a dekooderipiiri 12-4 aikaansaa rividekoodausantosiinaalit kahdelle normaalitiheyksiselle tytärlevylle, jotka on konstruoitu 64k RAM-piireistä. Dekooderipiiri 12-6 antaa rividekoodausantosiinaalit kahdelle kaksinkertaisen tiheyden tytärlevylle, jotka on konstruoitu 64k RAM-muistipiireistä. Kuvion 2a viimeinen dekooderipiiri 12-8 antaa rividekoodausantosiinaalit kahdelle normaalitiheyksiselle tytärlevylle, jotka on konstruoitu 256k RAM-piireistä. Sama piiri antaa lisäksi rividekoodausantosiinaalit yhdelle kaksinkertaisen tiheyden tytärlevylle, joka on konstruoitu 256k RAM-piireistä.

Jokainen dekooderipiireistä 12-4 - 12-8 saa valitut signaalit singaaleista MDDBEN100, MDDBEN200, M256PR100 ja M256PR200 tytärlevyjen 20-1 ja 20-2 tunnusosista ja erilaisen kombinaation osoitesignaaleista MMADO3010 - MMADO6010 lohkon 18 osoiterekisteripiireiltä.

Kuten kuviossa 2a on esitetty, signaalit MDDBEN100 ja MDDBEN200 on kytketty yhteen langoitetulla TAI-kytkennällä. Tuloksena oleva signaali MDDBEN000 on binaarista nollaa edustavassa maan potentiaalissa, tämä osoittaa, että molemmilla järjestelmään asennetuilla muistimodulitytärlevyillä on kaksinkertainen tiheys (ts. neljä lohkoa/riviä muistia). Kääntäen kun singaali MDDBEN000 on jännitteen +V potentiaalissa, joka edustaa binaarista ykköstä, tämä osoittaa, että molemmat asennetut tytärlevyt ovat normaalitiheysisiä (ts. niissä on kaksi lohkoa/riviä muistia).

Signaalit M256PR100 ja M256PR200 on samalla tavalla yhdistetty langoitettulla TAI-kytkennällä. Tuloksena oleva signaali M256PR000 ilmaisee molempien musitimodulipiirilevyjen sisältämien muistipiirien tyyppin. Kun signaali
5 M256PR000 on maan potentiaalissa, eli binaarinen nolla, tämä osoittaa, että molemmat asennetut tytärlevyt sisältävät 256k RAM-piirejä. Kun signaali M256PR000 on jännitteen +V potentiaalissa eli binaarinen ykkönen, tämä osoittaa, että molemmat asennetut tytärlevyt sisältävät 64k RA-piirejä.

10 Kuten kuviosta 2a havaitaan, JA-EI-portti 12-2 yhdistää molemmat tunnussignaalit MDDBEN000 ja M256PR000 aktiivointisignaalin 64KRAM000 kehittämiseksi. Kun JA-EI-portti 12-2 asettaa signaalin 64KRAM000 binaariseksi nollaksi, dekooderipiiri 12-4 aktivoidaan dekodeamaan sen valintaottonapoihin syötettyjen otto-osoite-signaalien ensimmäisen kombinaation MMADO6010 ja MMADO5010. Dekooderipiiri 12-4 ohjataan asettamaan näistä osoitesignaaleista riippuen yhden
15 neljästä antonavastaan YOY3 binaariseksi nollaksi.

Jokainen piirin 12-4 neljästä dekooderiantonavasta on
20 kytketty ottona vastaavaan eri JA-EI-porttiin 12-22 - 12-28. Siten kun dekooderipiiri 12-4 asettaa signaalin 64KDC0000 binaariseksi nollaksi, JA-EI-portti 12-22 tulee ohjatuksi asettamaan rividekoodaussignaalin DRASTOO10 binaariseksi ykköseksi.

25 Dekooderipiirin 12-6 aktivointiottonapojen joukko G1-G2A on kytketty vastaanottamaan tunnussignaalit MDDBEN000 ja M256PROOO esitetyllä tavalla. Kun signaali MDDBEN000 on binaarinen nolla ja signaali M256PROOO on binaarinen ykkönen, dekooderipiiri 12-6 aktivoidaan dekodeamaan sen valintaottonapoihin syötetyn otto-osoitesignaalien toisen kombinaation MMADO6010-MMADO4010. Dekooderipiiri 12-6 tulee ohjatuksi näiden osoitesignaalien koodauksesta riippuen asettamaan yhden kahdeksasta antonavastaan binaariseksi nollaksi.
30

Jokainen dekooderipiirin 12-6 kahdeksasta dekooderiantonavasta on kytketty esitetyllä tavalla ottona vastaavaan
35 eri JA-EI-porttiin 12-22 - 12-36. Siten kun dekooderipiiri 12-6 asettaa signaalin D64DC0000 binaariseksi nollaksi, JA-

EI-portti 1-22 tulee ohjatuksi asettamaan rividekoodaussignaalin DRAST0010 binaarisiksi ykköseksi.

Dekooderipiirin 12-8 aktivointiottonapa on kytketty vastaanottamaan signaalin M256PROOO. Kun tämä signaali on binaarinen nolla, dekodeeripiiri 12-8 tulee aktivoiduksi dekodeamaan sen valintaottonapoihin syötettyjen otto-osoitesignaalien kolmannen kombinaation MMADO4010 ja MMADO3010.

Jokainen dekodeeripiirin 12-8 neljästä antonavasta on kytketty ottona valittuihin JA-EI-portteihin 12-22 - 12-32.

Eli antonapa YO on kytketty JA-EI-porttiin 12-22 ja antonapa Y1 on kytketty JA-EI-porttiin 12-24 edellä selitetyjen dekodeeripiirien kytkentöjä vastaavasti. Sen sijaan antonapa Y2 on yhdistetty molempiin JA-EI-portteihin 12-26 ja 12-30 ja antonapa Y3 on yhdistetty molempiin JA-EI-portteihin 12-28 ja 12-32. Tämän järjestelyn avulla dekodeeri 12-8 voi kehittää halutun riviosoitteen dekodeauksen pontintasingaalien sekvenssin, kun järjestelmään on asennettu kaksi standarditiheyksistä 256k RAM-tytärlevyä tai yksi kaksinkertaisen tiheyden 256k RAM-tytärlevy.

Jokainen JA-EI-porteista 12-22 - 12.36 saa lisäksi ottona syrjäytysdekoodaussignaalin OVRDECOOO JA-portilta 21-20. Joko virkistys toimintajakson aikana tai järjestelmää alustettaessa JA-portti 12-20 asettaa signaalin OVRDECOOO binaarisiksi nollaksi. Tämä ohjaa kaikki JA-EI-portit 12-22 - 12-36 asettamaan kaikki riviosoitteen dekodeauksen poimintesignaalit binaarisiksi ykkösiksi. JA-portti 12-20 on siten normaalisti ohjattuna pitämään signaalin OVRDECOOO binaarisena ykkösenä.

Kuviot 2b ja 2c esittävät järjestelyjä, joilla saadaan laajennettu muistinosoitus. Toisin sanoen kumpikin muodostaa vaadittavan riviosoitteen dekodeauksen poimintesignaalien sekvenssien kahta megasanaa tai neljää megatavua vastaavan maksimimuistimäärän osoittamiseksi. Tässä tapauksessa järjestelmään voidaan asentaa kaksi kaksinkertaisen tiheyden muistimodulitytärlevyä, jotka sisältävät 256k RAM-piirejä. Tämän lisäosoituskyvyn aikaansaamiseksi muistinosoittebittien lukumäärää lisätään yhdellä bitillä.

Tarkasteltaessa aluksi kuviota 2b havaitaan, että kuvion 2a suoritusmuotoon on lisätty neljäs dekooderipiiri 12-10 sekä siihen liittyvät otto-JA-EI-portti 12-12 ja 12-14. Kuvioissa 2b ja 2c käytetään samojen elementtien osoittamiseksi samoja viitenumeroita kuin kuviossa 2a.

Dekooderipiirin 12-10 aktivointiottonapojen joukko G1-G2A on kytketty vastaanottomaan tunnussignaali M256PROOO ja 256RAMOOO. Signaali M256PROOO kytketään suoraan aktivointiottonapoihin G2A ja G2B, kun taas signaaliin MDDBENOOO kombinoidaan signaalin M256PROOO komplementti JA-EI-portissa 12-14. Tuloksena oleva signaali 256RSMOOO syötetään aktivointinapaan G1. Samaa signaalia käytetään lisäksi tässä selitetyllä tavalla dekooderipiirin 12-8 aktivointisignaalinä.

Kun signaali M256PROOO asetetaan binaarisiksi nollaksi ja JA-EI-portti 12-14 asettaa signaalin 256RAMOOO binaarisiksi ykköseksi signaalin MDDBENOOO binaarisen nolla-arvon seurauksena, dekooderipiiri 12-10 aktivoidaan dekoodaamaan sen valintaottonapoihin syötettyjen otto-osoitesignaalien jäljennän kombinaation MMADO4010-MMADO2010. Dekooderipiiri 12-10 tulee ohjatuksi asettamaan näiden osoitesignaalien koodauksesta riippuen yhden kahdeksasta ottonavastaan YO-Y7 binaarisiksi nollaksi.

Jokainen piirin 12-10 kahdeksasta dekooderiantonavasta on kytketty esitetyllä tavalla ottona vastaavaan eri JA-EI-porttiin 12-22 - 12-35. Siten kun dekooderipiiri 12-10 asettaa signaalin D256COOO binaarisiksi nollaksi, JA-EI-portti 12-22 tulee ohjatuksi asettamaan rividekoodaussignaalin DRASTOO10 binaarisiksi ykköseksi.

Laajennetun muistinosoitusominaisuuden tapauksessa jokainen dekooderipiirin 12-8 antonapa on nyt kytketty sitä vastaavaan eri JA-EI-porttiin 12-22 - 12-28. Ts. antonapoja Y2 ja Y3 ei enää ole kytketty JA-EI-portteihin 12-30 ja 12-32. Kun signaalin M256PROOO tila binaarinen nolla ja signaalin MFFBENOOO tila binaarinen ykkönen asettavat signaalin 256RSMOOO binaarisiksi nollaksi, dekooderipiiri 12-8 tulee aktivoituksi dekoodaamaan saman kolmannen osoitesignaalin kombinaation MMADO4010 ja MMADO3010 edellä selite-

tyllä tavalla.

Kuvio 2c esittää toista suoritusmuotoa laajennetun osoitusominaisuuden aikaansaamiseksi. Suoritusmuoto vähentää dekodeeripiirien määrän puoleen ja siinä käytetään osoitemultiplekseripiiriä 12-46 dekodeeripiirien valintaottonapohin syötettyjen osoitesignaalien erilaisten haluttujen kombinaatioiden valitsemiseksi piirityypin tunnussignaalin M256PROOO ohjaamana. Kuten kuviosata 2c havaitaan järjestykseen sisältyy normaalitiheyden dekodeeripiiri 12-48 ja kaksinkertaisen tiheyden dekodeeripiiri 12-610. Molempien dekodeeripiirien kaikki antonavat on kytketty esitetyllä tavalla vastaaviin eri JA-EI-portteihin 12-22 - 12-36.

Dekodeeripiirin 12-48 aktivointiottonapa saa signaalin MDDBENOOO komplementin eli invertoidun arvon otto-JA-EI-portin 12-44 kautta. Tämä signaali NORBENOOO syötetään myös dekodeeripiiriin 12-610 ottonapaaan G1. Lisäksi dekodeeripiirin 12-610 ottonavat G2A ja G2B vastaanottavat signaalin MDDBENOOO. Dekodeeripiirin 12-48 valintaottonavat ja dekodeeripiirin 12-610 kaksi ensimmäistä valintaottonapaa on kytketty vastaanottamaan signaalit MSELA1000 ja MSELA2000 multiplekseripiiriltä 12-46. Dekodeeripiirin 12-610 kolmas valintaottonapa on kytketty vastaavasti vastaanottamaan signaalin MSELA4000 multiplekseripiiriltä 12.46.

Multiplekseripiirin 12-46 valintaottonapa on kytketty vastaanottamaan signaalin M256PROOO, samalla kun sen kolme ensimmäistä ottonapaparia on kytketty vastaanottamaan osoitesignaalien MMADO2010-MMADO6010 eri kombinaatiot, kuten on esitetty. Piiri 12-46 on aina aktivoituna toimintaan, koska sen aktivointiotto on kytketty maahan.

Ku normaalitiheyssignaali NORBENOOO on binaarinen nolla, dekodeeripiiri 12-48 on aktivoituna dekodeeraamaan osoitesignaalien ensimmäisen tai toisen kombinaation valittuna piirityyppisignaalien M256PROOO tilasta riippuen. Ts. kun signaali M256PROOO on binaarinen nolla, dekodeeripiiri 12-48 dekodeeraa osoitesignaalit MMADO4010 ja MMADO3010. Päinvastaisessa tapauksessa kun signaali M256PROOO on binaarinen ykköinen, dekodeeripiiri 12-48 dekodeeraa osoitesignaalit

MMADO6010 ja MMADO5010.

Sen sijaan kun normaalitiheyssignaali NORBENOOO on binaarinen ykkönen, jossa tapauksessa signaali MMBENOOO on binaarinen nolla, dekodeeripiiri 12-610 aktivoidaan dekodamaan osoitesginaalien kolmannen ja neljännen kombinaation valittuna piirityyppisignaalin M256PROOO tilasta riippuen. Ts. kun signaali M256PROOO on binaarinen nolla, dekodeeripiiri 12-610 dekodaa osoitesignaalit MMADO2010-MMADO4010. Pääinvastaisessa tapauksessa, kun signaali M256PROOO on binaarinen ykkönen, dekodeeripiiri 12-610 dekodaa osoitesignaalit MMADO4010-MMADO6010. On selvää, että samalla kun järjärjestely vähentää huomattavasti piirien lukumäärää, piirien viiveet kasvavat jonkin verran, minkä aiheuttaa singaalikombinaatioiden valinta osoitemultiplekseripiiriä 12-46 käyttäen.

15 Muistin ajoitus- ja ohjauspiirit 14

Kuvio 3 esittää yksityiskohtaisemmin osan lohkon 14 muistin ajoitus- ja ohjauspiireistä. Nämä piirit kehittävät riviosoite- ja sarake-osoite-poiminta-ajoitussignaalit MRASTSO10 ja MCASTSO10, jotka syötetään tytärlevyjen 20-1 ja 20-2 muistiosien sisältämien piirivien kaikille piireille. Lisäksi nämä piirit kehittävät osoiterekisterin ohjaussignaalit MCASIOOOO ja MRASIOOOO, jotka sallivat muistinkäyttöpyynnön muistiosoitesignaalien syöttämisen tytärlevyjen 20-1 ja 20-2 piiririveille.

25 Kuten kuviosta 3 havaitaan, lohkon 14 piireihin sisältyy rakenteeltaan tavanomainen viivelinja-ajoitusgeneraattori 14-2 ja joukko puskuri-invertteripiirejä 14-4 - 14-8, jotka kaikki on kytketty vastaanottamaan eri ajoitussignaalin DLYO20000-DLY100000 generaattorilta 14-2.

30 Lohkon 14 piireihin sisältyy lisäksi joukko JA-portteja 14-10 - 14-14, kaksi JA-EI-porttia 14-16 ja 14-18 ja invertteripiiri 14-20, jotka kaikki on kytketty yhden puskuri-invertteripiirin 14-4 - 14-8 antonapaan, kuten on esitetty.

35 Yksityiskohtaisemmin selitettynä puskuri- ja invertteripiiri 14-4 ohjaa negatiiviseen suuntaan siirtyvän ajoituspulssisignaalin DLYO2000 vaikutuksesta JA-portin 14-10

kehittämään riviosoitteenpoimintasignaalin MRASTSO10. Signaali MRASTSO10 on positiiviseen suuntaan siirtyvä pulssisignaali, joka kehitetään muistijakson alussa (ts. hetkellä 0) signaalin MCYCLEO10 vaikutuksesta, jonka järjestelmään sisältyvät ei esitetyt päätöspiirit kehittävät. Yleensä sen pulssinleveys on 240-160 ns.

Puskuri- ja invertteripiiri 14-6 ohjaa negatiiviseen suuntaan siirtyvän ajoituspulssisignaalin DLY100000 vaikutuksesta JA-portin 14-12 kehittämään muistin virkistysjakson ulkopuolella (ts. kun signaali RFRNT100 on binaarinen ykkönen) sarakeosoitteenpoimintasignaalin MCASTSO10. Signaali MCASTSO10 on positiiviseen suuntaan siirtyvä pulssisignaali, joka kehitetään noin 65-75 ns muistijakson alkamisen jälkeen tai riviosoitteen poimintasignaalin MRASTSO10 alkamisen jälkeen. Sen pulssinleveys on 210-230 ns.

Puskuri- ja invertteripiiri 14-8 ohjaa negatiiviseen suuntaan siirtyvän ajoituspulssisignaalin DLYO60000 puuttessa invertteripiirin 14-20 muistin virkistysjakson ulkopuolella (ts. signaali RFRNT100 on binaarinen ykkönen) asettamaan riviosoiteajoitussignaalin RASTMEO10 binaariseksi ykköseksi. Signaali RASTE010 ohjaa JA-EI-portin 14-18 asettamaan signaalin MRASIO000 binaariseksi nollaksi. Tämä sallii lohkon 18 osoiterekisteripiirien syöttää riviosoitesignaaleit tytärlvelyillä 20-1 ja 20-2 oleville RAM-piirien riveille. Tällä hetkellä muistinkäyttöpyyntöjen päätöspiirien kehittämät signaalit IOGRNT010 ja RFRNT100 ovat molemmat binaarisia ykkösiä.

Kun piiri 14-8 asettaa signaalin DLYO60110 binaariseksi ykköseksi negatiiviseen suuntaan siirtyvän ajoituspulssisignaalin DLYO60000 vaikutuksesta, JA-portti 14-14 tulee ohjatuksi asettamaan sarakeosoiteajoitussignaalin CASTMEO10 binaariseksi ykköseksi. Tällä hetkellä signaali RASTMEO10 on asetettuna binaariseksi nollaksi. Signaalin CASTMEO10 ohjaa JA-EI-portin 14-16 asettamaan signaalin MCASIO000 binaariseksi nollaksi. Tämä sallii lohkon 18 osoiterekisteripiirien syöttää sarakeosoitesignaaleit tytärlvelyillä 20-1 ja 20-2 olevien RAM-piirien riveille. Tällä hetkellä signaa-

li IOGRNT010 on binaarinen ykkönen.

Lisäksi lohkon 14 piirit muodostavat signaalit IOGRNT000, RFGNTO10 ja MEACKR710 muina ottoina lohkon 18 piireille. Muistinkäyttöpöpyntöjen päätöspiirit kehittävät myös signaalit IOGRNT000 ja RFGNTO10 ei esitettyjen muistinkuittauspiirien kehittäessä muistinkuittaus-signaalin MEACKR710. Esillä olevan keksinnön kannalta signaalit IOGRNT010, RFGNTO10 ja MEACKR710 voidaan olettaa binaarisiksi ykkösiksi muistitoimintajakson aikana, jolloin ajoitus-signaali MYCYCLE010 on asetettuna binaariseksi ykköseksi. Tarkempia tietoja siitä kuinka nämä signaalit kehitetään on saatavissa rinnakkaisesta US-patentista n:o 4,600,992, "Priority Resolver with Lowest Priority Priority Level Having Shortest Logic Path", David A. Boudreau ja Edward R. Salas, jonka hakemuspäivä on 14.12.1982 ja joka on siirretty tämän hakemuksen hakijalle.

Viimeinen kuviossa 3 esitetty signaali on luku/kirjoitussignaali WTMODE100. Tämä signaali johdetaan järjestelmän vastaanottaman muistinkäyttöpöpyntötyypistä. Ts. sellaisen muistinkäyttöpöpyntötapauksessa, joka määrittelee muistin lukutoimintajakson, signaali WTMODE100 asetetaan alempaan tilaan binaariseksi nollaksi. Sen sijaan jos pöpyntö määrittelee kirjoitustoimintajakson, signaali WTMODE100 asetetaan ylempään tilaan binaariseksi ykköseksi. Esillä olevan keksinnön kannalta signaalin WTMODE100 kehittävät piirit voidaan katsoa rakenteeltaan tavanomaisiksi.

Osoiterekisteripiirit 18

Kuvio 4 esittää yksityiskohtasemmin osaa lohkon 18 osoiterekisteripiireistä. Kuten kuviossa on esitetty, näihin piireihin sisältyy kolme 8-bitin D-tyyppistä osoiterekisteriä 18-2 - 18-6, multiplekseripiiri 18-8 ja kiikkupiiri 18-9. Jokainen rekistereistä 18-2 - 18-6 vastaanottaa erilaisen osan muistinkäyttöpöpyntöosoitteesta järjestelmäväylältä. Täsmällisemmin esitettynä osoiterekisteri 18-2 vastaanottaa osoitebiti 15-22, jotka vastaavat muistiosoitteen, jolla on muidossa 6 esitetty muoti, riviosoiteosaa. Osoiterekisteri 18-4 vastaanottaa osoitebitit 7-14, jotka vastaavat

muistiosoitteen sarakeosoiteosaa. Kolmas osoiterekisteri 18-6 vastaanottaa muistiosoitteen osoitebitit 2-6. Muistiosoittebittiä 2 käytetään vain muistijärjestelmän tapauksessa, jolla on laajennettu muistinosoitus (ts. 2 megasanaa).

5 Kuten kuviosta 4 havaitaan, kaikki kolme rekisteriä vastaanottavat muistinkuittaussignaalin MEACKR710 kello-ohjausottosignaalin. Osoiterekisteri 18-2 tallentaa sen ottonapoihin syötetyt riviosoitte-signaalit, kun singaali MEACKR710 siirtyy positiiviseen suuntaan. Rekisterin 18-2
10 osoitesisältö syötetään sen antonapoihin, kun lohkon 14 piirit asettavat annonaktivointisignaalin MRASIOOOO binaariseksi nollaksi.

Vastaavasti osoiterekisteri 18-4 ohjataan tallentamaan sen ottonapoihin syötetyt sarakeosoitesignaalit, kun signaali MEACKR710 siirtyy positiiviseen suuntaan. Rekisteri 18-4
15 syöttää osoitesisältönsä antonapoihinsa, kun lohkon 14 piirit asettavat signaalin MCASIOOOO binaariseksi nollaksi. Lopuksi osoiterekisteri 18-6 ohjataan signaalin MEACKR710 positiiviseen suuntaan siirtyvällä reunalla tallentamaan
20 muistilohkon tai segmentin osoitesignaalit. Kun piirit 14 asettavat signaalin IOGRNTOOO binaariseksi nollaksi, rekisteri 18-6 syöttää tallennetut osoitesignaalit antonapoihinsa.

Multiplekseripiiri 18-8 ja kiikku 18-9 antavat yhdessä kullekin rivi- ja sarakeosoitteelle yhdeksän osoitebiti arvon, jota käytetään 256k RAM-piirien rivejä sisältävien tytärlevyjen osoituksessa. Multiplekseripiiri 18-8 kehittää tullessaan aktivoitukseksi signaalin M256PROOO asettamisella binaariseksi nollaksi signaalin MADD08010 signaalien CASTMEO10 ja RFGRNTO10 tilojen funktiona. Ts. riviosoitteena virkistysjakson ulkopuolella molemmat signaalit CASTMEO10
30 ja RFGRNTO10 ovat binaarisia nollia. Siten multiplekseripiiri 18-8 valitsee dataottonapaan 0 syötetyn signaalin MMADO6010 antonapaansa syötettäväksi signaaliksi. Osoitebittiä 6 käytetään siten 9-bitin riviosoitteen yhdeksäntenä osoitebitinä. Sen sijaan sarakeosoiteaikana virkistysjakson ulkopuolella signaalin CASTMEO10 ja signaalin RFGNTO10 arvot
35 ovat binaarinen ykkönen ja vastaavasti binaarinen nolla.

Tämä saattaa multiplekseripiirin 18-8 valitsemaan dataottonapaan 1 syötetyn signaalin MMADO5010 annoksi. Siten osoitebittinä 5 käytetään 9-bitin sarakeosoitteen yhdeksäntenä osoitebittinä.

5 Virkistystoimintajakson tapauksessa riviosoiteaikana signaali CASTMEO10 on binaarinen nolla signaalin RFGNTO10 ollessa binaarinen ykkönen. Tämä saattaa multiplekseripiirin 18-8 valitsemaan annoksi dataottonapaan 2 syötetyn signaalin REFAD8010. Siten kiikun 18-9 kehittämää signaalia
10 REFAD8010 käytetään ei esitettyjen muistin virkistysosoitepiirien antamien virkistysriviosoitesignaalien REFAD0010-REFAD7010 yhdeksäntenä bittinä. Kiikku 18-9 on kytketty vaihtamaan tilsna jokaisella signaalin REFAD0010 esiintymiskerralla.

15 Esillä olevan keksinnön kannalta virkistysosoitepiirit voidaan katsoa rakenteeltaan tavanomaisiksi. Ne toimivat muodostaen halutun osoitesignaalien sekvenssin tytärlevyillä 20-1 ja 20-2 olevien RAM-piirien rivien virkistämiseksi. Virkistystoimintajakson sarakeosoiteaikana kehitetään pelkiä nollia sisältävä sarakeosoite. Tänä aikana molemmat signaalit CASTMEO10 ja RFGNTO10 ovat binaarisia nollia. Tämä
20 saattaa multiplekseripiirien 18-8 valitsemaan annoksi data-napaan 3 syötetyn binaarisen nollan. Tämä täydentää pelkääntään nollia sisältävän 9-bitin sarakeosoitteen muodostamisen.

25 Voidaan todeta, että levyn 10 eri osat voidaan konstruoida integroiduista standardipiireistä. Esimerkkejä näistä piireistä on merkitty kyseisiin lohkoihin eri piirustuksissa (esim. kuvio 2a - 74S138 - dekooderipiiri 12-6, kuvio 3 - 74S240 - piirit 14-4, jne. ja kuvio 4 - 74S374 - rekisteri
30 18-2 jne.).

Muistimodulitytärlevyt 20-1 ja 20-2.

Kuvio 5 esittää yksityiskohtaisemmin esillä olevan keksinnön ajatusten mukaisesti konstruoituja muistimodulipiiri-levyjä. Koska molemmat muistimodulilevyt ovat rakenteeltaan
35 samanalaisia, kuten edellä on selitetty, vain toisen muistilevyn 20-1 kaikki yksityiskohdat on esitetty.

Kuten kuviosta 5 havaitaan, kumpaankin muistimoduli-

tytärlevyyn 20-1 sisältyy I/O-liitin 22-1, joka sopii vastaavaan levyn 10 liittimeen. Vain ne signaalit, jotka auttavat esillä olevan keksinnön ymmärtämisessä, on esitetty yksityiskohtaisesti.

5 Kuten edellä on selitetty, levyyn 20-1 sisältyy myös piirityypin ja tiheyden tunnusosa 26-1 ja muistiosa 24-1. Kuten kuviosta 5 ilmenee, tunnusosaan 26-1 sisältyy hyppyrikytkentäpari A00A ja A00B, jota käytetään sunnuginaalien MddbEN000 ja M256POR000 kehittämiseen. Nämä signaalit kehi-

10 tetään kuviossa 7 esitettyjen hyppyrasetusten mukaisesti.

Täsmällisemmin selitettynä, kun tytärlevy 20-1 on täysin kalustettu sisältämään neljä muistipiirien ryhmää tai riviä (ts. kaksinkertaisen tiheyden levy), hyppyri A000A kytketään paikalleen. Tämän seurauksena signaali MddbEN000

15 tulee asetetuksi maahan, mikä vastaa binaarista nollaa, johon hyppyrikytkennän toisen pään maadoittamisesta. Sen sijaan kun tytärlevy on puoliksi kalustettu sisältämään kaksi muistipiirien ryhmää tai riviä (ts. yksinkertaisen tiheyden levy), hyppyri A00A jätetään pois. Siten signaalin MddbEN000

20 antavan navan annetaan kellua (ts. sitä ei maadoiteta). Koska liittimen 22-1 toinen puoli on kytketty jännitteeseen +V ylösvetovastuksen 12-40 kautta, signaali MddbEN000 asettuu arvoon +V, joka vastaa binaarista ykköstä.

Kuviosta 7 havaitaan myös, että kun tytärlevy 20-1 on

25 kalustettu 256k RAM-piireillä, hyppyri A00B kytketään paikalleen. Samalla tavalla kuin edellä on selitetty tästä seuraa signaalin M256PRO00 tuleminen asetetuksi binaariseksi nollaksi. Sen sijaan kun tytärlevy 20-1 on kalustettu 64k RAM-piireillä, hyppyri A00B jätetään pois. Tästä seuraa signaalin M256PRO00 tuleminen asetetuksi binaariseksi ykköseksi.

30

Muut kuviossa 7 esitetyt hyppyrasetuksen liittyvät 64k ja 256k RAM-piirien osoitukseen. Täsmällisemmin selitettynä ne määrittelevät yhdessä ykdeksän osoitebitin arvon virkistystoimintojen osalta, mikä vastaa signaalia MADE08010.

35 Ts. kun tytärlevy 20-1 on kalustettu 64k RAM-piireillä, hyppyri A00C kytketään paikalleen, kun taas hyppyriä A00D ei sisällytetä muistiosaan 24-1. Tämän seurauksena signaali

MADEO8110 saa arvon binaarinen nolla johtuen hyppyrin A00C toisen pään maadoittamisesta. Tämä saattaa invertteripiirin 246 asettamaan signaalin MADEO8100 ylempään tilaan eli binaariseksi ykköseksi. Pitämällä kunkin piirin virkistysohjausnapa (refresh enable, RFE) ylemmässä tilassa virkistystoimintoja voidaan ohjata ulkoisesti levyn 10 piireillä.

Sen sijaan kun tytärlevy 20-1 on kalustettu 256k RAM-piireillä, hyppyrin A00C jätetään pois ja hyppyrin A00D kytketään paikalleen. Siten signaali MADEO8010 voi asettua lohkon 18 osoiterekisteripiireistä vastaanotetun signaalin MADDO8010 tilaan.

Kuten kuvioista 5 havaitaan, muistiosan 24-1 pääosa muodostuu neljästä muistipiiririvistä, jotka on merkitty riveinä 0-3. Kuten edellä on mainittu, nämä neljä riviä voi olla konstruoitu joko 64k RAM-piireistä tai 256k RAM-piireistä. Kaikki rivien 0-3 muistipiirit on kytketty vastaanottamaan sarakeosoitevalinnan ajoitussignaalin MCAST0010. Tämä signaali on liittimeltä 22-1 JA-EI-portin 248 kautta vastaanotetun signaalin MCASTS010 komplementti.

Lisäksi kunkin rivin piirit vastaanottavat määrätyn riviosoitteen dekodauksen poimintasiгнаaleista DRAST0010-DRAST5010. Kuten piirustuksessa on esitetty, jokainen signaaleista DRAST0010-DRAST5010 on yhdistetty riviosoitteen valinnan ajoitussignaalin MRASTS010 kanssa vastaavaan JA-EI-porttiin 250-156. Kukin tuloksena olevista signaaleista DRASE0100-DRASE4100 syötetään määrätyn rivin 0-3 kaikkien piirien riviosoitteen valinnan ottonapoihin. Ts. signaali DRASE0100 syötetään rivissä 0 olevien piirien riviosoitteen valinnan ottonapoihin, signaali DRASE1100 syötetään kaikkien rivillä 1 olevien piirien riviosoitteen valinnan ottonapoihin, signaali DRASE2100 syötetään kaikkien rivillä 2 olevien piirien riviosoitteen valinnan ottonapoihin ja signaali DRASE3100 syötetään kaikkien rivillä 3 olevien piirien riviosoitteen valinnan ottonapoihin.

Kaikki neljä muistipiiririviä on kytketty vastaanottamaan kirjoitussignaalin WTMODE100 lohkon 14 piireiltä. Tämä signaali vastaa signaalia MREAD0010 ja se syötetään

esitettyllä tavalla kaikkien muistipiirien kirjoitusohjaus-
ottonapoihin WE. Jokaisen RAM-piirin osoiteottonavat 0-7/8
on kytketty vastaanottamaan kunkin muistiosoitteen 8- tai
9-bitin rivi- ja sarakeosoiteosan I/O-liittimen 22-1 kaut-
5 ta lohkon 18 piireiltä. Signaalit MADDOOO10-MADDO8010 in-
vertoidaan vastaavalla lukumäärällä invertteripiirejä loh-
koissa 246 ja 247 ja syötetään signaaleina MADEO0000-
MADEO8000 piirien osoiteottonapoihin.

Muistiosaan 24-1 kunkin muistin kirjoitustoimintajak-
10 son aikana kirjoitettavien kaikkien datasanojen 16 databit-
tiä ja kuusi EDAC-tarkastusbittiä syötetään lisäksi I/O-
liittimen 22-1 kautta kunkin rivin muistipiiren dataotto-
napoihin (DI). Kunkin muistin lukutoimintajakson aikana
muistiosasta 24-1 luettavien kunkin datasanan 16 databittiä
15 ja kuusi EDAC-tarkastusbittiä syötetään jokaisen rivin muis-
tipiiren data-antonaavoista (DO) I/O-liittimelle 22-1 siir-
rettäväksi järjestelmäväylälle.

Tytärlevyllä 20-1 on sama rakenne, kun se on kalustet-
tu normaalitiheyttä varten kaksinkertaisen tiheyden sijasta,
20 mikä on esitetty kuviossa 5. Ainoana erona on, että muisti-
osassa 24-1 ei ole piirejä riveissä 2 ja 3. Siten signaa-
leilla DRAST4010 ja DRAST5010 ei ole vaikutusta muistitoi-
mintoihin.

Edellä esitetty pätee levyille 20-2. Kuviosta 5 havai-
25 taan myös, että tytärlevy 20-2 on paikalleen asennettuna
kytkettynä vastaanottamaan signaalit DRAST2010-DRAST7010,
jotka syötetään levyn eri JA-EI-porteille 250-256. Samalla
tavoin konstruoitu levy reagoi siten erilailla valittuun
rividekoodauspoimintasignaalien ryhmään. Kun tytärlevy 20-2
30 on kalustettu normaalitiheydelle, muistiosassa 24-2 ei ole
piirejä rivesissä 2 ja 3. Siten signaaleilla DRAST6010 ja
DRAST7010 ei ole vaikutusta muistitoimintoihin.

Täydellisyyden vuoksi on esitetty muistin läsnäolon
ilmaisevat signaalit ONEDTROOO ja TWOTROOO. Kumpikin näistä
35 signaaleista tulee asetetuksi maahan binaarista nolaa edus-
taen, kun signaalia vastaava tytärlevy työnnetään järjestel-
mään. Molemmat signaalit johdetaan edelleen levyn 10 pii-

reille, missä niitä käytetään yhdessä muiden tunnuksignaalien kanssa varmistamaan, että osoitettavana on käytettävissä oleva muistipaikka muistijärjestelmässä. Muistin läsnäolon ilmaisevien signaalien käytöstä voidaan saada lähempiä tietoja tutustumalla esillä olevan hakemuksen johdannossa mainittuun tähän liittyvään rinnakkaiseen patenttihakemukseen, jonka keksijät ovat Daniel A. Boudreau ja Edward R. Salas.

Seuraavassa selitetään esillä olevan keksinnön parhaana pidettyjen suoritusmuotojen toimintaa kuvioihin 1-7 ja kuvioiden 8a-8d kaavioihin liittyen.

Kuvio 8a esittää muistimodulilevyjen 20-1 ja 20-2 rakennetta normaalitiheyden tapauksessa käytettäessä 64k RAM-muistipiirejä. Kuten on esitetty, kumpaankin levyyn sisältyy 64k RAM-piirejä, jotka on sijoitettu riveille 0 ja 1. Kahdella levyllä saadaan 256k sanan muistinosoituskapasiteetti. Tässä järjestelyssä levyn 20-1 ollessa paikalleen asennettuna rivien 0 ja 1 piirit ovat kytkettyinä vastaanottamaan rividekoodauspoimintasignaalit DRAST0010 vast. DRAST1010. Kun levy 20-2 on asennettu paikalleen, rivien 0 ja 1 piirit kytkettyvät vastaanottamaan rividekoodauspoimintasignaalit DRAST2010 vast. DRAST3010. Tunnuksosat 26-1 ja 26-2 on asetettu siten, että hyppyrit A00A ja A00B on jätetty pois kuvion 7 mukaisesti. Tunnuksosat 26-1 ja 26-2 asettavat siten molemmat signaalit MDDBEN000 ja M256PRO00 binaarisiksi ykkösiksi.

Lisäksi hyppyri A00C kytketään paikalleen ja hyppyri A00D jätetään pois levyjen muistiosissa 26-1 ja 26-2. Tämä mahdollistaa virkistystoimintojen ulkoisen ohjauksen.

Oletetaan esimerkiksi, että järjestelmäväylä antaa neljä muistinkäyttöpyynnön jonon muistille pyytäen sanojen lukemista muistin peräkkäisistä segmenteistä tai lohkoista. Pyyntöjen sisältämillä osoitteilla on kuvion 6 muoto ja ne vastaavat käytettävissä olevia muistipaikkoja (ts. jotka ovat olemassa järjestelmässä).

Ensimmäisen tällaisen muistinkäyttöpyynnön oletetaan sisältävän pelkistä nollista muodostuvan muistiosoitteen.

Muistiosoitteen eri osat ladataan kuvion 4 osoiterekistereihin 18-2 - 18-6 muistijakson alussa, minkä osoittaa signaalin MEACKR710 siirtyminen positiiviseen suuntaan seurauksena siitä, että muistijärjestelmä on vastaanottanut kelpaavan käyttöpyynnön.

Koska signaali M256PROOO on binaarinen ykkönen, multiplexeripiiri 18-8 on estotilassa. Täten signaali MADD08010, joka vastaa ykdeksättä osoitebittiä, on käytännössä jätetty pois.

10 Voidaan olettaa, että signaali IOGRNTOOO on binaarinen nolla muistijakson alussa. Osoiterekisteri 18-6 on täten ohjattuna syöttämään muistiosoittebitit 2-6 lohkon 12 dekodeeripiireille signaaleina MMADO2010-MMADO6010. Kuvios-
15 ta 2a havaitaan, että koska molemmat signaalit MddbENOOO ja M256PROOO ovat binaarisia ykkösiä, JA-EI-portti 12-2 on ohjattuna asettamaan signaalin 64KRAMOOO binaariseksi nollaksi.

Signaalin 64KRAMOOO aktivoimana dekadauspiiri 12-4 dekodaa osoitesignaaleja MMADO6010 ja MMADO5010. Koska molemmat signaalit ovat binaarisia nollia, dekodeeripiiri 12-4
20 asettaa antosignaalin 64KDCOOOO binaariseksi nollaksi. Tämä saattaa JA-EI-portin 12-22 asettamaan rividekadaussignaalin DRASTOO10 binaariseen ykköstilaan. Kuten kuvioista 2a ja 5 havaitaan, tämä signaali syötetään I/O-liittimen 22-1
25 kautta ottona muistiosalle 24-1.

Muistijakson alussa lohkon 14 piirit asettavat lisäksi muistin riviosoitte-signaalin MRASIOOOO binaariseksi nollaksi. Ts. kuviossa 3 signaali DLY60000 on aluksi ylemmässä tilassa ja siirtyy alempaan tilaan muistijakson aikana. Siten signaali DLYO60110 on binaarinen nolla, mikä saattaa
30 invertteripiirin 14-20 asettamaan signaalin RASTMEO10 binaariseksi ykköseksi. Koska molemmat signaalit IOGRNTO10 ja RFRGRNT100 ovat binaarisia ykkösiä, signaali RASTOMEO10 ohjaa JA-EI-portin 14-18 asettamaan signaalin MRASTIOOOO binaariseksi nollaksi.
35

Muistijakson alussa signaali MRASIOOO saattaa siten kuvion 4 osoiterekisterin 18-2 syöttämään pelkästä nollis-

ta muodostuvat muistiosoitteen osoitebitit 15-22 antonapoi-
hinsa signaaleina MADD00010-MADD07010. Nämä riviosoitte-
naalit syötetään I/O-liittimien 22-1 ja 22-2 kautta molem-
pien levyjen 20-1 ja 20-2 rivien 0 ja 1 jokaisen piirin
5 osoiteottonapoihin.

Siten heti kun lohkon 12 dekooderipiirit asettavat
signaalin DRAST0010 binaariseksi nollaksi, tämä valmistaa
kuvion 5 JA-EI-portin 250. JA-EI-portti 250 tulee ohjatuk-
si tosi-tilaan, kun lohkon 14 piirit asettavat riviosoit-
10 teenpoiminta-ajoitusignaalin MRAST010 binaariseksi ykkö-
seksi. Kuten kuviosta 3 havaitaan, näin tapahtuu, kun gene-
raattori 14-2 kehittää negatiiviseen suuntaan siirtyvän puls-
sisignaalin DLY020000.

Tultuaan ohjatuksi tosi-tilaan kuvion 5 JA-EI-portti
15 250 asettaa signaalin DRASE01000 binaariseksi nollaksi. Tä-
mä vuorostaan saattaa kaikki levyn 20-1 rivin 0 piirit tal-
lentamaan muistiosoittebittejä 15-22 vastaavat pelkistä nol-
lista muodostuvat riviosoitteignaalit MADE07010-0010 pii-
rien sisäisiin riviosoittepuskuripiireihin. Tämä päättää
20 osoitusjakson ensimmäisen puolikkaan.

Ts. jokainen 64k muistipiiri sisältää joukon muisti-
elinryhmiä, jotka on organisoitu muistikenttien sarakkeiden
ja rivien matriiseiksi (esim. 256x256, 128x512 jne.). Täs-
sä suoritusmuodossa oletetaan, että 64k piirin matriisi on
25 organisoitu sisältämään 256 riviä x 256 saraketta. Piirin
jonkin 65 536 (64k) muistipaikan osoitus tapahtuu kahdessa
vaiheessa, kuten tässä selitetään. Ensimmäisessä vaiheessa
eli osoitusjakson ensimmäisen puolikkaan aikaan täydellisen
rivin 256 muistipaikkaa kytketään piirillä oleviin 256 luku-
30 vahvistinsarakkeeseen. Toisessa vaiheessa eli jakson toisen
puolikkaan aikana yksi lukuvahvistinpiirien 256 sarakkees-
ta luetaan piirin data-antonapaan DO. Lisätietoja 64k pii-
rien sisäisen toiminnan osalta voidaan saada tutustumalla
35 julkaisuun "The MOS Memory Data Book", Texas Instruments
Incorporated, Copyright 1980.

Riviosoitteen poimintasignaalin MRASTTS010 kehittä-
mistä seuraa 65-75 ns myöhemmin sarakeosoitteen poiminta-

ajoitussignaalin MCASTS010 kehittäminen. Kuten kuviosta 3 havaitaan, kun generaattori 14-2 asettaa signaalin DLY100000 alemmalle tasolle, tämä saattaa JA-portin 14-12 asettamaan signaalin MCASTS010 binaarisiksi ykköseksi.

5 Kuitenkin tätä ennen generaattori 14-2 asettaa signaalin DLY060000 alemmalle tasolle. Tämä saattaa JA-portin 14-14 asettamaan sarakeosoitteen poiminta-ajoitussignaalin binaarisiksi ykköseksi saattaen samalla invertteripiirin 14-20 asettamaan riviosoitteen ajoitussignaalin MRASIO000 binaarisiksi nollaksi. Tästä on seurauksena, että JA-EI-portti 10 14-16 asettaa muistin sarakeosoitteen poimintasignaalin MCASIO000 binaarisiksi nollaksi, samalla kun JA-EI-portti 14-18 asettaa muistin riviosoitteen signaalin MRASIO000 binaarisiksi ykköseksi.

15 Kuten kuviosta 4 havaitaan, signaali MCASIO000 ohjaa binaarisessa nollatilassa ollessaan sarakeosoiterekisterin 18-4 syöttämään pelkkiä nolliä sisältävät sarakeosoitebitit 7-14 antonapoihinsa signaaleina MADD00010-MADD07010. Koska signaali M256PRO00 on binaarinen ykkönen, multiplekseripiiri 20 18-8 pysyy estotilassa. Siten 8-bitin sarakeosoite korvaa 75 ns jälkeen 8-bitin riviosoitteen. Kun sarakeosoitteen poiminta-ajoitussignaali MCASTS010 asetetaan binaarisiksi ykköseksi, kummallakin levyllä 20-1 ja 20-2 olevat kuvion 5 JA-EI-portit 248 asettavat signaalin MCAST0010 binaarisiksi nollaksi. Tällöin 8-bitin pelkistä nollista muodostuva sarakeosoite tulee lukituksi sarakepuskuripiireihin, 25 jotka sisältyvät kaikkien levyjen 20-1 ja 20-2 rivien 0-4 piireihin. Tämä päättää osoitusjakson toisen osan.

Tämän tuloksena lukutoimintajakson aikana (ts. kun 30 signaali MREAD9919 on binaarinen ykkönen) kunkin piirin 64k bittipaikasta luetaan bittipaikka 0 levyn 20-1 rivin 0 jokaisen piirin data-antonapaan. Tuloksena oleva 22-bitin sana, joka sisältää 16 data- ja kuusi EDAC-tarkastusbittiä, johdetaan edelleen järjestelmäväylälle I/O-liittimen 22-1 kautta.

35 Lohkon 12 piirejä lukuunottamatta kuvion 1 piirien toiminta voidaan pääosaltaan katsoa samanlaiseksi muita muistinkäyttöpyyntöjä käsiteltäessä. Tämän vuoksi tämä jätetään

tässä selittämättä. Oletetaan, että pyyntöjonon muut muistinkäyttöpyynnöt on koodattu sisältämään pelkistä nollista muodostuvia osoitteita lukuunottamatta mahdollisesti osoitebittejä 5 ja 6. Oletetaan, että seuraavassa muistinkäyttöpyynnössä osoitebiteillä 6 ja 5 on arvo "01".

Kuten kuviosta 2a havaitaan, dekooderipiiri 12-4 asettaa signaalien MMADO6010 ja MMADO5010 arvojen "01" seurauksena signaalin 64KDC1000 binaariseksi nollaksi. Tämä saattaa JA-EI-portin 12-24 asettamaan riviosoitteen dekodauksen poimintasignaalin DRAST1010 binaariseksi ykköseksi.

Kuten kuviosta 5 havaitaan, lohkon 14 piirien kehittäessä muistin riviosoitteen poiminta-ajoitussignaalin MRASTSO10 signaali DRAST1010 ohjaa JA-EI-portin 252 asettamaan signaalin DRASE1100 binaariseksi nollaksi. Tämä saattaa levyn 20-1 rivin 1 kaikki piirit tallentamaan riviosoitte-signaalit MADEO7010-0010 piirien sisäisiin riviosoittepuskuripiireihin. Täten osoitusjakson lopussa rivin 1 kunkin piirin bittipaikka 0 luetaan ja siirretään järjestelmäväylälle I/O-liittimen 22-1 kautta.

Vastaanotettaessa toinen muistinkäyttöpyyntö, jossa osoitebiteillä 6 ja 5 on arvo "10", dekooderipiiri 124 asettaa signaalin 64KDC2000 binaariseksi nollaksi. Tämä saattaa JA-EI-portin 12-26 asettamaan riviosoitteen dekodauksen poimintasignaalin DRAST2010 binaariseksi ykköseksi.

Kuten kuviosta 5 havaitaan, levyn 20-2 muistiosan 24-2 sisällä oleva JA-EI-portti 250 asettaa riviosoitteen dekodauksen näytteenottosignaalin DRASEO100 binaariseksi nollaksi, kun lohkon 14 piirit asettavat ajoitussignaalin MRASTSO10 binaariseksi ykköseksi. Tämä saattaa levyn 20-2 rivin 0 kaikki piirit tallentamaan riviosoitte-signaalit MADEO7010-0010 sisäisiin riviosoittepuskuripiireihin. Siten osoitusjakson lopussa rivin 0 kaikkien piirien bittipaikkojen 0 sisällöt luetaan ja siirretään järjestelmäväylälle.

Vastaanotettaessa viimeinen muistinkäyttöpyyntö, jossa osoitebiteillä 6 ja 5 on arvo "11", dekooderipiiri 12-4 asettaa signaalin 64KDC3000 binaariseksi nollaksi. Tämä saattaa JA-EI-portin 12-28 asettamaan riviosoitteen deko-

dauksen poimintasiignaalin DRAST3010 binaariseksi ykköseksi.

Kuten kuvioista 5 havaitaan, muistiosan 24-2 JA-EI-portti 252 asettaa riviosoitteenpoimintasiignaalin DRASE1100 binaariseksi nollaksi seurauksena signaalin MRASTSO10 kääntymisestä binaariseksi ykköseksi. Tämä saattaa levyn 20-2 rivin 1 kaikki piirit tallentamaan riviosoitesignaaleit MADE07010-0010 sisäisiin riviosoitteen puskuripiireihin. Siten osoitusjakson lopussa rivin 1 kaikkien piirien bittipaikkojen 0 sisällöt luetaan ja siirretään järjestelmävälille.

Edellä selitetty osoittaa kuinka kuvion 2a ensimmäinen dekodeeripiiri suorittaa normaalitiheyksisten levyjen 20-1 ja 20-2 peräkkäisten piiririvien osoituksen riippuen tunnussignaaleista M256PROOO ja MddbENOOO, jotka tunnusosat kehittävät, esimmäisen valitun muistiosoitebittien yhdistelmän mahdollisten erilaisten arvojen seurauksena. Osoitus etenee automaattisesti eri muistisegmenttien läpi kuten kuvion 8a numero 1-4 osoittavat eikä siinä tarvita lisäpiirejä tai kytkimiä osoitettavan muistisegmentin tai -lohkon määräämiseksi.

Kuvio 8b esittää muistimodulilevyjen 20-1 ja 20-2 rakennetta kaksinkertaisella tiheydellä käytettäessä 64k RAM-piirejä. Kuten kuviossa on esitetty, molemmat levyt sisältävät 64k RAM-piirejä sijoitettuina riveihin 0-3. Molemmat muistilevyt muodostavat yhdessä 512 ksan muistinosoituskapasiteetin. Kun levy 20-1 asennetaan paikalleen, rivien 0-3 piirit kytkeytyvät vastaanottamaan rividekoodauspoimintasiignaaleit DRAST0010-DRAST5010. Kun levy 20-2 asennetaan paikalleen rivien 0-3 piirit kytkeytyvät vastaanottamaan rividekoodaussignaaleit DRAST2010-DRAST7010. Koska levyissä on kaksinkertainen tiheys ja 64k RAM-piirejä, molemmat tunnusosat 26-1 ja 26-2 asetetaan sisältämään hyppyrin AOOA ja hyppyrin AOOb jätetään pois kuvion 7 mukaisesti. Täten molemmat tunnusosat 26-1 ja 26-2 asettavat signaalien MddbENOOO binaariseksi nollaksi ja signaalin M256PROOO binaariseksi ykköseksi. Muut hyppyrin AOOC ja AOOD kytetään samalla tavalla kuin kuvion 8a levyissä.

Myös tässä oletetaan, että muistille annetaan kahdeksan muistinkäyttöpyynnön jono, joissa pyydetään sanojen lukemista peräkkäisistä muistin riveistä tai ryhmistä. Jokaisessa pyynnössä on pelkistä nollista muodostuva osoite lukuunottamatta mahdollisesti osoitebittejä 4-6. Ensimmäisen muistinkäyttöpyynnön tapauksessa oletetaan, että biteillä 4-6 on arvo "000".

Muistinkäyttöpyynnön osoitteen eri osat tallennetaan kuvion 4 rekistereihin 18-2 - 18-6 ja syötetään kuvion 2a dekooderipiireille ja levyille 20-1 ja 20-2, kuten edellä on selitetty. Kuviosta 2a havaitaan, että koska signaali MddbEN000 on binaarinen nolla ja signaali M256PRO00 on binaarinen ykkönen, dekooderipiiri 12-6 aktivoidaan dekodamaan osoitesignaali MMAD0601L-MMAD04010. Koska nämä signaalit ovat binaarisia nollia, dekooderipiiri 12-6 asettaa antosignaalin D64DC0000 binaariseksi nollaksi. Tämä saattaa JA-EI-portin 12-22 asettamaan riviosoitteen dekodauksen poimintasignaalin DRAST0010 binaariseen ykköstilaan.

Kuvion 5 levyn 20-1 JA-EI-portti 250 asettaa edellä selitetyllä tavalla signaalin DRASE0100 binaariseksi nollaksi. Tämä ohjaa kaikki rivin 0 piirit tallentamaan kahdeksan pelkistä nollista muodostuvaa riviosoitesignaali MADE7010-0010 sisäisiin riviosoitepuskuripiireihin. Sarakeosoitesignaalit tallennetaan tämän jälkeen samalla tavalla. Lopputuloksena on, että lukutoimintajakso aikaansaa ensimmäisen tytärlevyn rivin 0 jokaisen piirin 64k bittipaikan joukosta bittipaikan 0 lukemisen ja tuloksena olevan 22-bitin sanan johtamisen edelleen järjestelmäväylälle.

Toisen muistinkäyttöpyynnön biteillä 4-6 oletetaan olevan arvo "001". Tämä saattaa dekooderipiirin 12-6 asettamaan antosignaalin D64DC1000 binaariseksi nollaksi. Tämä saattaa JA-EI-portin 12-24 asettamaan riviosoitteen dekodauksen poimintasignaalin DRAST1010 binaariseen ykköstilaan.

Kuvion 5 levyn 20-1 JA-EI-portti 252 asettaa edellä selitetyllä tavalla signaalin DRASE1100 binaariseksi nollaksi. Tämä ohjaa kaikki rivin 1 piirit tallentamaan pelkkiä nollia sisältävät riviosoitesignaalit MADE07000-0000 sisäi-

siin riviosoitepuskuripiireihin. Siten lukutoimintajakso
aikaansaa ensimmäisen tytärlevyn rivin 1 jokaisen piirin
64k bittipaikan joukosta bittipaikan 0 lukemisen ja tulok-
sena olevan 22-bitin sanan johtamisen edelleen järjestelmä-
5 väylälle.

Kolmannen ja neljännen muistinkäyttöpyynnön biteillä
4-6 oletetaan olevan arvot "010" vast. "011". Nämä saatta-
vat dekooderipiirin 12-6 asettamaan peräkkäin antisognaa-
lit D64DC2000 ja D 64DC3000 binaarisiksi nolliksi. Tämä
10 saattaa JA-EI-portit 12-30 ja 12-32 peräkkäin asettamaan ri-
videkoodaussignaaleit DRAST4010 ja DRAST5010 binaarisiksi
ykkösiksi.

Kuten kuviosta 5 havaitaan, signaalit DRAST4010 ja
DRAST5010 ohjaavat peräkkäin ensimmäisen levyn 20-1 JA-EI-
15 portit 254 ja 256 asettamaan signaalit DRASE2100 ja DRASE3100
binaarisiksi nolliksi. Siten kaikki rivin 2 ja tämän jäl-
keen rivin 3 piirit ohjataan tallentamaan kahdeksan pelkis-
tä nolliasta muodostuvaa riviosoitesignaalia MADE07000-0000
sisäisiin riviosoitepuskuripiireihinsä. Näiden peräkkäisten
20 lukujaksojen tuloksena on siten sanojen lukeminen ensimmäi-
sen levyn 20-1 rivien 2 ja 3 piirien paikoista 0.

Viidennen ja kuudennen muistikomennon biteillä 4-6 ole-
tetaan olevan arvot "100" vast. "101". Ne saattavat deko-
deripiirin 12-6 asettamaan peräkkäin antosignaaleit D64DC4000
25 ja D64DC5000 binaarisiksi nolliksi. Tämä saattaa JA-EI-por-
tin 12-26 ja 12-28 asettamaan peräkkäin rividekoodaussigna-
alit DRAST2010 ja DRAST3010 binaarisiksi ykkösiksi.

Kuten kuviosta 5 havaitaan signaalit DRAST2010 ja
DRAST3010 ohjaavat peräkkäin toisen levyn 20-2 JA-EI-portit
30 250 ja 251 asettmaan signaalit DRASE0100 ja DRASE1100 bi-
naarisiksi nolliksi. Siten kaikki rivin 0 ja tämän jälkeen
rivin 1 piirit ohjataan tallentamaan pelkkiä nolliä sisäl-
tävät riviosoitesignaaleit MADE07000-0000 sisäisiin rivi-
osoitepuskuripiireihin. Tuloksena on, että peräkkäiset luku-
35 jaksot aikaansaavat sanojen lukemisen toisen levyn 20-2 ri-
vien 0 ja 1 piirien paikoista 0.

Seitsemännen ja kahdeksannen muistikomennon biteillä

4-6 oletetaan olevan arvot "110" vast. "111". Ne saattavat dekodeeripiirin 12-6 asettamaan peräkkäin antosignaali D64DC6000 ja D64DC7000 binaarisiksi nolliksi. Tämä saattaa JA-EI-portit 12-34 ja 12-36 asettamaan rividekoodaussignaali DRAST6010 ja DRAST7010 peräkkäin binaarisiksi ykkösiksi.

Kuten kuviosta 5 havaitaan, signaalit DRAST6010 ja DRAST7010 ohjaavat peräkkäin toisen levyn 20-2 JA-Ei-portit 254 ja 256 asettamaan signaalit DRASE2100 ja DRASE3100 binaarisiksi nolliksi. Siten kaikki toisen tytärlevyn 20-2 rivin 2 ja tämän jälkeen rivin 3 piirit ohjataan tallentamaan pelkästään nolllista muodostuvat osoitesignaali MADE07000-0000 sisäisiin puskuripiireihinsä. Tämän tuloksena peräkkäiset lukujaksot aikaansaavat sanojen lukemisen levyn 20-2 rivien 2 ja 3 piirien paikoista 0.

Edellä mainittu eri tavoin koodattujen muistinkäyttöpyyntöjen sekvenssi osoittaa, kuinka kuvion 2a toinen dekodeeripiiri suorittaa tiheydeltään kaksinkertaisten levyjen 20-1 ja 20-2 peräkkäisten piiririvien osoituksen tunnussignaaleista M256PRO00 ja MDDBEN000 riippuvaisesti. Tivit valitaan muistinosoitebittien toisen valitun kombinaation mahdollisesti erilaisten arvojen perusteella. Osoitus siirtyy selitetyllä tavalla automaattisesti eri muistisegmentteihin tai riveihin, kuten kuvion 8b numeroilla 1-8 on osoitettu.

Kuvio 8c esittää normaalitiheyksisten muistimodulillevujen 20-1 ja 20-2 konstruktiota 256k RAM-piireillä. Jokainen piiri on organisoitu sisäisten rivien ja sarakkeiden matriisiksi (esim. 512 x 512 jne.). Kuhunkin levyyn sisältyy esitetyllä tavalla 256k RAM-piirejä, jotka on sijoitettu riveihin 0 ja 1. Molemmat muistilevyt muodostavat yhdessä yhden megasanan (1024 ksanaa) osoitekapasiteetin. Samoin kuin kuvion 8c tapauksessa, kun levy 20-1 asennetaan paikalleen, rivien 0 ja 1 piirit kytkeytyvät vastaanottamaan rividekoodauspoimintasignaali DRAST0010 ja DRAST1010. Kun piirilevy 20-2 asennetaan paikalleen, rivien 0 ja 1 piirit kytkeytyvät vastaanottamaan rividekoodauspoimintasignaali DRAST2010 ja DRAST3010.

Koska levyt ovat normaalitiheyksisiä ja varustettu 256k

RAM-piireillä, molemmat tunnusosat 26-1 asetetaan siten, että niissä ei ole hyppyriä AOOA ja että ne sisältävät hyppyrin AOOB kuvion 7 mukaisesti. Täten molemmat tunnusosat 26-1 ja 26-2 asettavat signaalin MDDRENOOO binaarisiksi ykköseksi ja signaalin M256PROOO binaarisiksi nolllaksi. Lisäksi muut hyppyrin AOOB ja AOOD kytketään kuvion 7 mukaisesti. Ts. hyppyrin AOOB jätetään pois, kun taas hyppyrin AOOD asetetaan paikalleen. Tämä syöttää yhdeksännen osoitebittisignaalin MADD08010 levyjen 20-1 ja 20-2 rivien 0 tai 1 kaikkien piirien osoiteotnapoihin.

Samoin kuin kuvion 8a tapauksessa oletetaan, että muistille annetaan neljän muistinkäyttöpyynnön sarja, joka määrittelee sanojen lukemisen peräkkäisistä muistiriveistä tai lohkoista. Jokaiseen muistinkäyttöpyyntöön sisältyy osoite, joka muodostuu pelkistä nolllista lukuunottamatta mahdollisesti osoitebittijä 3 ja 4. Oletetaan, että ensimmäisen muistinkäyttöpyynnön biteillä 3 ja 4 on arvo "00".

Kuten edellä on selitetty, muistinkäyttöpyyntöjen osoitteiden eri osat tallennetaan kuvion 4 rekistereihin 18-2 - 18-6 ja syötetään kuvion 2a dekooderipiireille ja levyille 20-1 ja 20-2. Täsmällisemmin esitettynä rivi- ja sarakeosoitteet syötetään peräkkäin levyille 20-1 ja 20-2, kuten edellä on selitetty. Kunkin osoitteen yhdeksännen bitin antaa multiplekseripiiri 18-8. Ts. koska signaali M256PROOO on binaarinen nolla, multiplekseripiiri 18-8 antaa antona signaalin CASTEO10 ja RFRNT010 tilojen valitseman ottosignaalin. Koska molemmat signaalit ovat binaarisia nolllia osoitusjakson ensimmäisen puolikkaan aikana (riviosoitteen valinta-aika) riviosoitteen yhdeksäntenä riviosoitebittinä käytetään signaalia MMADO6010. Osoitusjakson toisen puolikkaan aikana (sarakeosoitteen valinta-aikana) signaalien arvot ovat "01". Siten signaalia MMADO5010 käytetään sarakeosoitteen yhdeksäntenä sarakeosoitebittinä.

Kuviosta 2a voidaan havaita, että koska signaali M256PROOO on binaarinen nolla, dekooderipiiri 12-6 tulee aktivoitua dekoodaamaan osoitesignaali MMADO4010 ja MMADO3010. Koska molemmat signaalit ovat binaarisia nolllia, dekooderi-

piiri 12-8 asettaa antosignaalin 256DC0000 binaarisiksi nol-
laksi. Tämä saattaa JA-EI-portin 12-22 asettamaan riviosoite-
teendekoodaussignaalin DRAST0010 binaariseen ykköstilaan.

5 Kuten kuviosta 5 havaitaan, tämä saattaa ensimmäisen
tytärlevyn 20-1 JA-EI-portin 250 asettamaan signaalin
DRASEO100 binaarisiksi nolllaksi. Tämä ohjaa kaikki rivin 0
piirit tallentamaan kyseiset ykdeksän pelkistä nolllista
muodostuvatt riviosoitesignaalia MADEO8000-0000 sisäisiin
riviosoitepuskuripiirehin. Tästä seuraa lukutoimintajakson
10 aikana rivin 0 kunkin piirin 256k bittipaikan jouksota bit-
tipaikan 0 lukeminen ja tuloksena olevan 22-bitin sanan joh-
taminen edelleen järjestelmäväylälle.

Toisen muistinkäyttöpyynnön biteillä 4 ja 3 oletetaan
olevan arvot "01". Tämä saattaa dekooderipiirin 12-8 asetta-
15 maan antosignaalin 256DC1000 binaarisiksi nolllaksi. Tämä
saattaa JA-EI-portin 12-24 asettamaan riviosoitteen deko-
dauksen poimintasignaalin DRAST0101 binaariseen ykköstilaan.

Kuvion 5 levyn 20-1 JA-EI-portti 252 asettaa edellä
selitetyllä tavalla signaalin DRASE1100 binaarisiksi nolllak-
20 si. Tämä ohjaa kaikki rivin 1 piirit tallentmaan kyseiset
yhdeksän pelkkiä nolllia sisältävää riviosoitesignaalia
MADEO8000-0000 sisäisiin riviosoitepuskuripiireihin. Luku-
toimintajakso aikaansaa siten rivin 1 kunkin piirin 256k
bittipaikan joukosta bittipaikan 0 lukemisen ja siirtämisen.

25 Kolmannen ja neljännen muistinkäyttöpyynnön bittien
4 ja 3 arvoiksi oletetaan "10" vast. "11". Ne saattavat de-
kooderipiirin 12-8 asettamaan peräkkäin antosignaalit
256DC2000 ja 256DC3000 binaarisiksi nollliksi. Tämä saattaa
JA-EI-portit 12-26 ja 12-28 asettamaan peräkkäin riviosoite-
30 tuksen dekodauksen poimintasignaalit DRAST2010 ja DRAST3010
binaarisiksi ykkösiksi.

Kuten kuviosta 5 havaitaan, signaalit DRAST2010 ja
DRAST3010 ohjaavat peräkkäin toisen tytärlevyn 20-2 JA-EI-
portit 250 ja 252 asettamaan signaalit DRASEO100 ja DRASE1100
35 binaarisiksi nollliksi. Siten kaikki rivin 0 ja tämän jälkeen
rivin 1 piirit ohjataan tallentamaan kyseiset ykdeksän pel-
kistä nolllista muodostuvaa riviosoitesignaalit MADEO8000-0000

sisäisiin rivisoitepuskuripiireihinsä. Tuloksena on, että sanat luetaan toisen levyn 20-2 rivien 0 tai 1 piirien bit-tipaikoista.

Edellä esitetty osoittaa kuinka kuvion 2a kolmas de-
 5 kooderipiiri toimii peräkkäisten piiririvien osoittamiseksi normaalitiheyksissä 256k RAM-piireistä kostruoiduissa levyissä 20-1 ja 20-2 tunnussignaaleista M256PROOO riippuvaisesti muistiosoitebittien kolmannen valitun yhdistelmän mahdollisesti erilaisten arvojen ohjaamana. Osoitus siirtyy
 10 automaattisesti eri muistisegmentteihin tai riveihin, kuten kuviossa 8c on osoitettu numeroilla 1-4.

Kuvion 8d alaosa esittää tiheydeltään kaksinkertaisen 256k RAM-piireillä varustetun muistimodulilevyn 20-1 rakennetta. Kuten kuviossa on esitetty levyyn 20-1 sisältyy 256k
 15 RAM-piirejä sijoitettuina riveihin 0-3. Muistilevy muodostaa yhden megasana muistinosoituskapasiteetin samoin kuin kuviossa 8b. Kun levy 20-1 asetetaan paikalleen rivien 0-3 piirit kytkeytyvät vastaanottamaan riviosoitteen dekodauksen poimintasignaalit DRASTOO10-DATS5010, kuten kuviossa 5
 20 on esitetty.

Koska levyllä 20-1 on kaksinkertainen tiheys 256k RAM-piirejä, tunnuosa 26-1 asetetaan sisältämään hyppyritykset AOOA ja AOOB kuvion 8 mukaisesti. Täten tunnusosa 26-1 asettaa signaalit MDDBENOOO ja M256PROOO binaarisiksi nolliksi.
 25 Muut hyppyritykset AOOC ja AOOD kytketään samalla tavalla kuin kuvion 8c levyissä.

Oletetaan, että muistille annetaan sama neljän muistinkäyttöpyynnön sarja. Siten dekodeeripiiri 12-8 asettaa peräkkäin antosignaaleita 256DC000-256DC3000 binaarisiksi nolliksi. Tämä vuorostaan saattaa JA-EI-portit 12-22 - 12-28
 30 asettamaan peräkkäin riviosoitteen dekodauksen poimintasignaali DRASTOO10-DRAST3010 binaarisiksi ykkösiksi. Koska toista piirilevyä 20-2 ei ole asennettu paikalleen, riviosoitteen dekodauksen poimintasignaaleilla DRASTO2010 ja
 35 DRAST3010 ei ole vaikutusta muistitoimintaan. Koska signaalit 256DC2000 ja 256DC3000 syötetään myös JA-EI-porteille 12-30 ja 12-32, myös riviosoitteen dekodauksen poiminta-

signaalit DRAST4010 ja DRAST5010 tulevat asetetuksi peräkkäin binaarisiksi ykkösiksi.

Kuviosta 5 havaitaan, että levyn 20-1 JA-EI-portit 250-252 asettavat peräkkäin signaalit DRASE0100-DRASE3100 binaarisiksi nolliksi. Tämä ohjaa kaikki rivien 0-3 piirit tallentamaan kyseiset ykdeksän riviosoitesignaalia MADE8000-0000 sisäisiin riviosoitepuskuripiireihin. Siten rivien 0-3 kukin piirin 256k bittipaikan joukosta bittipaikan 0 sisältöt luetaan peräkkäisinä lukutoimintajaksoina ja tuloksena ovat 22-bitin sanat johdetaan edelleen järjestelmäväylälle.

Edellä esitetty osoittaa kuinka kuvion 2a kolmans dekooderipiiri suorittaa peräkkäisten piiririvien osoituksen yhdessä ainoassa kaksinkertaisen tiheyden levyssä 20-1 tunnussignaalista M256PROOO riippuen. Rivit valitaan muistiosoitebittien kolmannen valitun yhdistelmän mahdollisesti erilaisten arvojen perusteella. Osoitus siirtyy selitetyllä tavalla automaattisesti eri muistisegmentteihin tai riveihin, kuten on osoitettu numeroilla 1-4 kuvion 8d alemmassa osassa.

Molemmat kuvion 8d osat esittävät kaksinkertaisen tiheyden muistimodulipiirilevyjen 20-1 ja 20-2 konstruktiota 256k RAM-piireillä muistijärjestelmälle, jolla on laajennettu osoitus. Jokainen levy sisältää esitetyllä tavalla 256k RAM-piirejä sijoitettuna riveihin 0-3. Molemmat muistipiiri-levyt muodostavat yhdessä kahden megatavun (2048 ksan) muistinosoituskapasiteetin.

Samoin kuin kuvion 8b tapauksessa kun piirilevy 20-1 on asennettuna paikalleen, rivien 0-3 piirit ovat kytkettyinä vastaanottamaan rividek.odauspöimintasignaalit DRAST0010-DRAST05010. Kun piirilevy 20-2 on asennettuna paikalleen, rivien 0-3 piirit on kytketty vastaanottmaan rividekoodaus-signaalit DRAST2010-DRAST7010. Molemmat tunnusosat 26-1 ja 26-2 on kytketty samalla tavalla kuin yksi ainoa levy 20-1. Ts. kumpikin tunnusosa 26-1 ja 26-2 asettaa signaalit MddbENooo ja M256PROOO binaarisiksi nolliksi. Muut hyppyrit AOOC ja AOOD on kytketty edellä selitetyllä tavalla.

Jälleen oletetaan, että muistille annetaan kahdeksan

muistinkäyttöpyynnön sarja, joissa pyydetäänsanojen lukemista muistin peräkkäisistä lohkoista tai riveistä. Jokaiseen muistinkäyttöpyyntöön sisältyy osoitebittijä 2-4 lukuunottamatta pelkistä nollista muodostuva osoite. Kuten edellä
5 on selitetty osoitebittijä 2 tarvitaan laajennettua osoitusta varten.

Laajennetun osoituksen aikaansaamiseksi käytetään joko kuvion 2b tai kuvion 2c dekodausjärjestelyä.

Kuvion 2b tapauksessa tunnussignaalit MDEBENOOO ja
10 M256PROOO saattavat ollessaan binaarisessa nollatilassa JA-EI-portit 12-12 ja 12-14 asettamaan signaalin 256KRAM10 binaarisiksi ykköseksi. Tämä vuorostaan aktivoi dekodderipiirin 12-10 ja samalla estää dekodderipiirin 12-8. Aktivoituna dekodderipiiri 12-10 dekodaa osoitesignaaleita MMADO4010-
15 MMADO2010.

Seuraavassa oletetaan, että osoitesignaaleilla MMADO4010-MMADO2010 on arvot "000"- "111". Dekodderipiiri 12-10 asettaa siten kahdeksan muistinkäyttöpyynnön sarjan vaikutuksesta signaalit D256DCOOO-D256DC7000 peräkkäin binaarisiksi nolliksi. Tämä saattaa JA-EI-portit 12-22 - 12-36 asettamaan
20 rividekoodaussignaaleita DRASTOO10-DRAST7010 binaarisiksi ykkösiksi.

Kuten kuviosta 5 havaitaan, levyn 20-1 JA-EI-portit 250-256 ja levyn 20-2 JA-EI-portit 250-256 ohjataan peräkkäin
25 asettamaan levyn 20-1 signaalit DRASEO100-DRASE3100 ja levyn 20-2 signaalit DRASEO100-DRASE3100 binaarisiksi nolliksi. Tuloksena on, että molempien levyjen rivien 0-3 kaikki piirit ohjataan vuorotellen tallentamaan 9-bitin riviosoitteesignaaleita MADEO8000-0000 sisäisiin riviosoitteepuskuripiireihinsä. Siten jaksojen lopussa molempien piirilevyjen rivien 0-3 jokaisen piirin bittipaikka luetaan ja siirretään järjestelmäväylälle. Riviosoitteusjärjestys etenee kuviossa
30 8d numeroilla 1a-8a osoitetulla tavalla.

Sama tulos saavutetaan, kun kuvion 2c dekodderipiirit
35 dekoddaavat saman kahdeksan muistinkäyttöpyynnön sarjan. Ts. koska signaali M256PROOO on binaarinen nolla. osoitebittit 2-4 syötetään dekodderipiirille 12-610 dekodattavaksi.

Signaalin MddbEN000 binaarinen nollatila aktivoi dekoderi-
piirin 12-610. Dekoderipiiri 12-610 asettaa siten signaa-
lit DdENs0000-DDENs7000 peräkkäin binaarisiksi nolliksi. Tä-
mä vuorostaan saattaa JA-EI-portit 12-22 - 12-36 asettamaan
5 rividekoodaussignaalit DRASt0010-DRASt7010 binaarisiksi yk-
kösiksi. Rivi- tai segmenttiosoituksen järjestys etenee
siten kuviossa 8d numeroilla 1a-8a esitetyllä tavalla.

Edellä esitetty osoittaa kuinka kuvioden 2b ja 2c de-
koderipiirit suorittavat peräkkäisten piiririvien osoituk-
10 sen kaksinkertaisen tiheyden 256k RAM levyissä 20-1 ja 20-2
tunnussignaaleista M256PRO00 ja MddbEN000 riippuen muisti-
osoitebittien valitun yhdistelmän erilaisten arvojen ohjaa-
mana.

Edellä olevasta selityksestä havaitaan kuinka esillä
15 olevan keksinnön parhaana pidettyjen suoritusmuotojen laite
ja menetelmä kykenevät kehittämään automaattisesti halutun
rividekoodauksen poimintasignaalien sekvenssin muistipaikko-
jen osoittamiseksi järjestelmään asennettujen muistimoduli-
levyjen sisältämien tunnusosien muodostamista tunnussignaa-
20 leista riippuvaisesti. Rivit valitaan kukin muistinkäyttö-
pyynnön osoitteen määrätyn osoiteosan valittujen osoitebit-
tikombinaatioiden määrittelemässä järjestyksessä.

Tämä mahdollistaa eritiheyksiseten erityyppisistä muis-
tikomponenteista konstruoitujen muistimodulilevyjen asenta-
25 misen samaan muistijärjestelmään ilman, että järjestelmää
tarvitsisi muuttaa. Ts. osoitettavissa olevaa eli muistin
osoiteavaruutta ei tarvitse määrätä. Myöskään muistin toi-
mintoja ohjaavia piirejä (esim. ajoituspiirejä, osoitepiire-
jä, jne.) ei tarvitse muuttaa.

30 Alan ammattimiehelle on selvää, että esillä olevaa keksintöä
voidaan käyttää muiden muistikomponenttien (esim. oh-
jelmoitavien kiintomuistikomponenttien (PROM), kiintomuisti-
komponenttien) yhteydessä. Keksintöä voidaan myös käyttää
erityyppisten muistikomponenttien (esim. 16k RAM-piirien,
35 1024 RAM-piirien jne.) yhteydessä ja muilla piirilevyn ti-
heyksillä.

Muita muutoksia voidaan tehdä parhaana pidettyihin

suoritusmuotoihin, kuten dekooderipiirien tyyppihin, osoite-
bittien lukumäärään, tunnussignaalien ja muistimodulilevy-
jen lukumääriin, joita käytetään muistijärjestelmässä. Myös
tunnusosa voidaan konstruoida vaihtoehtoisilla tavoilla,
5 halutut kytkennät voidaan esimerkiksi syövyttää jokaiselle
muistimodulilevylle.

Vaikka edellä on määräysten mukaisesti esitetty ja
selitetty keksinnön edullisinta muotoa, tiettyjä muutoksia
voidaan tehdä poikkeamatta keksinnön piiristä sellaisena
10 kuin se on määritelty oheisissa patenttivaatimuksissa ja
tietyissä tapauksissa tiettyjä keksinnön piirteitä on edul-
lista käyttää ilman vastaavaa muiden piirteiden käyttöä.

Patenttivaatimukset:

1. Muistijärjestelmä, joka sisältää muistiosan, jossa on useita muistimoduleita ja osoiteosan, johon annetaan muistinkäyttöpyyntöjä osoitteen monibittisellä osoitekoodiosalla ja joka kokoonpanoltaan on muokattavissa soveltumaan erilaiseen muistiosan osoiterakenteeseen, joka mainittu osoiteosa sisältää usean osoiterekisterin, joka vastaa jokaisen osoitekoodin ensimmäistä osaa muistimoduleissa olevien muisti-paikkojen osoitteiden tuottamiseksi ja dekooderipiirin, joka vastaa osaa osoitekoodista, joka sisältää ainakin toisen osan siitä ollen riippuva moduliparametrisignaalista tuot-taakseen osoitesignaaleja, jotka sopivat muistiosan osoite-rakenteelle, t u n n e t t u siitä, että mainittu osoite-osa sisältyy päälevyyn ja mainitut osoitemodulit (24-1, 24-2) ovat tytärllevyjä, joissa jokaisessa on rivejä, jotka on miehitetty erillisillä muistisiruilla (240-1 - 240-22), jolloin jokainen siru on ennalta valittua osoitettavaa muis-tikkoa ja jokaisella tytärllevyllä on tunnistepiiri (26-1), joka tuottaa mainitun moduliparametrisignaalin ja mainituissa moduliparametrisignaaleissa on suhteessa jokaiseen tytärllevyyn asetettu vähintään kahdella logiikkasignaaleilla sisäl-täen ensimmäisen logiikkasignaalin (MDDBEN000), joka vastaa populaatiotiheyttä vastaavalla tytärllevyllä, eli siruilla miehitettyjen rivien lukumäärää ja toisen logiikkasignaalin (M256PR000), joka vastaa vastaavan tytärllevyn miehittävien sirujen kokoa, jolloin mainitut tytärllevyjen logiikkasignaalit kytketään dekooderipiirin otossa siten, että mainittu dekooderipiiri (Kuvio 2a, 2b tai 2c) asetetaan kaikkien ty-tärllevyjen moduliparametrisignaaleilla tulkitakseen osoite-signaaleja, jotka on kytketty siihen ja siten tuottaa rivin-valintasignaaleja (DRAST0010) - DRAST7010) sopivassa sek-venssissä riippuen populaatiotiheydestä ja sirukoosta suh-teessa jokaiseen mainituista tytärllevyistä.

2. Vaatimuksen 1 mukainen järjestelmä, t u n n e t t u siitä, että muistinkäyttöpyynnön monibittinen osoitekoodiosa

vastaa eniten merkitsevien osoitebittien lukumäärää, jotka on koodattu yksilöimään maksimilukumäärän muistisirujen rivejä, jotka voidaan sisällyttää tytärlevyille, jotka voidaan asentaa muistijärjestelmään, ja tytärlevyt ovat identtisiä keskenään.

3. Vaatimuksen 1 mukainen järjestelmä, t u n n e t t u siitä, että dekooderipiiri (12) sisältää useita erillisiä dekooderipiirejä (12-10 - 12-8), joissa jokaisessa on aktiivointiottopiiri ja ottovalintapiiri, jossa jokaisen dekooderipiirin aktiivointiottopiiri on kytketty vastaanottamaan erilaisen loogisen yhdistelmän mainituista moduliparametrisignaaleista (MDDBEN100 - M256PR200), ja jossa jokaisen dekooderipiirin ottovalintapiiri on kytketty vastaanottamaan ainakin yhden mainitun monibittisen osoiteosan useasta erilaisesta bittikombinaatiosta, jolloin jokainen dekooderipiiri kun se aktivoidaan parametrisignaalista saadulla logiikkasignaalilla kehittää dekodausvalintasiignaaleja syötettäväksi tytärlevyille (20-1, 20-2) ennalta määrättyssä jaksossa siten kuin mainitulle dekooderipiirin ottovalintapiirille syötetyn mainitun erilaisen osoitebittikombinaatin koodausmäärää.

4. Vaatimuksen 1 mukainen järjestelmä, t u n n e t t u siitä, että tytärlevyt (20-1, 20-2) on rakennettu sisältämään yhden useasta populaatiotiheyksistä ja yhden useasta muistisirun (240-1 - 243-22) koosta, ja vastaavat tunnistepiirit (26-1, 26-2) sisältävät usean lähtöterminaalin ja vastaavan lukumäärän ylikytkentäjohtimia (A00A - A00D), jotka on selektiivisesti kytketty eri lähtöterminaaleihin tuottaakseen mainitut moduliparametrisignaalit.

Patentkrav:

1. Minnessystem, innefattande en minnessektion med ett flertal minnesmoduler och en adresseringssektion, vilken påtryckes multibitadresskodpartier av minnesförfrågningar och vilken kan utformas så, att den passar en annan minnessektionadresstruktur, vilken adresseringssektion innefattar ett flertal adressregister, som reagerar för ett första parti av varje adresskod för alstring av adresser av platser i minnesmodulerna, och en avkodningskrets, vilken reagerar för en del av adresskoden, innefattande åtminstone ett andra parti därav i beroende av modulparametersignalen för att sålunda alstra adresssignaler, som är anpassade till minnessektionens adresstruktur, k ä n - n e t e c k n a t därav, att adresseringssektionen är upptagen på ett moderkretskort och minnesmodulerna (24-1), (24-2) är dotterkort, vartdera med rader försedda med diskreta minneschips (240-1-240-22), att varje chip är av förutbestämd, adresserbar minnesstorlek och varje dotterkretskort har en identifieringskrets (26-1), tillhanda-hållande nämnda modulparametersignal, att nämnda modulparametersignal med avseende på varje dotterkretskort består av åtminstone två logiska signaler, innefattande en första logisk signal (MDDBEN000), representerande populationsdensiteten, dvs antalet chippopulerade rader, av resp dotterkretskort, och andra logisk signal (M256PR000), representerande storleken av de chips, som förekommer på resp dotterkretskort, och att de logiska signalerna av dotterkretskorten kombineras i avkodningskretsens ingång, så att avkodningskretsen (fig 2a, 2b eller 2c) konditioneras av modulparametersignalerna från samtliga dotterkretskort för tolkning av därtill kopplade adresssignaler och därmed alstring av radväljarsignaler (DRAST0010 till DRAST7010) i lämplig följd i beroende av populationsdensiteten och chipstorleken med avseende på varje dotterkretskort.

2. Anordning enligt krav 1, k ä n n e t e c k n a d därav, att multibitadresskodpartiet av minnesförfrågan svarar mot antalet mest signifikanta adressbitar kodade för specificering av det maximala antalet rader i minneschipsen som kan upptagas på de dotterkretskort, vilka kan inbyggas i ett minnessystem, och att dotterkretskorten är identiska.

3. Anordning enligt krav 1, k ä n n e t e c k n a d därav, att avkodningskretsen (12) innefattar ett antal diskreta avkodningskretsar (12-10 till 12-8), vilka kretsar var och en har en aktiveringsinkrets och en inväljarkrets, att aktiveringsinkretsen i varje avkodningskrets är kopplad för mottagning av en annan logisk kombination av nämnda modulparametersignaler (MDDBEN100-M256PR200) och att inväljarkretsen i var och en av avkodningskretsarna är kopplad för mottagning av åtminstone en av ett antal olika kombinationer av bitar av nämnda multibitadressparti, varvid varje avkodningskrets vid aktivering medelst en logisk signal, erhållen från parametersignalerna, är inrättad att alstra avkodningsväljarsignaler för tillförsel till dotterkretskorten 20-1, 20-2 i den förutbestämda sekvensen, som specificeras av kodningen av de olika kombinationerna av adressbitar, vilka påtryckts avkodningskretsarnas inväljarkretsar.

4. Anordning enligt krav 1, k ä n n e t e c k n a d därav, att dotterkretskorten (20-1, 20-2) är konstruerade att ha en av ett antal populationsdensiteter och en av ett antal storlekar av minneschip (240-1 till 243-22) och att resp identifieringskretsar (26-1, 26-2) innefattar ett antal utanslutningar och ett motsvarande antal överkopplingsledare (A00A-A00D), vilka är selektivt kopplade till olika utanslutningar för alstring av nämnda modulparametersignaler.

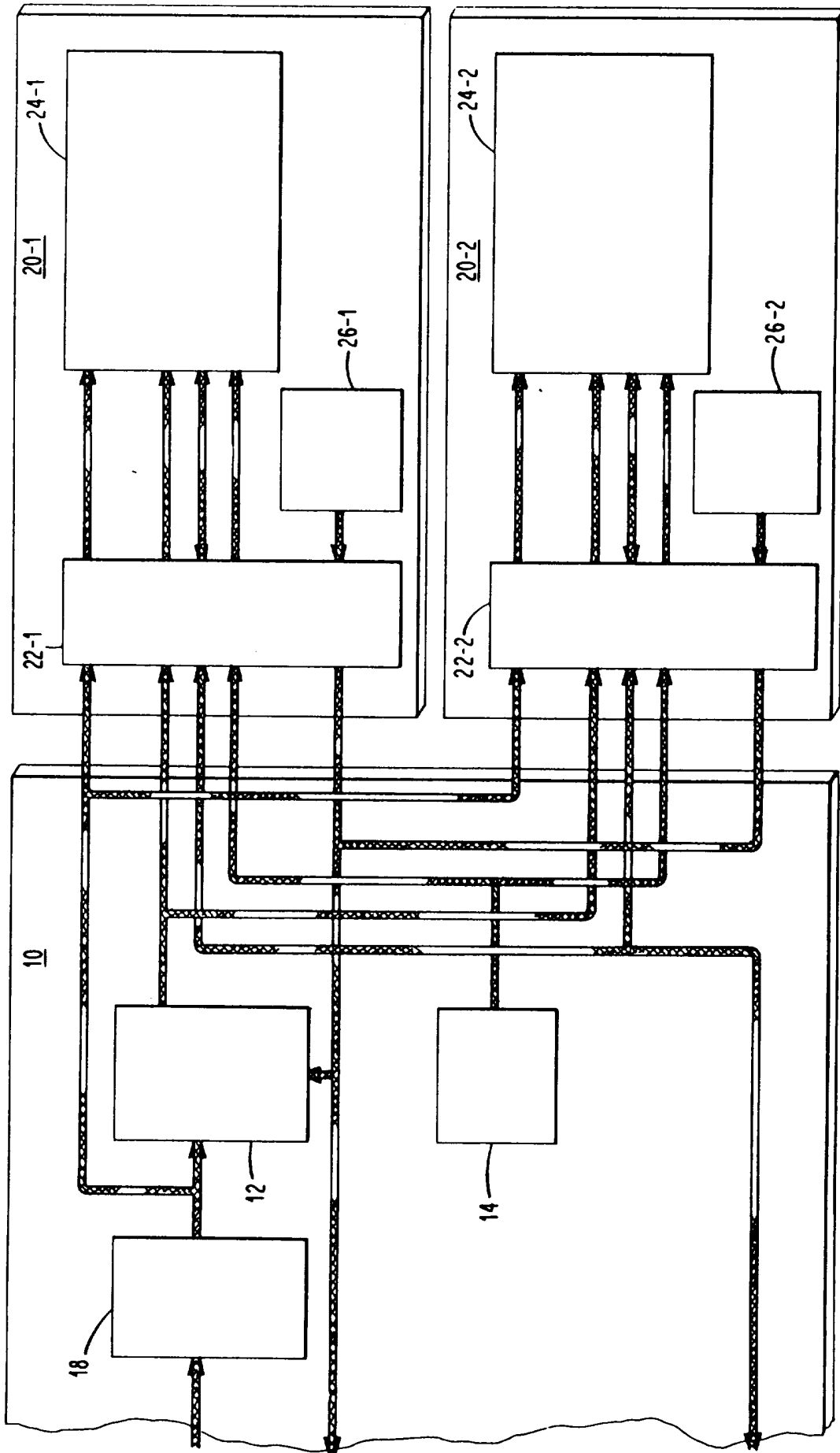


Fig. 1.

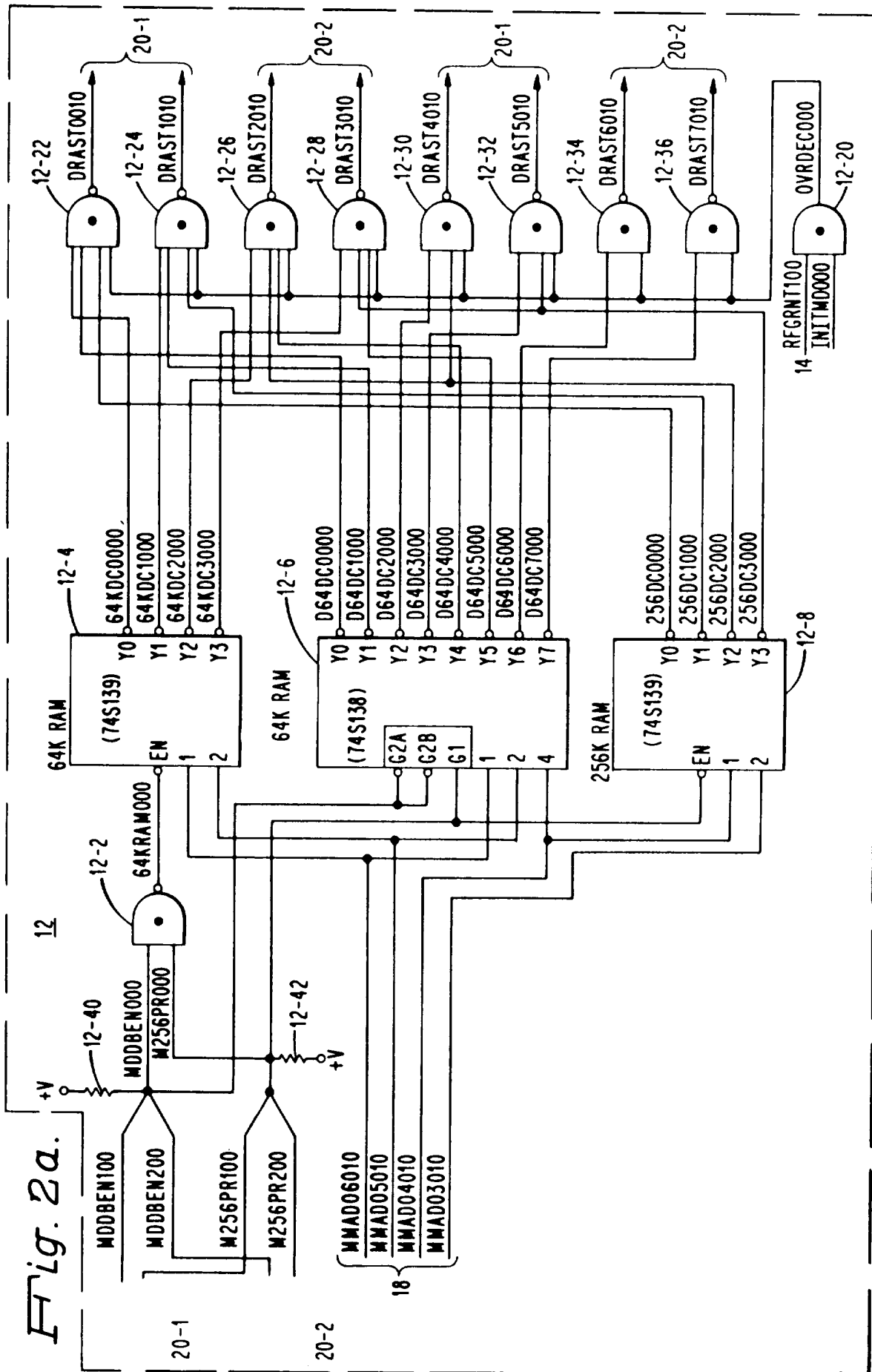
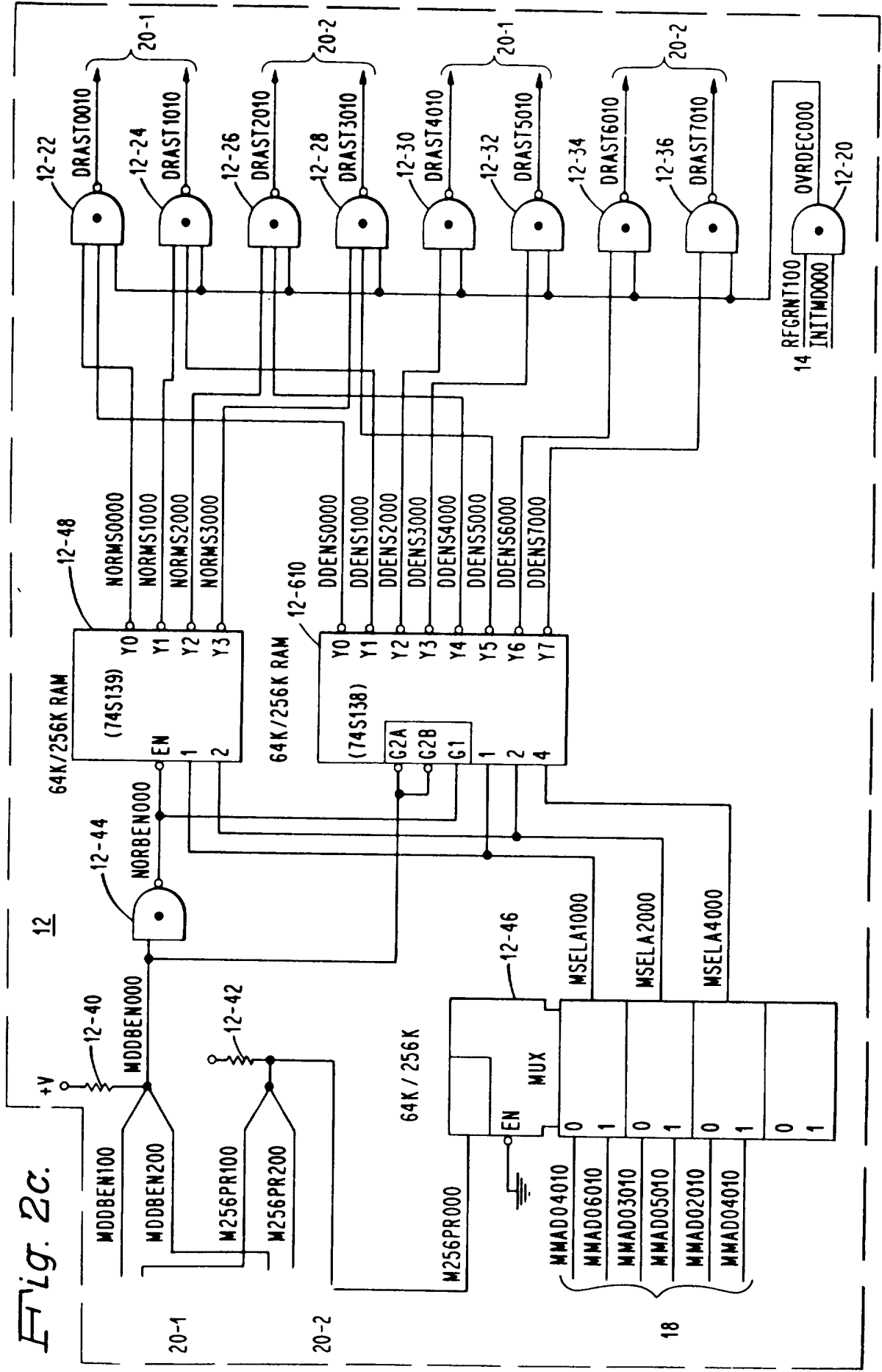


Fig. 2c.

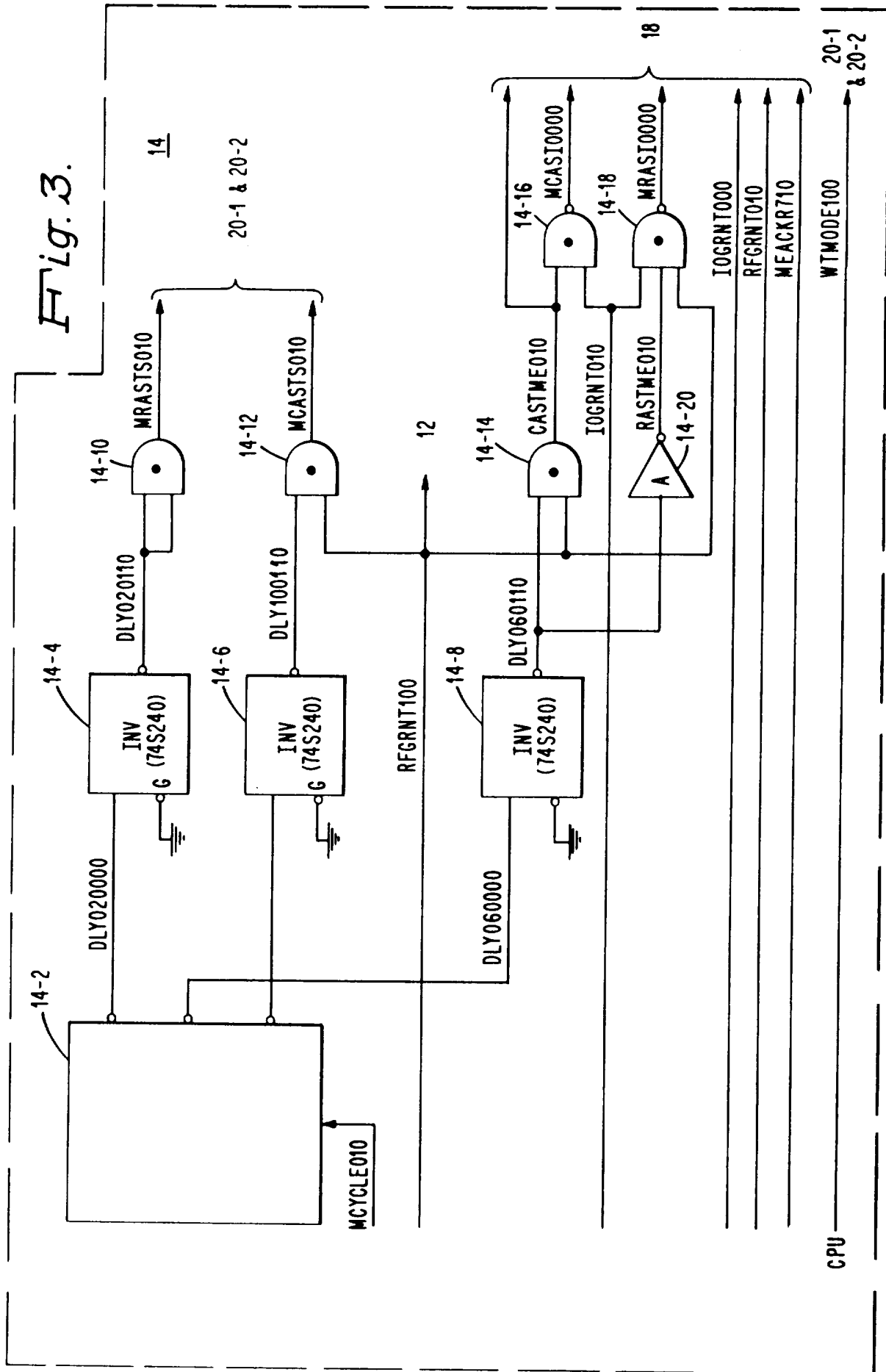


20-1

20-2

18

Fig. 3.



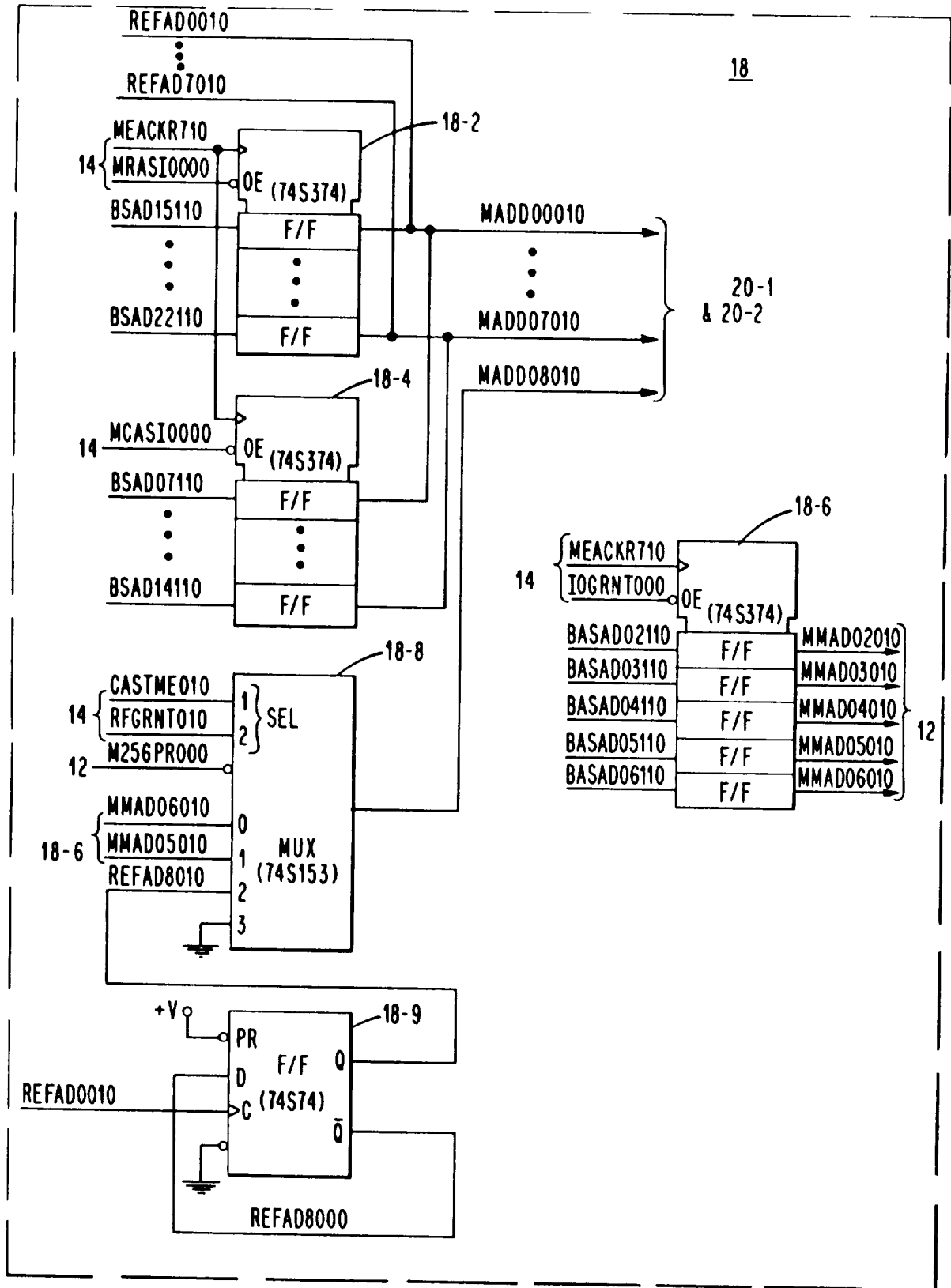
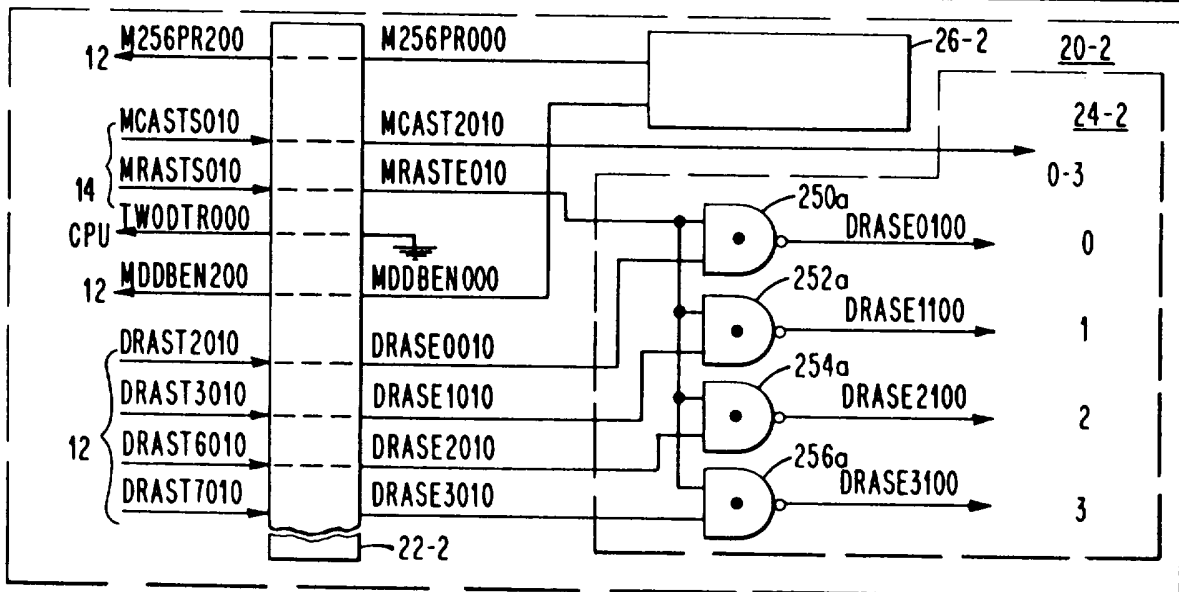
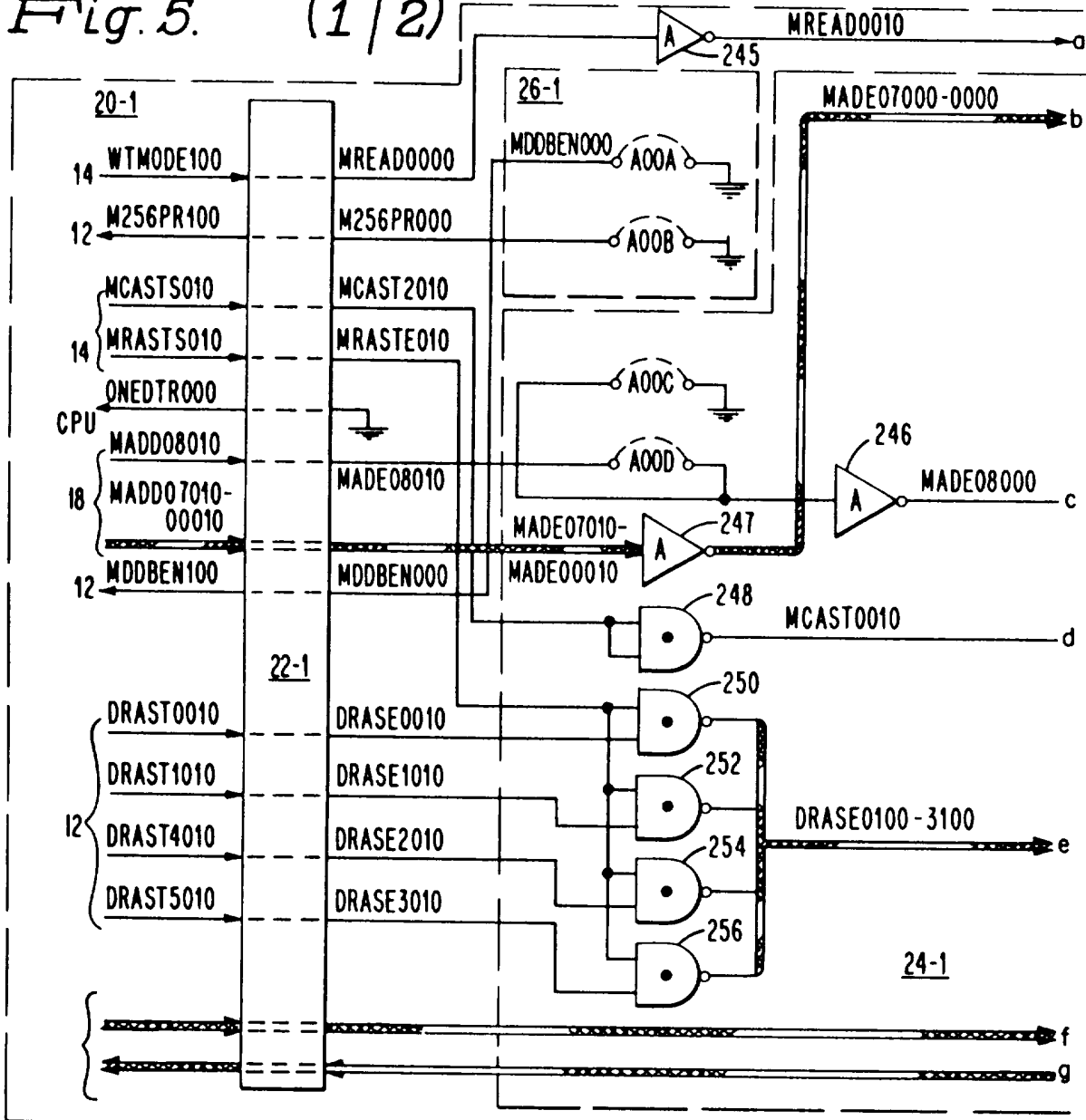


Fig. 4.

Fig. 5. (1/2)



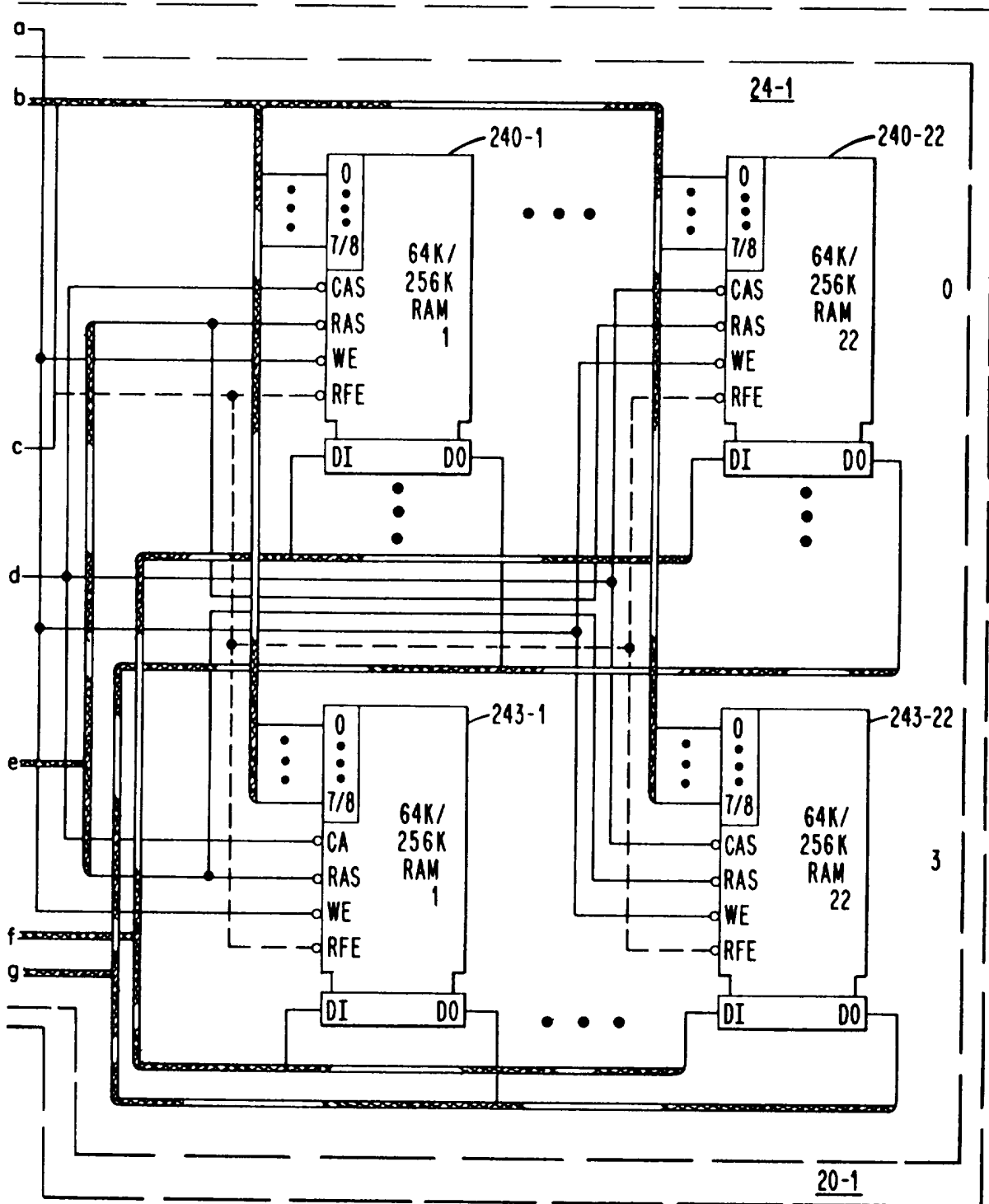


Fig. 5. (2 / 2)

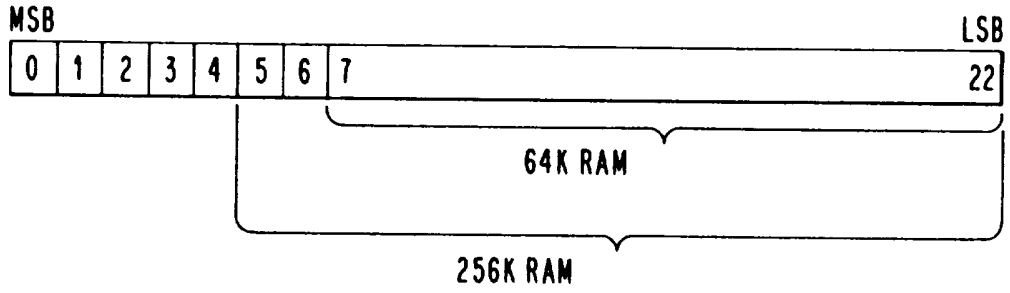


Fig. 6.

A00A	*		
A00A		*	
A00B	*		256K RAM
A00B		*	64K RAM
A00C	*		64K RAM
A00C		*	256K RAM
A00D	*		256K RAM
A00D		*	64K RAM

Fig. 7.

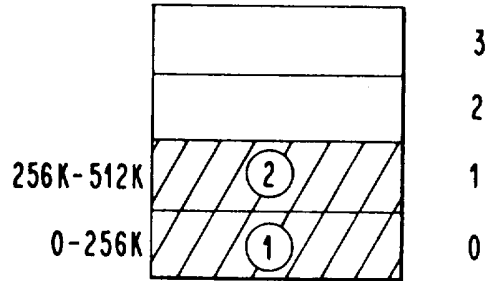
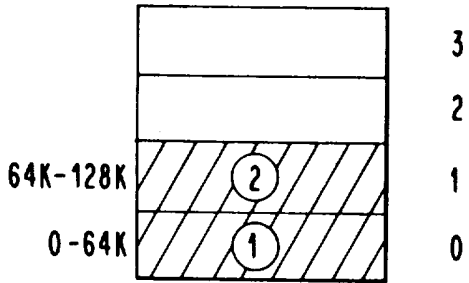
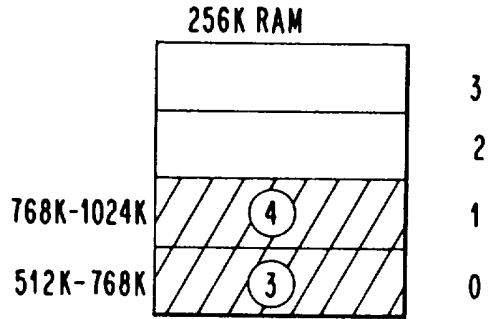
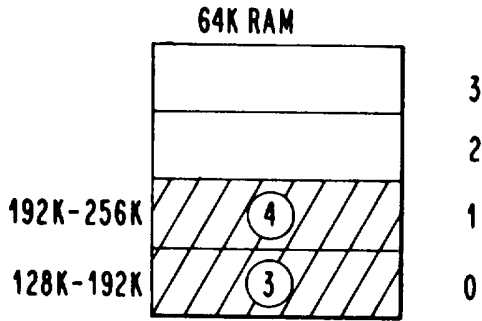


Fig. 8a.

Fig. 8c.

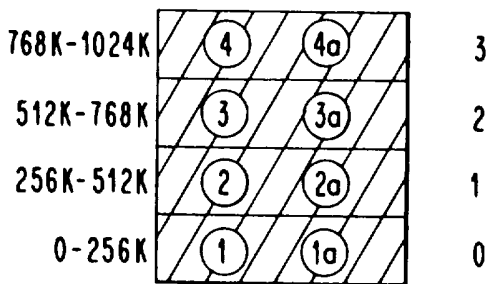
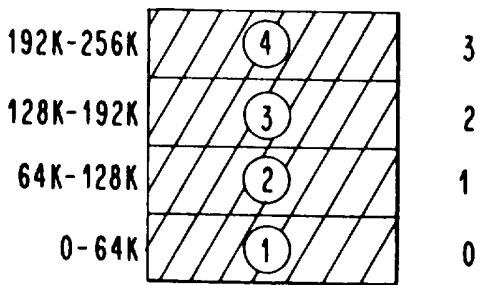
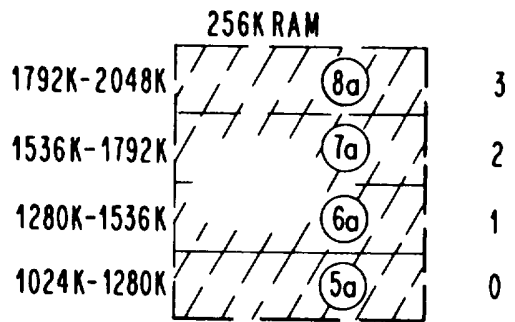
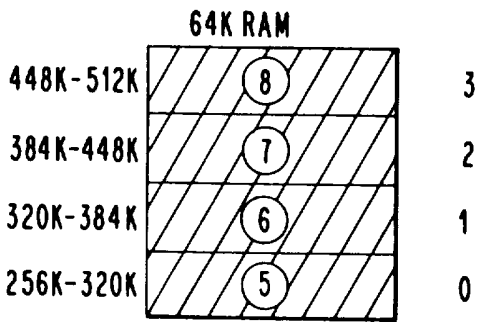


Fig. 8b.

Fig. 8d.