

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4321486号
(P4321486)

(45) 発行日 平成21年8月26日(2009.8.26)

(24) 登録日 平成21年6月12日(2009.6.12)

(51) Int.Cl.

F I

HO 1 L 21/336 (2006.01)	HO 1 L	29/78	6 1 6 A
HO 1 L 29/786 (2006.01)	HO 1 L	29/78	6 2 7 C
GO 2 F 1/1368 (2006.01)	HO 1 L	29/78	6 1 6 T
GO 9 F 9/30 (2006.01)	GO 2 F	1/1368	
	GO 9 F	9/30	3 3 8

請求項の数 19 (全 37 頁)

(21) 出願番号 特願2005-117115 (P2005-117115)
 (22) 出願日 平成17年4月14日(2005.4.14)
 (65) 公開番号 特開2006-54424 (P2006-54424A)
 (43) 公開日 平成18年2月23日(2006.2.23)
 審査請求日 平成17年5月6日(2005.5.6)
 (31) 優先権主張番号 特願2004-204574 (P2004-204574)
 (32) 優先日 平成16年7月12日(2004.7.12)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100107836
 弁理士 西 和哉
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100101465
 弁理士 青山 正和
 (72) 発明者 世良 博
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 江口 司
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

前記半導体膜上に前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応するレジストの膜厚を、前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャネル領域に対応する前記レジストの膜厚より薄く形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングするとともに、前記レジストの薄い部分を通して前記半導体膜に高濃度不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記チャネル領域に対応する位置に前記ゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体膜に前記高濃度不純物より低濃度の不純物を注入し、前記ソース側低濃度領域と、前記ドレイン側低濃度領域を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】

10

20

前記レジスト形成工程において、露光時に、局所的に透過率の異なるフォトリソマスクを用いることによって、前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応する前記レジストの膜厚を、前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する前記レジストの膜厚より薄く形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記レジスト形成工程において、前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応するレジストの膜厚を、50 nm ~ 200 nm に形成することを特徴とする請求項 1 又は 2 のいずれかに記載の半導体装置の製造方法。

【請求項 4】

前記高濃度不純物領域形成工程において、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応する部分の前記半導体膜を露出させ、前記半導体膜に前記高濃度不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程を有する請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

前記半導体膜上にレジストを形成するとともに、前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応する前記レジストの膜厚を、前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する前記レジストの膜厚より薄く形成する工程と、

前記レジストの薄い部分を通して前記半導体膜に高濃度不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体膜に前記高濃度不純物より低濃度の不純物を注入し、前記ソース側低濃度領域と、前記ドレイン側低濃度領域を形成する工程と、を有し、

前記エッチング工程において、膜厚を厚く形成した前記レジストの下方の前記半導体膜に前記高濃度不純物が注入された不純物領域で、かつ、前記チャンネル領域のチャンネル長に平行に延在する不純物領域の前記半導体膜を除去することを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 5 に記載の半導体装置の製造方法により製造された半導体装置であって、

前記ソース側高濃度領域と前記ドレイン側高濃度領域の幅は、前記ソース側低濃度領域と前記ドレイン側低濃度領域の幅よりも狭いことを特徴とする半導体装置。

【請求項 7】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

前記半導体膜上にレジストを形成するとともに、前記ソース側高濃度領域、前記ドレイン側高濃度領域、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記

10

20

30

40

50

レジストの膜厚を、前記チャンネル領域に対応する前記レジストの膜厚より薄く形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングするとともに、前記レジストの薄い部分を通して前記半導体膜に低濃度不純物を注入し、前記ソース側低濃度領域及び前記ドレイン側低濃度領域を形成する工程と、

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体膜に前記低濃度不純物より高濃度の不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、を有することを特徴とする半導体装置の製造方法。

10

【請求項 8】

前記レジスト形成工程において、露光時に、局所的に透過率の異なるフォトマスクを用いることによって、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚を、前記チャンネル領域に対応する前記レジストの膜厚より薄く形成することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】

前記レジスト形成工程において、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応するレジストの膜厚を、50 nm ~ 200 nm に形成することを特徴とする請求項 7 又は 8 に記載の半導体装置の製造方法。

20

【請求項 10】

前記低濃度不純物領域形成工程において、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

前記ソース側高濃度領域、前記ドレイン側高濃度領域、前記ドレイン側低濃度領域及び前記ソース側低濃度領域に対応する部分の前記半導体膜を露出させ、前記半導体膜に前記低濃度不純物を注入し、前記ソース側低濃度領域及び前記ドレイン側低濃度領域を形成する工程を有する請求項 7 ~ 9 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、

30

基板上に半導体膜を形成する工程と、

前記半導体膜上にレジストを形成するとともに、前記ソース側高濃度領域、前記ドレイン側高濃度領域、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚を、前記チャンネル領域に対応する前記レジストの膜厚より薄く形成する工程と、

前記レジストの薄い部分を通して前記半導体膜に低濃度不純物を注入し、前記ソース側低濃度領域及び前記ドレイン側低濃度領域を形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

40

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体膜に前記低濃度不純物より高濃度の不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、を有し、

前記エッチング工程において、膜厚を厚く形成した前記レジストの下方の前記半導体膜に前記低濃度不純物が注入された不純物領域で、かつ、前記チャンネル領域のチャンネル長に平行に延在する不純物領域の前記半導体膜を除去することを特徴とする半導体装置の製造

50

方法。

【請求項 1 2】

請求項 1 1 に記載の半導体装置の製造方法により製造された半導体装置であって、前記ソース側高濃度領域と前記ドレイン側高濃度領域の幅は、前記ソース側低濃度領域と前記ドレイン側低濃度領域の幅よりも狭いことを特徴とする半導体装置。

【請求項 1 3】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

前記半導体膜上に、中央が平坦部であり、両端がテーパ部となるように前記レジストを形成する工程と、

前記レジストのテーパ部を通して、前記半導体膜に高濃度不純物を注入し、前記半導体膜に濃度勾配領域及び前記チャンネル領域を形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に前記チャンネル領域又は前記チャンネル領域及び前記濃度勾配領域の一部に対応する位置に前記ゲート電極を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 1 4】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

第 1 及び第 2 半導体装置形成領域において、前記半導体膜上に、中央が平坦部であり、両端がテーパ部となるようにレジストを形成する工程と、

前記レジストのテーパ部を通して、前記半導体膜に高濃度不純物を注入し、前記半導体膜に濃度勾配領域及び前記チャンネル領域を形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、

前記第 1 半導体装置形成領域において前記ゲート絶縁膜上の前記チャンネル領域に対応する位置に前記ゲート電極を形成するとともに、前記第 2 半導体装置形成領域において前記チャンネル領域及び前記濃度勾配領域の一部に対応する位置に前記ゲート電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 1 5】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

第 1 半導体装置形成領域において、前記半導体膜上に、中央が平坦部であり、両端がテーパ部となるようにレジストを形成する工程と、

第 2 半導体装置形成領域において、前記半導体膜上にレジストを形成するとともに、不純物を注入する領域の前記レジストの膜厚を薄く形成する工程と、

前記レジストのテーパ部又は薄い部分を通して、前記半導体膜に高濃度不純物を注入することで、前記第 1 半導体装置形成領域の前記半導体膜に濃度勾配領域及び前記チャンネル領域を形成するとともに、前記第 2 半導体装置形成領域の前記半導体膜に前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、
前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する
工程と、

前記第1半導体装置形成領域の前記ゲート絶縁膜上の前記チャンネル領域及び前記濃度勾
配領域の一部に対応する位置に前記ゲート電極を形成するとともに、前記第2半導体装置
形成領域の前記ゲート絶縁膜上の前記チャンネル領域に対応する位置に前記ゲート電極を形
成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項16】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度
領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲ
ート電極と、を有する半導体装置の製造方法であって、

10

基板上に半導体膜を形成する工程と、

前記半導体膜上に、後でチャンネル領域となる中央が平坦部であり、後で高濃度注入領域
となる端部の膜厚が前記平坦部よりも薄く、後で濃度勾配領域となる、前記平坦部と膜厚
が薄い前記端部との間が、テーパ形状となるようにレジストを形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

前記レジストを通して、前記半導体膜に高濃度不純物を注入し、前記半導体膜に前記チ
ャネル領域、前記高濃度注入領域及び前記濃度勾配領域を形成する工程と、

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する
工程と、

20

前記ゲート絶縁膜上の前記チャンネル領域又は前記チャンネル領域及び前記濃度勾配領域の
一部に対応する位置に前記ゲート電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項17】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度
領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲ
ート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

第1及び第2半導体装置形成領域において、前記半導体膜上に、後でチャンネル領域とな
る中央が平坦部であり、後で高濃度注入領域となる端部の膜厚が前記平坦部よりも薄く、
後で濃度勾配領域となる、前記平坦部と膜厚が薄い前記端部との間が、テーパ形状とな
るようにレジストを形成する工程と、

30

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

前記レジストを通して、前記半導体膜に高濃度不純物を注入し、前記半導体膜に前記チ
ャネル領域、前記高濃度注入領域及び前記濃度勾配領域を形成する工程と、

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する
工程と、

前記第1半導体装置形成領域において前記ゲート絶縁膜上の前記チャンネル領域に対応す
る位置に前記ゲート電極を形成するとともに、前記第2半導体装置形成領域において前記
チャンネル領域及び前記濃度勾配領域の一部に対応する位置に前記ゲート電極を形成する工
程と、

40

を有することを特徴とする半導体装置の製造方法。

【請求項18】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度
領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲ
ート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

第1半導体装置形成領域において、前記半導体膜上に、後でチャンネル領域となる中央が
平坦部であり、後で高濃度注入領域となる端部の膜厚が前記平坦部よりも薄く、後で濃度

50

勾配領域となる、前記平坦部と膜厚が薄い前記端部との間が、テーパ形状となるようにレジストを形成する工程と、

第2半導体装置形成領域において、前記半導体膜上にレジストを形成するとともに、不純物を注入する領域の前記レジストの膜厚を薄く形成する工程と、

前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、

前記レジストを通して、前記半導体膜に高濃度不純物を注入し、前記第1半導体装置形成領域の前記半導体膜に前記チャンネル領域、前記高濃度注入領域及び前記濃度勾配領域を形成するとともに、前記第2半導体装置形成領域の前記半導体膜に前記ソース側高濃度領域と前記ドレイン側高濃度領域とを形成する工程と、

前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、

前記第1半導体装置形成領域の前記ゲート絶縁膜上の前記チャンネル領域又は前記チャンネル領域及び前記濃度勾配領域の一部に対応する位置に前記ゲート電極を形成するとともに、前記第2半導体装置形成領域の前記ゲート絶縁膜上の前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項19】

ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、

基板上に半導体膜を形成する工程と、

第1半導体装置形成領域において、前記半導体膜上にレジストを形成するとともに、前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応する前記レジストの膜厚を、前記チャンネル領域、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚より薄くなるように形成する工程と、

第2半導体装置形成領域において、前記半導体膜上にレジストを形成するとともに、前記ソース側高濃度領域、前記ドレイン側高濃度領域、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚を、前記チャンネル領域に対応する前記レジストの膜厚より薄く、かつ、前記第1半導体装置形成領域における前記ソース側高濃度領域、前記ドレイン側高濃度領域に対応する前記レジストの膜厚よりも厚くなるように形成する工程と、

前記第1及び第2半導体装置形成領域各々の前記半導体膜を前記レジストをマスクとしてエッチングするとともに、前記半導体膜に高濃度不純物を注入し、前記第1半導体装置形成領域には前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成し、前記第2半導体装置形成領域には前記ソース側低濃度領域、ドレイン側低濃度領域及び前記チャンネル領域を形成する工程と、

前記第1及び第2半導体装置形成領域各々に形成された前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、

前記第1半導体装置形成領域において、前記ゲート絶縁膜上に前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、

前記第2半導体装置形成領域において、前記ゲート絶縁膜上に前記チャンネル領域、ソース側低濃度領域及びドレイン側低濃度領域に対応する位置に前記ゲート電極を形成する工程と、

前記第1及び第2半導体装置形成領域各々の前記ゲート電極をマスクとして前記半導体膜に前記高濃度不純物より低濃度の不純物を注入し、前記第1半導体装置形成領域にソース側低濃度領域及び前記ドレイン側低濃度領域を形成する工程と、

前記第1半導体装置形成領域の全面をレジストで被覆するとともに、前記第2半導体装置形成領域の前記半導体膜に高濃度不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置、半導体装置の製造方法、並びに電気光学装置に関する。

【背景技術】**【0002】**

液晶装置、有機エレクトロルミネッセンス(EL)装置、プラズマディスプレイ等の電気光学装置として、マトリクス状に配置された多数のドットを、ドット毎に駆動するために、各ドットに薄膜半導体装置であるTFT(Thin film transistor)を設けたアクティブマトリクス型の電気光学装置が広く利用されている。上記TFTは、非結晶シリコン又は多結晶シリコンをチャンネル領域とするものが一般的である。特に低温プロセスのみで製造される多結晶シリコンTFTは、電子又は正孔が大きな電界移動度を有するため、上記液晶装置、有機EL装置等の電気光学装置に広く採用されている。

10

【0003】

TFTとしては、LDD(Lightly Doped Drain)構造を有するTFT及びGOLD(Gate-drainOverlapped LDD)構造を有するTFTが広く知られている。LDD構造を有するTFTは、ゲート電極の直下領域の外側領域に対応する多結晶シリコン層に低濃度不純物領域を形成し、その外側領域にソース領域及びドレイン領域となる高濃度不純物領域を形成した構造をしており、オフ電流値を抑制する効果がある。一方、GOLD構造を有するTFTは、上記LDD構造の低濃度不純物領域をゲート電極の端部の直下領域までオーバーラップして形成した構造をしており、ホットキャリア現象を抑制する効果がある。

20

【0004】

上記LDD及びGOLD構造を有するTFTを形成する方法としては、回折格子パターンを有するフォトリソマスク等を使用して中央部より端部に膜厚の薄い領域を有するレジストパターンを形成し、導電膜をエッチングし、中央部より端部に膜厚の薄い領域を有するゲート電極を形成し、このゲート電極をマスクとして半導体層に不純物を注入することによりLDD構造を有するTFTを形成する方法が開示されている(例えば、特許文献1)。

【特許文献1】特開2002-151523号公報

【発明の開示】**【発明が解決しようとする課題】**

30

【0005】

ところで、上記特許文献1に開示のLDD及びGOLD構造を有するTFT形成方法では、上記レジストパターンをマスクとして、ゲート電極の両端部を残膜厚が初期膜厚の5~30%になるようにドライエッチングし、このゲート電極をマスクとして半導体層に低濃度不純物領域を形成している。

しかしながら、上記LDD及びGOLD構造を有するTFT形成方法では、ゲート電極の膜厚を所定の厚さに制御するために、ドライエッチングの選択比を考慮しなければならず、ゲート電極の加工が複雑となるという問題があった。さらに、ドライエッチングする際には、上述したようにゲート電極の膜厚を制御するために選択比を考慮してエッチングするが、この所望の選択比にするために、ゲート電極を構成する材料、エッチング液等の選択に制限が課せられるという問題があった。

40

【0006】

本発明は、上記課題に鑑みてなされたものであり、その目的は、LDD又はGOLD構造を有する半導体装置の製造工程を簡略化する方法を提供することにある。

【課題を解決するための手段】**【0007】**

本発明は、上記課題を解決するために、ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、基板上に半導体膜を形成する工程と、前記半導体膜上に前記ソース側高濃度領域及び

50

前記ドレイン側高濃度領域に対応するレジストの膜厚を、前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する前記レジストの膜厚より薄く形成する工程と、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングするとともに、前記レジストの薄い部分を通して前記半導体膜に高濃度不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に前記高濃度不純物より低濃度の不純物を注入し、前記ソース側低濃度領域と、前記ドレイン側低濃度領域を形成する工程と、を有することを特徴とする。

10

【0008】

本願発明の製造方法により製造した半導体装置は、いわゆるLDD構造を有する半導体装置であり、オフ電流値が小さいという特性を有している。

従来、LDD構造を有する半導体装置は、一般的にフォトリソグラフィ工程を3回行うことによって形成している。例えば、半導体層を所定形状にエッチングするためのマスクを形成する際に上記工程を行い、さらに、ゲート電極を所定形状にパターニングするためのマスクを形成する際に上記工程を2回行っている。

これに対して、本願発明では、レジストを半導体層上に直接的に形成した後、このレジストのソース及びドレイン側高濃度領域に対応する膜厚をフォトリソグラフィ法により所定形状に薄く形成している。これにより、上記レジストをマスクとして半導体層を所定形状にエッチングするとともに、再度上記レジストをマスクとして所定濃度の不純物を上記半導体層に注入することができる。即ち、1回のフォトリソグラフィ工程により形成した所定形状のレジストを、半導体層のエッチングと、不純物の注入との両工程に併用することができる。そのため、ゲート電極を所定形状にパターニングする工程と合わせて2回のフォトリソグラフィ工程によりLDD構造を有する半導体装置を形成することができる。従って、従来法と比較して、フォトリソグラフィ工程を1回削減することができる。また、フォトリソグラフィ工程に付随する工程、例えば、レジスト剥離等の工程についても同時に削減することができる。

20

また、フォトリソグラフィをマスクとして半導体層に直接的に不純物注入を行うため、半導体層上に形成されるゲート絶縁膜を介さず不純物を注入することができる。従って、不純物照射によるゲート絶縁膜へのダメージを回避することができ、絶縁性を確保した信頼性の高いゲート絶縁膜を提供することができる。

30

また、本願発明では、上記レジストをマスクとしてソース及びドレイン側高濃度領域を形成し、上記ゲート電極をマスクとしてソース及びドレイン側低濃度領域を形成しているため、全ての不純物領域を自己整合的（セルフアライン）に形成することができる。

さらに、上記半導体層を所定形状にパターニングする前に、半導体層に形成するソース及びドレイン側高濃度領域の位置を設定することができる。従って、半導体層に不純物注入してソース及びドレイン側高濃度領域を形成する際に、マスクと半導体層との位置合わせを行う必要がなく、高精度に上記領域を半導体層に形成することができる。

【0009】

40

また、半導体装置の製造方法の前記レジスト形成工程において、露光時に、局所的に透過率の異なるフォトマスクを用いることによって、前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応する前記レジストの膜厚を、前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する前記レジストの膜厚より薄く形成することも好ましい。

このような構成によれば、フォトリソグラフィ工程において、マスク又はレチクルを透過する露光光の光強度を制御して、レジストを露光、現像処理することができる。即ち、ハーフトーン露光が可能となる。これにより、レジストの膜厚を所定の膜厚に制御して形成することができる。従って、上記レジストの膜厚を変化させることにより、半導体層に高濃度、低濃度、又は非不純物領域を選択制御して形成することができる。

50

【0010】

また、半導体装置の製造方法の前記レジスト形成工程において、前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応するレジストの膜厚を、50nm～200nmに形成することも好ましい。

このような構成によれば、イオン注入装置によって半導体層に照射された高濃度の不純物が、高濃度の状態を維持してレジストを通過することができる。従って、半導体層に高濃度不純物から構成されるソース及びドレイン領域を形成することができる。

【0011】

また、半導体装置の製造方法の前記高濃度不純物領域形成工程において、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応する部分の前記半導体膜を露出させ、前記半導体膜に前記高濃度不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程を有することも好ましい。

レジストを半導体層上に成膜する場合、半導体層上に均一にレジストを成膜することが困難である。これにより、レジスト表面が平坦ではないため半導体層に均一に不純物が注入されない場合がある。これに対して、本願発明によれば、高濃度の不純物を注入する半導体層の領域が露出しているため、露出した平坦な半導体層に直接的に不純物を注入することができる。これにより、半導体層に不純物を均一に注入することができる。

【0012】

また、上記製造方法により製造された半導体装置であって、前記ソース側高濃度領域及び前記ドレイン側高濃度領域が前記半導体膜の端部から同じ領域幅で形成され、前記半導体膜の前記ソース側高濃度領域及び前記ドレイン側高濃度領域の膜厚が前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域の膜厚よりも薄いことも好ましい。

このような構成によれば、ソース及びドレイン側高濃度領域が半導体層の端部から同じ領域幅で形成されているため、所定の電気的特性を有する半導体装置を得ることができる。

上記半導体層の端部から同じ領域幅でソース側及びドレイン側高濃度領域が形成される理由としては、本願発明では、半導体層上にレジストを成膜した後、このレジストにフォトリソグラフィ工程によるハーフトーン露光を施すことにより、不純物注入される半導体領域に対応するレジスト領域を予め形成している。即ち、レジストの薄く形成した領域が、半導体層におけるソース及びドレイン側高濃度領域となる。そして、このレジストをマスクとして上記半導体層を所定形状にエッチングし、その後、半導体層に不純物を注入する。従って、半導体層を所定形状にエッチングする前なので、半導体層の幅に関係なく、即ち位置合わせすることなく、自己整合的（セルフアライン）にソース及びドレイン側高濃度領域を形成することができる。また、レジストの加工時に、レジストの薄く形成する領域をレジストの端部から同じ領域幅で形成することにより、半導体層に形成されるソース及びドレイン側高濃度領域の半導体層の端部から同じ領域幅で制御することができる。

また、ソース側及びドレイン側高濃度領域の半導体層の膜厚が薄くなる理由としては、一般的に、半導体層中に高濃度の不純物が注入されていると、この高濃度不純物領域は、非不純物領域に比べエッチングレートが速いという特性を有する。また、半導体層上にゲート絶縁膜を成膜する際には、半導体層上に前もってフッ酸（強酸）処理を施すことが一般的である。従って、高濃度不純物が注入された半導体層は、他の非不純物領域に比べてフッ酸のエッチングレートが早いため、ソース側及びドレイン側高濃度領域の半導体層の膜厚は他の領域の膜厚と比べて薄くなっている。この半導体層の膜厚が薄く形成されるソース及びドレイン側高濃度領域は、半導体層の両端部から同じ領域幅で形成される。

【0013】

また本発明の半導体装置の製造方法は、ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記

10

20

30

40

50

半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、基板上に半導体膜を形成する工程と、前記半導体膜上に前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応するレジストの膜厚を、前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する前記レジストの膜厚より薄く形成する工程と、前記レジストの薄い部分を通して前記半導体膜に高濃度不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に前記高濃度不純物より低濃度の不純物を注入し、前記ソース側低濃度領域と、前記ドレイン側低濃度領域を形成する工程と、を有し、前記エッチング工程において、膜厚を厚く形成した前記レジストの下方の前記半導体膜に前記高濃度不純物が注入された不純物領域で、かつ、前記チャンネル領域のチャンネル長に平行に延在する不純物領域の前記半導体膜を除去することを特徴とする。

10

【0014】

この方法によれば、少なくともチャンネル領域のチャンネル長に平行に延在する不純物領域をエッチング処理により除去する。これにより、上記不純物領域をバスとしたソース領域からドレイン領域への電荷のリークを防止することができる。従って、ゲート電極をオン/オフすることにより、半導体装置の正確なスイッチングが可能となる。

【0015】

20

また本発明は、上記半導体装置の製造方法により製造された半導体装置であって、前記ソース側高濃度領域と前記ドレイン側高濃度領域の幅は、前記ソース側低濃度領域と前記ドレイン側低濃度領域の幅以下であることを特徴とする。

【0016】

この構成によれば、膜厚を厚く形成したレジストの直下の不純物領域を確実に除去することができる。これにより、上記不純物領域をバスとしたソース領域からドレイン領域への電荷のリークを防止することができる。従って、ゲート電極をオン/オフすることにより、半導体装置の正確なスイッチングが可能となる。

【0017】

また、本願発明は、ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、基板上に半導体膜を形成する工程と、前記半導体膜上に前記ソース側高濃度領域、前記ドレイン側高濃度領域、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚を、前記チャンネル領域に対応する前記レジストの膜厚より薄く形成する工程と、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングするとともに、前記レジストの薄い部分を通して前記半導体膜に低濃度不純物を注入し、前記ソース側低濃度領域及び前記ドレイン側低濃度領域を形成する工程と、前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に前記低濃度不純物より高濃度の不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、を有することを特徴とする。

30

40

【0018】

本願発明の製造方法により製造した半導体装置は、いわゆるGOLD構造を有する半導体装置であり、ホットキャリア対策効果に優れているという特性を有している。

このような構成によれば、レジストを半導体層上に直接的に形成した後、このレジストのソース及びドレイン側低濃度領域もしくは低濃度領域及び高濃度領域に対応する膜厚をフォトリソグラフィ法により所定形状に薄く形成している。これにより、上記レジストをマスクとして半導体層を所定形状にエッチングするとともに、再度上記レジストをマス

50

クとして所定濃度の不純物を上記半導体層に注入することができる。即ち、1回のフォトリソグラフィ工程により形成した所定形状のレジストを、半導体層のエッチングと、不純物の注入との両工程に併用することができる。そのため、ゲート電極を所定形状にパターンニングする工程と合わせて2回のフォトリソグラフィ工程によりGOLD構造を有する半導体装置を形成することができる。従って、従来法と比較して、フォトリソグラフィ工程を1回削減することができる。また、フォトリソグラフィ工程に付随する工程、例えば、レジスト剥離等の工程についても同時に削減することができる。

【0019】

また、半導体装置の製造方法の前記レジスト形成工程において、露光時に、局所的に透過率の異なるフォトマスクを用いることによって、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚を、前記チャンネル領域に対応する前記レジストの膜厚より薄く形成することも好ましい。

10

このような構成によれば、フォトリソグラフィ工程において、マスク又はレチクルを透過する露光光の光強度を制御して、レジストを露光、現像処理することができる。即ち、ハーフトーン露光が可能となる。これにより、レジストの膜厚を所定の膜厚に制御して形成することができる。従って、上記レジストの膜厚を変化させることにより、半導体層に高濃度、低濃度、又は非不純物領域を選択制御して形成することができる。

【0020】

また、半導体装置の製造方法の前記レジスト形成工程において、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応するレジストの膜厚を、50nm～200nmに形成することも好ましい。

20

このような構成によれば、イオン注入装置によって半導体層に照射された低濃度の不純物が、低濃度の状態を維持してレジストを通過することができる。従って、半導体層に高濃度不純物から構成されるソース及びドレイン領域を形成することができる。

【0021】

また、半導体装置の製造方法の前記低濃度不純物領域形成工程において、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、前記ソース側高濃度領域、前記ドレイン側高濃度領域前記、前記ドレイン側低濃度領域及び前記ソース側低濃度領域に対応する部分の前記半導体膜を露出させ、前記半導体膜に前記低濃度不純物を注入し、前記ソース側低濃度領域及び前記ドレイン側低濃度領域を形成する工程を有することも好ましい。

30

レジストを半導体層上に成膜する場合、半導体層上に均一にレジストを成膜することが困難である。これにより、レジスト表面が平坦ではないため半導体層に均一に不純物が注入されない場合がある。これに対して、本願発明によれば、低濃度の不純物を注入する半導体層の領域が露出しているため、露出した平坦な半導体層に直接的に不純物を注入することができる。これにより、半導体層に不純物を均一に注入することができる。

【0022】

また本発明の半導体装置の製造方法は、ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、基板上に半導体膜を形成する工程と、前記半導体膜上に前記ソース側高濃度領域、前記ドレイン側高濃度領域、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚を、前記チャンネル領域に対応する前記レジストの膜厚より薄く形成する工程と、前記レジストの薄い部分を通して前記半導体膜に低濃度不純物を注入し、前記ソース側低濃度領域及び前記ドレイン側低濃度領域を形成する工程と、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記ソース側低濃度領域、前記ドレイン側低濃度領域及び前記チャンネル領域に対応する位置に前記ゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に前記低濃度不純物より高濃度の不純物を注入し、前記ソース側高濃度領域及び前

40

50

記ドレイン側高濃度領域を形成する工程と、を有し、前記エッチング工程において、膜厚を厚く形成した前記レジストの下方の前記半導体膜に前記低濃度不純物が注入された不純物領域で、かつ、前記チャンネル領域のチャンネル長に平行に延在する不純物領域の前記半導体膜を除去することを特徴とする。

【 0 0 2 3 】

この方法によれば、少なくともチャンネル領域のチャンネル長に平行に延在する不純物領域をエッチング処理により除去する。これにより、上記不純物領域をパスとしたソース領域からドレイン領域への電荷のリークを防止することができる。従って、ゲート電極をオン/オフすることにより、半導体装置の正確なスイッチングが可能となる。

【 0 0 2 4 】

また本発明は、上記半導体装置の製造方法により製造された半導体装置であって、前記ソース側高濃度領域と前記ドレイン側高濃度領域の幅は、前記ソース側低濃度領域と前記ドレイン側低濃度領域の幅以下であることを特徴とする。

【 0 0 2 5 】

この構成によれば、膜厚を厚く形成したレジストの直下の不純物領域を確実に除去することができる。これにより、上記不純物領域をパスとしたソース領域からドレイン領域への電荷のリークを防止することができる。従って、ゲート電極をオン/オフすることにより、半導体装置の正確なスイッチングが可能となる。

【 0 0 2 6 】

また、本願発明は、ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、基板上に前記半導体膜を形成する工程と、前記半導体膜上に、中央が平坦部であり、両端がテーパ部となるように前記レジストを形成する工程と、前記レジストのテーパ部を通して、前記半導体膜に高濃度不純物を注入し、前記半導体膜に濃度勾配領域及び前記チャンネル領域を形成する工程と、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記チャンネル領域又は前記チャンネル領域及び前記濃度勾配領域の一部に対応する位置に前記ゲート電極を形成する工程と、を有することを特徴とする。

このような構成によれば、レジストをテーパ状に形成しているため、半導体層の端部からチャンネル領域への膜厚の増加に伴って、注入する不純物は膜厚に反比例して濃度勾配を持つ。即ち、半導体層の端部からチャンネル領域に向かって徐々に不純物の濃度が低下する。従って、上記テーパ状のレジストを用いることにより一回の不純物注入により所定の濃度勾配を有する不純物領域、例えば、ソース及びドレイン高濃度不純物領域、ソース及びドレイン低濃度不純物領域を半導体層に形成することができる。

【 0 0 2 7 】

また、上記半導体装置の製造方法において、前記ゲート絶縁膜上に前記チャンネル領域に対応する位置に前記ゲート電極を形成する半導体装置と、前記チャンネル領域及び前記濃度勾配領域の少なくとも一部に対応する位置にゲート電極を形成する半導体装置と、を同一基板上に形成することも好ましい。

このように L D D 及び G O L D 構造を有する半導体装置の形成において、不純物注入の際のマスクとしてテーパ状のマスクを用いることによって、1 回の不純物注入により同一基板上に L D D 及び G O L D 構造を有する半導体装置を形成することができる。また、L D D 及び G O L D 構造を有する半導体装置の不純物領域を全てセルフアラインで形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【 0 0 2 8 】

また、上記半導体装置の製造方法において、中央が平坦部であり、両端がテーパ部である前記レジストを用いて形成する半導体装置と、不純物を注入する領域の膜厚が薄く形成された前記レジストを用いて形成する半導体装置と、を同一基板上に形成することも好

10

20

30

40

50

ましい。

このようにLDD構造を有する半導体装置の形成においてマスクとしてソース側及びドレイン側高濃度領域に対応するレジストを薄く形成したマスクを用い、GOLD構造を有する半導体装置の形成においてマスクとしてテーパ状のマスクを用いることによって、従来の方法と比較してフォトリソグラフィ工程の回数を削減して同一基板上にLDD及びGOLD構造を有する半導体装置を形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【0029】

また、本願発明は、ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャンネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、基板上に前記半導体膜を形成する工程と、前記半導体膜上に、後でチャンネル領域となる中央が平坦部であり、後で高濃度注入領域となる端部の膜厚が前記平坦部よりも薄く、後で濃度勾配領域となる、前記平坦部と膜厚が薄い前記端部との間が、テーパ形状となるように前記レジストを形成する工程と、前記レジストをマスクとして前記半導体膜を所定パターンにエッチングする工程と、前記レジストを通して、前記半導体膜に高濃度不純物を注入し、前記半導体膜に前記チャンネル領域、前記高濃度注入領域及び前記濃度勾配領域を形成する工程と、前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に前記チャンネル領域又は前記チャンネル領域及び前記濃度勾配領域の一部に対応する位置に前記ゲート電極を形成する工程と、を有することを特徴とする。

このような構成によれば、レジストをテーパ状に形成しているため、高濃度領域からチャンネル領域への膜厚の増加に伴って、注入する不純物は膜厚に反比例して濃度勾配を持つ。即ち、高濃度領域からチャンネル領域に向かって徐々に不純物の濃度が低下する。従って、上記テーパ状のレジストを用いることにより1回の不純物注入により所定の濃度勾配を有する不純物領域、例えば、ソース及びドレイン高濃度不純物領域、ソース及びドレイン低濃度不純物領域を半導体層に形成することができる。

【0030】

また、上記半導体装置の製造方法において、前記ゲート絶縁膜上に前記チャンネル領域に対応する位置に前記ゲート電極を形成する半導体装置と、前記チャンネル領域及び前記濃度勾配領域の一部に対応する位置にゲート電極を形成する半導体装置と、を同一基板上に形成することも好ましい。

このようにLDD及びGOLD構造を有する半導体装置の形成において、不純物注入の際のマスクとしてテーパ状のマスクを用いることによって、1回の不純物注入により同一基板上にLDD及びGOLD構造を有する半導体装置を形成することができる。また、LDD及びGOLD構造を有する半導体装置の不純物領域を全てセルフアラインで形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【0031】

また、上記半導体装置の製造方法において、前記チャンネル領域に相当する部分である中央が平坦部であり、前記高濃度注入領域である端部においては膜厚が薄くなるように前記レジストを形成する工程と、前記平坦部と膜厚が薄い前記端部との間の前記濃度勾配領域はテーパ形状となるように形成された前記レジストを用いて形成する半導体装置と、不純物を注入する領域の膜厚が薄く形成された前記レジストを用いて形成する半導体装置と、を同一基板上に形成することも好ましい。

このようにLDD構造を有する半導体装置の形成においてマスクとしてソース側及びドレイン側高濃度領域に対応するレジストを薄く形成したマスクを用い、GOLD構造を有する半導体装置の形成においてマスクとしてテーパ状のマスクを用いることによって、従来の方法と比較してフォトリソグラフィ工程の回数を削減して同一基板上にLDD及びGOLD構造を有する半導体装置を形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【 0 0 3 2 】

また、本願発明は、ソース側高濃度領域とドレイン側高濃度領域とソース側低濃度領域とドレイン側低濃度領域とチャネル領域とを有する半導体層と、前記半導体層と絶縁膜を介して対向したゲート電極と、を有する半導体装置の製造方法であって、基板上に半導体膜を形成する工程と、第1半導体装置形成領域において、前記半導体膜上に前記ソース側高濃度領域及び前記ドレイン側高濃度領域に対応する前記レジストの膜厚を、前記チャネル領域、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚より薄くなるように前記レジストを形成する工程と、第2半導体装置形成領域において、前記ソース側高濃度領域、前記ドレイン側高濃度領域、前記ソース側低濃度領域及び前記ドレイン側低濃度領域に対応する前記レジストの膜厚を、前記チャネル領域に対応する前記レジストの膜厚より薄く、かつ、前記第1半導体装置形成領域における前記ソース側高濃度領域、前記ドレイン側高濃度領域に対応する前記レジストの膜厚よりも厚くなるように前記レジストを形成する工程と、前記第1及び第2半導体装置形成領域各々の前記半導体膜を前記レジストをマスクとしてエッチングするとともに、前記半導体膜に高濃度不純物を注入し、前記第1半導体装置形成領域には前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成し、前記第2半導体装置形成領域には前記ソース側低濃度領域、ドレイン側低濃度領域及び前記チャネル領域を形成する工程と、前記第1及び第2半導体装置形成領域各々に形成された前記レジストを前記半導体膜上から除去し、前記半導体膜上にゲート絶縁膜を形成する工程と、前記第1半導体装置形成領域において、前記ゲート絶縁膜上に前記チャネル領域に対応する位置に前記ゲート電極を形成する工程と、前記第2半導体装置形成領域において、前記ゲート絶縁膜上に前記チャネル領域、ソース側低濃度領域及びドレイン側低濃度領域に対応する位置に前記ゲート電極を形成する工程と、前記第1及び第2半導体装置形成領域各々の前記ゲート電極をマスクとして前記半導体膜に前記高濃度不純物より低濃度の不純物を注入し、前記第1半導体装置形成領域にソース側低濃度領域及び前記ドレイン側低濃度領域を形成する工程と、前記第1半導体装置形成領域の全面をレジストで被覆するとともに、前記第2半導体装置形成領域の前記半導体膜に高濃度不純物を注入し、前記ソース側高濃度領域及び前記ドレイン側高濃度領域を形成する工程と、を有することを特徴とする。

【 0 0 3 3 】

本願発明は、レジストをハーフトーン露光することにより、高濃度不純物が通過する領域、低濃度不純物が通過する領域及び不純物を遮断する領域をレジストに形成している。即ち、ハーフトーン露光することにより、レジストに3階調のパターンを形成している。このようにLDD及びGOLD構造を有する半導体装置の形成において上記マスクを用いることによって、従来の方法と比較してフォトリソグラフィ工程の回数を減少させて同一基板上にLDD及びGOLDを形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【 0 0 3 4 】

本願発明は、上記半導体装置の製造方法により製造された半導体装置である。

本願発明によれば、ソース側高濃度領域及びドレイン側高濃度領域が半導体層の端部から同じ領域幅で形成されているため、所定の電気的特性を有する半導体装置を得ることができる。

また、本願発明は、上記半導体装置を備える電気光学装置である。

本願発明によれば、製造工程を削減して電気光学装置を製造し提供することができる。なお、本願発明において、電気光学装置とは、電界により物質の屈折率が変化して光の透過率を変化させる電気光学効果を有するものの他、電気エネルギーを光学エネルギーに変換するもの等も含んで総称している。

【 発明を実施するための最良の形態 】

【 0 0 3 5 】

[第1の実施の形態]

(電気光学装置の構造)

10

20

30

40

50

図1～図3に基づいて、本発明に係る実施形態の電気光学装置の構造について説明する。本実施形態では、スイッチング素子としてTFT（薄膜半導体装置）を用いたアクティブマトリクス型の透過型液晶装置を例として説明する。

図1は本実施形態の液晶装置の画像表示領域を構成するマトリクス状に配置された複数のドットにおけるスイッチング素子、信号線等の等価回路図、図2はデータ線、走査線、画素電極等が形成されたTFTアレイ基板の1ドットを拡大して示す平面図、図3は本実施形態の液晶装置の構造を示す断面図であって、図2のA-A'線断面図である。なお、図3においては、図示上側が光入射側、図示下側が視認側（観察者側）である場合について図示している。また、各図においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせてある。

【0036】

本実施形態の液晶装置において、図1に示すように、画像表示領域を構成するマトリクス状に配置された複数のドットには、画素電極9と当該画素電極9を制御するためのスイッチング素子であるTFT（薄膜半導体装置）90がそれぞれ形成されており、画像信号が供給されるデータ線6aが当該TFT90のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給されるか、あるいは相隣接する複数のデータ線6aに対してグループ毎に供給される。

【0037】

また、走査線3aがTFT90のゲートに電氣的に接続されており、複数の走査線3aに対して走査信号G1、G2、…、Gmが所定のタイミングでパルスのように線順次で印加される。また、画素電極9はTFT90のドレインに電氣的に接続されており、スイッチング素子であるTFT90を一定期間だけオンすることにより、データ線6aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。

【0038】

画素電極9を介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、後述する共通電極との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ここで、保持された画像信号がリークすることを防止するために、画素電極9と共通電極との間に形成される液晶容量と並列に蓄積容量98が付加されている。

【0039】

図3に示すように、本実施形態の液晶装置は、液晶層102を挟持して対向配置され、TFT90や画素電極9が形成されたTFTアレイ基板100と、共通電極108が形成された対向基板104とを具備して概略構成されている。

【0040】

以下、図2に基づいて、TFTアレイ基板100の平面構造について説明する。

TFTアレイ基板100には、矩形状の画素電極9が複数、マトリクス状に設けられており、図2に示すように、各画素電極9の縦横の境界に沿って、データ線6a、走査線3a及び容量線3bが設けられている。本実施形態において、各画素電極9及び各画素電極9を囲むように配設されたデータ線6a、走査線3a等が形成された領域が1ドットとなっている。

【0041】

データ線6aは、TFT90を構成する多結晶半導体膜14aのうちソース領域18に、コンタクトホール92を介して電氣的に接続されており、画素電極9は、多結晶半導体膜14aのうちドレイン領域19に、コンタクトホール96、ソース線6b、コンタクトホール94を介して電氣的に接続されている。また、走査線3aの一部が、多結晶半導体膜14aのうちチャネル領域20に対向するように拡幅されており、走査線3aの拡幅された部分が、ゲート電極として機能する。以下、走査線3aにおいて、ゲート電極として機能する部分を単に「ゲート電極」と称し、符号24aで示す。また、TFT90を構成する多結晶半導体膜14aは、容量線3bと対向する部分にまで延設されており、この延設部分1fを下電極、容量線3bを上電極とする蓄積容量（蓄積容量素子）98が形成さ

10

20

30

40

50

れている。

【0042】

次に、図3に基づいて、本実施形態の液晶装置の断面構造について説明する。

TFTアレイ基板100は、ガラス等の透光性材料からなる基板本体(透光性基板)10とその液晶層102側表面に形成された画素電極9、TFT90、配向膜11を主体として構成されており、対向基板104はガラス等の透光性材料からなる基板本体104Aとその液晶層102側表面に形成された共通電極108と配向膜110とを主体として構成されている。

【0043】

詳細には、TFTアレイ基板100において、基板本体10の直上に、シリコン酸化膜等からなる下地保護膜(緩衝膜)12が形成されている。また、基板本体10の液晶層102側表面にはインジウム錫酸化物(ITO)等の透明導電性材料からなる画素電極9が設けられ、各画素電極9に隣接する位置に、各画素電極9をスイッチング制御する画素スイッチング用TFT90が設けられている。

【0044】

下地保護膜12上には、多結晶シリコンからなる多結晶半導体膜14aが所定のパターンで形成されており、この多結晶半導体膜14a上に、シリコン酸化膜等からなるゲート絶縁膜22が形成され、このゲート絶縁膜22上に、走査線3a(ゲート電極24a)が形成されている。本実施形態では、ゲート電極24aの側面はゲート絶縁膜22の表面に対してテーパ状となっている。また、多結晶半導体膜14aのうち、ゲート絶縁膜22を介してゲート電極24aと対向する領域が、ゲート電極24aからの電界によりチャンネルが形成されるチャンネル領域20となっている。また、多結晶半導体膜14aにおいて、チャンネル領域20の一方側(図示左側)には、ソース領域18が形成され、他方側(図示右側)にはドレイン領域19が形成されている。そして、ゲート電極24a、ゲート絶縁膜22、後述するデータ線6a、ソース線6b、多結晶半導体膜14aのソース領域18、チャンネル領域20、ドレイン領域19等により、画素スイッチング用TFT90が構成されている。

【0045】

本実施形態において、画素スイッチング用TFT90は、LDD構造を有するものとなっており、ソース領域18及びドレイン領域19には、各々、不純物濃度が相対的に高い高濃度領域(高濃度ソース領域、高濃度ドレイン領域)と、相対的に低い低濃度領域(LDD領域(低濃度ソース領域、低濃度ドレイン領域))が形成されている。以下、高濃度ソース側高濃度領域、ソース側低濃度領域を、符号18、26で表し、ドレイン側高濃度領域、ドレイン側低濃度領域を、各々、符号19、27で表す。

【0046】

また、走査線3a(ゲート電極24a)が形成された基板本体10上には、シリコン酸化膜等からなる第1層間絶縁膜4が形成されており、この第1層間絶縁膜4上に、データ線6a及びソース線6bが形成されている。データ線6aは、第1層間絶縁膜4に形成されたコンタクトホール92を介して、多結晶半導体膜14aのソース側高濃度領域18に電氣的に接続されており、ソース線6bは、第1層間絶縁膜4に形成されたコンタクトホール94を介して、多結晶半導体膜14aのドレイン側高濃度領域19に電氣的に接続されている。

【0047】

また、データ線6a、ソース線6bが形成された第1層間絶縁膜4上には、シリコン窒化膜等からなる第2層間絶縁膜5が形成されており、第2層間絶縁膜5上に、画素電極9が形成されている。画素電極9は、第2層間絶縁膜5に形成されたコンタクトホール96を介して、ソース線6bに電氣的に接続されている。

また、多結晶半導体膜14aのドレイン側高濃度領域19からの延設部分1f(下電極)に対して、ゲート絶縁膜22と一体形成された絶縁膜(誘電体膜)を介して、走査線3aと同層に形成された容量線3bが上電極として対向配置されており、これら延設部分1

10

20

30

40

50

fと容量線3bにより蓄積容量98が形成されている。

また、TF Tアレイ基板100の液晶層102側最表面には、液晶層102内の液晶分子の配列を制御するための配向膜11が形成されている。

【0048】

他方、対向基板104においては、基板本体104Aの液晶層102側表面に、液晶装置に入射した光が、少なくとも、多結晶半導体膜14aのチャンネル領域20及び低濃度領域26、27に入射することを防止するための遮光膜106が形成されている。また、遮光膜106が形成された基板本体104A上には、そのほぼ全面に渡って、ITO等からなる共通電極108が形成され、その液晶層102側には、液晶層102内の液晶分子の配列を制御するための配向膜22が形成されている。

10

【0049】

(薄膜半導体装置の製造方法)

図4(a)~(c)、図5(a)~(c)は、本実施形態におけるLDD構造を有するnチャンネル型のTF Tの製造方法を工程順に示す概略断面図である。

まず、図4(a)に示すように、基板10として、超音波洗浄等により清浄化したガラス基板等の透光性基板を用意する。その後、基板の表面温度が150~450となる条件下で、基板10の全面にシリコン酸化膜等からなる下地保護膜(緩衝膜)12をプラズマCVD法等により100~500nmの厚さに成膜する。この工程において用いる原料ガスとしては、モノシランと一酸化二窒素との混合ガスや、TEOS(テトラエトキシシラン、 $Si(OC_2H_5)_4$)と酸素、ジシランとアンモニア等が好適である。

20

【0050】

次に、図4(a)に示すように、下地保護膜12の全面に、非晶質シリコンからなる非晶質半導体膜14をプラズマCVD法等により30~100nmの厚さに成膜する。この工程において用いる原料ガスとしては、ジシランやモノシランが好適である。次に、非晶質半導体膜14に対して、レーザーアニールを施すなどして、非晶質半導体膜14を多結晶化し、多結晶シリコンからなる多結晶半導体膜14aを形成する。

【0051】

次に、図4(b)に示すように、上記非晶質半導体膜14上にフォトレジスト16を成膜し、フォトリソグラフィ法により所定形状にパターニングする。ここで、フォトリソグラフィ法においては、フォトレジスト16に転写露光する所定パターンマスク又はレチクルとしてハーフトーンマスクを使用している。このハーフトーンマスクは、露光装置から照射される露光光を遮断する部分と、露光光を完全に透過させる部分と、露光光を部分的に透過させる部分とを有している。部分的に露光光を透過させるマスク又はレチクル領域には、スリット等からなる回折格子パターンが設けられ、露光光の透過する光強度を制御することができるようになっている。

30

【0052】

このようにして、露光時に上記ハーフトーンマスクを使用して、フォトレジスト16の形状を、多結晶半導体膜14aのソース側高濃度領域18及びドレイン側高濃度領域19に対応するフォトレジスト16領域の膜厚が、チャンネル領域20aに対応するフォトレジスト16の膜厚よりも薄くなるように形成する。つまり、多結晶半導体膜14aに高濃度の不純物イオン注入を行った場合に、照射された高濃度の不純物イオンがフォトレジスト16を高濃度の状態で通過し、上記ソース側高濃度領域18及びドレイン側高濃度領域19に注入されるようなフォトレジスト16の膜厚であることを意味する。このようなフォトレジスト16の膜厚としては、例えば、50nm~200nm程度であることが好ましい。

40

一方、多結晶半導体膜14aのソース側高濃度領域18及びドレイン側高濃度領域19以外のチャンネル領域20aに対応するフォトレジスト16の膜厚としては、多結晶半導体膜14aに高濃度の不純物イオン注入を行った場合に、照射された高濃度の不純物イオンをフォトレジスト16領域内で遮断し、多結晶半導体膜14aに所定濃度の不純物イオンが到達しない程度の膜厚である。このようなフォトレジスト16の膜厚としては、例えば

50

、200nm以上であることが好ましい。

なお、上記チャネル領域20aは、後述においてソース側低濃度領域26、ドレイン側低濃度領域27及びチャネル領域20に対応する領域である。

【0053】

次に、図4(c)に示すように、上記所定形状にパターニングされたフォトレジスト16をマスクとして、フォトレジスト16の下層に形成されている多結晶半導体膜14aを所定形状にエッチングする。エッチング方法としては、ドライエッチング又はウエットエッチング等の各種方法が適用可能である。

続けて、図4(c)に示すように、上記フォトレジスト16をマスクとして、多結晶半導体膜14aに対して、高濃度の不純物イオン(リンイオン)を例えば、 $0.1 \times 10^{15} \sim 約10 \times 10^{15} / \text{cm}^2$ のドーズ量で注入する。これによって、上記フォトレジスト16の膜厚が薄い領域については、上記高濃度の不純物イオンが高濃度の状態でフォトレジスト16を通過し、多結晶半導体膜14aに注入される。このようにしてフォトレジスト16をマスクとして、自己整合的(セルフアライメント)に多結晶半導体膜14aにソース側高濃度領域18及びドレイン側高濃度領域19を形成することができる。一方、上記フォトレジスト16の膜厚が厚い領域については、上記高濃度の不純物イオンがフォトレジスト16の領域内において遮断されるため、不純物イオンは多結晶半導体膜14aの領域には到達しない。このように所定濃度の不純物イオンが注入されなかった領域は、不純物が添加されない多結晶半導体膜14aから構成されるチャネル領域20aとなる。

また、多結晶半導体膜14aのエッチングを不純物イオン注入の後に実施する方法も好ましい。

【0054】

本実施形態で特徴的な点は、上述したように、多結晶半導体膜14aに成膜したフォトレジスト16を直接上記所定形状にパターニングし、これをマスクとして高濃度の不純物イオンを多結晶半導体膜14aに注入している点である。即ち、従来のようにゲート絶縁膜を介して高濃度の不純物イオンを注入するのではなく、ゲート絶縁膜を成膜する前に、多結晶半導体膜14aに高濃度の不純物イオンを注入している点である。従って、半導体装置の形成後において、本実施形態のゲート絶縁膜22に含有する不純物濃度と、従来法におけるゲート絶縁膜に含有する不純物濃度とを比較した場合、従来法におけるゲート絶縁膜に含有する不純物濃度の方が高濃度の不純物を含有している。これにより、ゲート絶縁膜に含有する不純物濃度が例えば $1 \times 10^{14} / \text{cm}^2$ 以上の濃度であれば、ゲート絶縁膜を介して高濃度の不純物イオンを注入したことになる。

【0055】

次に、図5(a)に示すように、多結晶半導体膜14a上に成膜されたフォトレジスト16を剥離し、剥離した多結晶半導体膜14a上を含む基板10全面に、プラズマCVD法、スパッタ法等によりゲート絶縁膜22を形成する。続けて、ゲート絶縁膜22上に後述するゲート電極となる導電膜24を全面に形成する。

【0056】

次に、図5(b)に示すように、上記導電膜24上の全面にフォトレジスト30を成膜し、フォトリソグラフィ法により上記フォトレジスト30を露光、現像処理し所定形状にパターニングする。ここで、上記フォトレジスト30は、下層に形成される図5(b)のチャネル領域20aの領域幅よりも小さく、かつ、チャネル領域20aの両端部に後述するソース及びドレイン側低濃度領域26、27が形成されるように位置合わせして形成されている。

【0057】

次に、図5(c)に示すように、上記所定形状にパターニングしたフォトレジスト30をマスクとして導電膜24をエッチングし、ゲート電極24aを形成する。

続けて、ゲート電極24aをマスクとして例えば、 $約0.1 \times 10^{13} \sim 約10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン(リンイオン)を注入する。このようにして、多結晶半導体膜14a領域のチャネル領域20の両端部に、ソース側低濃度領域2

10

20

30

40

50

6及びドレイン側低濃度領域27を形成する。このようにして、いわゆるLDD構造を有する半導体装置を形成する。

【0058】

上述した方法により製造されたLDD構造を有する半導体装置は、ソース側高濃度領域18及びドレイン側高濃度領域19の領域幅が、多結晶半導体膜14aの端部から同じ幅で形成されている。また、多結晶半導体膜14aのソース側高濃度領域18及びドレイン側高濃度領域19の膜厚は、ソース側低濃度領域26、ドレイン側低濃度領域27及びチャンネル領域20の膜厚よりも薄く形成されている。

【0059】

以上説明したように、本実施形態では、フォトレジスト16を半導体層上に直接的に形成した後、このフォトレジスト16のソース側高濃度領域18及びドレイン側高濃度領域19に対応する膜厚をフォトリソグラフィー法により所定形状に薄く形成している。これにより、上記フォトレジスト16をマスクとして多結晶半導体膜14aを所定形状にエッチングするとともに、再度上記フォトレジスト16をマスクとして所定濃度の不純物を上記半導体層に注入することができる。即ち、一回のフォトリソグラフィー工程により形成した所定形状のフォトレジスト16を、多結晶半導体膜14aのエッチングと、不純物の注入との両工程にマスクとして併用することができる。従って、従来法と比較して、フォトリソグラフィー工程を1回削減することができる。また、フォトリソグラフィー工程に付随する工程、例えば、フォトレジスト16剥離等の工程についても同時に削減することができる。

また、フォトレジスト16をマスクとして多結晶半導体膜14aに直接的に不純物注入を行うため、多結晶半導体膜14a上に形成されるゲート絶縁膜22を介さずに不純物を注入することができる。従って、不純物照射によるゲート絶縁膜22へのダメージを回避することができ、絶縁性を確保した信頼性の高いゲート絶縁膜22を提供することができる。

また、上記フォトレジスト16をマスクとしてソース側高濃度領域18及びドレイン側高濃度領域19を形成し、上記ゲート電極24aをマスクとしてソース側低濃度領域26及びドレイン側低濃度領域27を形成しているため、全ての不純物領域を自己整合性（セルフアライン）で形成することができる。

さらに、上記多結晶半導体膜14aを所定形状にパターンニングする前に、多結晶半導体膜14aに形成するソース側高濃度領域18及びドレイン側高濃度領域19を設定することができる。従って、多結晶半導体膜14aに不純物注入してソース側高濃度領域18及びドレイン側高濃度領域19を形成する際に、マスクと多結晶半導体膜14aとの位置合わせを行う必要がなく、高精度に上記ソース側高濃度領域18及びドレイン側高濃度領域19を多結晶半導体膜14aに形成することができる。

【0060】

[第2の実施形態]

次に、本実施形態におけるGOLD構造を有する半導体装置の形成方法について図6(a)～(c)を参照して説明する。

図6(a)～(c)は、本実施形態におけるGOLD構造を有するnチャンネル型のTFETの製造方法を工程順に示す概略断面図である。なお、上記第1実施形態と同様の工程については本実施形態において説明を省略化又は簡略化し、共通の構成要素には同一の符号を付す。

【0061】

まず、図6(a)に示すように、基板10上の全面に下地保護膜12を形成し、下地保護膜12上に多結晶半導体膜14aを成膜する。次に、多結晶半導体膜14a上にフォトレジスト16を成膜し、所定形状にパターンニングする。フォトレジスト16のパターン形状としては、上述したように、ハーフトーンマスクを用い、多結晶半導体膜14aの図中6(a)のソース領域18a及びドレイン領域19aに対応するフォトレジスト16領域の膜厚を薄く形成する。つまり、多結晶半導体膜14aに低濃度の不純物イオン注入を行

った場合に、照射された低濃度の不純物イオンがフォトレジスト16を低濃度の状態で通過し、上記所定領域に注入されるような膜厚にフォトレジスト16を形成する。このようなフォトレジスト16の膜厚としては、例えば、50nm~200nm程度であることが好ましい。

一方、多結晶半導体膜14aのソース領域18a及びドレイン領域19a以外のチャネル領域20に対応するフォトレジスト16の膜厚としては、多結晶半導体膜14aに低濃度の不純物イオン注入を行った場合に、照射された低濃度の不純物イオンをフォトレジスト16領域内で遮断し、多結晶半導体膜14aに所定濃度の不純物イオンが到達しない程度の膜厚である。このようなフォトレジスト16の膜厚としては、例えば、200nm以上であることが好ましい。

なお、上記ソース領域18aは、後述においてソース側高濃度領域18及びソース側低濃度領域26に対応する領域である。また、ドレイン領域19aは、後述においてドレイン側高濃度領域19及びソース側低濃度領域27に対応する領域である。

【0062】

次に、図6(a)に示すように、上記所定形状にパターニングされたフォトレジスト16をマスクとして、フォトレジスト16の下層に形成されている多結晶半導体膜14aを所定形状にエッチングする。エッチング方法としては、ドライエッチング又はウエットエッチング等の各種方法が適用可能である。

また、多結晶半導体膜14aのエッチングを不純物イオン注入の後に実施する方法も好ましい。

【0063】

続けて、フォトレジスト16をマスクとして、例えば約 $0.1 \times 10^{13} \sim 10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン(リンイオン)を注入する。このようにして、図6(a)に示すように、多結晶半導体膜14a領域に、低濃度の不純物が注入されたソース領域18a及びドレイン領域19aを形成する。この時、フォトレジスト16の膜厚の厚い部分の直下に位置し、不純物イオンが注入されなかった領域はチャネル領域20となっている。このようにフォトレジスト16をマスクとして、自己整合的(セルフアライメント)に多結晶半導体膜14a領域に低濃度不純物領域であるソース領域18a及びドレイン領域19aを形成することができる。

【0064】

次に、多結晶半導体膜14a上に成膜されたフォトレジスト16を剥離する。次に、図6(b)に示すように、剥離した多結晶半導体膜14a上を含む基板10全面に、プラズマCVD法、スパッタ法等によりゲート絶縁膜22を形成する。続けて、ゲート絶縁膜22上に後述するゲート電極となる導電膜24を全面に形成する。

次に、図6(b)に示すように、上記導電膜24上の全面にフォトレジスト30を成膜し、フォトリソグラフィ法により上記フォトレジスト30を露光、現像処理し所定形状にパターニングする。このフォトレジスト30の幅は、図6(b)に示すように、下層に形成されるチャネル領域20の領域幅よりも大きく形成し、チャネル領域20の両端部に形成されるソース領域18a及びドレイン領域19aに一部が重なるようにする。即ち、図6(d)に示すゲート電極24aの直下にソース領域18a及びドレイン領域19aがオーバーラップするように形成される。

【0065】

次に、図6(c)に示すように、上記所定形状にパターニングしたフォトレジスト30をマスクとして導電膜24をエッチングし、ゲート電極24aを形成する。

続けて、図6(d)に示すように、ゲート電極24aをマスクとして、高濃度の不純物イオン(リンイオン)を例えば、 $0.1 \times 10^{15} \sim 10 \times 10^{15} / \text{cm}^2$ のドーズ量で注入する。このように、ゲート電極24aに被覆されていない多結晶半導体膜14a領域には、高濃度の不純物イオンが注入され、ソース側高濃度領域18及びドレイン側高濃度領域19が形成される。一方、ゲート電極24aに被覆されゲート電極24aの直下に位置する多結晶半導体膜14a領域には、不純物イオンが遮断されるため、チャネル領

10

20

30

40

50

域 20 とその両端部にソース側低濃度領域 26 及びドレイン側低濃度領域 27 が形成される。本実施形態は上記第 1 実施形態と異なり、ソース側低濃度領域 26 及びドレイン側低濃度領域 27 がゲート電極 24 a の直下にオーバーラップした状態となっており、いわゆる GOLD 構造を有する半導体装置を形成している。

【0066】

以上説明したように、上記第 1 実施形態において説明した工程を採用することによって、不純物イオンの注入工程の順番を変更し、ソース側低濃度領域 18 及びドレイン側低濃度領域 19 をゲート電極 24 a にまでオーバーラップして形成することにより、GOLD 構造を有する半導体装置を形成することができる。

【0067】

[第 3 の実施形態]

次に、同一基板上に LDD 構造と GOLD 構造とを備える半導体装置を同一基板に同時に形成する方法について図 7 (a) ~ (c) を参照して以下に説明する。なお、上記第 1 又は第 2 実施形態と同様の工程については本実施形態において説明を省略化又は簡略化する。

【0068】

図 7 (a) ~ (c) は、本実施形態における LDD 構造と GOLD 構造を有する n チャネル型の TFT の製造方法を工程順に示す概略断面図である。ここで、図 7 中右側に図示する LDD 構造を有する TFT 領域を LDD 形成領域とし、図 7 中左側に図示する GOLD 構造を有する TFT 領域を GOLD 形成領域とする。

図 7 (a) に示すように、まず、基板 40 上の全面に下地保護膜 42 を形成する。次に、非結晶半導体膜をアニール処理することにより多結晶半導体膜 44 に変換し、この多結晶半導体膜 44 上にフォトレジストを成膜する。次に、フォトレジストを上述したようにハーフトーンマスクを用いて所定形状にパターニングする。LDD 形成領域において、フォトレジスト 46 のパターニング形状としては、図 7 (a) に示すように、ソース側高濃度領域 48 及びドレイン側高濃度 49 に対応するフォトレジスト 46 の膜厚を薄く形成する。ソース側高濃度領域 48 及びドレイン側高濃度領域 49 に対応するフォトレジスト 46 の膜厚としては、例えば、50 nm ~ 200 nm 程度であることが好ましい。一方、多結晶半導体膜 44 のチャネル領域 50 a に対応するフォトレジスト 46 の膜厚としては、多結晶半導体膜 44 に高濃度の不純物イオン注入を行った場合に、照射された高濃度の不純物イオンがフォトレジスト 46 領域内で遮断される程度の膜厚である。フォトレジスト 46 の膜厚としては、例えば、200 nm 以上であることが好ましい。

なお、上記チャネル領域 50 a は、後述においてソース側低濃度領域 56、ドレイン側低濃度領域 57 及びチャネル領域 50 に対応する領域である。

【0069】

また、図 7 (a) ~ (c) に示すように、GOLD 領域において、フォトレジスト 76 のパターニング形状としては、ソース領域 78 a 及びドレイン領域 79 a に対応するフォトレジスト 76 の領域の膜厚を薄く形成する。具体的には、上記 LDD 領域において用いたフォトレジスト 46 の薄く形成した膜厚部分よりも厚くなおかつチャネル領域 80 よりも薄く形成する。このとき、フォトレジスト 76 のソース領域 78 a 及びドレイン領域 79 a に対応する領域のフォトレジスト 76 の膜厚は、多結晶半導体膜 74 に高濃度の不純物イオン注入を行った場合に、照射された低濃度の不純物イオンがフォトレジスト 76 を低濃度の状態で通過し、上記所定領域に注入されるようなフォトレジスト 76 の膜厚に形成する。即ち、高濃度の不純物イオンの一部がレジスト 76 で遮断されて低濃度になり、多結晶半導体膜 14 a に到達するようになっている。

一方、多結晶半導体膜 74 のチャネル領域 80 に対応するフォトレジスト 76 の膜厚としては、多結晶半導体膜 74 に高濃度の不純物イオン注入を行った場合に、照射された高濃度の不純物イオンがフォトレジスト 76 領域内で遮断される程度の膜厚である。フォトレジスト 76 の膜厚としては、例えば、200 nm 以上であることが好ましい。

なお、上記ソース領域 78 a は、後述においてソース側高濃度領域 78 及びソース側低

10

20

30

40

50

濃度領域 86 に対応する領域である。また、ドレイン領域 79a は、後述においてドレイン側高濃度領域 79 及びドレイン側低濃度領域 87 に対応する領域である。

次に、上記所定形状にパターニングされたフォトレジスト 46、76 をマスクとして、フォトレジスト 46、76 の下層に形成されている多結晶半導体膜 44、74 の各々を所定形状にエッチングする。なお、多結晶半導体膜 44、74 のエッチングは後述する不純物イオン注入の後に実施する方法も好ましい。

【0070】

次に、図 7 (a) に示すように、上記フォトレジスト 46、76 の各々をマスクとして、多結晶半導体膜 44 に対して、高濃度の不純物イオン（リンイオン）を例えば、 $0.1 \times 10^{15} \sim 約 10 \times 10^{15} / \text{cm}^2$ のドーズ量で注入する。これによって、LDD 領域において、上記フォトレジスト 46 の膜厚が薄い領域には、高濃度の不純物を注入し、上記フォトレジスト 46 をマスクとして自己整合的（セルフアライン）に多結晶半導体膜 44 の領域にソース側高濃度領域 48 及びドレイン側高濃度領域 49 を形成する。また、フォトレジスト 46 の直下の多結晶半導体膜 44 領域には、フォトレジスト 46 マスクにより不純物イオンを遮断するため、不純物イオンは上記多結晶半導体膜 44 に注入されず、チャンネル領域 50a を形成する。

【0071】

一方、GOLD 領域においては、上記フォトレジスト 76 の膜厚が薄い領域については、高濃度の不純物イオンがフォトレジスト 76 の膜厚によって、低濃度の状態でフォトレジスト 76 を通過し、多結晶半導体膜 74 に注入される。このようにして、フォトレジスト 76 をマスクとして自己整合的（セルフアライン）に多結晶半導体膜 74 に低濃度不純物領域であるソース領域 78a 及びドレイン領域 79a を形成する。また、フォトレジスト 76 の直下の多結晶半導体膜 74 領域には、フォトレジスト 76 マスクにより不純物イオンが遮断されるため、不純物イオンは上記多結晶半導体膜 74 に注入されず、チャンネル領域 80 が形成される。

【0072】

次に、図 7 (b) に示すように、多結晶半導体膜 44、74 への不純物注入工程の後、多結晶半導体膜 44、74 上に形成されたフォトレジスト 46、76 の各々を剥離する。次に、多結晶半導体膜 44、74 上にゲート絶縁膜 52 を形成し、続けてゲート絶縁膜 52 上に導電膜を形成する。次に、導電膜上にフォトレジストを成膜し、このフォトレジストを所定形状にパターニングする。そして、所定形状にパターニングしたフォトレジストをマスクとして下層に形成される導電膜をエッチングする。エッチング後、LDD 形成領域においてはチャンネル領域 50 に対応する位置にゲート電極 54 が形成される。また、GOLD 形成領域においては、後述するチャンネル領域 80 とソース側低濃度領域 86 及びゲート側低濃度領域 87 に対応する位置にゲート電極 84 が形成される。

【0073】

次に、図 7 (b) に示すように、ゲート電極 54、84 をマスクとして、例えば、 $0.1 \times 10^{13} \sim 約 10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン（リンイオン）を多結晶半導体膜 44、74 の各々に注入する。

これにより、LDD 形成領域においては、チャンネル領域 50 の両端部にソース側低濃度領域 56 及びドレイン側低濃度領域 57 が形成される。これにより、LDD 構造を有する半導体装置を形成することができる。一方、GOLD 構造領域においては、低濃度の不純物が再注入されるので、不純物が注入されるソース領域 78a 及びドレイン領域 79a は低濃度不純物領域である。

【0074】

次に、図 7 (c) に示すように、LDD 形成領域においては、高濃度不純物注入から保護するため、上記形成された LDD 構造を有する半導体装置の全面を被覆するようにフォトレジスト 60 を形成する。次に、GOLD 形成領域においては、ゲート電極 84 をマスクとして、例えば、 $0.1 \times 10^{15} \sim 約 10 \times 10^{15} / \text{cm}^2$ のドーズ量で高濃度の不純物イオン（リンイオン）を多結晶半導体膜 74 に注入する。これにより、低濃度不純

10

20

30

40

50

物領域であるソース領域 78a 及びドレイン領域 79a のゲート電極 84 に被覆されていない領域は、高濃度不純物からなるソース側高濃度領域 78 及びドレイン側高濃度領域 79 となる。そして、ゲート電極 84 の直下には、ソース側低濃度領域 86 及びドレイン側低濃度領域 87 がオーバーラップした状態となり、GOLD 構造を有する半導体装置を形成している。

【0075】

本実施形態によれば、液晶表示装置の TFT アレイ基板 100 には、種々の回路が搭載されているが、要求される機能に応じて LDD 及び GOLD 構造を有する半導体装置を形成することができる。例えば、画素電極を駆動させるスイッチング素子としての TFT には、オフ電流値の小さい LDD 構造を有する半導体装置を形成し、画素周辺部に設けられる駆動回路を構成する TFT には、ホットキャリア対策効果に優れた GOLD 構造を有する半導体装置を形成することができる。

また、LDD 及び GOLD 構造を有する半導体装置の形成においてマスクとしてソース領域及びドレイン領域に対応するフォトレジストを薄く形成したマスクを用いることによって、従来の方法と比較してフォトリソグラフィ工程の回数を減少させて同一基板上に LDD 及び GOLD を形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【0076】

[第 4 の実施形態]

次に、上記第 3 実施形態と同様に、同一基板上に同時に LDD 構造と GOLD 構造とを備える半導体装置を形成する方法について図 8 (a) 及び (b) を参照して以下に説明する。なお、上記第 1 ~ 第 3 実施形態と同様の工程については本実施形態において説明を省略化又は簡略化する。

【0077】

図 8 (a) 及び (b) は、本実施形態における LDD 構造と GOLD 構造を有する n チャネル型の TFT の製造方法を工程順に示す概略断面図である。ここで、図 8 中右側に図示する LDD 構造を有する TFT 領域を LDD 形成領域とし、図 8 中左側に図示する GOLD 構造を有する TFT 領域を GOLD 形成領域とする。

図 8 (a) に示すように、まず、基板 40 上の全面に下地保護膜 42 を形成する。次に、アニール処理することにより非結晶半導体膜を多結晶半導体膜 44 に変換し、この多結晶半導体膜 44 上にフォトレジスト 46 を成膜する。次に、フォトレジスト 46 を所定形状にパターニングする。LDD 形成領域において、フォトレジスト 46 は、ハーフトーン露光により、多結晶半導体膜 44 の端部からチャンネル領域 50 方向に向かってフォトレジスト 46 の膜厚が厚くなるように、所定角度の傾斜を有するテーパ状に形成する。さらに具体的には、上記テーパ状のフォトレジスト 46 は、中央を平坦状に形成し、端部をテーパ状に形成する。

一方、GOLD 形成領域においても同様に、フォトレジスト 76 は、ハーフトーン露光により、フォトレジスト 76 を多結晶半導体膜 74 の端部からチャンネル領域 80 方向に向かってフォトレジスト 76 の膜厚が厚くなるように、所定角度の傾斜を有するテーパ状に形成する。

次に、上記所定形状にパターニングされたフォトレジスト 46、76 をマスクとして、フォトレジスト 46、76 の下層に形成されている多結晶半導体膜 44、74 の各々を所定形状にエッチングする。なお、多結晶半導体膜 44、74 のエッチングは後述する不純物イオン注入の後に実施する方法も好ましい。

【0078】

次に、図 8 (a) に示すように、上記フォトレジスト 46、76 をマスクとして、多結晶半導体膜 44、74 の各々に対して、高濃度の不純物イオン (リンイオン) を例えば、 $0.1 \times 10^{15} \sim 約 10 \times 10^{15} / \text{cm}^2$ のドーズ量で注入する。

注入により、LDD 形成領域において、フォトレジスト 46 をテーパ状に形成している領域は、多結晶半導体膜 44 のソース側高濃度領域 48 及びドレイン側高濃度領域 49

10

20

30

40

50

からチャンネル領域50に向かってフォトレジスト46の膜厚が徐々に厚くなるにつれ、注入される不純物の濃度が低くなる。このように、濃度勾配を有する濃度勾配領域を形成している。この結果、図8(a)に示すように、高濃度の不純物が通過することができるフォトレジスト46の直下領域には、高濃度の不純物イオンが多結晶半導体膜44に注入され、多結晶半導体膜44の領域にソース側高濃度領域48及びドレイン側低濃度領域49が形成される。一方、低濃度の不純物が通過することができるフォトレジスト46の直下領域には、低濃度の不純物イオンが多結晶半導体膜44に注入され、ソース側低濃度領域56及びドレイン側低濃度領域57が形成される。上記フォトレジスト46の膜厚が最も厚い領域の直下には、チャンネル領域50が形成されている。

なお、上記多結晶半導体膜44は、上述したように多結晶半導体膜44の両端部からチャンネル領域50に向かって濃度勾配領域を形成しているが、本実施形態においては上記実施形態と整合性を図るため、所定の不純物濃度を境界として、便宜的に多結晶半導体膜を高濃度不純物領域と低濃度不純物領域とに分けて説明している。

【0079】

同様に、GOLD領域においても、図8(a)に示すように、高濃度の不純物が通過することができるフォトレジスト76の直下領域には、高濃度の不純物イオンを多結晶半導体膜74に注入し、多結晶半導体膜74の領域にソース側高濃度領域78及びドレイン側高濃度領域79を形成する。一方、低濃度の不純物が通過することができるフォトレジスト76の直下領域には、低濃度の不純物イオンを多結晶半導体膜74に注入し、ソース側低濃度領域86及びドレイン側低濃度領域87を形成している。また、上記フォトレジスト76の膜厚が最も厚い領域の直下には、チャンネル領域80を形成する。

【0080】

次に、図8(b)に示すように、多結晶半導体膜44、74への不純物注入工程の後、多結晶半導体膜44、74上に形成されたフォトレジスト46、76の各々を剥離する。次に、多結晶半導体膜44、74を含む基板40全面にゲート絶縁膜52を形成し、続けてゲート絶縁膜52上に導電膜を形成する。次に、導電膜上にフォトレジストを形成し、このフォトレジストを所定形状にパターニングする。このフォトレジストのパターニング形状として、LDD形成領域においては、上記多結晶半導体膜44のチャンネル領域50の領域幅と等しくなるようにフォトレジストをパターニングする。一方、GOLD形成領域においては、図8(b)に示すように、上記多結晶半導体膜74のチャンネル領域80とこの両端部に形成されるソース側低濃度領域86及びドレイン側低濃度領域87の領域幅と等しい、もしくは一部ソース側低濃度領域86及びドレイン側低濃度領域87の領域にオーバーラップするようにフォトレジストをパターニングする。次に、所定形状にパターニングした上記フォトレジストの各々をマスクとして下層に形成される導電膜をエッチングする。この結果、LDD構造領域においてはゲート電極54が形成され、GOLD構造領域においてはゲート電極84が形成される。

このようにして、LDD構造領域においては、ゲート電極54の直下にチャンネル領域50が形成されており、LDD構造を有する半導体装置を形成している。一方、GOLD構造領域においては、ゲート電極84の直下にチャンネル領域80に加え、低濃度不純物領域86、87がオーバーラップしており、GOLD構造を有する半導体装置を形成している。

【0081】

以上説明したように、LDD及びGOLD構造を有する半導体装置の形成においてマスクとしてテーパー状のマスクを用いることによって、従来の方法と比較してフォトリソグラフィ工程の回数を減少させて同一基板上にLDD及びGOLDを形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【0082】

[第5の実施形態]

次に、上記第4実施形態と同様に、同一基板上に同時にLDD構造とGOLD構造とを備える半導体装置を形成する方法について図9(a)及び(b)を参照して以下に説明す

る。なお、上記第1～第4実施形態と同様の工程については本実施形態において説明を省略化又は簡略化する。

【0083】

図9(a)及び(b)は、本実施形態におけるLDD構造とGOLD構造を有するnチャンネル型のTF Tの製造方法を工程順に示す概略断面図である。ここで、図9中右側に図示するLDD構造を有するTF T領域をLDD形成領域とし、図9中左側に図示するGOLD構造を有するTF T領域をGOLD形成領域とする。

図9(a)に示すように、まず、基板40上の全面に下地保護膜42を形成する。次に、アニール処理することにより非結晶半導体膜を多結晶半導体膜44に変換し、この多結晶半導体膜44上にフォトレジスト46を成膜する。次に、フォトレジスト46を所定形状にパターニングする。LDD形成領域において、フォトレジスト46は、ハーフトーン露光により、図9(a)に示すように、チャンネル領域80に相当する中央が平坦部であり、その外側に濃度勾配領域に相当するテーパ部を形成し、さらにその外側に高濃度注入領域に相当する所定の薄膜化された部分を形成する。

一方、GOLD形成領域においても同様に、フォトレジスト76は、チャンネル領域80に相当する中央が平坦部であり、その外側に濃度勾配領域に相当するテーパ部を形成し、さらにその外側に高濃度注入領域に相当する所定の薄膜化された部分を形成する。

次に、上記所定形状にパターニングされたフォトレジスト46、76をマスクとして、フォトレジスト46、76の下層に形成されている多結晶半導体膜44、74の各々を所定形状にエッチングする。なお、多結晶半導体膜44、74のエッチングは後述する不純物イオン注入の後に実施する方法も好ましい。

【0084】

次に、図9(a)に示すように、上記フォトレジスト46、76をマスクとして、多結晶半導体膜44、74の各々に対して、高濃度の不純物イオン(リンイオン)を例えば、 $0.1 \times 10^{15} \sim 約 10 \times 10^{15} / \text{cm}^2$ のドーズ量で注入する。

注入により、LDD形成領域において、フォトレジスト46をテーパ状に形成している領域は、多結晶半導体膜44のソース側高濃度領域48及びドレイン側高濃度領域49からチャンネル領域50に向かってフォトレジスト46の膜厚が徐々に厚くなるにつれ、注入される不純物の濃度が低くなる。このように、濃度勾配を有する濃度勾配領域を形成している。この結果、図9(a)に示すように、高濃度の不純物が通過することができるフォトレジスト46の直下領域には、高濃度の不純物イオンが多結晶半導体膜44に注入され、多結晶半導体膜44の領域にはソース側高濃度領域48及びドレイン側低濃度領域49が形成される。一方、低濃度の不純物が通過することができるフォトレジスト46のテーパ部直下領域には、低濃度の不純物イオンが多結晶半導体膜44に注入され、ソース側低濃度領域56及びドレイン側低濃度領域57が形成される。上記フォトレジスト46の膜厚が最も厚い領域の直下には、チャンネル領域50が形成されている。

なお、上記多結晶半導体膜44は、上述したように多結晶半導体膜44の高濃度領域からチャンネル領域20に向かって濃度勾配領域を形成しているが、本実施形態においては上記実施形態と整合性を図るため、所定の不純物濃度を境界として便宜的に多結晶半導体膜を高濃度不純物領域と低濃度不純物領域とに分けて説明している。従って、本実施形態におけるフォトレジスト46のテーパ部直下の濃度勾配領域は、便宜上低濃度不純物領域と称している。

【0085】

同様に、GOLD領域においても、図9(a)に示すように、高濃度の不純物が通過することができるフォトレジスト76の直下領域には、高濃度の不純物イオンが多結晶半導体膜74に注入され、多結晶半導体膜74の領域にソース側高濃度領域78及びドレイン側高濃度領域79が形成される。一方、低濃度の不純物が通過することができるフォトレジスト76のテーパ部直下領域には、低濃度の不純物イオンが多結晶半導体膜74に注入され、ソース側低濃度領域86及びドレイン側低濃度領域87が形成される。また、上記フォトレジスト76の膜厚が最も厚い領域の直下には、チャンネル領域80が形成される

【 0 0 8 6 】

次に、図 9 (b) に示すように、多結晶半導体膜 4 4、7 4 への不純物注入工程の後、多結晶半導体膜 4 4、7 4 上に形成されたフォトレジスト 4 6、7 6 の各々を剥離する。次に、多結晶半導体膜 4 4、7 4 を含む基板 4 0 全面にゲート絶縁膜 5 2 を形成し、続けてゲート絶縁膜 5 2 上に導電膜を形成する。次に、導電膜上にフォトレジストを形成し、このフォトレジストを所定形状にパターニングする。このフォトレジストのパターニング形状として、L D D 形成領域においては、上記多結晶半導体膜 4 4 のチャンネル領域 5 0 の領域幅と等しくなるようにフォトレジストをパターニングする。一方、G O L D 形成領域においては、図 9 (b) に示すように、上記多結晶半導体膜 7 4 のチャンネル領域 8 0 とこの両端部に形成されるソース側低濃度領域 8 6 及びドレイン側低濃度領域 8 7 の領域幅と等しくもしくは一部ソース側低濃度領域 8 6 及びドレイン側低濃度領域 8 7 の領域にオーバーラップするようにフォトレジストをパターニングする。次に、所定形状にパターニングした上記フォトレジストの各々をマスクとして下層に形成される導電膜をエッチングする。この結果、L D D 構造領域においてはゲート電極 5 4 を形成し、G O L D 構造領域においてはゲート電極 8 4 を形成する。

このようにして、L D D 構造領域においては、ゲート電極 5 4 の直下にチャンネル領域 5 0 が形成されており、L D D 構造を有する半導体装置を形成している。一方、G O L D 構造領域においては、ゲート電極 8 4 の直下にチャンネル領域 8 0 に加え、低濃度不純物領域 8 6、8 7 がオーバーラップしており、G O L D 構造を有する半導体装置を形成している。

【 0 0 8 7 】

以上説明したように、L D D 及び G O L D 構造を有する半導体装置の形成においてマスクとしてテーパー状のマスクを用いることによって、従来の方法と比較してフォトリソグラフィ工程の回数を減少させて同一基板に L D D 及び G O L D を形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【 0 0 8 8 】

[第 6 の実施形態]

次に、上記第 3 ~ 第 5 実施形態と同様に、同一基板上に L D D 構造と G O L D 構造とを備える半導体装置を形成する方法について図 1 0 (a) 及び (b) を参照して以下に説明する。なお、上記第 1 ~ 第 5 実施形態と同様の工程については本実施形態において説明を省略化又は簡略化する。

【 0 0 8 9 】

図 1 0 (a) 及び (b) は、本実施形態における L D D 構造と G O L D 構造を有する n チャンネル型の T F T の製造方法を工程順に示す概略断面図である。ここで、図 1 0 中右側に図示する L D D 構造を有する T F T 領域を L D D 形成領域とし、図 1 0 中左側に図示する G O L D 構造を有する T F T 領域を G O L D 形成領域とする。

【 0 0 9 0 】

図 1 0 (a) に示すように、まず、基板 4 0 上の全面に下地保護膜 4 2 を形成する。次に、アニール処理することにより非結晶半導体膜を多結晶半導体膜 4 4 に変換し、この多結晶半導体膜 4 4 上にフォトレジスト 4 6 を成膜する。次に、フォトレジスト 4 6 を所定形状にパターニングする。L D D 形成領域において、フォトレジスト 4 6 は、ハーフトーン露光により、ソース領域 4 8 及びドレイン領域 4 9 に対応するフォトレジスト 4 6 の膜厚を薄く形成する。フォトレジスト 4 6 の膜厚としては、例えば、5 0 n m ~ 2 0 0 n m 程度であることが好ましい。また、多結晶半導体膜 4 4 のチャンネル領域 5 0 a に対応するフォトレジスト 4 6 の膜厚としては、多結晶半導体膜 4 4 に高濃度の不純物イオン注入を行った場合に、照射された高濃度の不純物イオンがフォトレジスト 4 6 領域内で遮断される程度の膜厚である。フォトレジスト 4 6 の膜厚としては、例えば、2 0 0 n m 以上であることが好ましい。なお、上記チャンネル領域 5 0 a は、後述においてソース側低濃度領域 5 6、ドレイン側低濃度領域 5 7 及びチャンネル領域 5 0 に対応する領域である。

一方、GOLD形成領域において、フォトレジスト76は、ハーフトーン露光により、フォトレジスト76を多結晶半導体膜74の端部からチャンネル領域80方向に向かってフォトレジスト76の膜厚が厚くなるように、所定角度の傾斜を有するテーパ状に形成する。

次に、上記所定形状にパターニングされたフォトレジスト46、76をマスクとして、フォトレジスト46、76の下層に形成されている多結晶半導体膜44、74の各々を所定形状にエッチングする。なお、多結晶半導体膜44、74のエッチングは後述する不純物イオン注入の後に実施する方法も好ましい。

【0091】

次に、図10(a)に示すように、上記フォトレジスト46、76をマスクとして、多結晶半導体膜44、74の各々に対して、高濃度の不純物イオン(リンイオン)を例えば、 $0.1 \times 10^{15} \sim 約 10 \times 10^{15} / \text{cm}^2$ のドーズ量で注入する。そして、LDD領域においては、上記フォトレジスト46の膜厚が薄い領域には、高濃度の不純物が注入される。このように、上記フォトレジスト46をマスクとして自己整合的(セルフアライン)に多結晶半導体膜44の領域にソース側高濃度領域48及びドレイン側高濃度領域49を形成する。また、フォトレジスト46の直下の多結晶半導体膜44領域には、フォトレジスト46マスクにより不純物イオンが遮断されるため、不純物イオンは上記多結晶半導体膜44に注入されず、チャンネル領域50aを形成する。

【0092】

一方、GOLD形成領域において、フォトレジスト76は、フォトレジスト76をテーパ状に形成しているため、多結晶半導体膜74の両端のソース側高濃度領域78及びドレイン側高濃度領域79からチャンネル領域80に向かって、フォトレジスト76の膜厚が徐々に厚くなるにつれて、注入される不純物の濃度が低くなる濃度勾配を持っている。このようにして、図10(a)に示すように、高濃度の不純物が通過することができるフォトレジスト76の直下領域には、高濃度の不純物イオンが多結晶半導体膜74に注入され、多結晶半導体膜74の領域にソース領域78、79を自己整合的(セルフアライメント)に形成する。一方、低濃度の不純物が通過することができるフォトレジスト76の直下領域には、低濃度の不純物イオンが多結晶半導体膜74に注入され、ソース側低濃度領域86及びドレイン側低濃度領域87を形成している。上記フォトレジスト76の膜厚が最も厚い領域の直下には、チャンネル領域80が形成されている。

【0093】

次に、図10(b)に示すように、多結晶半導体膜44、74への不純物注入工程の後、多結晶半導体膜44、74上に形成されたフォトレジスト46、76の各々を剥離する。次に、多結晶半導体膜44、74を含む基板40全面にゲート絶縁膜52を形成し、続けてゲート絶縁膜52上に導電膜を形成する。次に、導電膜上にフォトレジストを形成し、このフォトレジストを所定形状にパターニングする。LDD形成領域において、フォトレジスト(図示省略)は、下層に形成される図10(a)のチャンネル領域50aの領域幅よりも小さく、かつ、チャンネル領域50aの両端部にソース側低濃度領域56及びドレイン側低濃度57を形成することができるように位置合わせして形成する。

【0094】

一方、GOLD形成領域において、フォトレジスト(図示省略)は、上記多結晶半導体膜74のチャンネル領域80及びこれの両端部に形成されるソース側低濃度領域86及びドレイン側低濃度87の領域幅と等しくなるように形成する。このときソース側低濃度領域86及びドレイン側低濃度87の領域の一部にオーバーラップする形でも構わない。次に、所定形状にパターニングした上記フォトレジストの各々をマスクとして下層に形成される導電膜をエッチングする。このように、LDD構造領域においてはゲート電極54を形成し、GOLD構造領域においてはゲート電極84を形成する。

【0095】

次に、LDD形成領域において、ゲート電極54をマスクとして、 $約 0.1 \times 10^{13} \sim 約 10 \times 10^{13} / \text{cm}^2$ のドーズ量で低濃度の不純物イオン(リンイオン)を注入す

る。このようにして、多結晶半導体膜 44 のチャンネル領域 50 の両端部に、ソース側低濃度領域 56 及びドレイン側低濃度領域 57 を自己整合的（セルフアライメント）に形成する。

【0096】

以上説明したように、LDD構造領域においては、ゲート電極 54 の直下にチャンネル領域 50 が形成されており、LDD構造を有する半導体装置を形成している。一方、GOLD構造領域においては、ゲート電極 84 の直下にチャンネル領域 80 に加え、低濃度不純物領域 86、87 がオーバーラップしており、GOLD構造を有する半導体装置を形成している。

本実施形態によれば、LDD構造を有する半導体装置の形成においてマスクとしてソース領域及びドレイン領域に対応するフォトレジストを薄く形成したマスクを用い、GOLD構造を有する半導体装置の形成においてマスクとしてテーパー状のマスクを用いることによって、従来の方法と比較してフォトリソグラフィ工程の回数を削減して同一基板上にLDD及びGOLD構造を有する半導体装置を形成することができる。従って、半導体装置の製造工程の効率化を図ることができる。

【0097】

[第7の実施形態]

次に、本実施形態について図面を参照して説明する。

上記実施形態では、フォトレジストを加工して、膜厚の薄い領域では不純物イオンを透過させて多結晶半導体膜に不純物領域を形成し、膜厚の厚い領域では不純物イオンを遮断させて多結晶半導体膜に非不純物領域を形成した。この場合、フォトレジストの膜厚の厚い領域の側面は、基板に対して垂直に形成することで、不純物透過領域と不純物非透過領域との境界を構成している。しかし、露光装置の精度上の問題によりフォトレジストの側面がテーパー状の傾斜面となってしまう場合がある。これにより、テーパー状の傾斜面は段階的に膜厚が薄くなるため、図11に示すように、本来では不純物が注入されないフォトレジストの傾斜面直下の領域 14b（一点鎖線で囲まれた領域）に不純物が注入されてしまう場合があった。その結果、チャンネル領域の両側に形成されるソース領域 18、26 とドレイン領域 19、27 とが、チャンネル領域の周縁部に形成された上記不純物領域 14b により接続され、ソース領域 18、26 からドレイン領域 19、27 への電子のパスが形成される。これにより、ソース領域 18、26 からドレイン領域 19、27 へ、ゲート電極 24a のオン/オフに関わらず電子がリークしてしまい、TFTが正確にスイッチングしないという問題があった。そこで、本実施形態では、上記不純物領域をオーバーエッチング処理により除去することにより、上記問題を解決する。

なお、LDD構造を有する半導体装置の製造方法の基本構成は、上記第1実施形態と同様であるため、共通の構成要素には同一の符号を付し、詳細な説明は省略する。

【0098】

図12～図15は、本実施形態におけるLDD構造を有するnチャンネル型のTFTの製造工程図を示す。また、図12～図15中の(a)は製造工程の平面図であり、図12～図15中の(b)は(a)に示す製造工程図のB-B'線に沿った断面図である。

【0099】

図12(b)に示すように、まず、ガラス基板 10 上の全面にシリコン酸化膜からなる下地保護膜 12 をプラズマCVD法により形成する。次に、下地保護膜 12 上の全面に非晶質半導体膜をプラズマCVD法により成膜し、その後レーザーアニール処理により非晶質半導体膜を多結晶化し、下地保護膜 12 上に多結晶半導体膜 14a を形成する。

【0100】

次に、上記第1実施形態と同様に、多結晶半導体膜 14a 上にフォトレジスト 16 を成膜し、フォトリソグラフィ処理によりフォトレジスト 16 を所定形状にパターンニングする。フォトレジスト 16 は、上述したように、照射された不純物イオンが透過する膜厚の薄い領域と、照射された不純物イオンが遮断される膜厚の厚い領域とを有するように形成する。このとき、フォトレジスト 16 の膜厚を厚く形成する領域の側面は、不純物イオン

10

20

30

40

50

を注入させないために、ガラス基板 10 に対して 90 度に形成することが好ましい。しかし、露光装置の精度の関係上、図 12 (b) に示すように、フォトレジスト 16 の側面は、ガラス基板 10 に対してテーパ状の例えば 80 度の傾斜面 16 a に形成されることがある。なお、本実施形態において、フォトレジスト 16 の膜厚の厚い領域には、テーパ状の傾斜面 16 a となる領域も含むものとする。

【0101】

次に、図 13 (a) 及び (b) に示すように、所定形状にパターニングしたフォトレジストをマスクとして、多結晶半導体膜 14 a に高濃度の不純物イオンを注入する。これにより、フォトレジスト 16 の膜厚が薄い領域では、高濃度の不純物イオンがフォトレジスト 16 を通過し、多結晶半導体膜 14 a に注入される。一方、フォトレジスト 16 の膜厚が厚い領域では、高濃度の不純物イオンがフォトレジスト 16 の領域内において遮断される。ここで、フォトレジスト 16 の側面のテーパ状に形成される傾斜面 16 a では、図 13 (b) に示すように、フォトレジスト 16 の膜厚が段階的に薄くなるため高濃度の不純物イオンが通過し、多結晶半導体膜 14 a に高濃度の不純物イオンが注入される。図 13 (a) において、斜線部分が高濃度の不純物イオンが注入された領域であり、網掛け部分が本来高濃度の不純物イオンが注入されない領域 14 b を示す。これにより、本実施形態では、図 13 (a) 及び (b) に示すように、フォトレジスト 16 の膜厚の薄い直下領域に加えて、フォトレジスト 16 のテーパ状の傾斜面 16 a の直下領域 14 b にまで不純物イオンが注入される。

【0102】

次に、図 14 (a) 及び (b) に示すように、上記所定形状にパターニングしたフォトレジスト 16 をマスクとして、多結晶半導体膜 14 a をエッチング処理する。エッチング方法としては、ドライエッチング (RIE) 又はウエットエッチング等の各種方法が適用可能である。まず、エッチング処理により、フォトレジスト 16 の直下領域以外 (フォトレジスト 16 に被覆されていない領域) の多結晶半導体膜 14 a を除去する。さらに、本実施形態では、フォトレジスト 16 のテーパ状の傾斜面 16 a の直下領域 14 b に不純物イオンが注入されているため、この不純物領域 14 b をエッチング処理により除去する。このように、フォトレジスト 16 の直下領域以外をエッチングした後もオーバーエッチング処理し、図 14 (b) に示すように、フォトレジスト 16 のテーパ状の傾斜面 16 a の直下領域 14 b (図 14 (a) では破線部分まで) の高濃度の不純物イオンを除去する。オーバーエッチング処理した際、フォトレジスト 16 の膜厚の薄い直下領域では、フォトレジスト 16 の膜厚の厚い直下領域よりもエッチングが進行する。図 14 (a) において、フォトレジスト 16 の膜厚の薄い直下領域の多結晶半導体膜 14 a の線幅 W_1' は、フォトレジスト 16 の膜厚の厚い直下領域の多結晶半導体膜 14 a の線幅 W_2' よりも狭くなっている。なお、オーバーエッチング処理した際、エッチング処理速度を制御することにより、フォトレジスト 16 の膜厚の薄い直下領域の多結晶半導体膜 14 a の線幅 W_1' が、フォトレジスト 16 の膜厚の厚い直下領域の多結晶半導体膜 14 a の線幅 W_2' と等しくなる段階でエッチングを終了することも可能である。以上から、本実施形態では、フォトレジスト 16 のテーパ状の傾斜面 16 a の直下領域 14 b (膜厚を厚く形成する領域の直下領域) で、かつ、チャンネル領域のチャンネル長 L に平行に延在する多結晶半導体膜 14 a の不純物領域をエッチング処理により除去する。

【0103】

次に、図 15 (a) 及び (b) に示すように、多結晶半導体膜 14 a 上のフォトレジスト 16 を剥離し、剥離した多結晶半導体膜 14 a 上を含むガラス基板 10 全面に、プラズマ CVD 法、スパッタ法等によりゲート絶縁膜 22 を形成する。続けて、ゲート絶縁膜 22 上に所定形状にパターニングしたゲート電極 24 a を形成する。

【0104】

次に、ゲート電極 24 a をマスクとして低濃度の不純物イオンを注入する。これにより、図 15 (a) に示すように、ゲート電極 24 a の直下領域を除いた多結晶半導体膜 14 a には、ソース側低濃度領域 26 及びドレイン側低濃度領域 27 が形成されるとともに、

10

20

30

40

50

ゲート電極 24 a の直下領域にはチャンネル領域 20 a が形成される。なお、フォトレジスト 16 の膜厚の薄い直下領域はソース側高濃度領域 18 及びドレイン側高濃度領域 19 に対応し、フォトレジスト 16 の膜厚の厚い直下領域はソース側低濃度領域 26 及びドレイン側低濃度領域 27 に対応している。

【0105】

このとき、図 15 (a) に示すように、半導体装置を平面的に視認すると、ソース側高濃度領域 18 及びドレイン側高濃度領域 19 の線幅 W1 は、ソース側低濃度領域 26 及びドレイン側低濃度領域 27 の線幅 W2 よりも狭くなっている。なお、ソース側高濃度領域 18 及びドレイン側高濃度領域 19 の線幅 W1 は、ソース側低濃度領域 26 及びドレイン側低濃度領域 27 の線幅 W2 以下となっていれば良い。

10

【0106】

本実施形態によれば、フォトレジストのテーパ状の傾斜面の直下領域で、かつ、チャンネル領域のチャンネル長 L に平行に延在する不純物をオーバーエッチング処理により除去することができる。これにより、電子のパスとなる上記不純物領域を除去することで、ソース領域からドレイン領域への電子のリークを防止することができる。従って、ゲート電極をオン/オフすることにより、TFT の正確なスイッチングが可能となる。

【0107】

[第7の実施形態の変形例]

次に、本実施形態について図面を参照して説明する。

なお、本実施形態は、GOLD 構造を有する半導体装置である点において上記第7の実施形態と異なるのみで、半導体装置の製造方法の基本構成は上記第7の実施形態と同様である。従って、共通の構成要素には同一の符号を付し、詳細な説明は省略する。

20

【0108】

図 16 ~ 図 19 は、本実施形態における GOLD 構造を有する n チャンネル型の TFT の製造方法を工程順に示す概略断面図である。また、図 16 ~ 図 19 中 (a) は製造工程の平面図であり、図 16 ~ 図 19 中の (b) は (a) に示す製造工程図の C - C' 線に沿った断面図である。

まず、図 16 (b) に示すように、ガラス基板 10 上の全面に下地保護膜 12 を形成し、下地保護膜 12 上に多結晶半導体膜 14 a を成膜する。次に、多結晶半導体膜 14 a 上にフォトレジスト 16 を成膜し、所定形状にパターニングする。フォトレジスト 16 は、上述したように、照射された不純物イオンが透過する膜厚の薄い領域と、照射された不純物イオンが遮断される膜厚の厚い領域とを有するように形成する。このとき、フォトレジスト 16 の膜厚を厚く形成する領域の側面は、露光装置の精度の関係上、図 16 (b) に示すように、ガラス基板 10 に対してテーパ状の例えば 80 度の傾斜面 16 a に形成されることがある。

30

【0109】

次に、図 17 (a) 及び (b) に示すように、所定形状にパターニングしたフォトレジストをマスクとして、多結晶半導体膜 14 a に低濃度の不純物イオンを注入する。これにより、フォトレジスト 16 の膜厚が薄い領域では低濃度の不純物イオンが多結晶半導体膜 14 a に注入され、フォトレジスト 16 の膜厚が厚い領域では低濃度の不純物イオンがフォトレジスト 16 の領域内において遮断される。ここで、フォトレジスト 16 の側面のテーパ状に形成される傾斜面 16 a では、図 17 (b) に示すように、フォトレジスト 16 の膜厚が段階的に薄くなるため低濃度の不純物イオンが通過し、多結晶半導体膜 14 a に低濃度の不純物イオンが注入される。図 17 (a) において、斜線部分が低濃度の不純物イオンが注入された領域であり、網掛け部分が本来低濃度の不純物イオンが注入されない領域 14 b を示す。これにより、本実施形態では、図 17 (a) 及び (b) に示すように、フォトレジスト 16 の膜厚の薄い直下領域に加えて、フォトレジスト 16 のテーパ状の傾斜面 16 a の直下領域 14 b にまで不純物イオンが注入される。

40

【0110】

次に、図 18 (a) 及び (b) に示すように、上記所定形状にパターニングしたフォト

50

レジスト16をマスクとして、多結晶半導体膜14aをエッチング処理する。まず、エッチング処理により、フォトレジスト16の直下領域以外の多結晶半導体膜14aを除去する。さらに、本実施形態では、フォトレジスト16のテーパ状の傾斜面16aの直下領域14bに低濃度の不純物イオンが注入されているため、この不純物領域14bをエッチング処理により除去する。このように本実施形態では、フォトレジスト16の直下領域以外をエッチングした後オーバーエッチング処理し、図18(b)に示すように、フォトレジスト16のテーパ状の傾斜面16aの直下領域14b(図18(a)中では破線部分まで)の低濃度の不純物イオンを除去する。オーバーエッチング処理した際、フォトレジスト16の膜厚の薄い直下領域では、フォトレジスト16の膜厚の厚い直下領域よりもエッチングが進行する。図18(a)において、フォトレジスト16の膜厚の薄い直下領域の多結晶半導体膜14aの線幅 $W1'$ は、フォトレジスト16の膜厚の厚い直下領域の多結晶半導体膜14aの線幅 $W2'$ よりも狭くなっている。以上から、本実施形態では、フォトレジスト16のテーパ状の傾斜面16aの直下領域14b(膜厚を厚く形成する領域の直下領域)で、かつ、チャンネル領域のチャンネル長Lに平行に延在する多結晶半導体膜14aの不純物領域をエッチング処理により除去する。

10

【0111】

次に、多結晶半導体膜14a上に成膜されたフォトレジスト16を剥離する。次に、図19(a)及び(b)に示すように、剥離した多結晶半導体膜14a上を含むガラス基板10全面に、プラズマCVD法、スパッタ法等によりゲート絶縁膜22を形成する。続けて、ゲート絶縁膜22上にゲート電極24aを形成する。このとき、ゲート電極24aは、ゲート電極24aの両端が上記多結晶半導体膜14aに注入した低濃度の不純物領域と重なる(オーバーラップ)ように形成する。

20

【0112】

次に、ゲート電極24aをマスクとして、高濃度の不純物イオンを多結晶半導体膜14aに注入する。これにより、図19(a)に示すように、ゲート電極24aに被覆されていない多結晶半導体膜14a領域には、高濃度の不純物イオンが注入され、ソース側高濃度領域18及びドレイン側高濃度領域19が形成される。一方、ゲート電極24aに被覆されゲート電極24aの直下に位置する多結晶半導体膜14a領域には、チャンネル領域20とその両側にソース側低濃度領域26及びドレイン側低濃度領域27が形成される。

30

【0113】

本実施形態によれば、上記実施形態と同様の作用効果を奏することができる。つまり、フォトレジストのテーパ状の傾斜面の直下領域で、かつ、チャンネル領域のチャンネル長Lに平行に延在する低濃度の不純物をオーバーエッチング処理により除去することができる。これにより、電子のパスとなる上記不純物領域を除去することで、ソース領域からドレイン領域への電子のリークを防止することができる。従って、ゲート電極をオン/オフすることにより、TFTの正確なスイッチングが可能となる。

【0114】

[電子機器]

以下、本発明の上記実施形態の液晶表示装置を備えた電子機器の具体例について説明する。

40

図20は、液晶表示テレビジョン1200の一例を示した斜視図である。図20において、符号1202はテレビジョン本体、符号1203はスピーカーを示し、符号1201は上記表示装置を用いた表示部を示している。なお、上述した液晶表示装置1は、上記液晶表示テレビジョン以外にも種々の電子機器に適用することができる。例えば、プロジェクタ、マルチメディア対応のパーソナルコンピュータ(PC)及びエンジニアリング・ワークステーション(EWS)、ページャ、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などの電子機器に適用することが可能である。

【0115】

なお、本発明の技術範囲は、上述した実施形態に限定されるものではなく、本発明の趣

50

旨を逸脱しない範囲において、上述した実施形態に種々の変更を加えたものを含む。

例えば、上記実施形態では、所定領域に対応するレジストの膜厚を他の領域の膜厚より薄く形成したレジストをマスクとして、多結晶半導体膜に不純物イオン注入を行っていた。これに対して、上記所定領域に対応するレジストの膜厚を薄く形成したレジストを再露光（ハーフトーン露光等）することにより、上記レジストの薄く形成した領域に対応する多結晶半導体膜を露出させた後、多結晶半導体膜に直接的に不純物を注入することも好ましい。これにより、多結晶半導体膜に不純物を均一に注入することができる。なお、この場合には、直接、多結晶半導体膜に不純物注入を行うため、不純物イオン注入装置の加速電圧等を上記実施形態よりも低く設定して、不純物イオン注入を行うことが好ましい。

また、本発明は液晶表示装置を用い詳細な説明を行ったが、基板 10 側の半導体装置部分については、発光型の有機 EL 表示装置、あるいは、有機 EL を光源とするラインヘッド、記録装置等にも応用が可能である。

【図面の簡単な説明】

【0116】

【図1】本実施形態の液晶装置の等価回路図である。

【図2】本実施形態の液晶装置の TFT アレイ基板の 1 画素を拡大して示す平面図である。

【図3】図2に示す液晶装置の A - A' 線に沿った断面図である。

【図4】(a) ~ (c) は第 1 実施形態の半導体装置の製造方法を示す図である。

【図5】(a) ~ (c) は第 1 実施形態の半導体装置の製造方法を示す図である。

【図6】(a) ~ (d) は第 2 実施形態の半導体装置の製造方法を示す図である。

【図7】(a) ~ (c) は第 3 実施形態の半導体装置の製造方法を示す図である。

【図8】(a) 及び (b) は第 4 実施形態の半導体装置の製造方法を示す図である。

【図9】(a) 及び (b) は第 5 実施形態の半導体装置の製造方法を示す図である。

【図10】(a) 及び (b) は第 6 実施形態の半導体装置の製造方法を示す図である。

【図11】第 7 実施形態の半導体装置の概略構成を示す平面図である。

【図12】(a) 及び (b) は第 7 実施形態の半導体装置の製造方法を示す図である。

【図13】(a) 及び (b) は第 7 実施形態の半導体装置の製造方法を示す図である。

【図14】(a) 及び (b) は第 7 実施形態の半導体装置の製造方法を示す図である。

【図15】(a) 及び (b) は第 7 実施形態の半導体装置の製造方法を示す図である。

【図16】(a) 及び (b) は第 7 実施形態の変形例の半導体装置の製造方法を示す図である。

【図17】(a) 及び (b) は第 7 実施形態の変形例の半導体装置の製造方法を示す図である。

【図18】(a) 及び (b) は第 7 実施形態の変形例の半導体装置の製造方法を示す図である。

【図19】(a) 及び (b) は第 7 実施形態の変形例の半導体装置の製造方法を示す図である。

【図20】本発明の電子機器の一例を示す斜視図である。

【符号の説明】

【0117】

14 a、44、74 ... 多結晶半導体膜、 16、46、76 ... フォトレジスト、 18、48、78 ... ソース側高濃度領域、 19、49、79 ... ドレイン側高濃度領域、 20、50、80 ... チャンネル領域、 22、52、... ゲート絶縁膜、 24 a、54、84 ... ゲート電極、 26、56、86 ... ソース側低濃度領域、 27、57、87 ... ドレイン側低濃度領域、 L ... チャンネル長

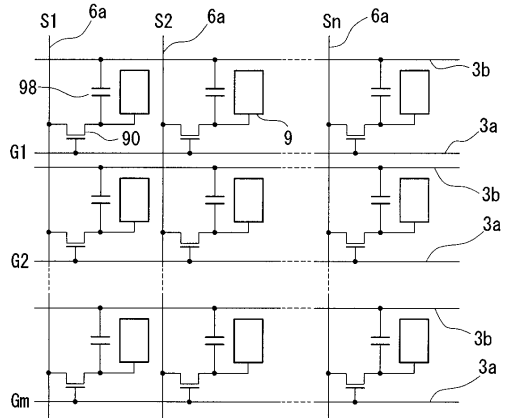
10

20

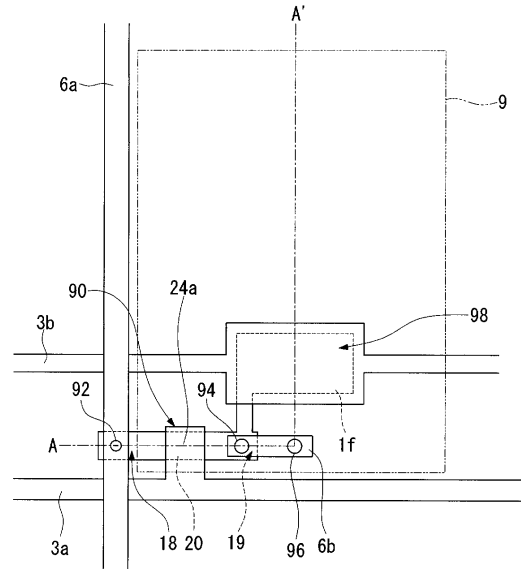
30

40

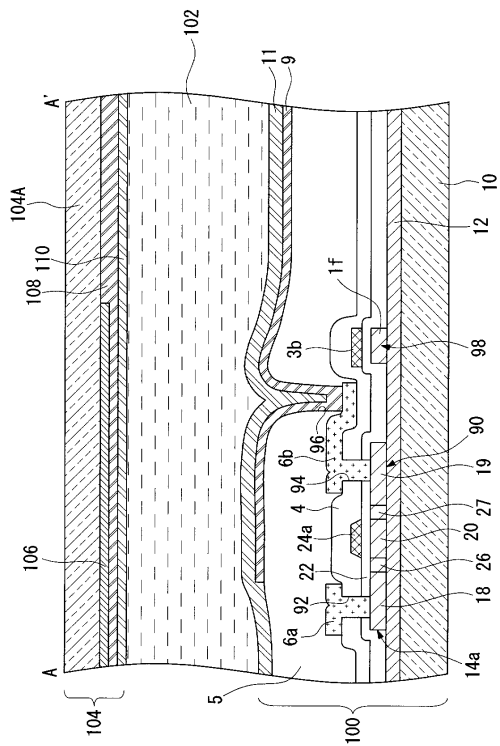
【 図 1 】



【 図 2 】

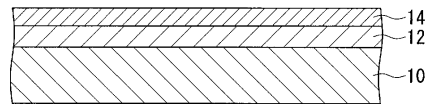


【 図 3 】

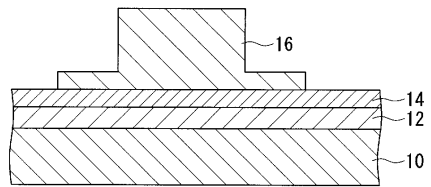


【 図 4 】

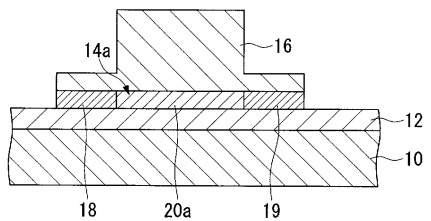
(a)



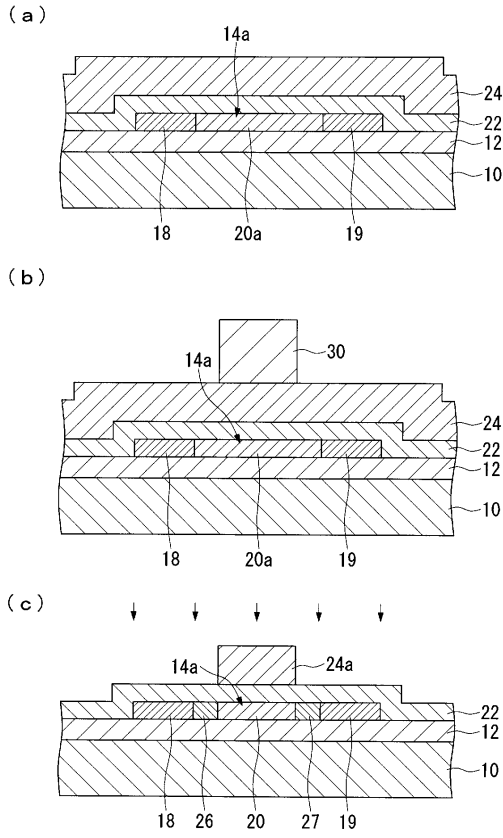
(b)



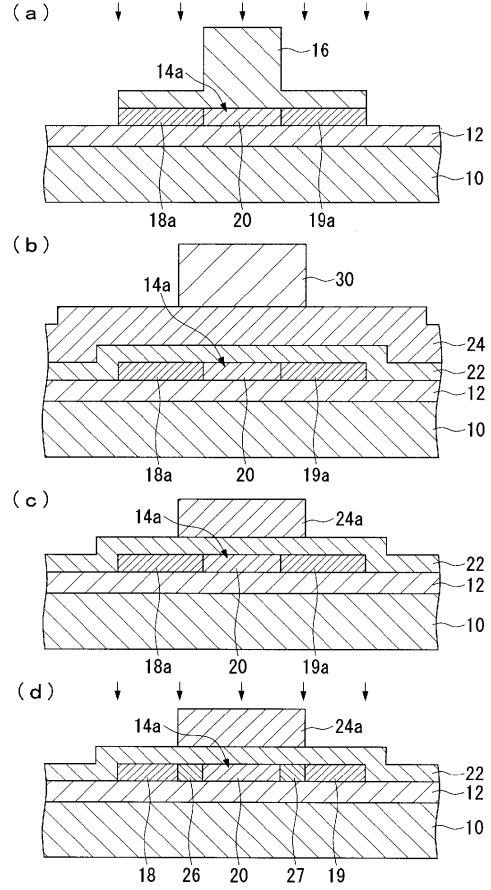
(c)



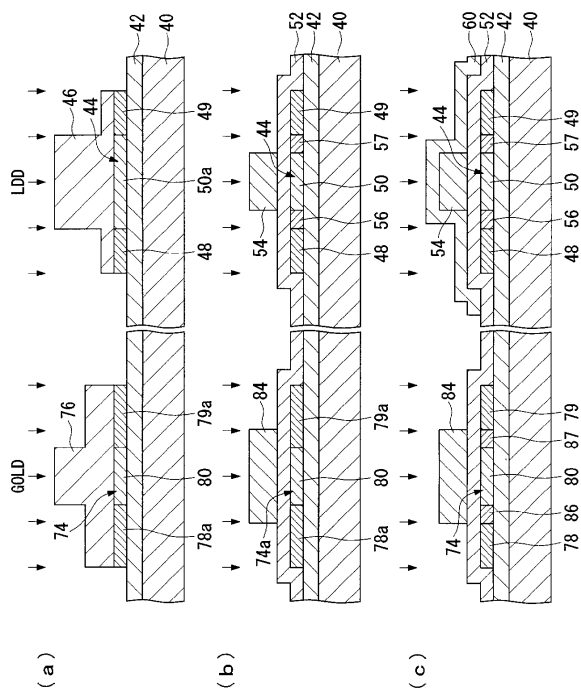
【 図 5 】



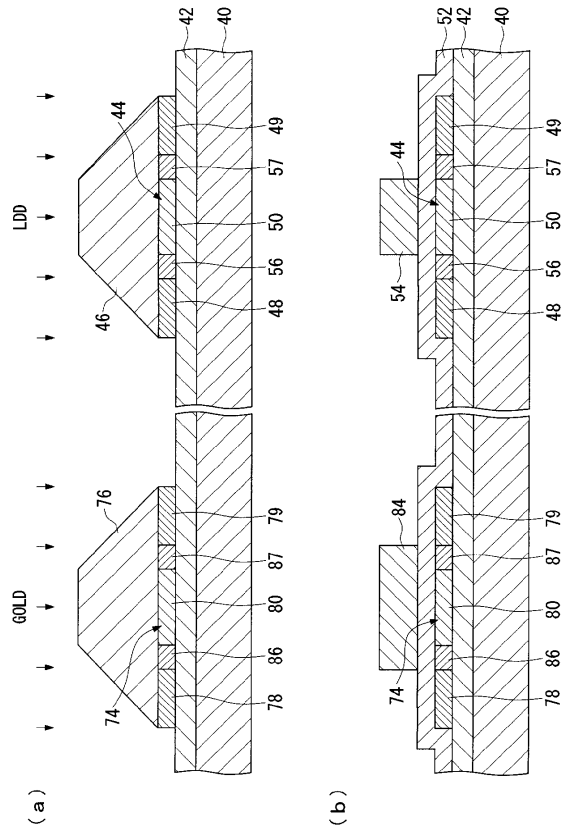
【 図 6 】



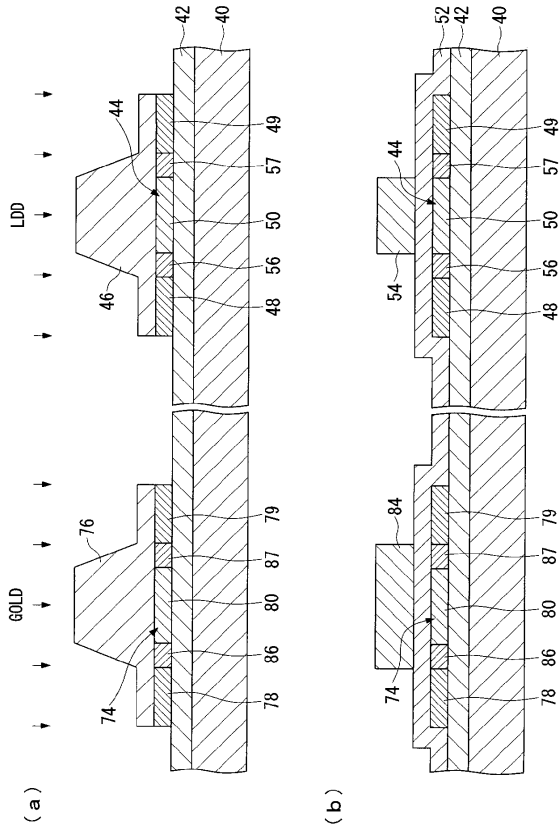
【 図 7 】



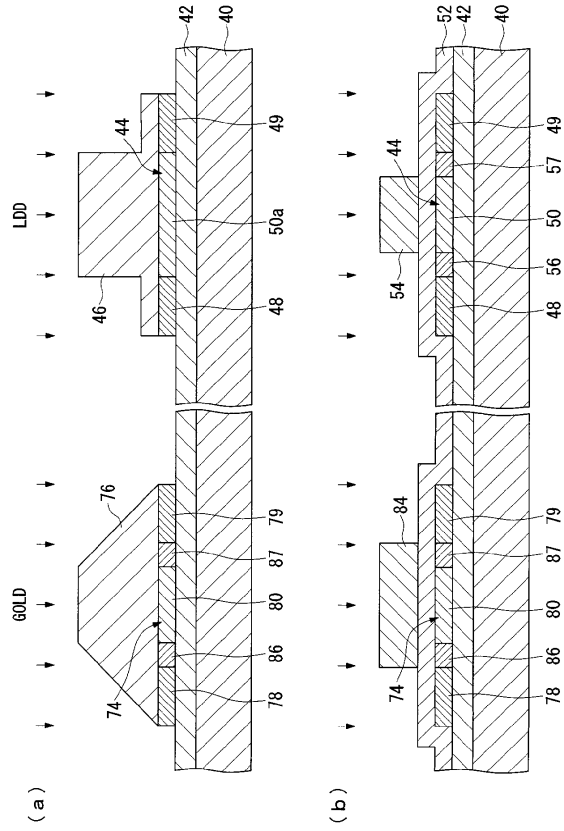
【 図 8 】



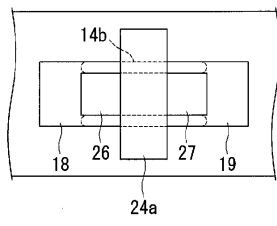
【 図 9 】



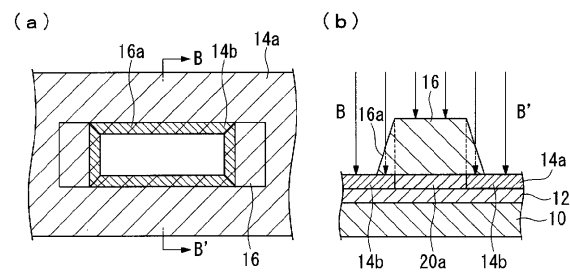
【 図 10 】



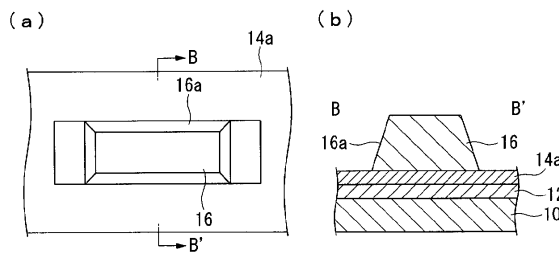
【 図 11 】



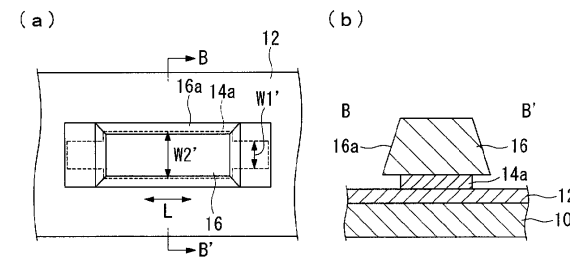
【 図 13 】



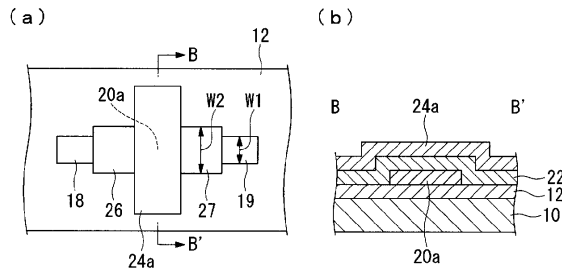
【 図 12 】



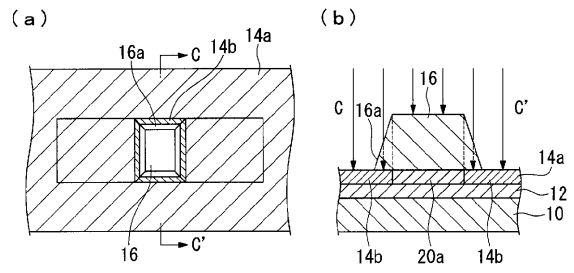
【 図 14 】



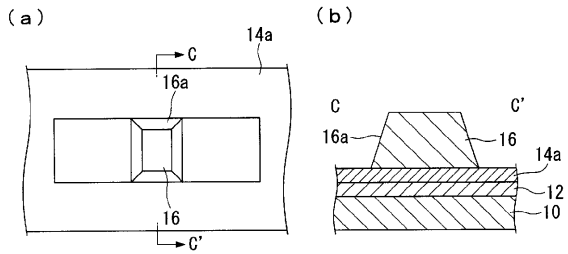
【 15 】



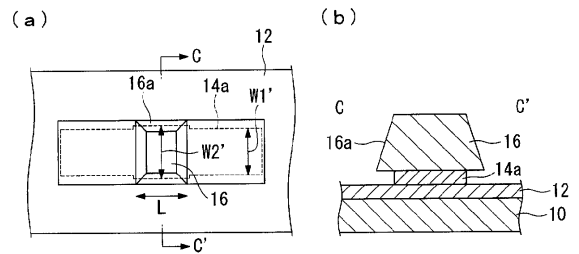
【 17 】



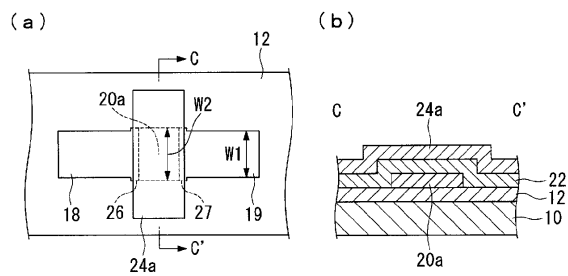
【 16 】



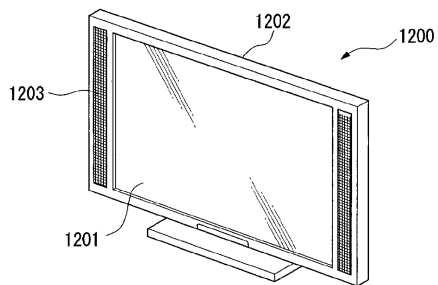
【 18 】



【 19 】



【 20 】



フロントページの続き

審査官 河本 充雄

- (56)参考文献 特開2002-094064(JP,A)
特開2002-134756(JP,A)
特開平10-270375(JP,A)
特開2002-151523(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 29/786
H01L 21/336
G02F 1/1368
G09F 9/30