

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-63860

(P2004-63860A)

(43) 公開日 平成16年2月26日(2004.2.26)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード(参考)
HO 1 L 21/301	HO 1 L 21/78 U	4M104
HO 1 L 21/28	HO 1 L 21/28 3O1B	5F102
HO 1 L 21/338	HO 1 L 29/78 652F	5F140
HO 1 L 29/47	HO 1 L 29/78 652N	
HO 1 L 29/78	HO 1 L 29/78 652T	
審査請求 未請求 請求項の数 16 O L (全 30 頁) 最終頁に続く		

(21) 出願番号	特願2002-221078 (P2002-221078)	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成14年7月30日(2002.7.30)	(74) 代理人	100077931 弁理士 前田 弘
		(74) 代理人	100094134 弁理士 小山 廣毅
		(74) 代理人	100110939 弁理士 竹内 宏
		(74) 代理人	100110940 弁理士 嶋田 高久
		(74) 代理人	100113262 弁理士 竹内 祐二
		(74) 代理人	100115059 弁理士 今江 克実
		最終頁に続く	

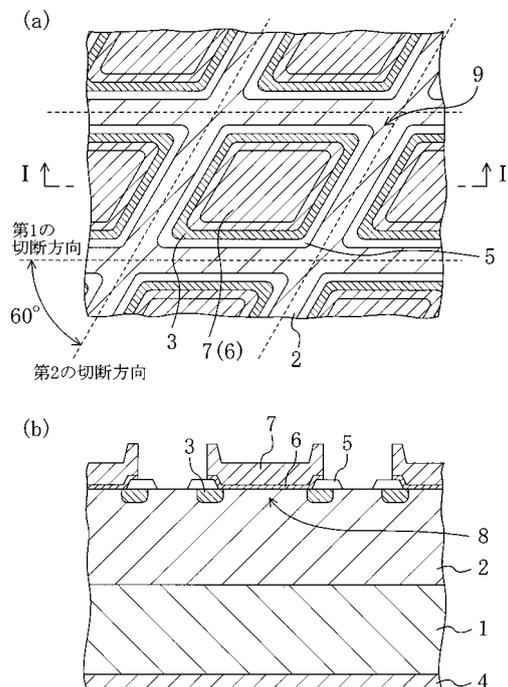
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 コストの低減および歩留まりの向上を図ることができ、高耐圧、低損失の炭化珪素の半導体装置およびその製造方法を提供する。

【解決手段】 本発明のウェハでは、炭化珪素の劈開面である第1の切断方向と第2の切断方向とに沿って複数のショットキーダイオード(素子)9が配置しており、各ショットキーダイオード9におけるショットキー電極6は、その側面が2つの切断方向に沿うように平行四辺形の平面形状で設けられている。ウェハを分離してチップを形成するときには、切断方向が劈開方向に沿っているため、大きな欠陥の発生を伴わずに容易にダイシングを行なうことができる。また、限られたチップ面積の中で電極面積を大きく取ることができるため、得られる電流量を多くすることができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

炭化珪素からなる半導体基板と、  
上記半導体基板の上にエピタキシャル成長により設けられた炭化珪素層と、  
上記炭化珪素層の上方に設けられた第 1 電極と  
を備える半導体装置であって、上記半導体装置の平面形状における輪郭を構成する辺のうち、互いに平行でない少なくとも 2 つの辺が、上記半導体基板の劈開面とほぼ平行であることを特徴とする半導体装置。

## 【請求項 2】

請求項 1 に記載の半導体装置において、  
上記輪郭を構成する辺のうちのすべてが、上記半導体基板の劈開面とほぼ平行であることを特徴とする半導体装置。

10

## 【請求項 3】

請求項 1 または 2 に記載の半導体装置において、  
上記第 1 電極の平面形状におけるすべての辺は、上記半導体基板の劈開面とほぼ平行に形成されていることを特徴とする半導体装置。

## 【請求項 4】

請求項 1 ~ 3 のうちいずれか 1 つに記載の半導体装置において、  
上記半導体基板は、六方晶構造における { 0 0 0 1 } 面から 10 度以内の傾きでオフカットされた主面を有しており、  
上記劈開面は { 1 - 1 0 0 } 面であることを特徴とする半導体装置。

20

## 【請求項 5】

請求項 1 ~ 4 のうちいずれか 1 つに記載の半導体装置において、  
上記半導体装置は、ウェハをダイシングすることにより得られたことを特徴とする半導体装置。

## 【請求項 6】

請求項 1 ~ 5 のうちいずれか 1 つに記載の半導体装置において、  
上記半導体装置の上記輪郭は、平行四辺形であることを特徴とする半導体装置。

## 【請求項 7】

請求項 1 ~ 6 のうちいずれか 1 つに記載の半導体装置において、  
上記半導体装置の上記輪郭における辺あるいは上記第 1 電極の平面形状における辺のうちの少なくとも 1 つが、上記基板上のステップとほぼ垂直に形成されていることを特徴とする半導体装置。

30

## 【請求項 8】

請求項 1 ~ 7 のうちいずれか 1 つに記載の半導体装置において、  
上記炭化珪素層と上記第 1 電極とはショットキー接合を形成しており、  
上記半導体基板の下面上には、上記半導体基板とオーミック接合を形成する第 2 電極をさらに備えるショットキーダイオードであることを特徴とする半導体装置。

## 【請求項 9】

請求項 1 ~ 7 のうちいずれか 1 つに記載の半導体装置において、  
上記炭化珪素層は、上記半導体基板よりも高抵抗で、第 1 導電型の第 1 領域と、上記第 1 領域の上において上記第 1 領域と接合する第 2 導電型の第 2 領域とを含み、  
上記半導体基板の下面上に、上記半導体基板とオーミック接触する第 2 電極をさらに備える P N ダイオードであることを特徴とする半導体装置。

40

## 【請求項 10】

請求項 1 ~ 7 のうちいずれか 1 つに記載の半導体装置において、  
上記炭化珪素層は、上記半導体基板の上に位置し、上記半導体基板よりも高抵抗で第 1 導電型のドリフト領域と、上記炭化珪素層の上部の一部に設けられた第 2 導電型のウェル領域と、上記ウェル領域内に設けられた第 1 導電型のソース領域とを含み、  
上記炭化珪素層の一部の上にはゲート絶縁膜が設けられており、

50

上記炭化珪素層の上には、上記ウェル領域のうち上記ソース領域と上記ドリフト領域とは含まれた部分のうち少なくとも一部の上に、上記ゲート絶縁膜を挟んで設けられたゲート電極と、上記ウェル領域と上記ソース領域とに接合して設けられたソース電極とを上記第1電極としてさらに備える縦型MISFETであることを特徴とする半導体装置。

【請求項11】

請求項1～7のうちいずれか1つに記載の半導体装置において、

上記炭化珪素層は半絶縁性を示し、

上記炭化珪素層の上には、動作領域を有する動作層が設けられており、

上記動作層の上には、上記動作領域とショットキー接合を形成するゲート電極と、上記ゲート電極の側方に位置するソース電極およびドレイン電極とが、上記第1電極として設けられているMESFETであることを特徴とする半導体装置。

10

【請求項12】

請求項1～7のうちいずれか1つに記載の半導体装置において、

上記炭化珪素層は、ソース領域およびドレイン領域を有する動作領域を含み、

上記炭化珪素層の一部の上には、ゲート絶縁膜が設けられており、

上記炭化珪素層の上に上記ゲート絶縁膜を挟んで設けられたゲート電極と、上記ソース領域の上に設けられたソース電極と、上記ドレイン領域の上に設けられたドレイン領域とが、上記第1電極として設けられている横型MISFETであることを特徴とする半導体装置。

20

【請求項13】

炭化珪素基板からなるウェハ上に炭化珪素層をエピタキシャル成長させる工程(a)と、

上記炭化珪素層の上方に、複数の電極を形成する工程(b)と、

上記ウェハを複数のチップに分離する工程(c)と

を備える半導体装置の製造方法であって、

上記工程(c)では、互いに平行でない少なくとも2つの切断線が上記半導体基板の劈開面とほぼ平行となるように切断を行なうことを特徴とする半導体装置の製造方法。

【請求項14】

請求項13に記載の半導体装置の製造方法において、

上記工程(c)では、全ての切断線が上記半導体基板の劈開面とほぼ平行となるように切断を行うことを特徴とする半導体装置の製造方法。

30

【請求項15】

請求項13または14に記載の半導体装置の製造方法において、

上記工程(c)では、ダイシングにより上記ウェハを切断することを特徴とする半導体装置の製造方法。

【請求項16】

請求項13～15のうちいずれか1つに記載の半導体装置の製造方法において、

上記工程(b)では、上記電極の平面形状におけるすべての辺を、上記半導体基板の劈開面とほぼ平行に形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本発明は、高耐圧、大電流用に使用される炭化珪素半導体パワーデバイスに関する。

【0002】

【従来の技術】

近年、高耐圧、大電流を得るためのパワーデバイスを形成するための材料として、以前の主流であったシリコン(Si)半導体のかわりに炭化珪素(SiC)半導体を用いる開発が進められている。

【0003】

炭化珪素半導体は、シリコン半導体と比較して1桁程度高い絶縁破壊電界を有している。

そのため、炭化珪素半導体を用いてPN接合やショットキー接合を形成した場合には、空

50

乏層を狭くしても逆耐圧を維持することができるという利点があり、デバイス厚さを薄くすることが可能である。さらに、炭化珪素半導体は、高い濃度のキャリアのドーピングが可能であるためオン抵抗の低減を図ることができ、高耐圧低損失のパワーデバイスの実現が可能な材料として期待されている。

【0004】

このような炭化珪素半導体は様々な結晶系を有しており、その例としては立方晶の3C-SiC、六方晶の4H-SiCおよび6H-SiC、菱面体晶の15R-SiCなどが挙げられる。このなかで、立方晶の3C-SiCは、2.2eVの低いバンドギャップエネルギーと、1.2MV/cm程度の低い絶縁破壊電界を有している。それに対して、六方晶の4H-SiCおよび6H-SiCは、3eV以上の高いバンドギャップエネルギーと、2.0MV/cm程度の高い絶縁破壊電界を有している。ここで、デバイスには高耐圧低損失の炭化珪素半導体を用いることが好ましいので、六方晶の4H-SiCおよび6H-SiCを選択するのが好ましいといえる。

10

【0005】

現在のところ六方晶の炭化珪素半導体ウェハで入手できるのは、(0001)面の主面を有するものが主流である。

【0006】

パワーデバイスとしては、高いキャリア濃度を有する低抵抗ウェハ上に、低いキャリア濃度を有し、耐圧を維持するための高抵抗層をエピタキシャル成長させたものを用いる。ここで、(0001)ジャスト面を主面とする低抵抗ウェハの上に高抵抗層を成長させると、ウェハ表面では、テラス幅の広さに起因して高抵抗層の原料化学種が2次元核成長して、異なる方向性で合体して双晶が形成されてしまう。このように結晶性の悪い高抵抗層が形成されると、デバイスの耐圧が低下してしまう。

20

【0007】

そこで、ウェハとして、(0001)ジャスト面ではなく(0001)面から数度傾いた主面を有するオフカット基板を用いることにより、結晶性の高い高抵抗層を形成する方法が採用されている。オフカット基板では、(0001)ジャスト面を主面とする基板と比較して、ステップの密度が高くテラス幅が狭い。そのため、オフカット基板上に高抵抗層の原料化学種を供給すると、原料化学種が飛来して成長表面上のステップまで移動して、いわゆるステップフロー成長モードで結晶が成長する。

30

【0008】

現在、主面が結晶面から $\langle 11-20 \rangle$ 方向あるいは $\langle 1-100 \rangle$ 方向に傾いたオフカット基板が流通している。 $\langle 11-20 \rangle$ 方向にオフカットされた基板表面では、 $\langle 11-20 \rangle$ 方向と垂直な $\langle 1-100 \rangle$ 方向にステップが形成され、 $\langle 1-100 \rangle$ 方向にオフカットされた基板表面では、 $\langle 1-100 \rangle$ 方向と垂直な $\langle 11-20 \rangle$ 方向にステップが形成される。オフ角の傾きは大きすぎると本来の面と異なる面ができるおそれが生じるので、オフ角の傾きは10度以内であることが好ましい。

【0009】

一般的に、半導体装置(デバイス)は、多数の素子を一括して作りこんだウェハを、素子ごとに分離して複数のチップとする工程を経て形成される。この方法では、単一の素子を個々に作り込む方法よりも製造コストが低減される。それに加えて、工程途中では小面積のチップよりも大面積のウェハのほうが取扱いが容易であるという利点を有する。

40

【0010】

図3(a)は、シリコン(Si)半導体を用いた半導体装置の製造工程のうちで、ウェハからチップを切り出す工程を示す概略図である。通常では、(100)面を主面とするウェハ21を用いて、第1の切断方向と、それとほぼ垂直な第2の切断方向とに沿って切断分離することにより、長方形のチップが形成される。このとき、シリコンの硬度は大きくないので、任意の方向に向かって容易にウェハを切断することができる。

【0011】

50

炭化珪素 (SiC) を用いた半導体装置においても、シリコン半導体と同じようにウェハを分離切断してチップを形成する。六方晶の炭化珪素のウェハを用いる場合には、オリフラと垂直な  $\langle 11-20 \rangle$  方向を第1の切断方向として、第1の切断方向と垂直な方向を第2の切断方向として、その両方向に沿って切断を行なう。この切断は、ダイヤモンドなどの硬い物質の細かな砥粒がついたブレードと呼ばれる刃を回転することにより行われる。

【0012】

【発明が解決しようとする課題】

しかしながら、炭化珪素はダイヤモンドに次いでモース硬度の高い材料であるため、切断を繰り返すにしたがってブレードが著しく劣化してしまう。すると、ウェハの切断時にブレードの刃が接触して失われる領域（以下では切りしろと示す）が大きくなって素子の取れ数が少なくなるので、コストが高くなるという不具合が生じてしまう。

10

【0013】

また、ダイシング時に欠陥が発生して素子の動作領域付近にまで到達することもあり、素子の耐圧低下の原因になるとともに歩留まりが低下してしまう。

【0014】

本発明の目的は、上述の問題点に鑑み、ウェハの切断を容易化する手段を講ずることにより、コストの削減と歩留まりの向上とを図りつつ、高耐圧、低損失の炭化珪素の半導体装置およびその製造方法を提供することにある。

【0015】

20

【課題を解決するための手段】

本発明の半導体装置は、炭化珪素からなる半導体基板と、上記半導体基板の上にエピタキシャル成長により設けられた炭化珪素層と、炭化珪素層の上方に設けられた第1電極とを備える半導体装置であって、上記半導体装置の平面形状における輪郭を構成する辺のうち、互いに平行でない少なくとも2つの辺が、上記半導体基板の劈開面とほぼ平行であることを特徴とする。

【0016】

これにより、従来よりもウェハの切断を容易にすることができるので、刃の劣化の抑制と切りしろの幅の削減とを図ることができる。したがって、素子の取れ数を多くすることができるとともに、コストを削減することができる。さらに、欠陥の発生が抑制されるので、歩留まりの向上を図ることもできる。

30

【0017】

上記輪郭を構成する辺のうちのすべてが、上記半導体基板の劈開面とほぼ平行であることが好ましい。

【0018】

上記第1電極の平面形状におけるすべての辺は、上記半導体基板の劈開面とほぼ平行に形成されていることにより、限られたチップ面積の中で電極面積を大きく取ることができ、得られる電流量を多くすることができる。

【0019】

上記半導体基板は、六方晶構造における  $\{0001\}$  面から  $10^\circ$  以内の傾きでオフカットされた主面を有しており、上記劈開面は  $\{1-100\}$  面であってもよい。

40

【0020】

上記半導体装置は、ウェハをダイシングすることにより得られたことが好ましい。

【0021】

上記半導体装置の輪郭は、平行四辺形であることにより、ウェハの切断方向が2つであるので、少ないセット回数で切断を行うことができる。

【0022】

上記半導体装置の輪郭における辺あるいは上記第1電極の平面形状における辺のうち少なくとも1つが、上記基板上のステップとほぼ垂直に形成されていることにより、より正

50

確に劈開面に沿ってダイシングを行うことができる。

【0023】

上記炭化珪素層と上記第1電極とはショットキー接合を形成しており、上記半導体基板の下面上には、上記半導体基板とオーミック接合を形成する第2電極をさらに備えるショットキーダイオードであってもよい。

【0024】

上記炭化珪素層は、上記半導体基板よりも高抵抗で、第1導電型の第1領域と、上記第1領域の上において上記第1領域と接合する第2導電型の第2領域とを含み、上記半導体基板の下面上には、上記半導体基板とオーミック接触する第2電極をさらに備えるPNダイオードであってもよい。

10

【0025】

上記炭化珪素層は、上記半導体基板の上に位置し、上記半導体基板よりも高抵抗で第1導電型のドリフト領域と、上記炭化珪素層の上部の一部に設けられた第2導電型のウェル領域と、上記ウェル領域内に設けられた第1導電型のソース領域とを含み、上記炭化珪素層の一部の上には、ゲート絶縁膜が設けられており、上記炭化珪素層の上には、上記ウェル領域のうち上記ソース領域と上記ドリフト領域とには含まれた部分のうち少なくとも一部の上に、ゲート絶縁膜を挟んで設けられたゲート電極と、上記ウェル領域と上記ソース領域とに接合して設けられたソース電極とを上記第1電極としてさらに備える縦型MISFETであってもよい。

【0026】

上記炭化珪素層は半絶縁性を示し、上記炭化珪素層の上には、動作領域を有する動作層が設けられており、上記動作層の上には、上記動作領域とショットキー接合を形成するゲート電極と、上記ゲート電極の側方に位置するソース電極およびドレイン電極とが、上記第1電極として設けられているMESFETであってもよい。

20

【0027】

上記炭化珪素層は、ソース領域およびドレイン領域を有する動作領域を含み、上記炭化珪素層の一部の上には、ゲート絶縁膜が設けられており、上記炭化珪素層の上に上記ゲート絶縁膜を挟んで設けられたゲート電極と、上記ソース領域の上に設けられたソース電極と、上記ドレイン領域の上に設けられたドレイン領域とが、上記第1電極として設けられている横型MISFETであってもよい。

30

【0028】

本発明の半導体装置の製造方法は、炭化珪素基板からなるウェハ上に炭化珪素層をエピタキシャル成長させる工程(a)と、上記炭化珪素層の上方に、複数の電極を形成する工程(b)と、上記ウェハを複数のチップに分離する工程(c)とを備える半導体装置の製造方法であって、上記工程(c)では、互いに平行でない少なくとも2つの切断線が上記半導体基板の劈開面とほぼ平行となるように切断を行なうことを特徴とする。

【0029】

これにより、切断面が半導体基板の劈開面にほぼ一致するので、従来よりも容易にウェハを切断することができる。したがって、切断に用いる刃の劣化を抑制し、切りしろの幅を狭くすることができる。したがって、素子の取れ数を多くすることができるとともに、コストの削減を図ることができる。さらに、欠陥の発生を抑制することができるので、歩留まりの向上を図ることができる。

40

【0030】

上記工程(c)では、全ての切断線が上記半導体基板の劈開面とほぼ平行となるように切断を行うことが好ましい。

【0031】

上記工程(c)では、ダイシングにより上記ウェハを切断することにより、より工程の容易にすることができる。

【0032】

上記工程(b)では、上記電極の平面形状におけるすべての辺を、上記半導体基板の劈開

50

面とほぼ平行に形成することにより、限られたチップ面積の中で電極面積を大きく取ることができるので、電流量の多い半導体装置を得ることができる。

【0033】

【発明の実施の形態】

以下に、複数の素子が形成されたウェハを分離してチップを形成する際に、平行でない少なくとも2つの方向の分離を劈開面に沿って行なう本発明について説明する。

【0034】

(第1の実施の形態)

図1(a), (b)は、第1の実施形態において、複数のショットキーダイオード(素子)が設けられたウェハを示す平面図およびI-I線における断面図である。

10

【0035】

図1(a)に示すように、本実施形態のウェハでは、第1の切断方向と第1の切断方向から60度傾いた第2の切断方向とに沿って複数のショットキーダイオード(素子)9が配置しており、各ショットキーダイオード9におけるショットキー電極6およびボンディングパッド7は、その側面が2つの切断方向に沿うように設けられている。

【0036】

図1(b)に示すように、本実施形態のウェハには、(0001)面から $\langle 11-20 \rangle$ 方向に8度の傾きでオフカットされた主面を有し、濃度 $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度のn型不純物を含む4H-SiCからなる半導体基板1が用いられている。そして、半導体基板1の上面(主面)上には、半導体基板1よりも低濃度のn型キャリアを含み、厚さ $10 \mu\text{m}$ の炭化珪素の高抵抗層2が設けられている。高抵抗層2の上部には、動作領域8と、動作領域8の側方を囲み、p型不純物を含むガードリング3とが設けられている。そして、高抵抗層2のうちガードリング3の外縁部の上を覆うように、厚さ $1 \mu\text{m}$ の高フィールド酸化膜5が設けられており、高抵抗層2のうち動作領域8およびガードリング3の内縁部の上から高フィールド酸化膜5の上に亘って厚さ $200 \text{ nm}$ のニッケル(Ni)からなるショットキー電極6が設けられている。ショットキー電極6の上には、厚さ数 $\mu\text{m}$ のアルミニウム(Al)からなるボンディングパッド7が設けられている。半導体基板1の下面(裏面)上には、厚さ $200 \text{ nm}$ 程度のニッケルからなるオーミック電極4が設けられている。

20

【0037】

なお、本明細書中では、半導体基板1のうち高抵抗層2と接する面を上面(主面)として、オーミック電極4と接する面を下面(裏面)として、その方向に上下を規定する。また、本明細書において、動作領域とは、素子の動作のための電流が流れる領域を示すものとする。

30

【0038】

次に、本実施形態の半導体装置の製造方法について図2(a)~(c)を参照しながら説明する。図2(a)~(c)は、第1の実施形態の半導体装置のウェハを示す断面図である。

【0039】

まず、図2(a)に示す工程で、(0001)面から $\langle 11-20 \rangle$ 方向に8度の傾きでオフカットされた主面を有し、濃度 $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度のn型キャリアを含む4H-SiCからなる半導体基板1を用意する。そして、半導体基板1の主面上に、熱CVD法により、シラン( $\text{Si}_n\text{H}_{2n+2}$ )やプロパン( $\text{C}_2\text{H}_6$ )などの原料ガス、水素( $\text{H}_2$ )などのキャリアガスおよび窒素ガス( $\text{N}_2$ )などのドーパントガスを供給することにより、基板よりも低キャリア濃度の高抵抗層2をエピタキシャル成長させる。例えば、 $600 \text{ V}$ の耐圧を示すショットキーダイオードを得るためには、高抵抗層2の厚さを $10 \mu\text{m}$ 以上として、キャリア濃度を濃度 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ に設定することが望ましい。

40

【0040】

50

次に、高抵抗層 2 の上に、厚さ  $1\ \mu\text{m}$  の酸化シリコン ( $\text{SiO}_2$ ) 膜を堆積して、フォトリソグラフィ法およびドライエッチング法によりパターンニングすることにより、注入マスク (図示せず) を形成する。

【0041】

そして、注入マスクの上から、p 型不純物として、 $30\ \text{KeV}$  の注入エネルギーでボロン (B) をイオン注入する。このとき、欠陥の発生を抑制するために、基板温度を  $500$  以上の温度に保ってイオン注入を行なう。なお、p 型不純物として、ボロンのかわりにアルミニウムを用いてもよい。

【0042】

その後、注入マスクを除去してから、アルゴン (Ar) や窒素などの不活性ガス雰囲気中で  $1500$  以上の温度で活性化アニールを行なう。これにより、高抵抗層 2 のうち動作領域 8 の側方を囲む部分に、注入量  $1 \times 10^{15}\ \text{cm}^{-2}$  のボロンを含む帯状のガードリング 3 を形成する。ここで、動作領域 8 の平面形状は平行四辺形 (菱形を含む) であり、その各辺が  $\langle 1\ 1\ -2\ 0 \rangle$  方向と概ね平行になるように設定する。

10

【0043】

次に、図 2 (b) に示す工程で、半導体基板 1 の下 (裏面) 面上に厚さ  $200\ \text{nm}$  程度のニッケルを蒸着した後、アルゴンや窒素などの不活性ガス雰囲気中において、温度  $1000$  で 2 分間前後の熱処理を行なうことにより、オーミック電極 4 を形成する。その後、オーミック電極 4 の下面上に厚さ  $1\ \mu\text{m}$  程度の金 (Au) 膜 (図示せず) を蒸着する。

【0044】

20

次に、CVD 法により、高抵抗層 2 の上面上に厚さ  $1\ \mu\text{m}$  程度のシリコン酸化膜を形成して、フォトリソグラフィ法およびフッ酸エッチング法を行なうことにより、ガードリング 3 の外縁部の上を覆う帯状の高抵抗フィールド酸化膜 5 を形成する。このとき、ガードリング 3 のうち少なくとも内縁部は露出させた状態にしておく。

【0045】

次に、図 2 (c) に示す工程で、高抵抗層 2 の上面上に、真空蒸着法により厚さ  $200\ \text{nm}$  のニッケルを堆積して、フォトリソグラフィ法およびウェットエッチング法によってパターンニングすることにより、高抵抗層 2 の動作領域 8 およびガードリング 3 の内縁部の上から高抵抗フィールド酸化膜 5 の上に亘ってショットキー電極 6 を形成する。ここで、ショットキー電極 6 の外側面のエッジ部が、高抵抗フィールド酸化膜 5 を挟んでガードリング 3 の上にくるように設定する。また、ショットキー電極 6 の平面形状は平行四辺形であり、その各辺が  $\langle 1\ 1\ -2\ 0 \rangle$  方向と概ね平行になるように設定する。

30

【0046】

次に、不活性ガス中において  $400$  程度の温度で 5 分間の熱処理を行なうことにより、動作時におけるリーク電流を抑制することができる。

【0047】

その後、基板上に厚さ数  $\mu\text{m}$  程度のアルミニウムを蒸着して、フォトリソグラフィ法およびウェットエッチング法によりパターンニングを行なうことにより、ワイヤーボンディングのボンディングパッド 7 を形成する。以上の工程により、本実施形態のウェハを得ることができる。

40

【0048】

なお、動作領域 8、ショットキー電極 6 の平面形状は平行四辺形となっており、その頂点は、電界集中を避けるために  $50\ \mu\text{m}$  以上の曲率半径をもって丸められている。このように、複数のショットキーダイオードが形成されたウェハはダイシング工程を経てチップとなるが、以下にそのダイシング工程について説明する。

【0049】

まず、ダイシング装置にセットされたウェハを、 $\langle 1\ 1\ -2\ 0 \rangle$  方向に設定された第 1 の切断方向に合わせて切断する。続いて、ウェハを固定している試料台を  $60$  度だけ回転させて第 2 の切断方向に合わせて切断する。この方法によれば、全ての切断方向を  $\langle 1\ 1\ -2\ 0 \rangle$  方向にほぼ平行とすることにより、平行四辺形の平面形状を

50

有するチップを得ることができる。

【0050】

六方晶で(0 0 0 1)面を主面とするウェハの壁界面は{1 -1 0 0}面であり、{1 -1 0 0}面は(0 0 0 1)面と垂直で、<1 1 -2 0>方向と平行である。ダイシングによって得られる切断面が主面に対してほぼ垂直であるから、<1 1 -2 0>方向に平行にカットすれば、切断面はほぼ{1 -1 0 0}面となる。本発明では(0 0 0 1)面から数度オフカットされた主面をもつ基板を用いるが、オフ角が10度以内と小さいので切断面はほぼ{1 -1 0 0}面となる。

【0051】

ここで、<1 1 -2 0>方向に合わせて切断を行なうと、実際の切断面は{1 -1 0 0}面と一致する場合もあれば、ずれが生じる場合もある。特に、主面がオフカットされたウェハでは、そのオフカットの角度の分だけずれてダイシング装置にセットされるので、チップの切断面にはオフカット角程度にずれが生じうる。しかし、たとえ{1 -1 0 0}面から数度のずれが生じた場合にも、従来よりも劈開面に近い切断面でダイシングを行なうことができるので、効果を得ることができる。以上述べた壁界面からのずれという観点からも、ウェハのオフカットの角度は10度以内であることが好ましい。

【0052】

次に、チップをリードフレームにダイボンディングし、ショットキー電極6をリードフレームにワイヤーボンディングした後、樹脂封止してパッケージングする。以上の工程により、本実施形態の半導体装置(チップ)を形成することができる。

【0053】

ところで、本実施形態では、ウェハ上に素子を形成してチップに分離するときの基準として、オリフラのかわりにステップを基準としてもよい。ウェハメーカーは、炭化珪素基板におけるオリフラの方向は結晶軸から最大で10度もずれていると公言しているため、オリフラよりステップを基準としたほうが正確に劈開面を知ることができる。以下に、その方法について具体的に説明する。

【0054】

(0 0 0 1)面から<1 1 -2 0>方向にオフカットされたウェハには、<1 -1 0 0>方向にステップが存在しており、この<1 -1 0 0>方向に沿ったステップから30°あるいは90°だけ傾いた方向で切断すると{1 -1 0 0}面の切断面が得られる。本実施形態においては、ステップを基準として、これらの{1 -1 0 0}面のうち<1 -1 0 0>方向から90°傾いた面を平行四辺形の第1の辺の面とする。

【0055】

そして、注入マスクの位置合わせ時やショットキー電極6およびボンディングパッド7の形成時には、上記のステップと垂直な第1の辺に沿ってウェハの方向あわせを行なう。

【0056】

その後、ウェハをダイシングする際には、上記のステップと垂直な方向を第1の切断方向として切断を行なう。その後、第1の方向から60°あるいは120°傾いた第2の方向に沿って切断を行なう。

【0057】

次に、本実施形態の方法によりウェハをダイシングしたときに失われる部分の幅(切りしる)の測定結果について、従来の切断方法の測定結果と比較しながら説明する。この測定では、(0 0 0 1)面から<1 1 -2 0>方向に8°傾けてオフカットされた直径2インチの4H-SiCの基板を用いた。そして、その基板の上に複数の素子が形成されたものを10枚用意して、1枚のブレードを用いて切断を繰り返した。

【0058】

図3(a)は、従来の切断方向を示す概略図である。この方法では、オリフラと垂直な<

10

20

30

40

50

1 1 - 2 0 >方向が第1の切断方向となり、第1の切断方向と垂直な方向が第2の切断方向となるように設定して、辺の長さが2 mmのチップ領域が並ぶ直径2インチのウェハの切断を行った。本明細書中では、チップ領域とはウェハにおいて1つの素子に割り当てられる領域のことをいい、実際に得られるチップの大きさにダイシングにより失われる領域(切りしろ)の大きさを足した面積を有している。

【0059】

図11(a)は、従来の方法により炭化珪素のウェハを切断したときの切りしろの測定結果を示す表図である。図11(a)に示すように、処理枚数が増加するに従って、第1の切断方向、第2の切断方向のいずれにおいても切りしろが大きくなっている。この切りしろの増大はブレードの劣化に起因している。ブレードの劣化はシリコン半導体など他の材料を切断するときにも起こるが、炭化珪素半導体はダイヤモンドに次いでモース硬度の大きな材料であるため、特に顕著な劣化が起こる。

10

【0060】

また、オリフラに平行な第1の切断方向では、処理枚数が1枚目のときの切りしろが50 μmで10枚目のときの切りしろが100 μmであるのに対し、オリフラに垂直な第2の切断方向では、処理枚数が1枚目のときの切りしろが50 μmで10枚目のときの切りしろが200 μmであった。これからわかるように、オリフラに垂直な方向では、処理枚数の増加に伴う切りしろの拡大の割合が大きい。従来では、この切りしろを確保するために、ウェハ上の素子間距離を250 μm程度に大きく設定する必要があった。

【0061】

図4は、従来において、処理枚数が10枚目のときのウェハから切断されたチップの拡大図である。オリフラと平行な第1の切断方向の端面における凹凸は比較的緩やかであるが第2の切断方向の端面では大きな凹凸が生じており、チップのエッジ付近では、端面から500 μm程度にかけて表面層が剥離しているのが多く見られた。

20

【0062】

これは、第1の切断方向はへき開方向の< 1 1 - 2 0 >方向にほぼ沿っているので、小さな応力で切断を行なうことができるが、第2の切断方向は劈開面に沿っていないため、切断時には大きな応力がかかって欠けが生じたり、さらに、結晶軸方向に沿ったミクロなへき開が起こってしまうことに起因する。このような欠けやへき開がおこると、広い領域の切りしろが必要になるだけでなく半導体素子の耐圧低下の原因となってしまう。

30

【0063】

図3(b)は、本実施形態の切断方向を示す概略図である。この測定では、辺の長さが2 mmおよび3.4 mmのチップ領域が並ぶ直径2インチのウェハをダイシングして、失われた領域の幅を求めた。

【0064】

図11(b)は、本実施形態の方法により炭化珪素のウェハを切断したときの切りしろの測定結果を示す表図である。図11(b)に示すように、第1の切断線、第2の切断線ともに、切りしろは処理枚数1枚目で50 μm、処理枚数10枚目で100 μmであった。また、チップ端に大きな欠けは見られなかった。そのため、ウェハ上の素子間の間隔を、従来よりも短い150 μm程度に設定することができる。

40

【0065】

本実施形態では、ウェハの切断線を劈開面に合わせるため、従来よりも容易にダイシングを行なうことができる。これにより、チップの欠けなどを発生しにくくすることができ、ダイシングに用いるブレード等の刃の劣化を抑制することができ、切りしろの幅を狭くすることができる。これにより、素子の取れ数を多くすることができ、さらに、コストの削減を図ることができる。

【0066】

また、劈開面に沿って切断を行うとウェハにかかる応力を低減することができるため、従来と比較して欠陥の発生を抑制することができる。これにより、欠陥が素子の動作領域に

50

まで延びることに起因する素子の耐圧低下を防ぐことができ、歩留まりを向上させることができる。

【0067】

さらに、チップの平面形状に対応させて、平行四辺形の平面形状のショットキー電極6を形成することにより、限られたチップ面積の中で、電極面積を大きく取ることができ、得られる電流量を多くすることができる。

【0068】

また、切断する方向は従来と同じ2方向であるので、ダイシング装置において、切断方向を変えるときにウェハを回転させてセットする回数の増加を伴うこともない。

【0069】

(第2の実施の形態)

図5(a), (b)は、第2の実施形態において、複数のショットキーダイオード(素子)が形成されたウェハを示す平面図およびV-V線における断面図である。

【0070】

図5(a)に示すように、本実施形態のウェハでは、第1の切断方向と、第1の切断方向から60度傾いた第2, 第3の切断方向とによって区切られたチップ領域内に複数のショットキーダイオード(素子)9が配置しており、各ショットキー電極6およびボンディングパッド7は、その側面が3つの切断方向に平行な三角形の平面形状を有している。その三角形の頂点は、電界集中を避けるために50 $\mu$ m以上の曲率半径をもって丸められている。その他の構造, 製造方法は第1の実施形態の記載事項と同様であるので説明を省略する。

【0071】

ウェハを分離するときには、ウェハをダイシング装置の試料台上にセットして第1の切断方向で切断した後に、試料台を60度だけ回転させて第2の切断方向で切断し、さらに試料台を60度回転させて第3の切断方向で切断する。

【0072】

以下に、本実施形態の方法によりウェハをダイシングしたときに失われる部分の幅(切りしろ)の測定結果について図11(c)を参照しながら説明する。この測定は、長さ2mの各辺を有する三角形のチップ領域を有する直径2インチのウェハをダイシングすることにより行った。

【0073】

図11(c)は、本実施形態の方法により炭化珪素のウェハを切断したときの切りしろの測定結果を示す表図である。図7に示すように、第1の切断方向では、切りしろが処理枚数1枚目で50 $\mu$ m, 処理枚数10枚目で120 $\mu$ mであった。第2の切断方向では、切りしろは処理枚数1枚目で50 $\mu$ m, 10枚目で110 $\mu$ m、第3の切断方向では、切りしろは処理枚数1枚目で50 $\mu$ m, 10枚目で120 $\mu$ mであった。また、チップ端に大きな欠けは見られなかった。そのため、ウェハ上の素子間の間隔を、従来よりも短い150 $\mu$ m程度に設定することができる。

【0074】

本実施形態では、ウェハの切断線を劈開面に合わせるため、従来よりも容易にダイシングを行なうことができる。これにより、ダイシングに用いるブレード等の刃の劣化を抑制することができる。切りしろの幅を狭くすることができる。これにより素子の取れ数を多くすることができる。さらに、コストの削減を図ることができる。

【0075】

また、劈開面に沿って切断を行うとウェハにかかる応力を低減することができるため、従来と比較して欠陥の発生を抑制することができる。これにより、欠陥が素子の動作領域にまで延びることに起因する素子の耐圧低下を防ぐことができ、歩留まりを向上させることができる。

【0076】

さらに、チップの平面形状に対応させて、平行四辺形の平面形状のショットキー電極6を

10

20

30

40

50

形成することにより、限られたチップ面積の中で、電極面積を大きく取ることができ、得られる電流量を多くすることができる。

【0077】

(第3の実施形態)

図6(a), (b)は、第3の実施形態において、複数のPNダイオード(素子)が設けられたウェハを示す平面図およびVI-VI線における断面図である。

【0078】

図6(a)に示すように、本実施形態のウェハでは、第1の切断方向と第1の切断方向から60度傾いた第2の切断方向とに沿って複数のPNダイオード(素子)20が配置しており、各PNダイオード20における第2電極17およびボンディングパッド18は、その側面が2つの切断方向に沿うように平行四辺形の平面形状で設けられている。 10

【0079】

図6(b)に示すように、本実施形態のウェハには、(0001)面から $\langle 11-20 \rangle$ 方向に8度の傾きでオフカットされた主面を有し、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のn型キャリアを含む4H-SiCからなる半導体基板11を用いる。半導体基板11の上には、半導体基板11よりも低い濃度のn型キャリアを含む第1領域13aと、第1領域13aの上に設けられ、高濃度のp型不純物を含む第2領域13bと、第2領域13bの上に設けられ、第2領域13bよりも高い濃度のp型不純物を含むp<sup>+</sup>層14とからなる炭化珪素層12が設けられている。炭化珪素層12には、動作領域19の側方を囲むように数 $\mu\text{m}$ の深さの溝15が設けられており、メサ構造が形成されている。 20

【0080】

炭化珪素層12のうちp<sup>+</sup>層14の上には、p<sup>+</sup>層14とオーミック接触し、アルミニウムとニッケルとが交互に積層された厚さ200nm程度の第2電極(p型オーミック電極)17が設けられており、第2電極17の上にはボンディングパッド18が設けられている。

【0081】

半導体基板11の下面(裏面)上には、ニッケルからなる厚さ200nm程度の第1電極(n型オーミック電極)16が設けられており、第1電極16の下面上には、金膜(図示せず)が設けられている。 30

【0082】

次に、本実施形態のウェハの製造方法について図7(a)~(c)を参照しながら説明する。図7(a)~(c)は、第3の実施形態のウェハ状態の半導体装置の製造工程を示す断面図である。

【0083】

まず、図7(a)に示す工程で、(0001)面から $\langle 11-20 \rangle$ 方向に8度の傾きでオフカットされた主面を有し、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のn型キャリアを含む4H-SiCからなる半導体基板11を用意する。

【0084】

そして、半導体基板1の主面上に、熱CVD法により、シランやプロパンなどの原料ガス、水素(H<sub>2</sub>)などのキャリアガスおよび窒素ガスなどのドーパントガスを供給することにより、基板よりも低キャリア濃度の炭化珪素層12をエピタキシャル成長させる。例えば、600Vの耐圧を示すPNダイオードを得るためには、炭化珪素層12の厚さを10 $\mu\text{m}$ 以上として、キャリア濃度を濃度 $1 \times 10^{15} \text{ cm}^{-3}$  ~  $1 \times 10^{16} \text{ cm}^{-3}$ に設定することが望ましい。 40

【0085】

次に、図7(b)に示す工程で、基板上からアルミニウムまたはボロンをイオン注入することにより、炭化珪素層12の上部にp型の第2領域13bを形成する。このとき、炭化珪素層12のうち第2領域13bを除く領域は第1領域13aとなる。ここで、第2領域13bは、少なくとも第1領域13aのn型キャリア濃度の10倍以上である $1 \times 10^{18}$  50

$10^7 \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$  の p 型キャリア濃度を有することが好ましく、また、動作時に発生する空乏層が第 1 領域 13 a にまで到達しないような深さ、例えば  $1 \mu\text{m}$  程度の深さに設定される。

【0086】

次に、第 2 領域 13 b の上部にアルミニウムまたはボロンをイオン注入することにより、炭化珪素層 21 のうち第 2 領域 13 b の上に位置する部分（最表面）に、濃度  $1 \times 10^{18} \text{ cm}^{-3}$  以上の p 型不純物を含む  $p^+$  層 14 を形成する。この  $p^+$  層 14 により、後に形成される第 2 電極 17 と第 2 領域 13 b との間にオーミック接合を形成することができる。その後、ボロンまたはアルミニウムを活性化するために、不活性ガス雰囲気中において  $1500$  以上の温度で 30 分間の活性化アニール処理を行なう。

10

【0087】

次に、フォトリソグラフィおよびドライエッチングにより、各辺が  $\langle 11-20 \rangle$  方向と平行な平行四辺形の動作領域 19 の側方を囲むように、数  $\mu\text{m}$  の深さを有する溝 15 を終端構造として形成する。これによりメサ構造が形成される。ここで、溝 15 は、少なくとも PN 接合が形成される部分よりも深く形成する。

【0088】

次に、図 7 (c) に示す工程で、半導体基板 11 の下面（裏面）上に厚さ  $200 \text{ nm}$  程度のニッケルを蒸着した後、アルゴンや窒素などの不活性ガス雰囲気中において、温度  $1000$  で 2 分間前後の熱処理を行なうことにより第 1 電極（n 型オーミック電極）16 を形成する。その後、オーミック電極 4 の下面上に厚さ  $1 \mu\text{m}$  程度の金膜（図示せず）を蒸着する。

20

【0089】

次に、炭化珪素層 12 のうち  $p^+$  層 14 の上に、レジストを堆積させてフォトリソグラフィによりパターニングした後、厚さ  $200 \text{ nm}$  程度のアルミニウムとニッケルとの積層膜を蒸着してリフトオフすることにより、各辺が  $\langle 11-20 \rangle$  方向と平行な平行四辺形の第 2 電極（p 型オーミック電極）17 を形成する。その後、オーミック特性を得るためにアルゴンや窒素などの不活性ガス雰囲気中において、温度  $1000$  で 2 分間前後の熱処理を行なう。

【0090】

その後、基板上に厚さ  $1 \mu\text{m}$  程度のアルミニウムを蒸着して、フォトリソグラフィおよびウェットエッチング法によりパターニングを行なうことにより、ワイヤーボンディングのボンディングパッド 18 を形成する。以上の工程により、本実施形態のウェハを得ることができる。

30

【0091】

なお、 $p^+$  層 14、動作領域 19、第 2 電極 17 の平面形状は平行四辺形となっており、その頂点は、電界集中を避けるために  $50 \mu\text{m}$  以上の曲率半径をもって丸められている。このように、複数のショットキーダイオードが形成されたウェハはダイシング工程を経てチップとなるが、以下にそのダイシング工程について説明する。

【0092】

まず、ダイシング装置にセットされたウェハを、 $\langle 11-20 \rangle$  方向に設定された第 1 の切断方向に合わせて切断する。続いて、ウェハを固定している試料台を  $60$  度だけ回転させて第 2 の切断方向に合わせて切断する。この方法によれば、全ての切断方向を  $\langle 11-20 \rangle$  方向にほぼ平行とすることにより、平行四辺形の平面形状を有するチップを得ることができる。

40

【0093】

六方晶で  $(0001)$  面を主面とするウェハの壁界面は  $\{1-100\}$  面であり、 $\{1-100\}$  面は  $(0001)$  面と垂直で、 $\langle 11-20 \rangle$  方向と平行である。ダイシングによって得られる切断面が主面に対してほぼ垂直であるから、 $\langle 11-20 \rangle$  方向に平行にカットすれば、切断面はほぼ  $\{1-100\}$  面となる。本発明では  $(0001)$  面から数

50

度オフカットされた主面をもつ基板を用いるが、オフ角が10度以内と小さいので切断面はほぼ{ 1 - 1 0 0 }面となる。

【0094】

ここで、 $\langle 1 \ 1 \ -2 \ 0 \rangle$ 方向に合わせて切断を行なうと、実際の切断面は{ 1 - 1 0 0 }面と一致する場合もあれば、ずれが生じる場合もある。特に、主面がオフカットされたウェハでは、そのオフカットの角度の分だけずれてダイシング装置にセットされるので、チップの切断面にはオフカット角程度にずれが生じうる。しかし、たとえ{ 1 - 1 0 0 }面から数度のずれが生じた場合にも、従来よりは劈開面に近い方向でダイシングを行なうことができるので、効果を得ることができる。以上述べた壁界面からのずれという観点からも、ウェハのオフカットの角度は10度以内であることが好ましい。

10

【0095】

次に、チップをリードフレームにダイボンディングし、第2電極17をリードフレームにワイヤーボンディングした後、樹脂封止してパッケージングする。以上の工程により、本実施形態の半導体装置(チップ)を形成することができる。

【0096】

ところで、本実施形態では、ウェハ上に素子を形成してチップに分離するときの基準として、第1の実施形態と同様にステップを基準としてもよい。

【0097】

次に、本実施形態の方法によりウェハをダイシングしたときに失われる部分の幅(切りしる)の測定結果について、図12(a)を参照しながら説明する。この測定は、第1の実施形態と同様の方法を用いて、辺の長さが2mmおよび3.4mmのチップ領域が並ぶ直径2インチのウェハをダイシングして、失われた領域の幅を求めた。

20

【0098】

図12(a)は、本実施形態の方法により炭化珪素のウェハを切断したときの切りしるの測定結果を示す表図である。図12(a)に示すように、第1の切断線、第2の切断線ともに、切りしるは処理枚数1枚目で50 $\mu$ m、処理枚数10枚目で100 $\mu$ mであった。また、チップ端に大きな欠けは見られなかった。そのため、ウェハ上の素子間の間隔を従来よりも短い150 $\mu$ m程度に設定することができる。

【0099】

本実施形態では、第1の実施形態と同様の効果を得ることができるので、その記載は省略する。

30

【0100】

(第4の実施形態)

図8(a)、(b)は、第4の実施形態において、複数のPNダイオード(素子)が設けられたウェハを示す平面図およびX-X線における断面図である。

【0101】

図8(a)に示すように、本実施形態のウェハでは、第1の切断方向と、第1の切断方向から60度傾いた第2、第3の切断方向として区切られた領域内に複数のPNダイオード20が配置しており、第2電極(p型オーミック電極)17およびボンディングパッド18は、その側面が3つの切断方向に平行な三角形の平面形状を有している。三角形の頂点は、電界集中を避けるために50 $\mu$ m以上の曲率半径をもって丸められている。その他の構造および製造方法は第1の実施形態の記載事項と同様であるので説明を省略する。

40

【0102】

三角形の各辺は{ 1 - 1 0 0 }面と平行な $\langle 1 \ 1 \ -2 \ 0 \rangle$ 方向に沿っている。ウェハを分離するときには、ウェハをダイシング装置の試料台上にセットして第1の切断方向で切断した後に、試料台を60度だけ回転させて第2の切断方向で切断し、さらに試料台を60度回転させて第3の切断方向で切断する。

【0103】

以下に、本実施形態の方法によりウェハをダイシングしたときに失われる部分の幅(切り

50

しろ)の測定結果について図12(b)を参照しながら説明する。この測定は、辺の長さが2mmの三角形のチップ領域を有する直径2インチのウェハをダイシングすることにより行った。

【0104】

図12(b)は、本実施形態の方法により炭化珪素のウェハを切断したときの切りしろの測定結果を示す表図である。図12(b)に示すように、第1の切断方向、第2の切断方向および第3の切断方向において、切りしろは処理枚数1枚目で50 $\mu$ m、処理枚数10枚目で110 $\mu$ mでありほぼ同一の値を示した。また、チップ端に大きな欠けは見られなかった。そのため、ウェハ上の素子間の間隔を、従来よりも短い150 $\mu$ m程度に設定することができる。

【0105】

本実施形態で得られる効果は、第2の実施形態と同様であるので説明を省略する。

【0106】

(第5の実施形態)

図9(a)、(b)は、第5の実施形態において、複数の二重注入絶縁ゲート型トランジスタ(MOSFET)が設けられたウェハを示す平面図およびI-X-I-X線における断面図である。

【0107】

図9(a)に示すように、本実施形態のウェハでは、第1の切断方向と第1の切断方向から60度傾いた第2の切断方向とに沿って複数の二重注入絶縁ゲート型トランジスタ(素子)32が配置しており、各二重注入絶縁ゲート型トランジスタ32は、その側面が2つの切断方向に沿うように平行四辺形の平面形状で設けられている。

【0108】

図9(b)に示すように、本実施形態のウェハには、(0001)面から $\langle 11-20 \rangle$ 方向に8度の傾きでオフカットされた主面を有し、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のn型キャリアを含む4H-SiCからなる半導体基板21を用いる。半導体基板21の上には、ドリフト領域22aと、素子領域33内に三角形の平面形状で設けられた複数のウェル領域23と、ウェル領域23内に設けられたソース領域24と、素子領域33の側方を囲むように設けられたPNダイオード用の不純物注入層25と、不純物注入層25の外側方を囲むように設けられた3本のガードリング26とを備える、厚さ10 $\mu$ m程度の炭化珪素層22が設けられている。

【0109】

そして、炭化珪素層22のうち1つのウェル領域23の中に形成されたソース領域24から、他のウェル領域23の中に形成されたソース領域24の上に亘って、厚さ200nm程度のニッケルからなるゲート絶縁膜27が設けられており、ゲート絶縁膜27の上には、厚さ200nm程度のアルミニウムからなるゲート電極31が設けられている。

【0110】

炭化珪素層22のうち1つのウェル領域23内に設けられたソース領域24およびソース領域24によって囲まれるウェル領域23の露出した部分の上に亘って、厚さ200nm程度のソース電極29が設けられており、不純物注入層25の上には、厚さ200nm程度のニッケルからなる第2電極34が設けられている。

半導体基板21の下面上には、厚さ200nm程度のニッケルからなるドレイン電極28が設けられている。

【0111】

次に、本実施形態のウェハの製造方法について図10(a)~(c)を参照しながら説明する。

【0112】

まず、図10(a)に示す工程で、(0001)面から $\langle 11-20 \rangle$ 方向に8度の傾きでオフカットされた主面を有し、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上のn型キャリアを含む4H-SiCからなる半導体基板21を用意する。

10

20

30

40

50

## 【0113】

そして、半導体基板21の主面上に、熱CVD法により、シランやプロパンなどの原料ガス、水素などのキャリアガスおよび窒素ガスなどのドーパントガスを供給することにより、半導体基板21よりも低キャリア濃度の炭化珪素層22をエピタキシャル成長させる。例えば、600Vの耐圧を示す二重注入絶縁ゲート型トランジスタを得るためには、炭化珪素層22の厚さを10 $\mu$ m以上として、キャリア濃度を濃度 $1 \times 10^{15} \text{ cm}^{-3}$  ~  $1 \times 10^{16} \text{ cm}^{-3}$  に設定することが望ましい。

## 【0114】

次に、CVD法により、炭化珪素層22の上面上に厚さ3 $\mu$ m程度のシリコン酸化膜(SiO<sub>2</sub>) (図示せず)を形成して、フォトリソグラフィおよびドライエッチングによりパターンングすることにより、素子領域33の一部を開口する注入マスク(図示せず)を形成する。ここで、素子領域33とは、素子の動作のための電流が流れる領域をいう。

## 【0115】

その後、注入欠陥の発生を抑制するために500程度の温度に保持した状態で、アルミニウムまたはホウ素をイオン注入する。これにより、炭化珪素層22の素子領域33内に、全ての辺が<11-20>方向に平行の複数の三角形の平面形状を有するウェル領域23を形成する。炭化珪素層22のうちウェル領域23を除く領域をドリフト領域22aと呼ぶとすると、ウェル領域23は、少なくともドリフト領域22aの10倍以上の $1 \times 10^{17}$  ~  $1 \times 10^{18} \text{ cm}^{-3}$ 程度のn型不純物濃度を有することが望ましく、1 $\mu$ m前後の深さを有することが望ましい。

## 【0116】

ウェル領域23を形成すると同時に、素子領域33の側方を囲むように、PNダイオードのための不純物注入層25と、2 $\mu$ mの幅を有し、10 $\mu$ mの間隔があいた3本のガードリング26とを形成する。

## 【0117】

次に、図10(b)に示す工程で、ウェル領域23用のマスクパターンをフッ酸で除去した後、CVD法により、炭化珪素層22の上面上に厚さ1 $\mu$ mのシリコン酸化膜(SiO<sub>2</sub>) (図示せず)を形成して、フォトリソグラフィおよびドライエッチングによりパターンングすることにより、ウェル領域23の一部を開口する注入マスク(図示せず)を形成する。その後、注入欠陥の発生を抑制するために500程度の温度に保持した状態で窒素またはリン(P)をイオン注入することにより、ウェル領域23の内部にソース領域24を形成する。ソース領域24は、少なくともウェル領域23の10倍以上の $1 \times 10^{19}$  ~  $1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型キャリア濃度を有することが望ましく、少なくとも動作時に発生する空乏層よりも深い3 $\mu$ m程度の深さで設けられることが望ましい。

## 【0118】

なお、ウェル領域23およびソース領域24は、動作時にドリフト領域22aからのびる空乏層とソース領域24からのびる空乏層とがウェル領域23内で接触するパンチスルーを回避できるように設定する。

## 【0119】

続いて、注入マスクをフッ酸により除去した後、ウェル領域23およびソース領域24に含まれるドーパントを活性化するために、1500以上の高温で活性化アニールを行なう。

## 【0120】

次に、炭化珪素層22の表面を清浄化した後、基板を石英管の中に保持して、バブリングした2.5SLM(2.5l/min)の酸素を流しながら1100の温度で3時間の加熱を行なうことにより、厚さ40nmの熱酸化膜(図示せず)を形成する。この熱酸化膜の厚さは、20V以上のゲート・ソース間耐圧を確保するに40nm以上とすることが望ましい。

## 【0121】

10

20

30

40

50

その後、熱酸化膜をパターニングすることにより、1つのウェル領域23の中に形成されたソース領域24から、他のウェル領域23の中に形成されたソース領域24の上に亘るゲート絶縁膜27を形成する。

【0122】

次に、基板の上面(主面)上を保護した状態で、半導体基板21の下面(裏面)上に自然に形成されている熱酸化膜をバッファードフッ酸によって除去した後、厚さ200nm程度のニッケルを蒸着することによりドレイン電極28を真空蒸着する。

【0123】

次に、フォトリソグラフィにより、炭化珪素層22の上面上にレジストを形成してパターニングした後、厚さ200nmのニッケルを真空蒸着する。その後、基板を有機溶剤に浸透させてレジストを除去し、リフトオフすることにより、1つのウェル領域23内に設けられたソース領域24およびソース領域24によって囲まれるウェル領域23の露出した部分の上に亘って、ソース電極29を形成する。このとき、炭化珪素層22のうち不純物注入層25の上に第2電極34を形成することにより、PNダイオードを形成する。

10

【0124】

続いて、ドレイン電極28と半導体基板21との接触およびソース電極29と炭化珪素層22との接触をオーミック接合とするために、アルゴンまたは窒素等の不活性ガス中で、1000の温度で2分間のアニール(RTA)を行なう。

【0125】

次に、図10(c)に示す工程で、炭化珪素層22の上に厚さ200nmのアルミニウムを蒸着して、フォトリソグラフィおよびウェットエッチングによってパターニングすることにより、ゲート絶縁膜27の上にゲート電極31を形成する。

20

【0126】

次に、プラズマCVD等により、炭化珪素層22の上に厚さ1μmのシリコン酸化膜を堆積することにより、ゲート電極31およびソース電極29を覆う層間絶縁膜(図示せず)を形成する。続いて、レジストを形成してフォトリソグラフィとドライエッチングによってパターニングすることにより、層間絶縁膜を貫通してゲート電極31およびソース電極29の上面に到達するビアホール(図示せず)を形成する。

【0127】

その後、レジストを除去し、層間絶縁膜の上にアルミニウムを蒸着してパターニングすることにより、ビアホールを埋める厚さ2μmの上部配線(図示せず)を形成する。以上の工程により、ウェハ上に素子が形成される。

30

【0128】

このように、複数の2重注入絶縁ゲート型トランジスタ(素子)が形成されたウェハは、ダイシング工程を経てチップとなるが、以下にそのダイシング工程について説明する。

【0129】

まず、ダイシング装置にセットされたウェハを、 $\langle 1\ 1\ -2\ 0 \rangle$ 方向に設定された第1の切断方向に合わせて切断する。続いて、ウェハを固定している試料台を60度だけ回転させて第2の切断方向に合わせて切断する。この方法によれば、全ての切断方向を $\langle 1\ 1\ -2\ 0 \rangle$ 方向にほぼ平行とすることにより、平行四辺形の平面形状を有するチップを得ることができる。

40

【0130】

ここで、 $\langle 1\ 1\ -2\ 0 \rangle$ 方向に合わせて切断を行なうと、実際の切断面は $\{1\ -1\ 0\ 0\}$ 面と一致する場合もあれば、ずれが生じる場合もある。特に、主面がオフカットされたウェハでは、そのオフカットの角度の分だけずれてダイシング装置にセットされるので、チップの切断面にはオフカット角程度にずれが生じうる。しかし、たとえ $\{1\ -1\ 0\ 0\}$ 面から数度のずれが生じた場合にも、従来よりは劈開面に近い方向でダイシングを行なうことができるので、効果を得ることができる。

【0131】

次に、チップをリードフレームにダイボンディングし、チップをリードフレームにワイヤ

50

ーボンディングした後、樹脂封止してパッケージングする。以上の工程により、本実施形態の半導体装置（チップ）を形成することができる。

【0132】

ところで、本実施形態では、ウェハ上に素子を形成してチップに分離するときの基準として、第1の実施形態と同様にステップを基準としてもよい。

【0133】

次に、本実施形態の方法によりウェハをダイシングしたときに失われる部分の幅（切りしろ）の測定結果について、図12(c)を参照しながら説明する。この測定は、第1の実施形態と同様の方法を用いて、辺の長さが2mmおよび3.4mmのチップ領域が並ぶ直径2インチのウェハをダイシングして、失われた領域の幅を求めた。

【0134】

図12(c)は、本実施形態の方法により炭化珪素のウェハを切断したときの切りしろの測定結果を示す表図である。図12(c)に示すように、第1の切断線では、切りしろは処理枚数1枚目で50 $\mu$ m、処理枚数10枚目で100 $\mu$ mであり、第2の切断線では、切りしろは処理枚数1枚目で50 $\mu$ m、処理枚数10枚目で110nmであった。また、チップ端に大きな欠けは見られなかった。そのため、ウェハ上の素子間の間隔を、従来よりも短い150 $\mu$ m程度に設定することができる。

【0135】

本実施形態では、第1の実施形態と同様の効果を得ることができるので、その記載は省略する。

【0136】

なお、上記実施形態では、ひとつの素子領域に設けられるMOSFETのセル（ウェル領域23）の数は8個であるが、本発明では他の数であってもよく、必要とする電流量に応じてセルの数を調節することができる。

【0137】

また、本実施形態では、セル形状（ウェル領域）の平面形状を三角形、素子領域33およびチップの平面形状を平行四辺形としたが、セル形状（ウェル領域）、素子領域33およびチップの平面形状は、それぞれ平行四辺形と三角形とのどちらでもよくどのような組み合わせであってもよい。

【0138】

（第6の実施の形態）

図13(a)、(b)は、第6の実施形態において、複数の電界効果トランジスタ（MESFET）が設けられたウェハを示す平面図およびXIIII-XIIII線における断面図である。

【0139】

図13(a)に示すように、本実施形態のウェハでは、第1の切断方向と、第1の切断方向から60度傾いた第2の切断方向とによって区切られたチップ領域内に複数のMESFET（素子）40が配置されている。そして、チップ領域内の動作領域49を縦断するようにゲート電極46が設けられており、動作領域49の上のうちゲート電極の両側方には、ソース電極・ドレイン電極として機能するオーミック電極45が設けられている。ここで、ゲート電極46およびオーミック電極45は、その側面が2つの切断方向に沿うように設けられている。なお、オーミック電極45およびゲート電極46の各辺は<11-20>方向と平行であり、オーミック電極45およびゲート電極46の各頂点は電界集中を避けるために50 $\mu$ m以上の曲率半径をもって丸められている。

【0140】

図13(b)に示すように、本実施形態のウェハには、(0001)面から<11-20>方向に8度の傾きでオフカットされた主面を有し、濃度 $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ 程度のn型不純物を含む4H-SiCからなる半導体基板41が用いられている。そして、半導体基板41の上面（主面）上には、意図的なドーピングが行われていない厚さ5 $\mu$ mの炭化珪素層からなる半絶縁層42が設けら

10

20

30

40

50

れている。半絶縁層 42 の上には、濃度  $1 \times 10^{15} \text{ cm}^{-3}$  程度の n 型不純物濃度を有する厚さ  $2 \mu\text{m}$  の n - 層 43 が設けられており、n - 層 43 の上には、濃度  $1 \times 10^{19} \text{ cm}^{-3}$  の n 型キャリアを含む厚さ  $0.5 \mu\text{m}$  の n + 層 44 が設けられている。なお、n + 層 44 と n - 層 43 とは、動作領域 49 を含む動作層となる。

#### 【0141】

ウェハにおける素子の動作領域 49 のうち中央を縦断するように、n + 層 44 を貫通して n - 層 43 の上部を除去してなる溝部 47 が設けられており、溝部 47 の表面に露出する n - 層 43 の上には、n - 層 43 とショットキー接合を形成する厚さ  $200 \text{ nm}$  のニッケル (Ni) からなるゲート電極 46 が設けられている。一方、ウェハにおける動作領域 49 のうち溝部 47 の両側方に位置する部分には、n + 層 44 の上に厚さ  $200 \text{ nm}$  のニッケル (Ni) からなるオーミック電極 45 が設けられている。ここで、1 つのチップ領域には 2 つのオーミック電極 45 が互いに離間して設けられており、この 2 つのオーミック電極 45 の下に位置する n + 層 44 は、ソースおよびドレインとして機能する。

10

#### 【0142】

次に、本実施形態の半導体装置の製造方法について、図 14 (a) ~ (d) を参照しながら説明する。図 14 (a) ~ (d) は、第 6 の実施形態の半導体装置の製造工程を示す断面図である。

#### 【0143】

まず、図 14 (a) に示す工程で、(0001) 面から  $\langle 11-20 \rangle$  方向に 8 度の傾きでオフカットされた主面を有し、濃度  $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$  程度の n 型不純物を含む 4H-SiC からなる半導体基板 41 を用意する。そして、半導体基板 41 の主面上に、熱 CVD 法により、シランやプロパンなどの原料ガス、水素などのキャリアガスを供給することにより、意図的には不純物がドーピングされない厚さ  $10 \mu\text{m}$  の半絶縁層 42 を堆積する。ここで、本実施形態は横方向デバイスである MESFET についての形態であり、基板の縦方向 (上下方向) には電流が流れないことが好ましい。したがって、半絶縁層 42 のドーパント濃度はできるだけ低いことが好ましく、半絶縁層 42 における n 型不純物の濃度は多くとも  $1 \times 10^{15} \text{ cm}^{-3}$  以下とすることが好ましい。

20

#### 【0144】

次に、図 14 (b) に示す工程で、半絶縁層 42 の上に、濃度  $1 \times 10^{15} \text{ cm}^{-3}$  程度の n 型不純物を含む厚さ  $2 \mu\text{m}$  の炭化珪素層の n - 層 43 をエピタキシャル成長させ、さらに、濃度  $1 \times 10^{18} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$  程度の n 型不純物を含む、厚さ  $0.5 \mu\text{m}$  の n + 層 44 をエピタキシャル成長させる。

30

#### 【0145】

次に、図 14 (c) に示す工程で、フォトリソグラフィおよびドライエッチングにより、動作領域 49 のうち中央を縦断するように、n + 層 44 を貫通して n - 層 43 の上部を除去してなる溝部 47 を形成する。溝部 47 を形成すると同時に、素子の動作領域 49 を囲むように、n + 層 44 を貫通して n - 層 43 の上部を除去してなる溝 48 を形成する。

#### 【0146】

次に、図 14 (d) に示す工程で、リフトオフ法を用いることにより、溝部 47 の側方に位置する n + 層 44 の表面に厚さ  $200 \text{ nm}$  のニッケル (Ni) を堆積し、不活性ガスの雰囲気中で  $1000^\circ\text{C}$  で 5 分間の熱処理を行なうことにより、オーミック電極 45 を形成する。このオーミック電極 45 は、ゲート電極 46 の側方を挟むように互いに離間して設けられており、それぞれソース電極・ドレイン電極として機能する。そして、n + 層 44 のうちオーミック電極 45 の下に位置する部分は、ソース領域・ドレイン領域として機能する。

40

#### 【0147】

その後、リフトオフ法により、溝部 47 の表面に露出する n - 層 43 の上に、n - 層 43 とショットキー接合する厚さ  $200 \text{ nm}$  のニッケル (Ni) からなるゲート電極 46 を形

50

成する。以上の工程により、本実施形態のウェハを得ることができる。

【0148】

このように複数のMISFETが形成されたウェハはダイシング工程を経てチップとなるが、以下にその工程について説明する。

【0149】

まず、ダイシング装置にセットされたウェハを $\langle 1\ 1\ -2\ 0 \rangle$ 方向に設定された第1の切断方向に合わせて切断する。続いて、ウェハを固定している試料台を60度だけ回転させて第二の切断方向に合わせて切断する。この方法によれば全ての切断方向を $\langle 1\ 1\ -2\ 0 \rangle$ 方向にほぼ平行とすることにより、平行四辺形の平面形状を有するチップを得ることができる。

10

【0150】

ここで、 $\langle 1\ 1\ -2\ 0 \rangle$ 方向に合わせて切断を行うと、実際の切断面は $\{ 1\ -1\ 0\ 0 \}$ 面と一致する場合もあれば、ずれが生じる場合もある。特に、主面がオフカットされたウェハでは、そのオフカットの角度の分だけずれてダイシング装置にセットされるので、チップの切断面にはオフカット角程度にずれが生じうる。しかし、たとえ $\{ 1\ -1\ 0\ 0 \}$ 面から数度のずれが生じた場合にも、従来よりへき開面に近い切断面でダイシングを行うことができるので、効果を得ることができる。

【0151】

次に、チップをリードフレームにダイボンディングし、オーミック電極45とゲート電極46をリードフレームにワイヤーボンディングした後、樹脂封止してパッケージングする。

20

【0152】

ところで、本実施形態では、ウェハ上に素子を形成してチップに分離するときの基準として、第1の実施形態と同様にステップを基準としても良い。

【0153】

このような横方向のデバイスにおいても第1から第5までの実施形態と同様の効果を得ることができた。すなわち、切りしろが小さく、チップ端に大きな欠けは見られなかった。そのため、ウェハ上の素子間の間隔を、従来よりも短く設定することができる。

【0154】

(第7の実施形態)

図15(a), (b)は、第7の実施の形態において、複数の横型MISFETが設けられたウェハを示す平面図およびXV-XV線における断面図である。

30

【0155】

図15(a)に示すように、本実施形態のウェハでは、第1の切断方向と、第1の切断方向から60度傾いた第2の切断方向とによって区切られたチップ領域内に複数の横型MISFET(素子)50が配置されている。そして、チップ領域内の動作領域64を縦断するようにゲート電極62が設けられており、動作領域64の上のうちゲート電極62の側方には、ソース電極59と、ドレイン電極60とが設けられている。ここで、ゲート電極62、ソース電極59およびドレイン電極60は、その側面が2つの切断方向に沿うように設けられている。なお、ゲート電極62、ソース電極59およびドレイン電極60の各

40

【0156】

図15(b)に示すように、本実施形態のウェハには、 $(0\ 0\ 0\ 1)$ 面から $\langle 1\ 1\ -2\ 0 \rangle$ 方向に8度の傾きでオフカットされた主面を有し、濃度 $1 \times 10^{17} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ 程度のp型不純物を含む4H-SiCからなる半導体基板51が用いられている。そして、半導体基板51の上面(主面)上には、濃度 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$ のp型不純物を含む厚さ $10 \mu\text{m}$ の炭化珪素層52が設けられている。炭化珪素層52の上部のうちの一部には、濃度 $1 \times 10^{17}$

50

$7 \text{ cm}^{-3}$  程度の n 型不純物を含む、深さ  $0.4 \mu\text{m}$  程度のドリフト領域 54 が設けられている。炭化珪素層 52 のうちドリフト領域 54 と隣接する領域には、濃度  $1 \times 10^{19} \text{ cm}^{-3}$  程度の n 型不純物を含む、深さ  $0.3 \mu\text{m}$  程度のドレイン領域 56 が設けられている。炭化珪素層 52 のうちドリフト領域 54 から見てドレイン領域 56 と対向する領域には、ドリフト領域 54 とは互いに離間して、濃度  $1 \times 10^{19} \text{ cm}^{-3}$  程度の n 型不純物を含む、深さ  $0.3 \mu\text{m}$  程度のソース領域 55 が設けられている。炭化珪素層 52 のうち、ソース領域 55 とドリフト領域 54 とにより挟まれた領域は、チャンネル領域 63 となる。

【0157】

炭化珪素層 52 のうち、ソース領域 55、ドリフト領域 54、ドレイン領域 56 およびチャンネル領域 63 が動作領域 64 として機能する。 10

【0158】

炭化珪素層 52 の上は酸化膜 57 によって覆われており、酸化膜 57 のうちソース領域 55 の一部の上から、チャンネル領域 63 の上を介してドリフト領域 54 の一部の上に亘る部分は、ゲート絶縁膜 57a となる。ゲート絶縁膜 57a の上には、アルミニウムからなるゲート電極 62 が設けられている。

【0159】

酸化膜 57 のうちソース領域 55 およびドレイン領域 56 の上に位置する部分は除去されており、ソース領域 55 およびドレイン領域 56 の上には、ニッケル (Ni) からなるソース電極 59 およびドレイン電極 60 が、オーミック接合を形成して設けられている。 20

【0160】

基板 51 の裏面上には、アルミニウムとニッケルとの積層膜からなるベース電極 58 が形成されている。基板 51 とベース電極 58 とは、オーミック接合を形成している。そして、炭化珪素層 52 のうち隣り合う素子の間には、スクライプラインとなる溝部 53 が形成されている。

【0161】

次に、本実施形態における半導体装置の製造方法について、図 16 (a) ~ (f) を参照しながら説明する。図 16 (a) ~ (f) は、第 7 の実施形態の半導体装置の製造工程を示す断面図である。

【0162】

まず、図 16 (a) に示す工程で、(0001) 面から  $\langle 11-20 \rangle$  方向に 8 度の傾きでオフカットされた主面を有し、濃度  $1 \times 10^{18} \text{ cm}^{-3}$  程度の p 型不純物を含む 4H-SiC からなる半導体基板 51 を用意する。そして半導体基板 51 の主面上に、熱 CVD 法により、シランやプロパンなどの原料ガス、水素などのキャリアガスおよびトリメチルアルミニウム (TMA) などのドーパントガスを供給することによって、濃度  $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{16} \text{ cm}^{-3}$  の p 型不純物を含む厚さ  $10 \mu\text{m}$  の炭化珪素層 52 を堆積する。 30

【0163】

次に、図 16 (b) に示す工程で、フォトリソグラフィおよびドライエッチングにより、炭化珪素層 52 のうちチップ領域の外周部となる領域にスクライプラインとなる溝部 53 を形成する。 40

【0164】

次に、図 16 (c) に示す工程で、炭化珪素層 52 の表面上に厚さ  $1 \mu\text{m}$  程度のシリコン酸化膜 (図示せず) を堆積する。そして、フォトリソグラフィおよびドライエッチングによりシリコン酸化膜に開口を形成し、それをマスクにして窒素のイオン注入を行なうことにより、炭化珪素層 52 の上部のうちの一部に、濃度  $1 \times 10^{17} \text{ cm}^{-3}$  程度の n 型不純物を含む、深さ  $0.4 \mu\text{m}$  程度のドリフト領域 54 を形成する。ここで、イオン注入の際の基板温度は、注入欠陥を低減するために  $500$  程度に保つことが好ましい。イオン注入の後には、シリコン酸化膜をフッ酸を用いて除去する。

【0165】

次に、図16(d)に示す工程で、炭化珪素層52の表面上に厚さ1 $\mu$ m程度のシリコン酸化膜(図示せず)を形成し、フォトリソグラフィおよびドライエッチングによりシリコン酸化膜に開口を形成する。そして、それをマスクにして窒素のイオン注入を行なうことにより、濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 程度のn型不純物を含む、深さ0.3 $\mu$ m程度のソース領域55およびドレイン領域56を形成する。ドレイン領域56は、炭化珪素層52のうちドリフト領域54に隣接する領域に設けられ、ソース領域55は、炭化珪素層52のうち、ドリフト領域54からみてドレイン領域56と対向する領域に、ドリフト領域54とは互いに離間して設けられる。ここで、イオン注入の際の基板温度は、注入欠陥を低減するため500程度に保つことが好ましい。イオン注入後、シリコン酸化膜をフッ酸を用いて除去する。その後、アルゴンなどの不活性ガス雰囲気中で、1500の温度で30分間の活性化アニールを行う。

#### 【0166】

次に、図16(e)に示す工程で、ウェハを石英管の中に保持し、バブリングした酸素を流量2.5SLM(L/min)だけ流しながら1100で3時間加熱することにより、基板上を、厚さ約40nmのシリコン酸化膜57で覆う。その後、基板51の裏面上に、アルミニウムとニッケルの積層膜からなる、厚さ200nmのベース電極58を形成する。

#### 【0167】

次に、シリコン酸化膜57のうちソース領域55およびドレイン領域56の上に位置する部分を除去する。そして、リフトオフ法により、ソース領域55およびドレイン領域56の上に厚さ200nmのニッケル膜を堆積することにより、ソース電極59およびドレイン電極60を形成する。その後、ベース電極58と基板51の接触、ソース電極59とソース領域55の接触およびドレイン電極56とドレイン領域56の接触がそれぞれオーミック接触となるように、窒素などの不活性ガス雰囲気中で、温度1000で2分間の熱処理を行う。

#### 【0168】

次に、図16(f)に示す工程で、基板表面上を厚さ200nmのアルミニウムで覆い、フォトリソグラフィと、燐酸を主成分とするエッチャントを用いたウェットエッチングを施すことにより、アルミニウムからなるゲート電極62を形成する。以上の工程により、本実施形態のウェハを得ることができる。

#### 【0169】

このように複数の横型MISFETが形成されたウェハはダイシング工程を経てチップとなるが、以下にその工程について説明する。

#### 【0170】

まず、ダイシング装置にセットされたウェハを< 1 1 - 2 0 >方向に設定された第1の切断方向に合わせて切断する。続いて、ウェハを固定している試料台を60度だけ回転させて第二の切断方向に合わせて切断する。この方法によれば全ての切断方向を< 1 1 - 2 0 >方向にほぼ平行とすることにより、平行四辺形の平面形状を有するチップを得ることができる。

#### 【0171】

ここで、< 1 1 - 2 0 >方向に合わせて切断を行うと、実際の切断面は{ 1 - 1 0 0 }面と一致する場合もあれば、ずれが生じる場合もある。特に、主面がオフカットされたウェハでは、そのオフカットの角度の分だけずれてダイシング装置にセットされるので、チップの切断面にはオフカット角程度にずれが生じうる。しかし、たとえば{ 1 - 1 0 0 }面から数度のずれが生じた場合にも、従来よりへき開面に近い切断面でダイシングを行うことができるので、効果を得ることができる。

#### 【0172】

次に、チップをリードフレームにダイボンディングし、ソース電極59、ドレイン電極60、ゲート電極62およびベース電極58をリードフレームにワイヤーボンディングした後、樹脂封止してパッケージングする。以上の工程により、本実施形態の半導体装置(チ

ップ)を形成することができる。

【0173】

本実施形態では、第6の実施形態と同様の効果を得ることができるが、その説明は省略する。

【0174】

本実施形態では、横型デバイスの一つである反転型MISFETについて述べたが、本発明はこれに限定されるものでなく、蓄積型MISFETにも応用できる。

【0175】

また、本実施形態では、耐圧を向上させる目的でドリフト領域54を設けたが、本発明においてドリフト領域54は必ずしも必要でない。

10

【0176】

(その他の実施形態)

なお、上記第1～第7の実施形態では、チップの平面形状と同一の平面形状を有する動作領域、電極およびボンディングパッド等を設けたが、本発明においては、これらの平面形状はチップの平面形状と同一の平面形状でなくてもよい。つまり、限られたチップ面積の中で電極面積を大きくとることができる形状であれば同様の効果を得ることができる。

【0177】

なお、上記実施形態では、ウェハの切断を全て劈開面に平行な方向に合わせて行なうと記載したが、本発明では、全ての切断を劈開面に合わせなくてもよく、少なくとも2方向(互いに平行でない2つの切断線)を劈開面に平行な方向にすることにより、従来よりもダイシングが容易になる。

20

【0178】

なお、上記実施形態ではダイシングによりチップ分離を行ったが、本発明ではスクライピングにより行なってもよい。

【0179】

なお、本実施の形態では(0 0 0 1)面から< 1 1 - 2 0 >方向に傾いてオフカットされたウェハを用いたが、< 1 - 1 0 0 >方向にオフカットされたウェハを用いてもよい。この場合には、ステップが< 1 1 - 2 0 >方向に形成されるので、菱形の第1の辺がステップと平行になるようにフォトリソグラフィのマスクと基板の方向合わせを行なうことにより、ショットキー電極の菱形の全ての辺が

30

< 1 1 - 2 0 >方向に平行となるように設定することができる。

【0180】

【発明の効果】

本発明においては、ウェハの切断をより容易に行うことができるため、コストの削減が可能となり、歩留まりの向上を図ることができる。また、電極面積を大きくすることができるため、得られる電流量を多くすることができる。

【図面の簡単な説明】

【図1】(a)、(b)は、第1の実施形態において、複数のショットキーダイオード(素子)が設けられたウェハを示す平面図および断面図である。

【図2】(a)～(c)は、第1の実施形態の半導体装置のウェハを示す断面図である。

40

【図3】(a)、(b)は、従来および本発明の切断方向を示すウェハの概略図である。

【図4】従来において、処理枚数が10枚目のときのウェハから切断されたチップの拡大図である。

【図5】(a)、(b)は、第2の実施形態において、複数のショットキーダイオード(素子)が形成されたウェハを示す平面図および断面図である。

【図6】(a)、(b)は、第3の実施形態において、複数のPNダイオード(素子)が設けられたウェハを示す平面図および断面図である。

【図7】(a)～(c)は、第3の実施形態のウェハ状態の半導体装置の製造工程を示す断面図である。

【図8】(a)、(b)は、第4の実施形態において、複数のPNダイオード(素子)が

50

設けられたウェハを示す平面図および断面図である。

【図 9】(a), (b) は、第 5 の実施形態において、複数の二重注入絶縁ゲート型トランジスタ (MOSFET) が設けられたウェハを示す平面図および断面図である。

【図 10】(a) ~ (c) は、第 5 の実施形態のウェハ状態の半導体装置の製造工程を示す断面図である。

【図 11】(a) ~ (c) は、従来および本実施形態の方法により炭化珪素のウェハを切断したときの切りしろの測定結果を示す表図である。

【図 12】(a) ~ (c) は、本実施形態の方法により炭化珪素のウェハを切断したときの切りしろの測定結果を示す表図である。

【図 13】(a), (b) は、第 6 の実施形態において、複数の電界効果トランジスタ (MESFET) が設けられたウェハを示す平面図および X I I I - X I I I 線における断面図である。 10

【図 14】(a) ~ (d) は、第 6 の実施形態の半導体装置の製造工程を示す断面図である。

【図 15】(a), (b) は、第 7 の実施形態において、複数の横型 MISFET が設けられたウェハを示す平面図および X V - X V 線における断面図である。

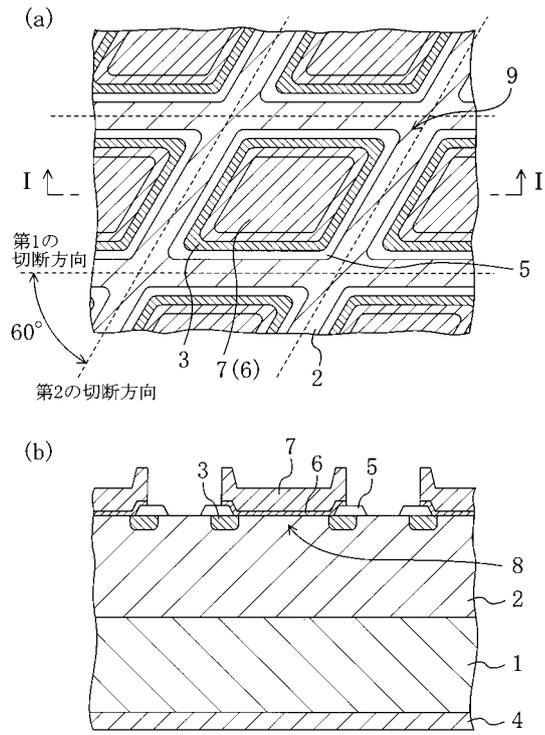
【図 16】(a) ~ (f) は、第 7 の実施形態の半導体装置の製造工程を示す断面図である。

#### 【符号の説明】

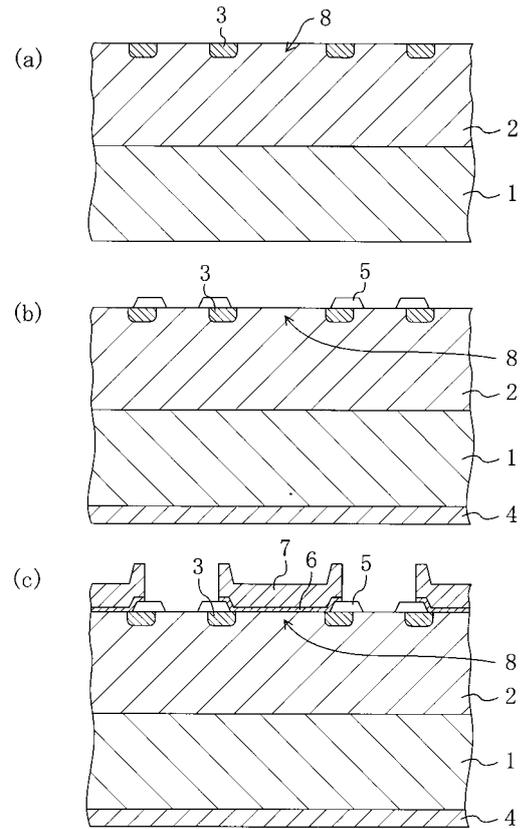
1	半導体基板	20
2	炭化珪素層	
3	ガードリング	
4	オーミック電極	
5	高フィールド酸化膜	
6	ショットキー電極	
7	ボンディングパッド	
8	動作領域	
1 1	半導体基板	
1 2	炭化珪素層	
1 3 a	第 1 領域	30
1 3 b	第 2 領域	
1 4	p <sup>+</sup> 層	
1 5	溝	
1 6	第 1 電極	
1 7	第 2 電極	
1 8	ボンディングパッド	
1 9	動作領域	
2 0	PN ダイオード	
2 1	半導体基板	
2 2	炭化珪素層	40
2 2 a	ドリフト領域	
2 3	ウェル領域	
2 4	ソース領域	
2 5	不純物注入層	
2 6	ガードリング	
2 7	ゲート絶縁膜	
2 8	ドレイン電極	
2 9	ソース電極	
3 1	ゲート電極	
3 2	二重注入絶縁ゲート型トランジスタ	50

3 3	素子領域	
3 4	第 2 電極	
4 0	M E S F E T	
4 1	半導体基板	
4 2	半絶縁層	
4 3	n - 層	
4 4	n + 層	
4 5	オーミック電極	
4 6	ゲート電極	
4 7	溝部	10
4 8	溝部	
4 9	動作領域	
5 0	素子	
5 1	基板	
5 2	炭化珪素層	
5 3	溝部	
5 4	ドリフト領域	
5 5	ソース領域	
5 6	ドレイン領域	
5 7	シリコン酸化膜	20
5 7 a	ゲート絶縁膜	
5 8	ベース電極	
5 9	ソース電極	
6 0	ドレイン電極	
6 2	ゲート電極	
6 3	チャンネル領域	
6 4	動作領域	

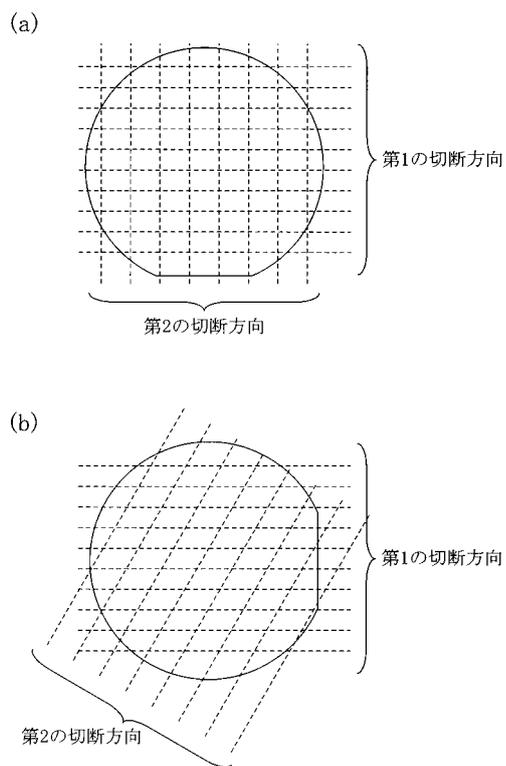
【 図 1 】



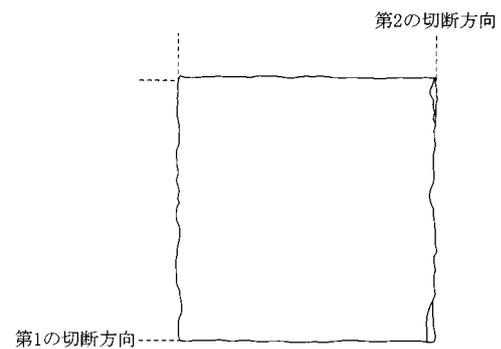
【 図 2 】



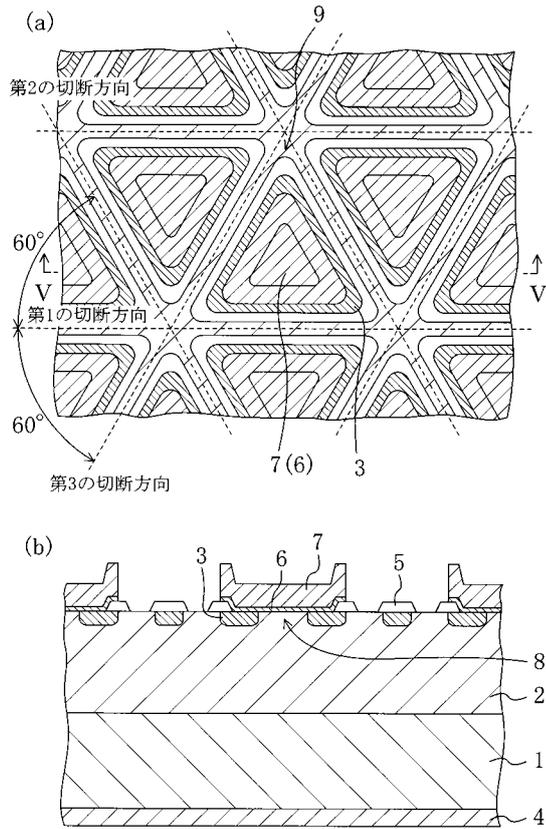
【 図 3 】



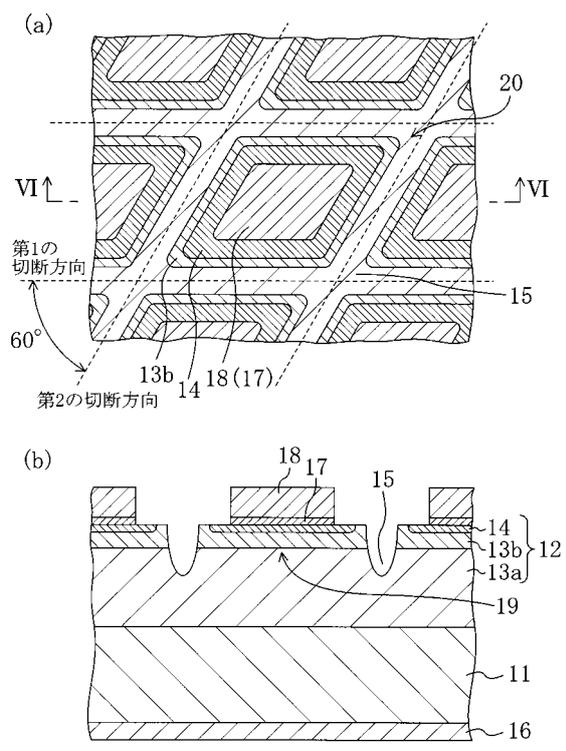
【 図 4 】



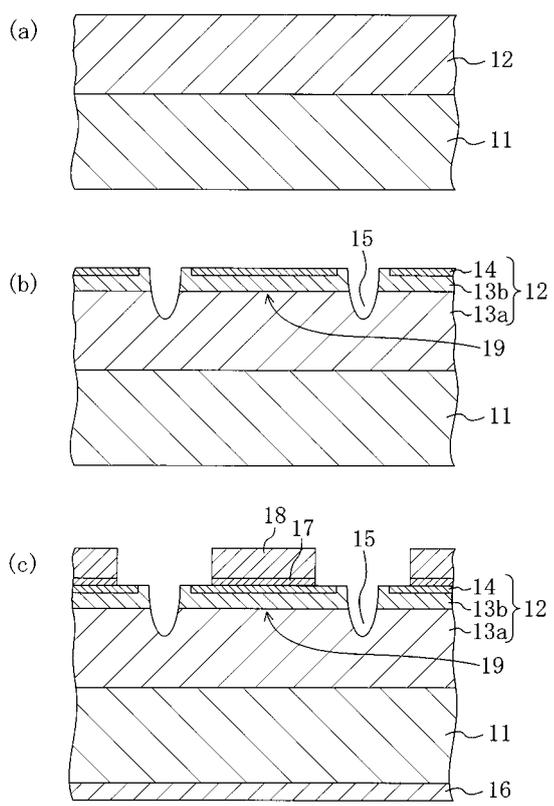
【 図 5 】



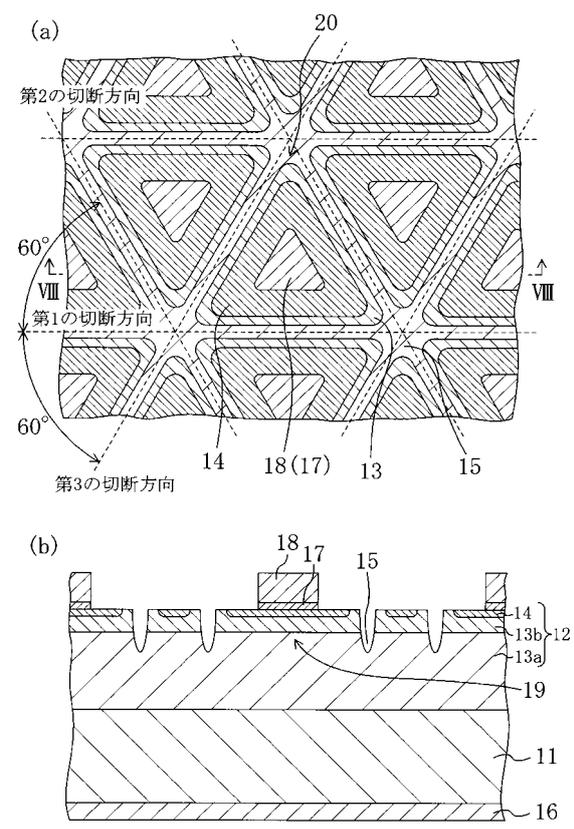
【 図 6 】



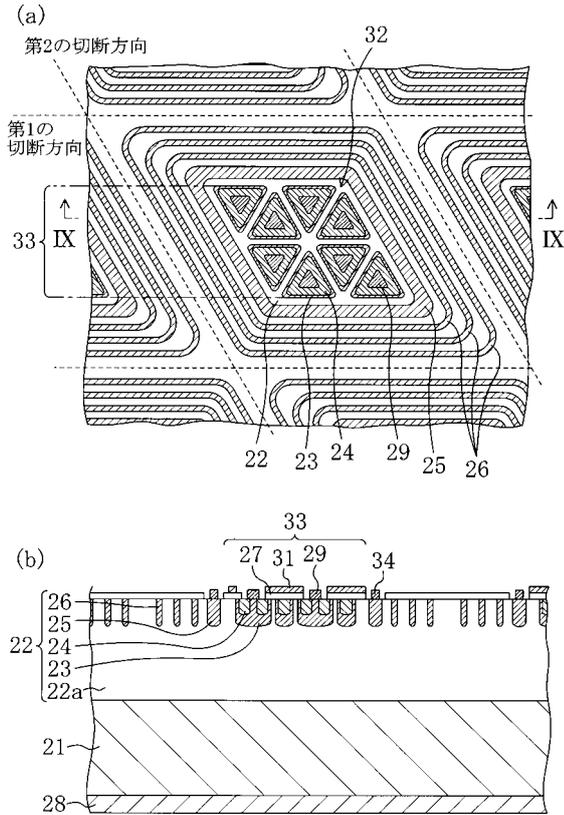
【 図 7 】



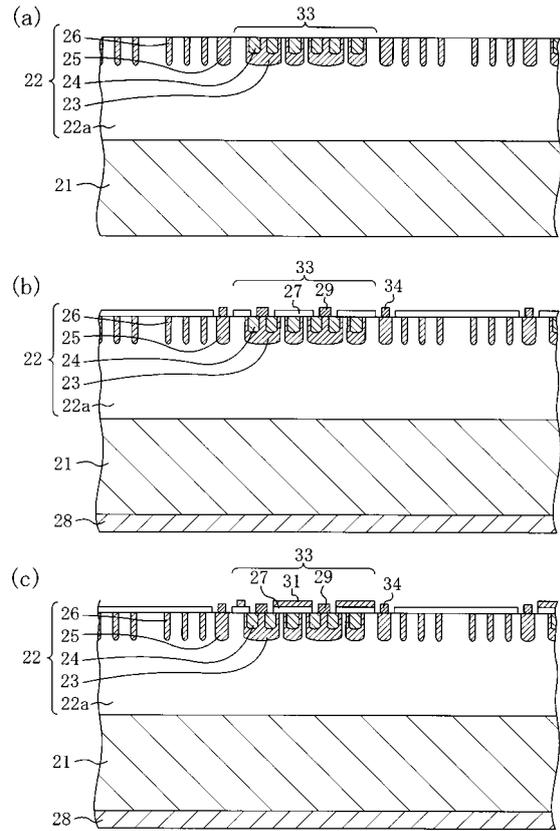
【 図 8 】



【 図 9 】



【 図 10 】



【 図 11 】

(a)

ウェハ処理枚数	第1の切断方向の切りしろ (μm)	第2の切断方向の切りしろ (μm)
1	50	50
3	60	70
5	70	100
7	90	150
10	100	200

(b)

ウェハ処理枚数	第1の切断方向の切りしろ (μm)	第2の切断方向の切りしろ (μm)
1	50	50
3	60	70
5	70	70
7	90	90

(c)

ウェハ処理枚数	第1の切断方向の切りしろ (μm)	第2の切断方向の切りしろ (μm)	第3の切断方向の切りしろ (μm)
1	50	50	50
3	60	70	60
5	70	80	80
7	80	90	90
10	100	110	110

【 図 12 】

(a)

ウェハ処理枚数	第1の切断方向の切りしろ (μm)	第2の切断方向の切りしろ (μm)
1	50	50
3	60	70
5	70	80
7	90	100
10	100	110

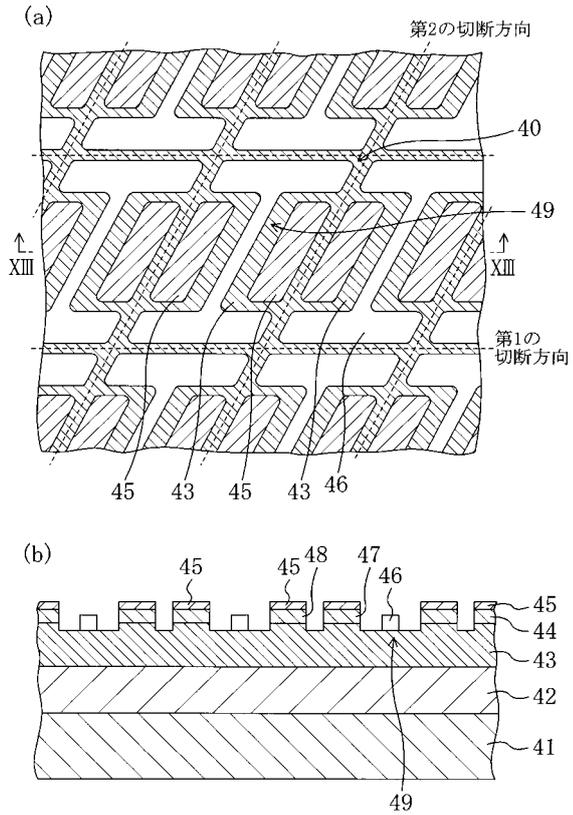
(b)

ウェハ処理枚数	第1の切断方向の切りしろ (μm)	第2の切断方向の切りしろ (μm)	第3の切断方向の切りしろ (μm)
1	50	50	50
3	60	70	60
5	70	80	80
7	80	90	90
10	110	110	110

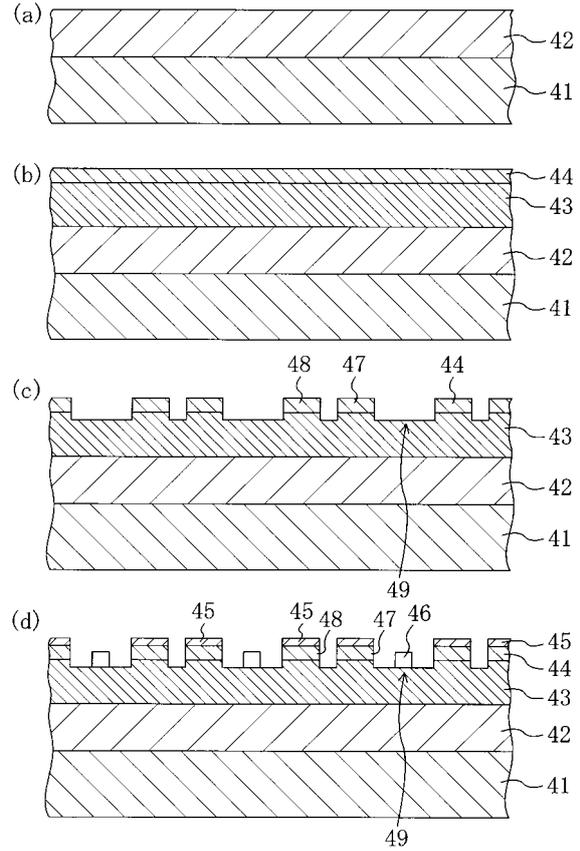
(c)

ウェハ処理枚数	第1の切断方向の切りしろ (μm)	第2の切断方向の切りしろ (μm)
1	50	50
3	60	70
5	70	80
7	90	100
10	110	110

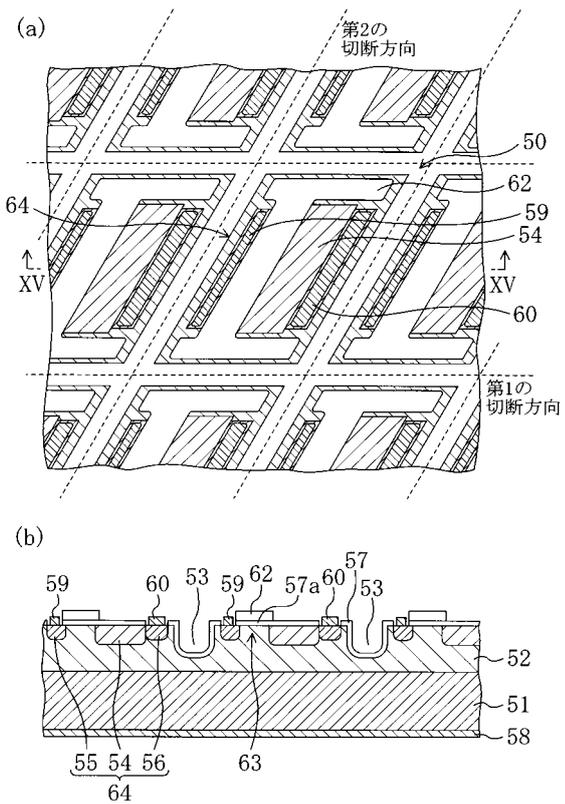
【 図 1 3 】



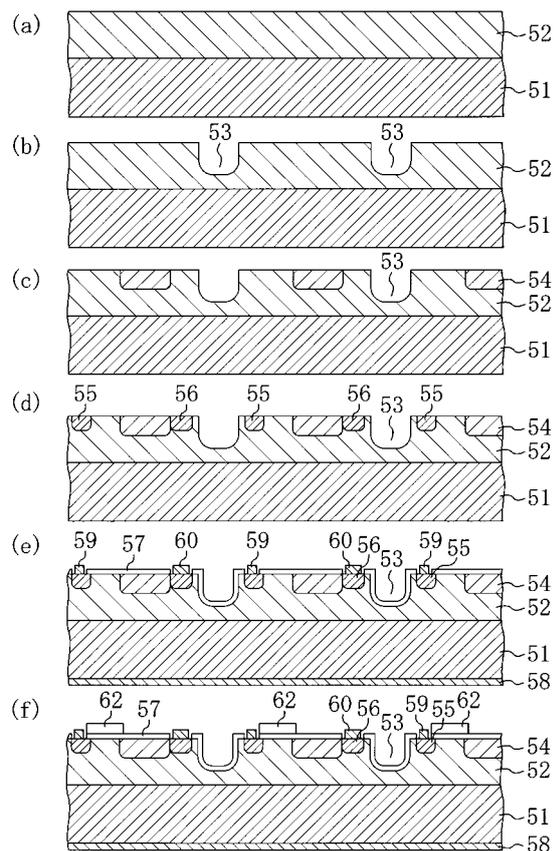
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



## フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
H 0 1 L 29/812	H 0 1 L 29/78	3 0 1 D
H 0 1 L 29/861	H 0 1 L 29/91	F
H 0 1 L 29/872	H 0 1 L 29/80	B
	H 0 1 L 29/48	F

(74)代理人 100115510

弁理士 手島 勝

(74)代理人 100115691

弁理士 藤田 篤史

(72)発明者 楠本 修

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 北畠 真

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 高橋 邦方

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 山下 賢哉

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 宮永 良子

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

(72)発明者 内田 正雄

大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 4M104 AA03 BB02 BB05 CC01 CC03 CC05 DD08 DD16 DD34 DD64  
 DD68 DD78 DD91 FF34 GG02 GG03 GG08 GG09 GG10 GG12  
 GG14 HH20  
 5F102 FA10 GB01 GC01 GD01 GJ02 GK02 GL02 GN02 GR01 GR04  
 GT01 HC01 HC15 HC19  
 5F140 AA00 AA25 AC21 BA02 BA16 BA20 BE07 BF01 BF05 BF51  
 BH12 BH15 BH21 BH49 BJ01 BJ05 BK02 BK13 BK21