



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I580189 B

(45) 公告日：中華民國 106 (2017) 年 04 月 21 日

(21) 申請案號：101145977 (22) 申請日：中華民國 101 (2012) 年 12 月 06 日

(51) Int. Cl. : H03K5/003 (2006.01) H03K19/0185(2006.01)

G11C7/10 (2006.01) H01L27/105 (2006.01)

(30) 優先權：2011/12/23 日本 2011-282510

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：大嶋和晃 OHSHIMA, KAZUAKI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

JP	2001-77684	US	4578600
US	7064346B2	US	2011/0241435A1
US	2011/0292754A1		

Y. Chung, "High performance ferroelectric memory with grounded-plate PMOS-gate cell technology," in IEE Proceedings - Circuits, Devices and Systems, vol. 150, no. 3, pp. 217-226, 6 June 2003.°

B. Zhang, L. Liang and X. Wang, "A New Level Shifter with Low Power in Multi-Voltage System," 2006 8th International Conference on Solid-State and Integrated Circuit Technology Proceedings, Shanghai, 2006, pp. 1857-1859.°

審查人員：蘇齊賢

申請專利範圍項數：20 項 圖式數：14 共 95 頁

(54) 名稱

位準位移電路及半導體積體電路

LEVEL-SHIFT CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT

(57) 摘要

本發明提供一種具有較簡單的電路結構的位準移位電路。本發明是一種位準移位電路，包括：其源極電極及第一閘極電極被施加第一電源電位且其第二閘極電極被施加第二電源電位的第一電晶體；以及被施加第一輸入信號，作為電源電壓被供應第一電源電位減第一電晶體的臨界電壓的變化量而獲得的電位或第三電源電位，輸出第一輸出信號的反相器電路，其中第一電晶體在氧化物半導體膜中形成通道形成區。

A level-shift circuit with simpler circuit structure is provided. The level-shift circuit includes a first transistor in which a first power source potential is applied to a source electrode and a first gate electrode and a second power source potential is applied to a second gate electrode, and an inverter circuit to which a first input signal is applied and either a third power source potential or a potential obtained by subtracting an amount of change in the threshold voltage of the first transistor from the first power source potential is

supplied as a power source voltage and from which a first output signal is output. A channel formation region of the first transistor is formed in an oxide semiconductor film.

指定代表圖：

符號簡單說明：

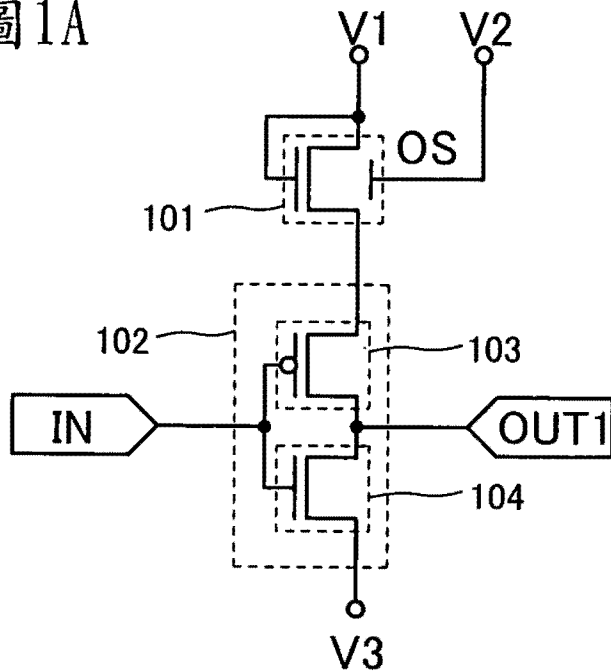
101 . . . 電晶體

102 . . . 反相器電路

103 . . . 電晶體

104 . . . 電晶體

圖 1A



發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101145977

※申請日：101年12月06日

※IPC分類：

H03K 5/005 (2006.01)
 H03K 19/0185 (2006.01)
 G11C 7/10 (2006.01)
 H01L 27/105 (2006.01)

一、發明名稱：(中文/英文)

位準位移電路及半導體積體電路

Level-shift circuit and semiconductor integrated circuit

二、中文發明摘要：

本發明提供一種具有較簡單的電路結構的位準移位電路。本發明是一種位準移位電路，包括：其源極電極及第一閘極電極被施加第一電源電位且其第二閘極電極被施加第二電源電位的第一電晶體；以及被施加第一輸入信號，作為電源電壓被供應第一電源電位減第一電晶體的臨界電壓的變化量而獲得的電位或第三電源電位，輸出第一輸出信號的反相器電路，其中第一電晶體在氧化物半導體膜中形成通道形成區。

三、英文發明摘要：

A level-shift circuit with simpler circuit structure is provided. The level-shift circuit includes a first transistor in which a first power source potential is applied to a source electrode and a first gate electrode and a second power source potential is applied to a second gate electrode, and an inverter circuit to which a first input signal is applied and either a third power source potential or a potential obtained by subtracting an amount of change in the threshold voltage of the first transistor from the first power source potential is supplied as a power source voltage and from which a first output signal is output. A channel formation region of the first transistor is formed in an oxide semiconductor film.

四、指定代表圖：

(一) 本案指定代表圖為：第(1A)圖。

(二) 本代表圖之元件符號簡單說明：

101：電晶體

102：反相器電路

103：電晶體

104：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種使用電晶體的位準移位電路。此外，本發明係關於其驅動方法。

【先前技術】

近年來，爲了電子裝置進一步高性能化，對具有多個功能的電路諸如CPU（Central Processing Unit：中央處理器）及記憶體安裝在一個晶片中的LSI等半導體積體電路進行研究開發。上述積體電路的電源電壓被要求低電壓化以實現低耗電量化。當在電源電壓不同的具有多個功能的電路間傳達信號時，需要進行信號的位準轉換。

作爲位準轉換的一個方法，在專利文獻1中公開了位準移位電路，其中將N通道MOS電晶體的閘極及汲極都連接到電源電壓VDD，將源極連接到CMOS反相器電路的電源電路端子。在專利文獻1所記載的位準移位電路中，藉由將相當於N通道MOS電晶體的背閘極的P阱連接到GND，控制臨界電壓，來輸出位準移位電路的輸出脈衝的“H”位準比電源電壓VDD低的波形，其差大概等於MOS電晶體的臨界電壓的值。

[專利文獻1]日本專利申請公開第2001-77684號公報

但是，控制連接到反相器的電晶體的臨界電壓來轉換位準的方式不容易高精度地控制輸出端子的電壓。這是因爲因各個電晶體的臨界電壓的偏差而輸出端子的電壓變動

的緣故。

此外，當藉由使用多個上述位準移位電路在電源電壓不同的具有多個功能的電路間傳達信號時，爲了多個位準移位電路的每一個輸出不同電壓，需要分別控制連接到反相器的電晶體的臨界電壓。

在這一點上，在專利文獻1所記載的位準移位電路中，爲了變動電晶體的臨界電壓需要變動基板電壓。由於當變動基板電壓時其他電路的電晶體的臨界電壓也變動，所以難以分別控制多個電晶體的臨界電壓。此外，由於爲了分別控制多個電晶體的臨界電壓需要另行設置電路，所以電路規模增大。

此外，當使用矽晶片製造多個位準移位電路時，爲了分別變動連接到反相器的電晶體的臨界電壓，需要分別變動電晶體的L長度或通道摻雜量，電路的設計變得複雜。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是提供一種小型化了的位準移位電路。此外，本發明的一個方式的目的之一是提供一種能夠從多個輸出端子輸出具有不同振幅的輸出信號的位準移位電路。另外，本發明的一個方式的目的之一是提供一種藉由使用上述位準移位電路來進一步小型化、低耗電量化的半導體積體電路。

本發明的一個方式是一種位準移位電路，包括：被施加第一電源電位的第一輸入端子；被施加第二電源電位的

第二輸入端子；被施加第三電源電位的第三輸入端子；被施加第一輸入信號的第四輸入端子；輸出信號的第一輸出端子；n型的第一電晶體；以及包括p型的第二電晶體及n型的第三電晶體的反相器電路。

n型的第一電晶體在氧化物半導體膜中形成通道形成區並包括夾著氧化物半導體膜設置的一對閘極電極。較佳的是一對閘極電極的一個隔著第一閘極絕緣膜與氧化物半導體膜重疊，而一對閘極電極的另一個隔著第二閘極絕緣膜與氧化物半導體膜重疊。在此，一對閘極電極的一個為第一電晶體的第一閘極電極。此外，一對閘極電極的另一個為第一電晶體的第二閘極電極（也稱為背閘極）。另外，第一電晶體的臨界電壓由第二閘極電極的電位的位準，更具體地，由源極電極與第二閘極電極之間的電位差控制。第一電晶體的臨界電壓的變化量 ΔV_{th} 可以由施加到第二閘極電極的第二電源電位控制。

另外，在本說明書等中，電晶體的臨界電壓的變化量是指對電晶體的第二閘極電極施加電位之前與之後的臨界值的變化量。

此外，p型的第二電晶體及n型的第三電晶體在矽等的半導體膜中形成通道形成區。該半導體膜可以使用矽、碳化矽等的單晶半導體膜、多晶半導體膜以及矽鍺、鎵砷、磷化銮等的化合物半導體膜形成。

第二電晶體的閘極電極及第三電晶體的閘極電極與第四輸入端子連接，第二電晶體的汲極電極及第三電晶體的

源極電極與第一輸出端子連接。此外，第三電晶體的汲極電極與第三輸入端子連接。

第一電晶體的源極電極及第一閘極電極與第一輸入端子連接，第二閘極電極與第二輸入端子連接，汲極電極與第二電晶體的源極電極連接。

因此，根據本發明的一個方式的位準移位電路當輸入信號從低位準變為高位準時從反相器電路的第一輸出端子輸出第三電源電位。此外，當輸入信號從高位準變為低位準時，從反相器電路的第一輸出端子輸出第一電源電位減第一電晶體的臨界電壓的變化量而獲得的電位。第一電晶體的臨界電壓可以由施加到第二閘極電極的第二電源電位控制。

藉由使用氧化物半導體膜的第一電晶體的臨界電壓由施加到第二閘極電極的電位來變動，可以容易地控制從反相器電路輸出的電位。

另外，即使使用多個上述結構的位準移位電路，也可以使各個位準移位電路所具有的使用氧化物半導體膜的電晶體的臨界電壓變動。由此，可以從各個位準移位電路輸出不同的電位（或信號）。

本發明的一個方式是一種位準移位電路，包括：被施加第一電源電位的第一輸入端子；被施加第二電源電位的第二輸入端子；被施加第三電源電位的第三輸入端子；被施加第一輸入信號的第四輸入端子；輸出第一輸出信號的第一輸出端子；源極電極及第一閘極電極被施加第一電源

電位並第二閘極電極被施加第二電源電位的第一電晶體；以及被施加第一輸入信號，作為電源電壓被供應第一電源電位減第一電晶體的臨界電壓的變化量而獲得的電位或第三電位，輸出第一輸出信號的反相器電路，其中，第一電晶體在氧化物半導體膜中形成通道形成區。

本發明的一個方式是一種位準移位電路，包括：被施加第一電源電位的第一輸入端子；被施加第二電源電位的第二輸入端子；被施加第三電源電位的第三輸入端子；被施加第一輸入信號的第四輸入端子；輸出第一輸出信號的第一輸出端子；輸出第二輸出信號的第二輸出端子；源極電極及第一閘極電極被施加第一電源電位並第二閘極電極被施加第二電源電位的第一電晶體；被施加第一輸入信號，作為電源電壓被供應第一電源電位減第一電晶體的臨界電壓的變化量而獲得的電位或第三電位，輸出第一輸出信號的第一反相器電路；以及被輸入從第一反相器電路輸出的第一輸出信號，作為電源電壓被供應第一電源電位減第一電晶體的臨界電壓的變化量而獲得的電位或第三電源電位，輸出第二輸出信號的第二反相器電路，其中，第一電晶體在氧化物半導體膜中形成通道形成區。

本發明的一個方式是一種位準移位電路，包括：被施加第一電源電位的第一輸入端子；被施加第二電源電位的第二輸入端子；被施加第三電源電位的第三輸入端子；被施加第四電源電位的第四輸入端子；被施加第一輸入信號的第五輸入端子；輸出第一輸出信號的第一輸出端子；輸

出第二輸出信號的第二輸出端子；源極電極及第一閘極電極被施加第一電源電位並第二閘極電極被施加第二電源電位的第一電晶體；源極電極被供應第三電源電位並第二閘極電極被施加第四電源電位的第二電晶體；被施加第一輸入信號，作為電源電壓被供應第一電源電位減第一電晶體的臨界電壓的變化量而獲得的電位或第三電源電位加第二電晶體的臨界電壓的變化量而獲得的電位，輸出第一輸出信號的第一反相器電路；以及被輸入從第一反相器電路輸出的第一輸出信號，作為電源電壓被供應第一電源電位減第一電晶體的臨界電壓的變化量而獲得的電位或第三電源電位加第二電晶體的臨界電壓的變化量而獲得的電位，輸出第二輸出信號的第二反相器電路，其中，第一電晶體及第二電晶體在氧化物半導體膜中形成通道形成區。

在上述各結構中，第二反相器電路包括p型的第三電晶體及n型的第四電晶體，並且第三電晶體及第四電晶體在矽膜中形成通道形成區。

在上述各結構中，第一反相器電路包括p型的第五電晶體及n型的第六電晶體，並且第五電晶體及第六電晶體在矽膜中形成通道形成區。

藉由使用上述各結構中的任一個的位準移位電路以及具備多個包括第七電晶體及電容元件的記憶單元的記憶單元陣列，可以構成半導體積體電路。第七電晶體與第一電晶體及第二電晶體同樣地在氧化物半導體膜中形成通道形成區。

本發明的一個方式可以提供一種小型化了的位準移位電路。此外，本發明的一個方式可以提供一種能夠從多個輸出端子輸出具有不同振幅的輸出信號的位準移位電路。另外，本發明的一個方式可以提供一種藉由使用上述位準移位電路來進一步小型化、低耗電量化的半導體積體電路。

【實施方式】

參照圖式對本發明的實施方式的一個例子進行詳細說明。注意，在以下說明的結構中，在不同的圖式之間共同使用同一元件符號來表示同一部分或具有同一功能的部分，而省略其重複說明。

注意，為了便於理解，在圖式等中表示的各結構的位置、大小及範圍等有時不表示實際上的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小及範圍等。

另外，本說明書等中的“第一”、“第二”、“第三”等序數詞是為了避免構成要素的混淆而附記的，而不是用於在數目方面上進行限制。

另外，在本說明書等中，有時“電壓”及“電位”是同義的。

此外，在採用極性不同的電晶體的情況或在電路工作中電流方向發生變化的情況等下，“源極”和“汲極”的功能有時互相調換。因此，在本說明書等中，可以互相調

換使用“源極”和“汲極”。

另外，在本說明書等中，“電連接”包括藉由“具有某種電作用的元件”連接的情況。這裏，“具有某種電作用的元件”只要可以進行連接目標間的電信號的授受，就對其沒有特別的限制。

實施方式 1

在本實施方式中，參照圖 1A 至圖 5 說明根據本發明的一個方式的位準移位電路。另外，在電路圖中，爲了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

〈位準移位電路結構 1〉

圖 1A 是示出根據本發明的一個方式的位準移位電路的結構例的圖。圖 1A 所示的位準移位電路包括被施加第一電源電位 V_1 的第一輸入端子、被施加第二電源電位 V_2 的第二輸入端子、被施加第三電源電位 V_3 的第三輸入端子、被施加輸入信號 IN 的第四輸入端子、輸出第一輸出信號 OUT_1 的第一輸出端子、 n 型電晶體 101、反相器電路 102。此外，反相器電路 102 包括 p 型電晶體 103、 n 型電晶體 104。

n 型電晶體 101 在氧化物半導體膜中形成通道形成區並包括夾著氧化物半導體膜設置的一對閘極電極。較佳的是一對閘極電極的一個隔著第一閘極絕緣膜與氧化物半導體膜重疊，而一對閘極電極的另一個隔著第二閘極絕緣膜與

氧化物半導體膜重疊。在此，一對閘極電極的一個為電晶體 101 的第一閘極電極。此外，一對閘極電極的另一個為電晶體 101 的第二閘極電極（也稱為背閘極）。另外，電晶體 101 的臨界電壓由第二閘極電極的電位的位準，更具體地，由源極電極與第二閘極電極之間的電位差控制。電晶體 101 的臨界電壓的變化量 ΔV_{th101} 可以由施加到第二閘極電極的第二電源電位 V_2 控制。

此外，p 型電晶體 103 及 n 型電晶體 104 在矽等的半導體膜中形成通道形成區。該半導體膜可以使用矽、碳化矽等的單晶半導體膜、多晶半導體膜以及矽鍺、鎵砷、磷化銦等的化合物半導體膜形成。

電晶體 103 的閘極電極及電晶體 104 的閘極電極與第四輸入端子連接，電晶體 103 的汲極電極及電晶體 104 的源極電極與第一輸出端子連接。此外，電晶體 104 的汲極電極與第三輸入端子連接。

電晶體 101 的源極電極及第一閘極電極與第一輸入端子連接，第二閘極電極與第二輸入端子連接，汲極電極與電晶體 103 的源極電極連接。

此外，電晶體 101 由於可以使用氧化物半導體膜形成，所以可以層疊在電晶體 103 及電晶體 104 上形成。由此，由於可以使構成位準移位電路的電晶體的一部分為疊層結構，所以可以縮小位準移位電路面積。此外，本實施方式所示的使用氧化物半導體膜的電晶體可以層疊在使用矽等的半導體膜的電晶體上。

接著，說明圖 1A 所示的位準移位電路的工作。另外，第一電源電位 V_1 為 V_{DD} ，第二電源電位 V_2 為 V_{SS} ，第三電源電位 V_3 為 GND （接地電位），輸入信號 IN 的低位準信號為 GND ，高位準信號為 V_{DD} ，電晶體 101 的臨界電壓的變化量為 ΔV_{th101} 來說明。

在圖 1A 所示的位準移位電路中，當輸入信號 IN 從低位準變為高位準時，從反相器電路 102 的第一輸出端子輸出低位準的第一輸出信號 OUT_1 （第三電源電位 V_3 ）。

此外，當輸入信號 IN 從高位準變為低位準時，從反相器電路 102 的第一輸出端子輸出高位準的第一輸出信號 OUT_1 （第一電源電位 V_1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位）。

像這樣，藉由使電晶體 101 的臨界電壓由施加到第二閘極電極的電位來變動，可以容易地控制輸入信號 IN 為低位準時的輸出信號 OUT_1 。

圖 1B 所示的位準移位電路是如下結構，即在圖 1A 所示的位準移位電路中電晶體 101 的第一閘極電極與被施加第四電源電位 V_4 的第五輸入端子連接。另外，第四電源電位 V_4 例如為 V_{DD} 。

在圖 1A 所示的位準移位電路中，由於電晶體 101 的第一閘極電極與第一輸入端子連接，所以由第一電源電位 V_1 控制。針對於此，在圖 1B 所示的位準移位電路中，電晶體 101 的第一閘極電極由第四電源電位控制。藉由分別控制電晶體 101 的第一閘極電極及第二閘極電極，可以容易控

制輸入信號 IN 為低位準時的輸出信號 OUT1。另外，在圖 1B 所示的位準移位電路中，藉由對電晶體 101 的第一閘極電極施加高位準電位（例如，VDD）或低位準（例如，GND），可以控制電晶體 101 的截止或導通。此外，由於電晶體 101 由使用氧化物半導體膜的電晶體構成，所以可以使電晶體 101 的截止狀態電流（off-state current）極小。因此，當輸入信號 IN 為高位準時，藉由使電晶體 101 處於截止狀態，可以減少位準移位電路中的功耗。

圖 1C 所示的位準移位電路除了圖 1A 所示的位準移位電路的結構以外還包括被施加第六電源電位 V6 的第七輸入端子及 n 型電晶體 109。

n 型電晶體 109 與 n 型電晶體 101 同樣地在氧化物半導體膜中形成通道形成區並包括夾著氧化物半導體膜設置的一對閘極電極。在此，一對閘極電極的一個為電晶體 109 的第一閘極電極。此外，一對閘極電極的另一個為電晶體 109 的第二閘極電極（也稱為背閘極）。另外，電晶體 109 的臨界電壓由第二閘極電極的電位的位準，更具體地，由源極電極與第二閘極電極之間的電位差控制。

電晶體 109 的源極電極與電晶體 104 的汲極電極連接，第二閘極電極與第七輸入端子連接，汲極電極與第三輸入端子連接。

接著，說明圖 1C 所示的位準移位電路的工作。另外，第一電源電位 V1 為 VDD，第二電源電位 V2 為 VSS，第三電源電位 V3 為 GND（接地電位），第六電源電位 V6 為 VDD，

輸入信號 IN 的低位準信號為 GND，高位準信號為 VDD，電晶體 101 的臨界電壓的變化量為 ΔV_{th101} ，電晶體 109 的臨界電壓的變化量為 ΔV_{th109} 來說明。

在圖 1C 所示的位準移位電路中，當輸入信號 IN 從低位準變為高位準時，從反相器電路 102 的第一輸出端子輸出低位準的第一輸出信號 OUT1（第三電源電位 V3 加電晶體 109 的臨界電壓的變化量 ΔV_{th109} 而獲得的電位）。

此外，當輸入信號 IN 從高位準變為低位準時，從反相器電路 102 的第一輸出端子輸出高位準的第一輸出信號 OUT1（第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位）。

像這樣，在圖 1C 所示的位準移位電路中，藉由使電晶體 101 的臨界電壓由施加到第二閘極電極的電位來變動，使電晶體 109 的臨界電壓由施加到第二閘極電極的電位來變動，可以輸出比圖 1A 和圖 1B 所示的位準移位電路的輸出信號 OUT1 小的振幅的輸出信號（輸入信號 IN 為高位準時的電位較高）。

〈位準移位電路結構 2〉

圖 2 是示出根據本發明的一個方式的位準移位電路的其他結構例的圖。圖 2 所示的位準移位電路除了圖 1A 所示的位準移位電路的結構以外還包括被施加第五電源電位 V5 的第六輸入端子、輸出第二輸出信號 OUT2 的第二輸出端子、n 型電晶體 105、反相器電路 106。此外，反相器電路

106包括p型電晶體107、n型電晶體108。

n型電晶體105與n型電晶體101同樣地在氧化物半導體膜中形成通道形成區並包括夾著氧化物半導體膜設置的一對閘極電極。在此，一對閘極電極的一個為電晶體105的第一閘極電極。此外，一對閘極電極的另一個為電晶體105的第二閘極電極（也稱為背閘極）。另外，電晶體105的臨界電壓由第二閘極電極的電位的位準，更具體地，由源極電極與第二閘極電極之間的電位差控制。電晶體105的臨界電壓的變化量 ΔV_{th105} 可以由施加到第二閘極電極的第五電源電位V5控制。

此外，p型電晶體107及n型電晶體108在矽等的半導體膜中形成通道形成區。電晶體107的閘極電極及電晶體108的閘極電極與第一輸入端子連接，電晶體107的汲極電極及電晶體108的源極電極與第二輸出端子連接。此外，電晶體108的汲極電極與第三輸入端子連接。

電晶體105的源極電極與連接於電晶體101的汲極電極及電晶體103的源極電極的結點N1連接，第二閘極電極與第六輸入端子連接，汲極電極與電晶體107的源極電極連接。

接著，說明圖2所示的位準移位電路的工作。另外，第一電源電位V1為VDD，第二電源電位V2為VSS，第三電源電位V3為GND（接地電位），第五電源電位V5為VDD，輸入信號IN的低位準信號為GND，高位準信號為VDD，電晶體101的臨界電壓的變化量為 ΔV_{th101} ，電晶體105的臨界

電壓的變化量為 ΔV_{th105} 來說明。

在圖 2 所示的位準移位電路中，當輸入信號 IN 從低位準變為高位準時，從反相器電路 102 的第一輸出端子輸出低位準的信號（第三電源電位 V3），從反相器電路 106 的第二輸出端子輸出低位準的信號（第三電源電位 V3）。

另外，當輸入信號 IN 從高位準變為低位準時，從反相器電路 102 的第一輸出端子輸出高位準的第一輸出信號 OUT1（第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位）。此外，從反相器電路 106 的第二輸出端子輸出高位準的第二輸出信號 OUT2（第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位，該電位減電晶體 105 的臨界電壓的變化量 ΔV_{th105} 而獲得的電位）。

像這樣，藉由使電晶體 101 的臨界電壓由施加到第二閘極電極的第二電源電位 V2 來變動，使電晶體 105 的臨界電壓由第五電源電位 V5 變動，可以從第二輸出端子輸出具有與第一輸出端子不同的振幅的信號。另外，從第二輸出端子輸出的電位比第一輸出端子低。

藉由控制電晶體 101 的第一閘極電極及電晶體 101 的第二閘極電極的電位，可以容易控制輸入信號 IN 為低位準時的反相器電路 102 的第一輸出信號 OUT1。再者，利用控制電晶體 101 的第一閘極電極及電晶體 101 的第二閘極電極來產生的結點 N1 的電位，藉由控制電晶體 105 的第一閘極電極及電晶體 105 的第二閘極電極的電位，可以容易控制輸

入信號 IN 為低位準時的反相器電路 106 的第二輸出信號 OUT2。藉由利用電路結構 2 可以輸出不能從電路結構 1 輸出的電位作為反相器電路 106 的第二輸出信號 OUT2。

在圖 2 所示的位準移位電路中說明從兩個輸出端子分別輸出不同的信號的情況，但是不侷限於此，也可以從三個以上的輸出端子分別輸出不同的信號。例如，當從三個輸出端子分別輸出不同的信號時，圖 2 所示的結點 N2 還與在氧化物半導體膜中形成通道形成區的電晶體的源極電極連接，汲極電極與反相器電路連接，即可。藉由控制施加到該電晶體的第二閘極電極的電源電位，可以作為從該反相器輸出的第三輸出信號輸出比第二輸出信號的振幅小（輸入信號 IN 為低位準時的電位低）的輸出信號。

〈位準移位電路結構 3〉

圖 3 是示出根據本發明的一個方式的位準移位電路的其他結構例的圖。圖 3 所示的位準移位電路的連接關係與圖 2 所示的位準移位電路的連接關係不同。

在圖 2 所示的位準移位電路中電晶體 105 的源極電極與結點 N1 連接，針對於此，在圖 3 所示的位準移位電路中電晶體 105 的源極電極與第一輸入端子連接。

接著，說明圖 3 所示的位準移位電路的工作。另外，第一電源電位 V1 為 VDD，第二電源電位 V2 為 VSS，第三電源電位 V3 為 GND（接地電位），第五電源電位 V5 為 VDD，輸入信號 IN 的低位準信號為 GND，高位準信號為 VDD，電

晶體 101 的臨界電壓的變化量為 ΔV_{th101} ，電晶體 105 的臨界電壓的變化量為 ΔV_{th105} 來說明。

在圖 3 所示的位準移位電路中，當輸入信號 IN 從低位準變為高位準時，從反相器電路 102 的第一輸出端子輸出低位準的信號（第三電源電位 V3（例如，GND）），從反相器電路 106 的第二輸出端子輸出低位準的信號（第三電源電位 V3（例如，GND））。

另外，當輸入信號 IN 從高位準變為低位準時，從反相器電路 102 的第一輸出端子輸出高位準的第一輸出信號 OUT1（第一電源電位（例如，VDD）減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位）。此外，從反相器電路 106 的第二輸出端子輸出低位準的第二輸出信號 OUT2（第一電源電位（例如，VDD）減電晶體 105 的臨界電壓的變化量 ΔV_{th105} 而獲得的電位）。

可以單獨控制反相器電路 102 的第一輸出端子及反相器電路 106 的第二輸出端子，這些電路共同使用輸入信號 IN，在相同的邏輯工作下也可以輸出不同的電位。另外，電晶體 101 的臨界電壓的變化量 ΔV_{th101} 及電晶體 105 的臨界電壓的變化量 ΔV_{th105} 分別可以由第二電源電位 V2 及第五電源電位 V5 控制。由此，第二輸出信號 OUT2 既可以為比第一輸出信號 OUT1 的振幅大（輸入信號 IN 為低位準時的電位高）的輸出信號，又可以為比第一輸出信號 OUT1 的振幅小（輸入信號 IN 為低位準時的電位低）的輸出信號。

另外，在圖 3 所示的位準移位電路中說明從兩個輸出

端子分別輸出不同的信號的情況，但是不侷限於此，也可以從三個以上的輸出端子分別輸出不同的信號。例如，當從三個輸出端子分別輸出不同的信號時，圖3所示的第四輸入端子與反相器電路連接，反相器電路所具有的p型電晶體的源極電極與在氧化物半導體膜中形成通道形成區的電晶體的汲極電極連接，即可。藉由控制施加到該電晶體的第二閘極電極的電源電位，可以從該反相器電路的第三輸出端子輸出與第一輸出信號及第二輸出信號不同的輸出信號。當然，從各個輸出端子可以輸出各個振幅都一樣（當輸入信號IN為低位準時電位都一樣）的輸出信號。

〈位準移位電路結構4〉

圖4是示出根據本發明的一個方式的位準移位電路的其他結構例的圖。圖4所示的位準移位電路除了圖1A所示的位準移位電路的結構以外還包括輸出第二輸出信號OUT2的第二輸出端子及反相器電路106。此外，反相器電路106包括p型電晶體107、n型電晶體108。

p型電晶體107及n型電晶體108在矽等的半導體膜中形成通道形成區。電晶體107的閘極電極及電晶體108的閘極電極與第一輸出端子連接，電晶體107的汲極電極及電晶體108的源極電極與第二輸出端子連接。

接著，說明圖4所示的位準移位電路的工作。另外，第一電源電位V1為VDD，第二電源電位V2為VSS，第三電源電位V3為GND（接地電位），輸入信號IN的低位準信號

為 GND，高位準信號為 VDD，電晶體 101 的臨界電壓的變化量為 ΔV_{th101} 來說明。

在圖 4 所示的位準移位電路中，當輸入信號 IN 從低位準變為高位準時，從反相器電路 102 的第一輸出端子輸出低位準的第一輸出信號 OUT1（第三電源電位 V3）。由此，由於電晶體 107 的閘極電極及電晶體 108 的閘極電極被施加第三電源電位 V3，所以從反相器電路 106 的第二輸出端子輸出高位準的第二輸出信號 OUT2（第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位）。

另外，當輸入信號 IN 從高位準變為低位準時，從反相器電路 102 的第一輸出端子輸出高位準的第一輸出信號 OUT1（第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位）。由此，由於電晶體 107 的閘極電極及電晶體 108 的閘極電極被施加第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位，所以從反相器電路 106 的第二輸出端子輸出低位準的第二輸出信號 OUT2（第三電源電位 V3）。

藉由利用第一電源電位 V1（例如，VDD）減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位，可以容易控制反相器電路 106 的第二輸出信號 OUT2 為高位準時的電位。

〈位準移位電路結構 5〉

圖 5 是示出根據本發明的一個方式的位準移位電路的其他結構例的圖。圖 5 所示的位準移位電路除了圖 4 所示的位準移位電路的結構以外還包括被施加第六電源電位 V6 的第七輸入端子及 n 型電晶體 109。

n 型電晶體 109 與 n 型電晶體 101 同樣地在氧化物半導體膜中形成通道形成區並包括夾著氧化物半導體膜設置的一對閘極電極。在此，一對閘極電極的一個為電晶體 109 的第一閘極電極。此外，一對閘極電極的另一個為電晶體 109 的第二閘極電極（也稱為背閘極）。另外，電晶體 109 的臨界電壓由第二閘極電極的電位的位準，更具體地，由源極電極與第二閘極電極之間的電位差控制。

電晶體 109 的源極電極與電晶體 104 的汲極電極連接，第二閘極電極與第七輸入端子連接，汲極電極與第三輸入端子連接。

另外，電晶體 107 的源極電極與結點 N1 連接，電晶體 108 的汲極電極與連接於電晶體 104 的汲極電極及電晶體 109 的源極電極的結點 N3 連接。

接著，說明圖 5 所示的位準移位電路的工作。另外，第一電源電位 V1 為 VDD，第二電源電位 V2 為 VSS，第三電源電位 V3 為 GND（接地電位），第六電源電位 V6 為 VDD，輸入信號 IN 的低位準信號為 GND，高位準信號為 VDD，電晶體 101 的臨界電壓的變化量為 ΔV_{th101} ，電晶體 109 的臨界電壓的變化量為 ΔV_{th109} 來說明。

在圖 5 所示的位準移位電路中，當輸入信號 IN 從高位

準變為低位準時，從反相器電路 102 的第一輸出端子輸出低位準的第一輸出信號 OUT1（第三電源電位 V3 減電晶體 109 的臨界電壓的變化量 ΔV_{th109} 而獲得的電位）。由此，由於電晶體 107 的閘極電極及電晶體 108 的閘極電極被施加第三電源電位 V3 減電晶體 109 的臨界電壓的變化量 ΔV_{th109} 而獲得的電位，所以從反相器電路 106 的第二輸出端子輸出高位準的第二輸出信號 OUT2（第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位）。

此外，當輸入信號 IN 從高位準變為低位準時，從反相器電路 102 的第一輸出端子輸出高位準的第一輸出信號 OUT1（第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位）。由此，由於電晶體 107 的閘極電極及電晶體 108 的閘極電極被施加第一電源電位 V1 減電晶體 101 的臨界電壓的變化量 ΔV_{th101} 而獲得的電位，所以從反相器電路 106 的第二輸出端子輸出低位準的第二輸出信號 OUT2（第三電源電位 V3 加電晶體 109 的臨界電壓的變化量 ΔV_{th109} 而獲得的電位）。

藉由電晶體 107 的源極電極與結點 N1 連接，電晶體 108 的汲極電極與結點 N3 連接，可以在輸入信號 IN 為高位準時及低位準時容易控制從反相器電路 106 的第二輸出端子輸出的電位。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 2

在本實施方式中，參照圖 6A 至圖 9B 說明實施方式 1 所示的位準移位電路的製造方法的一個例子。首先，對形成在位準移位電路的下部的電晶體的製造方法進行說明，然後對形成在位準移位電路上部的電晶體的製造方法進行說明。

在圖 6A 至圖 9B 示出製程的剖面圖中，A1-A2 示出製造電晶體 330 的製程，而 B1-B2 示出電晶體 340 上製造電晶體 410 的製程。另外，本實施方式所示的電晶體 410 相當於實施方式 1 所示的電晶體 101，本實施方式所示的電晶體 330 相當於實施方式 1 所示的電晶體 103，本實施方式所示的電晶體 340 相當於實施方式 1 所示的電晶體 104。

〈下部的電晶體的製造方法〉

首先，準備隔著絕緣膜 302 設置有半導體膜 304 的基板 300（參照圖 6A）。

作為基板 300，例如可以使用以矽、碳化矽等為材料的單晶半導體基板、多晶半導體基板以及以矽鍺、鎵砷、磷化銮等為材料的化合物半導體基板。另外，也可以舉出鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等用於電子工業的各種玻璃基板、石英基板、陶瓷基板、藍寶石基板等。

絕緣膜 302 採用包含氧化矽、氧氮化矽、氮化矽等的單層結構或疊層結構。另外，作為絕緣膜 302 的形成方

法，可以舉出熱氧化法、CVD法、濺射法等。絕緣膜302的厚度為1nm以上且100nm以下，較佳為10nm以上且50nm以下。

另外，作為半導體膜304，可以使用矽、碳化矽等的單晶半導體膜或多晶半導體膜以及矽銻、銻砷、磷化銮等的化合物半導體膜。另外，因為半導體膜304不包含氧化物半導體材料，所以將其也稱為氧化物半導體以外的半導體材料。

當作為半導體膜304使用矽等的單晶半導體膜時，能夠使電晶體103及電晶體104等的工作高速化，所以是較佳的。

另外，作為隔著絕緣膜302設置有半導體膜304的基板300，也可以使用SOI基板。另外，一般來說，“SOI基板”是指在絕緣表面上設置有矽層的基板，而在本說明書等中，“SOI基板”這一詞的概念還包括在絕緣表面上設置有含有矽以外的材料的半導體膜的基板。也就是說，“SOI基板”所具有半導體膜不侷限於矽層。此外，SOI基板還包括在玻璃基板等絕緣基板上隔著絕緣膜設置有半導體膜的結構。在本實施方式中，作為隔著絕緣膜302設置有半導體膜304的基板300，對使用如下SOI基板的情況進行說明，該SOI基板在單晶矽基板上隔著氧化矽膜設置有矽膜。

接著，將半導體膜304加工為島狀來形成半導體膜304a、304b（參照圖6B）。較佳的是作為該加工方法使用

乾蝕刻，但是也可以使用濕蝕刻。根據被蝕刻材料可以適當地選擇蝕刻氣體或蝕刻劑。

接著，以覆蓋半導體膜 304a、304b 的方式形成閘極絕緣膜 306a、306b（參照圖 6C）。閘極絕緣膜 306a、306b 例如可以藉由對半導體膜 304a、304b 表面進行熱處理（熱氧化處理或熱氮化處理等）來形成。也可以使用高密度電漿處理代替熱處理。例如，可以使用 He、Ar、Kr、Xe 等稀有氣體、氧、氧化氮、氮、氫、氬等中的任何氣體的混合氣體來進行高密度電漿處理。當然，也可以使用 CVD 法或濺射法等形成閘極絕緣膜。

閘極絕緣膜 306a、306b 可以使用氧化矽、氧氮化矽、氮化矽、氧化鋁、氧化鉭等材料。另外，作為閘極絕緣膜，也可以使用氧化鈣、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ ， $y>0$ ））、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ ， $y>0$ ， $z>0$ ））等高介電常數（high-k）材料。閘極絕緣膜使用上述材料的單層結構或疊層結構形成。另外，例如可以將閘極絕緣膜 306a、306b 的厚度設定為 1nm 以上且 100nm 以下，較佳的是設定為 10nm 以上且 50nm 以下。

當如上所述那樣將閘極絕緣膜形成為較薄時，有發生因隧道效應等而引起的閘極漏的問題。為了解決閘極漏的問題，較佳的是作為閘極絕緣膜使用上述 high-k 材料。藉由將 high-k 材料用於閘極絕緣膜，不但可以確保電特性，而且還可以將閘極絕緣膜形成為較厚以抑制閘極漏。另

外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁等中的任一種的膜的疊層結構。

在本實施方式中，藉由使用熱氧化處理形成氧化矽膜，形成閘極絕緣膜 306a、306b。

接著，為了控制電晶體的臨界電壓，將賦予 n 型導電性的雜質元素及賦予 p 型導電性的雜質元素穿過閘極絕緣膜 306a 和 306b 添加到半導體膜 304a 和 304b（參照圖 6C）。在半導體膜 304a 和 304b 為矽時，作為賦予 n 型導電性的雜質元素，例如可以使用磷或砷等。另外，作為賦予 p 型導電性的雜質元素，例如可以使用硼、鋁或銻等。在本實施方式中，藉由將硼穿過閘極絕緣膜 306a 添加到半導體膜 304a 來形成雜質區 308，並且藉由將磷穿過閘極絕緣膜 306b 添加到半導體膜 304b 來形成雜質區 310。

接著，在閘極絕緣膜 306a、306b 上形成用來形成閘極電極（包括形成在與該閘極電極相同的層中的佈線）的導電膜，並且對該導電膜進行加工來形成閘極電極 312a、312b（參照圖 6D）。

用於閘極電極 312a、312b 的導電膜可以使用鋁、銅、鈦、鉭、鎢等金屬材料形成。另外，也可以使用多晶矽等的半導體材料形成包含導電材料的層。對導電膜的形成方法也沒有特別的限制，可以使用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。此外，可以藉由使用光阻掩模的蝕刻來進行導電膜的加工。在本實施方式中，藉由濺

射法層疊氮化鉍膜及鎢膜並將其進行加工，形成閘極電極 312a、312b。

接著，以閘極電極 312a、312b為掩模，將賦予 n型導電性的雜質元素及賦予 p型導電性的雜質元素穿過閘極絕緣膜 306a、306b添加到半導體膜 304a、304b（參照圖 6E）。在本實施方式中，藉由將磷隔著閘極絕緣膜 306a添加到半導體膜 304a來形成雜質區 314a、314b，並且藉由將硼隔著閘極絕緣膜 306b添加到半導體膜 304b來形成雜質區 316a、316b。

接著，在閘極電極 312a和 312b的側面形成側壁結構的側壁絕緣膜 318a至 318d（參照圖 7A）。在形成覆蓋閘極電極 312a、312b的絕緣膜之後，藉由利用 RIE（Reactive ion etching：反應離子蝕刻）法的各向異性蝕刻來對絕緣膜進行加工，而在閘極電極 312a、312b的側壁上自對準地形成側壁結構的側壁絕緣膜 318a至 318d，即可。在此，對絕緣膜沒有特別的限制，例如可以使用使 TEOS（Tetraethyl-Ortho-Silicate：四乙氧基矽烷）或矽烷等與氧或氧化亞氮等起反應來形成的臺階覆蓋性良好的氧化矽。此外，也可以使用藉由低溫氧化（LTO：Low Temperature Oxidation）法形成的氧化矽。絕緣膜可以藉由熱 CVD、電漿 CVD、常壓 CVD、偏壓 ECRCVD或濺射等方法形成。

接著，以閘極電極 312a和 312b及側壁絕緣膜 318a至 318d為掩模，將賦予 n型導電性的雜質元素及賦予 p型導電性的雜質元素分別穿過閘極絕緣膜 306a和 306b添加到半導

體膜 304a 和 304b (參照圖 7B) 。在本實施方式中，藉由將磷穿過閘極絕緣膜 306a 添加到半導體膜 304a 來形成雜質區 320a 和 320b，並且藉由將硼穿過閘極絕緣膜 306b 添加到半導體膜 304b 來形成雜質區 322a 和 322b。

藉由上述製程，能夠使用包含氧化物半導體以外的半導體材料的基板 300 來形成 n 通道型電晶體 330 及 p 通道型電晶體 340 (參照圖 7B) 。這種電晶體具有能夠進行高速工作的特徵。由此，藉由作為電晶體使用電晶體 103 及電晶體 104 等，可以使這些電晶體的工作高速化，因此是較佳的。

接著，以覆蓋電晶體 330 及電晶體 340 的方式形成絕緣膜 324 (參照圖 7C) 。絕緣膜 324 可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鋁等無機絕緣材料的材料形成。藉由作為絕緣膜 324 使用低介電常數 (low-k) 材料，可以充分降低起因於各種電極或佈線的重疊的電容，所以是較佳的。另外，作為絕緣膜 324 也可以採用使用上述材料的多孔絕緣膜。因為多孔絕緣膜的介電常數比高密度的絕緣膜的介電常數低，所以若採用多孔絕緣膜，則可以進一步降低起因於電極或佈線的電容。此外，絕緣膜 324 也可以使用聚醯亞胺、丙烯酸樹脂等有機絕緣材料形成。在本實施方式中，對使用氧氮化矽形成絕緣膜 324 的情況進行說明。

接著，在形成絕緣膜 324 之後，進行用來使添加到半導體膜 304a、304b 的雜質元素活化的熱處理。熱處理使用

退火爐進行。另外，也可以使用雷射退火法或快速熱退火法（RTA法）。在氮氛圍下以400℃至600℃，典型的是450℃至500℃的溫度進行1小時至4小時的熱處理。藉由該熱處理，在實現雜質元素的活化的同時放出作為絕緣膜324的氧氮化矽膜的氫，從而可以進行半導體膜304a、304b的氫化。

另外，在上述各製程的前後也可以包括還形成電極、佈線、半導體膜、絕緣膜等的製程。例如，較佳為形成用來連接下部電晶體與上部電晶體的電極或佈線等。另外，作為佈線的結構，也可以採用包括絕緣膜及導電層的疊層結構的多層佈線結構，而實現高度集體化了的半導體裝置。

〈上部的電晶體的製造方法〉

首先，作為形成電晶體410之前的處理，使絕緣膜324的表面平坦化（參照圖7D）。作為絕緣膜324的平坦化處理，除了化學機械拋光（CMP：Chemical Mechanical Polishing，以下稱為CMP處理）等拋光處理以外，還可以採用蝕刻處理、電漿處理等。

在此，CMP處理是指被加工物的表面藉由化學、機械的複合作用進行平坦化的方法。更明確而言，CMP處理是一種方法，其中在拋光臺上貼附拋光布，且一邊在被加工物和拋光布之間供應漿料（拋光劑），一邊將拋光台和被加工物分別旋轉或搖動，來由漿料與被加工物之間的化學

反應以及拋光布與被加工物的機械拋光的作用對被加工物的表面進行拋光。

另外，作為電漿處理，例如可以進行引入氬氣來產生電漿的反濺射。反濺射是指使用RF電源在氬氛圍下對基板一側施加電壓來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氦、氧等代替氬氛圍。藉由進行反濺射，可以去除附著於絕緣膜324表面的粉狀物質（也稱為微粒、塵屑）。

作為平坦化處理，既可以進行多次的拋光處理、乾蝕刻處理以及電漿處理，又可以將上述組合。此外，當組合上述處理而進行時，對製程順序也沒有特別的限制，可以根據絕緣膜324表面的凹凸狀態適當地設定。

藉由對絕緣膜324進行平坦化處理，可以將絕緣膜324表面的平均面粗糙度（Ra）設定為1nm以下，較佳為0.3nm以下，更佳為0.1nm以下。Ra是為為了可以應用於曲面而將在JIS B0601：2001（ISO4287：1997）中定義的算術平均粗糙度擴大為三維來得到的值，可以將Ra表示為“將從基準面到指定面的偏差的絕對值平均來得到的值”，並且Ra以下述算式定義。

[算式1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

這裏，指定面是指成為測量粗糙度對象的面，並且是以座標（ $x_1, y_1, f(x_1, y_1)$ ），（ $x_1, y_2, f(x_1,$

y_2)) , (x_2 , y_1 , $f(x_2 , y_1)$) , (x_2 , y_2 , $f(x_2$, y_2)) 的四點表示的四角形的區域，指定面投影在 xy 平面的長方形的面積為 S_0 ，基準面的高度（指定面的平均高度）為 Z_0 。可以利用原子力顯微鏡（AFM:Atomic Force Microscope）測定 R_a 。

接著，在平坦化了的絕緣膜 324 上形成用來形成閘極電極（包括形成在與該閘極電極相同的層中的佈線）的導電膜，並且對該導電膜進行加工來形成閘極電極 398。另外，將閘極電極 398 用作第二閘極電極。

閘極電極 398 可以使用鋁、鈦、鉭、鎢、鉛、銅、鉻、鈹及鈳等金屬材料或以上述金屬材料為主要成分的合金材料形成。此外，作為閘極電極 398，可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。閘極電極 398 以單層結構或疊層結構形成。

另外，閘極電極 398 的材料也可以使用氧化銻氧化錫、包含氧化鎢的銻氧化物、包含氧化鎢的銻鋅氧化物、包含氧化鈦的銻氧化物、包含氧化鈦的銻錫氧化物、氧化銻氧化鋅以及添加有氧化矽的銻錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

接著，在絕緣膜 324 及閘極電極 398 上形成絕緣膜 399。作為絕緣膜 399，可以藉由電漿 CVD 法或濺射法等並使用如下材料以單層結構或疊層結構形成：氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎳等氧化物絕緣

膜；氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等氮化物絕緣膜；或它們的混合材料。

由於絕緣膜 399（疊層結構時，與後面形成的氧化物半導體膜 402 接觸的膜）的膜中（塊（bulk）中）至少有超過化學計量成分比的量的氧。例如，當作爲絕緣膜 399 使用氧化矽膜時，較佳的是將氧量爲 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）。在形成絕緣膜 399 之後，藉由對絕緣膜 399 引入氧，可以形成包含多量的氧的絕緣膜 399。

作爲氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒式離子植入法、電漿處理等。

氧化物半導體膜在形成中或在形成之後的加熱處理、加工中有時形成氧缺損。當在氧化物半導體膜中形成氧缺損時發生如下問題，即形成多數載流子，而導致使電晶體的臨界電壓漂移到負值一側。因此，較佳的是對氧化物半導體膜進行減少氧缺損的處理。

例如，藉由以與後面形成的氧化物半導體膜 402 接觸的方式設置用作氧的供應源的含多量（過剩）的氧的絕緣膜 399，可以將氧從絕緣膜 399 供應到氧化物半導體膜 402 中。另外，也可以藉由在氧化物半導體膜 402 與絕緣膜 399 至少部分接觸的狀態下進行加熱處理來對氧化物半導體膜 402 供應氧。由於藉由使用含多量的氧的絕緣膜 399，可以對氧化物半導體膜 402 供應氧，所以可以減少氧化物半導體膜 402 的氧缺損。因此，可以抑制多數載流子的形成。

在本實施方式中，作爲絕緣膜 399，藉由濺射法形成

300nm厚的氧化矽膜。

在此，爲了提高後面形成的氧化物半導體膜402表面的平坦性，較佳的是對絕緣膜399中的氧化物半導體膜402接觸地形成的區域進行平坦化處理。可以與對絕緣膜324進行的平坦化處理同樣進行平坦化處理。藉由對絕緣膜399進行平坦化處理，可以將絕緣膜399表面的平均面粗糙度（Ra）設定爲1nm以下，較佳爲0.3nm以下，更佳爲0.1nm以下。

接著，在絕緣膜399上形成氧化物半導體膜402（參照圖8A）。

用作氧化物半導體膜402的氧化物半導體較佳的是至少包含銦（In）。尤其是包含銦（In）及鋅（Zn）較佳。另外，除了上述元素以外，較佳的是還具有鎵（Ga）作爲穩定劑（stabilizer），該穩定劑用來減小上述使用氧化物半導體的電晶體的電特性偏差。另外，作爲穩定劑，具有錫（Sn）、鈦（Hf）、鋁（Al）和銩（Zr）中的一種或多種較佳。

另外，作爲其他穩定劑，也可以包含鑰系元素的鑰（La）、鈰（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、釷（Gd）、錷（Tb）、鐳（Dy）、釹（Ho）、銩（Er）、銩（Tm）、鐳（Yb）和鑰（Lu）中的一種或多種。

例如，作爲氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如In-Zn類氧化物、In-Mg類氧化

物、In-Ga類氧化物；三元金屬氧化物如In-Ga-Zn類氧化物（也稱為IGZO）、In-Al-Zn類氧化物、In-Sn-Zn類氧化物、In-Hf-Zn類氧化物、In-La-Zn類氧化物、In-Ce-Zn類氧化物、In-Pr-Zn類氧化物、In-Nd-Zn類氧化物、In-Sm-Zn類氧化物、In-Eu-Zn類氧化物、In-Gd-Zn類氧化物、In-Tb-Zn類氧化物、In-Dy-Zn類氧化物、In-Ho-Zn類氧化物、In-Er-Zn類氧化物、In-Tm-Zn類氧化物、In-Yb-Zn類氧化物、In-Lu-Zn類氧化物；以及四元金屬氧化物如In-Sn-Ga-Zn類氧化物、In-Hf-Ga-Zn類氧化物、In-Al-Ga-Zn類氧化物、In-Sn-Al-Zn類氧化物、In-Sn-Hf-Zn類氧化物、In-Hf-Al-Zn類氧化物。

例如In-Ga-Zn類氧化物是指作為主要成分具有In、Ga和Zn的氧化物，對In、Ga、Zn的比率沒有限制。此外，也可以包含In、Ga、Zn以外的金屬元素。

另外，作為氧化物半導體，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ （ $m > 0$ ，且 m 不是整數）表示的材料。注意， M 表示選自Ga、Fe、Mn和Co中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用以 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ （ $n > 0$ ，且 n 是整數）表示的材料。

例如，可以使用其原子數比為 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ （ $=1/3:1/3:1/3$ ） $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ （ $=2/5:2/5:1/5$ ）或 $\text{In}:\text{Ga}:\text{Zn}=3:1:2$ （ $=1/2:1/6:1/3$ ）的In-Ga-Zn類氧化物或其組成類似的氧化物。或者，較佳為使用其原子數比為 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ （ $=1/3:1/3:1/3$ ） $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ （

=1/3:1/6:1/2) 或 In:Sn:Zn=2:1:5 (=1/4:1/8:5/8) 的 In-Sn-Zn類氧化物或其組成類似的氧化物。

但是，含有銦的氧化物半導體不侷限於此，可以根據所需要的半導體特性（遷移率、臨界值、偏差等）而使用適當的組成的材料。另外，較佳為採用適當的載流子濃度、雜質濃度、缺陷密度、金屬元素及氧的原子數比、原子間距離以及密度等，以得到所需要的半導體特性。

例如，In-Sn-Zn類氧化物比較容易得到高遷移率。但是，當使用In-Ga-Zn類氧化物時，也可以藉由降低塊內缺陷密度而提高遷移率。

在此，例如當In、Ga、Zn的原子數比為In:Ga:Zn=a:b:c (a+b+c=1) 的氧化物的組成與原子數比為In:Ga:Zn=A:B:C (A+B+C=1) 的氧化物的組成類似時，a、b、c滿足 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 的狀態，r例如是0.05即可。其他氧化物也是同樣的。

氧化物半導體膜402有可能處於單晶、多晶（polycrystal）或非晶等狀態。

氧化物半導體膜402較佳為CAAC-OS（C Axis Aligned Crystalline Oxide Semiconductor：C軸配向結晶氧化物半導體）膜。

CAAC-OS膜不是完全的單晶，也不是完全的非晶。CAAC-OS膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，一般該結晶部的尺寸為能夠容納於一個邊長小於100nm的立方體內的尺寸。另外，

在使用透射電子顯微鏡（TEM：Transmission Electron Microscope）觀察時的影像中，包含於CAAC-OS膜中的非晶部與結晶部的邊界不明確。另外，在CAAC-OS膜中利用TEM觀察不到晶界（grain boundary）。因此，在CAAC-OS膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在CAAC-OS膜中的結晶部的c軸在平行於CAAC-OS膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於ab面的方向看時具有三角形或六角形的原子排列，且在從垂直於c軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的a軸及b軸的方向也可以彼此不同。在本說明書中，當只記載“垂直”時，包括 85° 以上且 95° 以下的範圍。另外，當只記載“平行”時，包括 -5° 以上且 5° 以下的範圍。

另外，在CAAC-OS膜中，結晶部的分佈也可以不均勻。例如，在CAAC-OS膜的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面附近相比，有時在表面附近結晶部所占的比例高。另外，藉由對CAAC-OS膜添加雜質，有時在該雜質添加區中結晶部產生非晶化。

因為包括在CAAC-OS膜中的結晶部的c軸在平行於CAAC-OS膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據CAAC-OS膜的形狀（被形成面的剖面形狀或表面的剖面形狀）朝向彼此不同的方向。另外，結晶部的c軸方向是平行於形成CAAC-OS膜時的被形

成面的法線向量或表面的法線向量的方向。藉由進行成膜或在成膜之後進行加熱處理等的晶化處理來形成結晶部。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，該電晶體可以提高可靠性。

另外，也可以用氮取代構成氧化物半導體膜的氧的一部分。

另外，像 CAAC-OS 那樣的具有結晶部的氧化物半導體可以進一步降低塊內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。爲了提高表面的平坦性，較佳的是在平坦的表面上形成氧化物半導體，具體地，較佳的是在平均面粗糙度（Ra）爲 1nm 以下，較佳爲 0.3nm 以下，更佳爲 0.1nm 以下的表面上形成氧化物半導體。

將氧化物半導體膜 402 的厚度設定爲 1nm 以上且 30nm 以下（較佳爲 5nm 以上且 10nm 以下），可以適當地利用濺射法、MBE（Molecular Beam Epitaxy：分子束磊晶）法、電漿 CVD 法、脈衝雷射沉積法、ALD（Atomic Layer Deposition：原子層沉積）法等。此外，氧化物半導體膜 402 可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置形成。

另外，包含在氧化物半導體膜 402 中的氫或水濃度較佳的是盡可能低。這是因爲如下緣故：當氫濃度高時，包含在氧化物半導體中的元素與氫接合，氫的一部分成爲施

體，而產生作為載流子的電子。

因此，在氧化物半導體膜402的形成製程中，為了儘量不使氧化物半導體膜402包含氫或水，作為形成氧化物半導體膜402的預處理，較佳的是在濺射裝置的預熱室內對形成有絕緣膜399的基板進行預熱，來使吸附於基板及絕緣膜399的氫、水分等雜質脫離並進行排出。另外，設置在預熱室中的排氣單元較佳為使用低溫泵。

此外，較佳的是以在成膜時包含多量的氧的條件（例如，在氧為100%的氛圍下利用濺射法進行成膜等）形成膜，使氧化物半導體膜402為包含多量的氧（較佳為包含與氧化物半導體處於結晶狀態時的化學計量組成相比氧的含有量過剩的區域）的膜。

在本實施方式中，作為氧化物半導體膜402藉由利用裝有DC電源裝置的濺射裝置的濺射法形成10nm厚的In-Ga-Zn類氧化物膜（IGZO膜）。在本實施方式中，使用原子數比為In:Ga:Zn=3:1:2的In-Ga-Zn類氧化物靶材。

作為在形成氧化物半導體膜402時使用的濺射氣體，較佳為使用去除了氫、水、羥基或氫化物等雜質的高純度氣體。

在保持為減壓狀態的沉積室中保持基板。然後，在去除殘留在沉積室內的水分的同時引入去除了氫和水分的濺射氣體，使用上述靶材在絕緣膜399上形成氧化物半導體膜402。為了去除殘留在沉積室內的水分，較佳為使用吸附型的真空泵，例如低溫泵、離子泵、鈦昇華泵。此外，

作為排氣單元，也可以使用配備有冷阱的渦輪分子泵。因為在使用低溫泵進行排氣的沉積室中，例如氫原子、水（ H_2O ）等包含氫原子的化合物等被排出（更佳的是，包含碳原子的化合物也被排出），所以可以降低包含在該沉積室中形成的氧化物半導體膜402中的氫、水、羥基或氫化物等雜質的濃度。

另外，較佳的是以不使絕緣膜399暴露於大氣的方式連續形成絕緣膜399和氧化物半導體膜402。藉由以不使絕緣膜399暴露於大氣的方式連續形成絕緣膜399和氧化物半導體膜402，可以防止氫或水分等雜質附著於絕緣膜399表面。

接著，藉由光微影製程在氧化物半導體膜上形成光阻掩模，藉由進行選擇性的蝕刻形成島狀的氧化物半導體膜403。在形成島狀的氧化物半導體膜403之後，去除光阻掩模。

另外，也可以藉由噴墨法形成用來形成島狀的氧化物半導體膜403的光阻掩模。在藉由噴墨法形成光阻掩模時不需要光掩模，由此可以降低製造成本。

另外，氧化物半導體膜402的蝕刻可以採用乾蝕刻也可以採用濕蝕刻，也可以採用兩者。例如，作為用於氧化物半導體膜402的濕蝕刻的蝕刻劑，可以使用混合有磷酸、醋酸及硝酸的溶液等。此外，也可以使用ITO-07N（由日本關東化學株式會社製造）。另外，也可以藉由利用ICP（Inductively Coupled Plasma：感應耦合電漿）蝕

刻法的乾蝕刻進行蝕刻加工。

另外，也可以對氧化物半導體膜403進行用來去除過剩的氫（包括水或羥基）（脫水化或脫氫化）的加熱處理。將加熱處理的溫度設定為300℃以上且700℃以下或低於基板的應變點。加熱處理可以在減壓下或氮氛圍下等進行。

另外，當作爲氧化物半導體膜403使用結晶氧化物半導體膜時，也可以進行用於晶化的加熱處理。

在本實施方式中，將基板引入到作爲加熱處理裝置之一的電爐中，在氮氛圍下以450℃對氧化物半導體膜403進行1小時的加熱處理，並且在氮及氧氛圍下以450℃對其進行1小時的加熱處理。

另外，加熱處理裝置不侷限於電爐，也可以使用利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，可以使用LRTA（Lamp Rapid Thermal Anneal：燈快速熱退火）裝置、GRTA（Gas Rapid Thermal Anneal：氣體快速熱退火）裝置等的RTA（Rapid Thermal Anneal：快速熱退火）裝置。LRTA裝置是藉由利用從鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA裝置是使用高溫氣體進行加熱處理的裝置。作爲高溫氣體，使用氫等稀有氣體或氮等不因加熱處理而與被處理物發生反應的惰性氣體。

例如，作爲加熱處理，也可以進行如下GRTA，即將

基板放入加熱為 650°C 至 700°C 的高溫的惰性氣體中，在加熱幾分鐘之後，將基板從惰性氣體中取出。

另外，在加熱處理中，氮或氦、氖、氬等稀有氣體較佳的是不包含水、氫等。另外，較佳的是將引入到加熱處理裝置中的氮或氦、氖、氬等稀有氣體的純度設定為 6N（99.9999%）以上，較佳為 7N（99.99999%）以上（即，將雜質濃度設定為 1ppm 以下，較佳為 0.1ppm 以下）。

此外，也可以在藉由加熱處理加熱氧化物半導體膜 403 之後，對同一爐中引入高純度的氧氣、高純度的一氧化二氮氣體或超乾燥空氣（使用 CRDS（cavity ring-down laser spectroscopy：光腔衰蕩雷射光譜法）方式的露點儀進行測量時的水分量是 20ppm（露點換算，-55°C）以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣）。較佳的是在氧氣體或一氧化二氮氣體中不包含水、氫等。或者，較佳的是將引入到熱處理裝置的氧氣體或一氧化二氮氣體的純度設定為 6N 以上，較佳為 7N 以上（也就是說，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1ppm 以下，設定為 0.1ppm 以下較佳）。藉由利用氧氣體或一氧化二氮氣體的作用來供應利用脫水化或脫氫化處理進行雜質排除製程的同時減少的氧化物半導體的主要成分材料的氧，可以減少氧化物半導體膜 403 中的氧缺損。

另外，用來脫水化或脫氫化的加熱處理既可以在形成膜狀的氧化物半導體膜 402 之後進行，又可以在形成島狀的氧化物半導體膜 403 之後進行。

此外，既可以多次進行用來脫水化或脫氫化的加熱處理，也可以兼作其他加熱處理進行用來脫水化或脫氫化的加熱處理。

藉由在將氧化物半導體膜加工為島狀的氧化物半導體膜403之前且在膜狀的氧化物半導體膜402覆蓋絕緣膜399的狀態下進行用來脫水化或脫氫化的加熱處理，可以防止因加熱處理而向外部釋放包含在絕緣膜399中的氧。

此外，也可以在進行用來脫水化或脫氫化的加熱處理之後，對氧化物半導體膜進行引入氧的製程。由於藉由對氧化物半導體膜引入氧，可以補充因加熱處理而從氧化物半導體膜釋放的氧，所以可以減少包含在氧化物半導體膜中的氧缺損。

作為氧的引入製程，既可以對氧化物半導體膜403直接引入氧，也可以藉由後面形成的閘極絕緣膜等其他膜對氧化物半導體膜403引入氧。當藉由其他膜引入氧時，使用離子植入法、離子摻雜法、電漿浸沒離子植入法等，即可。此外，當對被露出的氧化物半導體膜直接引入氧時，可以使用電漿處理等。

接著，在絕緣膜399及氧化物半導體膜403上形成後面成為閘極絕緣膜的絕緣膜404。

此外，為了提高絕緣膜404的覆蓋性，也可以對氧化物半導體膜403表面也進行平坦化處理。尤其是，當作為絕緣膜404使用厚度薄的絕緣膜時，氧化物半導體膜403表面較佳為具有良好的平坦性。

將絕緣膜 404 的厚度設定為 1nm 以上且 20nm 以下，並可以適當地利用濺射法、MBE 法、電漿 CVD 法、脈衝雷射沉積法、ALD 法等。此外，絕緣膜 404 可以使用在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜的濺射裝置形成。

絕緣膜 404 可以使用氧化矽、氧化鎵、氧化鋁、氮化矽、氧氮化矽、氧氮化鋁或氮氧化矽形成。此外，藉由作為絕緣膜 404 的材料使用氧化鈦、氧化釷、矽酸鈦 (HfSi_xO_y ($x>0$, $y>0$))、添加有氮的矽酸鈦 (HfSiO_xN_y ($x>0$, $y>0$))、鋁酸鈦 (HfAl_xO_y ($x>0$, $y>0$)) 以及氧化鑷等 high-k 材料，可以降低閘極漏電流。此外，絕緣膜 404 可以使用上述材料的單層結構或疊層結構形成。

在本實施方式中，利用電漿 CVD 法形成 20nm 厚的氧氮化矽膜。

接著，在絕緣膜 404 上形成成為閘極電極（包括形成在與該閘極電極相同的層中的佈線）的導電膜，然後形成絕緣膜。然後，利用光微影製程在該絕緣膜上形成光阻掩模，對該光阻掩模選擇性地進行蝕刻來形成閘極電極 405 及絕緣膜 406（參照圖 8B）。

閘極電極 405 可以使用鈾、鈦、鉭、鎢、鋁、銅、鉻、鈹及鈳等金屬材料或以上述金屬材料為主要成分的合金材料形成。此外，作為閘極電極 405，可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物

等矽化物膜。閘極電極 405 以單層結構或疊層結構形成。

另外，閘極電極 405 的材料也可以使用氧化銦氧化錫、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、氧化銦氧化鋅以及添加有氧化矽的銦錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

此外，作為與絕緣膜 404 接觸的閘極電極 405，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜以及金屬氮化膜（InN、SnN 等）。由於這些膜具有 5eV（電子伏特），較佳為具有 5.5eV（電子伏特）以上的功函數，所以當將它們用作閘極電極時，可以使電晶體的電特性的臨界電壓成為正值，而可以實現所謂的常斷型（normally off）的切換元件。

絕緣膜 406 可以使用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氮化矽、氮化鋁、氮氧化矽、氮氧化鋁等無機絕緣材料。絕緣膜 406 可以利用電漿 CVD 法或濺射法等形成。

接著，以閘極電極 405 及絕緣膜 406 為掩模，藉由絕緣膜 404 對氧化物半導體膜 403 添加摻雜劑，形成含摻雜劑的區域 407a、407b。

作為摻雜劑使用改變氧化物半導體膜 403 的導電率的

元素。作為摻雜劑，可以使用選自週期表中第15族元素（例如，氮（N）、磷（P）、砷（As）及銻（Sb））、硼（B）、鋁（Al）、氬（Ar）、氦（He）、氖（Ne）、銦（In）、氟（F）、氯（Cl）、鈦（Ti）和鋅（Zn）中的一種或多種。

摻雜劑根據添加方法也可以透過其他膜（本實施方式中，絕緣膜404）添加到氧化物半導體膜403。作為摻雜劑的添加方法，可以使用離子植入法、離子摻雜法、電漿浸沒式離子植入法等。此時，使用摻雜劑的單個離子或氟化物、氯化物的離子較佳。

可以藉由適當地設定加速電壓、劑量等的注入條件或者使摻雜劑透過的膜的厚度來控制摻雜劑的引入製程。在本實施方式中，藉由離子植入法，作為摻雜劑使用磷來進行磷離子的引入。另外，也可以將摻雜劑的劑量設定為 1×10^{13} 離子/cm²以上且 5×10^{16} 離子/cm²以下。

藉由對氧化物半導體膜403添加摻雜劑，將含摻雜劑的區域407a、407b的摻雜劑的濃度設定為 5×10^{18} /cm³以上且 1×10^{22} /cm³以下。

也可以在對氧化物半導體膜403引入摻雜劑的同時加熱基板。另外，也可以進行多次將摻雜劑引入到氧化物半導體膜403中的處理，並且，也可以使用多種摻雜劑。

另外，也可以在添加摻雜劑之後進行加熱處理。作為加熱條件採用如下條件較佳：溫度為300℃以上且700℃以下，較佳為300℃以上且450℃以下；在氧氣氛圍下；進行

1小時。此外，也可以在氮氛圍下、減壓下或大氣（超乾燥空氣氛圍）下進行加熱處理。

在本實施方式中，藉由離子植入法將磷（P）離子植入到氧化物半導體膜403中。另外，作為磷（P）離子的注入條件，採用如下條件：加速電壓為25kV；劑量為 1.0×10^{15} 離子/cm²。

當氧化物半導體膜403是CAAC-OS膜時，有時由摻雜劑的添加導致CAAC-OS膜的一部分的非晶化。在此情況下，藉由在引入摻雜劑之後進行加熱處理，可以恢復氧化物半導體膜403的結晶性。

藉由進行摻雜劑的添加製程，形成夾著通道形成區408設置有含摻雜劑的區域407a、407b的氧化物半導體膜403。

接著，在閘極電極405及絕緣膜406上形成絕緣膜，對該絕緣膜進行蝕刻形成側壁絕緣膜409a、409b。再者，以閘極電極405及側壁絕緣膜409a、409b為掩模，對絕緣膜404進行蝕刻，形成閘極絕緣膜411（參照圖8C）。

側壁絕緣膜409a、409b可以使用與絕緣膜406同樣的材料及方法形成。在本實施方式中，作為側壁絕緣膜409a、409b使用藉由CVD法形成的氧氮化矽膜。

接著，覆蓋氧化物半導體膜403、閘極絕緣膜411、側壁絕緣膜409a、409b及絕緣膜406形成後面成為源極電極及汲極電極（包括由與它們相同的層形成的佈線）的導電膜。

用於源極電極及汲極電極的導電膜例如可以使用含有選自鋁 (Al)、鉻 (Cr)、銅 (Cu)、鉭 (Ta)、鈦 (Ti)、鉬 (Mo)、鎢 (W) 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜 (氮化鈦膜、氮化鉬膜、氮化鎢膜) 等形成。另外，也可以採用在鋁、銅等的金屬膜的下側和上側中的至少一方層疊鈦、鉬、鎢等的高熔點金屬膜或層疊它們的金屬氮化物膜 (氮化鈦膜、氮化鉬膜、氮化鎢膜) 的結構。

另外，成為源極電極及汲極電極的導電膜可以使用導電金屬氧化物形成膜。作為導電金屬氧化物，可以使用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦氧化錫 ($\text{In}_2\text{O}_3\text{-SnO}_2$ ，簡稱為 ITO)、氧化銦氧化鋅 ($\text{In}_2\text{O}_3\text{-ZnO}$) 或者在這些金屬氧化物材料中含有氧化矽的材料。此外，也可以採用上述導電材料與上述金屬氧化物材料的疊層結構。

接著，藉由光微影製程在導電膜上形成光阻掩模，對導電膜選擇性地進行蝕刻，來進行源極電極及汲極電極的通道寬度 W 方向的加工。

接著，在導電膜上形成絕緣膜 415 及絕緣膜 417。

絕緣膜 415 及絕緣膜 417 藉由適當地使用濺射法等的不使氫等混入到膜中的方法形成。

作為絕緣膜 415 及絕緣膜 417，典型地可以使用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎳、氮化矽、氮化鋁、氮氧化矽、氮氧化鋁等的無機絕緣膜。

作為絕緣膜 415，較佳為設置與源極電極 416a、汲極電極 416b 接觸的緻密性高的無極絕緣膜。例如，藉由濺射法在源極電極 416a、汲極電極 416b 上形成氧化鋁膜。藉由提高氧化鋁膜的緻密度（膜密度為 3.2g/cm^3 以上，較佳為 3.6g/cm^3 以上），可以對電晶體 410 賦予穩定的電特性。可以藉由盧瑟福背散射光譜法（RBS：Rutherford Backscattering Spectrometry）或 X 射線反射（XRR：X-Ray Reflection）測量膜密度。

可用於設置在電晶體 410 上的無極絕緣膜的氧化鋁膜具有高遮斷效果（阻擋效果），即，不使氫、水分等雜質及氧這兩者透過膜的效果。

因此，氧化鋁膜用作一種保護膜，該保護膜防止在電晶體的製程中及製程後導致電晶體的電特性變動的氫、水分等雜質混入到氧化物半導體膜 403 並且防止從氧化物半導體膜 403 釋放氧化物半導體的主要構成材料的氧。

接著，以直到使絕緣膜 406 露出的方式對絕緣膜 415、絕緣膜 417 及導電膜進行拋光處理。由此，藉由去除絕緣膜 415、絕緣膜 417 及導電膜的一部分，形成源極電極 416a 及汲極電極 416b。

作為拋光方法，可以利用化學機械拋光（Chemical Mechanical Polishing：CMP）法，但也可以利用其他切削（研磨、拋光）方法。此外，在進行拋光處理之後，藉由進行乾蝕刻法或電漿處理（反電漿處理）等，來實現拋光處理表面的平坦性的提高。

在本實施方式中，藉由在閘極電極 405 上設置有絕緣膜 406，所以即使對絕緣膜 415、絕緣膜 417 及導電膜進行拋光處理，也可以抑制閘極電極 405 與源極電極 416a 及汲極電極 416b 之間的短路。

藉由上述製程，製造根據本發明的一個方式的電晶體 410（參照圖 9A）。

接著，以覆蓋電晶體 410 的方式形成絕緣膜 418。由於絕緣膜 418 可以使用絕緣膜 415、絕緣膜 417 的材料及方法形成，所以省略詳細說明。

接著，在絕緣膜 418 上形成佈線 419a、419b。佈線 419a、419b 用來連接電晶體 410 與其他電晶體。佈線 419a 藉由形成在絕緣膜 415、絕緣膜 417 及絕緣膜 418 中的開口與源極電極 416a 電連接。另外，佈線 419b 藉由形成在絕緣膜 418、絕緣膜 415 及絕緣膜 417 中的開口與汲極電極 416b 電連接。

由於佈線 419a 及佈線 419b 可以使用與閘極電極 405 同樣的材料及方法形成，所以省略其詳細說明。

例如，作為佈線 419a、佈線 419b，可以使用鉬膜的單層、氮化鉬膜和銅膜的疊層或氮化鉬膜和鎢膜的疊層等。

藉由上述製程，可以製造根據本發明的一個方式的位準移位電路。

根據本實施方式所示的製造方法，可以層疊在使用矽等的單晶半導體膜的電晶體上形成使用氧化物半導體等的半導體膜的電晶體。由此，由於可以使構成位準移位電路

的電晶體的一部分為疊層結構，所以可以縮小位準移位電路面積。

此外，根據本實施方式所示的製造方法，藉由包含在氧化物半導體膜中的氫等雜質被充分去除或者對氧化物半導體膜供應充分的氧來使該膜處於氧過飽和狀態，可以實現高度純化了的氧化物半導體膜。明確而言，例如將氧化物半導體膜的氫濃度設定為 5×10^{19} 原子/cm³以下，較佳為 5×10^{18} 原子/cm³以下，更佳為 5×10^{17} 原子/cm³以下。此外，上述氧化物半導體膜中的氫濃度是藉由使用二次離子質譜測定技術（SIMS：Secondary Ion Mass Spectrometry）而測量的。另外，藉由對氧化物半導體膜供應充分的氧來減少氧缺損，可以抑制多數載流子的增加。由此，由於可以抑制因多數載流子的增加導致的電晶體的臨界電壓的變動，可以提高電晶體的可靠性。

如上所述，氧化物半導體膜403的多數載流子（電子）只有從電晶體的源極流過的載流子。另外，因為可以使通道形成區完全耗盡化，所以可以使電晶體的截止狀態電流極小。使用氧化物半導體膜403的電晶體的截止狀態電流極小，即在室溫下為 $10 \text{ yA}/\mu\text{m}$ 以下，在 85°C 至 95°C 的溫度下也為 $1 \text{ zA}/\mu\text{m}$ 以下。

因此，使用氧化物半導體膜403的電晶體的S值極小，可以獲得理想的值。另外，該電晶體的可靠性高。

因此，本實施方式所示的電晶體410根據施加到第二閘極電極的電位可以容易控制臨界電壓。藉由使用上述那

樣的電晶體 410 構成位準移位電路，可以容易控制從位準移位電路輸出的信號的振幅。

另外，在本實施方式中說明構成位準移位電路的電晶體，但藉由應用本實施方式所示的製造方法，除了位準移位電路以外還可以製造包括在半導體積體電路中的其他電路。例如，上部的使用氧化物半導體膜 403 的電晶體 410 由於如上所述截止狀態電流極低，所以可以構成非揮發性記憶單元陣列。在實施方式 3 中說明非揮發性記憶單元陣列的詳細內容。藉由在上部形成上述記憶單元陣列及包括在位準移位電路中的電晶體，並在下部形成用來驅動儲存電路的週邊電路及包括在位準移位電路中的反相器電路，可以實現半導體積體電路的小型化。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 3

在本實施方式中，參照圖 10A 和圖 10B 及圖 11A 和圖 11B 對記憶體裝置進行說明。該記憶體裝置使用實施方式 2 所示的電晶體且即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

本實施方式所示的記憶體裝置可以在製造實施方式 2 所示的構成位準移位電路的電晶體同時製造。

圖 10A 示出記憶體裝置的電路結構的一個例子，圖 10B 是示出記憶體裝置的一個例子的示意圖。以下，首先對圖

10A所示的裝置進行說明，接著對圖10B所示的半導體裝置進行說明。

圖10A和圖10B所示的記憶體裝置包括： n 個位元線BL； m 個字線WL；以縱 m 個（行） \times 橫 n 個（列）矩陣狀配置有記憶單元195的記憶單元陣列；連接到 n 個位元線BL的第一驅動電路196；以及連接到 m 個字線WL的第二驅動電路197。

記憶單元195包括電晶體191及電容元件192。位元線BL與電晶體191的源極電極或汲極電極電連接，字線WL與電晶體191的閘極電極電連接，並且電晶體191的源極電極或汲極電極與電容元件192的第一端子電連接。

接著，說明對圖10A所示的半導體裝置（記憶單元195）進行資訊的寫入及保持的情況。

首先，藉由將字線WL的電位設定為使電晶體191成為導通狀態的電位，來使電晶體191成為導通狀態。由此，將位元線BL的電位施加到電容元件192的第一端子（寫入）。然後，藉由將字線WL的電位設定為使電晶體191成為截止狀態的電位，來使電晶體191成為截止狀態，由此儲存電容元件192的第一端子的電位（保持）。

使用氧化物半導體的電晶體191具有截止狀態電流極小的特徵。因此，藉由使電晶體191成為截止狀態，可以在極長時間儲存電容元件192的第一端子的電位（或累積在電容元件192中的電荷）。

接著，對資訊的讀出進行說明。當電晶體191成為導

通狀態時，處於浮動狀態的位元線 BL 與電容元件 192 導通，於是，在位元線 BL 與電容元件 192 之間電荷被再次分配。其結果，位元線 BL 的電位發生變化。位元線 BL 的電位的變化量根據電容元件 192 的第一端子的電位（或累積在電容元件 192 中的電荷）而取不同的值。

例如，當以 V 表示電容元件 192 的第一端子的電位，以 C 表示電容元件 192 的電容，以 C_B 表示位元線 BL 所具有的電容成分（以下也稱為位元線電容），並且以 V_{B0} 表示電荷被再次分配之前的位元線 BL 的電位時，電荷被再次分配之後的位元線 BL 的電位成為 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ 。因此，作為記憶單元 195 的狀態，當電容元件 192 的第一端子的電位為 V_1 及 V_0 ($V_1 > V_0$) 的兩個狀態時，保持電位 V_1 時的位元線 BL 的電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) 高於保持電位 V_0 時的位元線 BL 的電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$)。

並且，藉由比較位元線 BL 的電位與預定的電位，可以讀出資訊。

如此，圖 10A 所示的半導體裝置可以利用電晶體 191 的截止狀態電流極小的特徵長時間保持累積在電容元件 192 中的電荷。換言之，因為不需要進行更新工作或者可以使更新工作的頻率極低，所以可以充分降低耗電量。另外，即使在沒有電力供應的情況下也可以長期保持儲存資料。

接著，對圖 10B 所示的半導體裝置進行說明。

圖 10B 所示的半導體裝置在其上部作為儲存電路具有

記憶單元陣列 201a 及記憶單元陣列 201b，該記憶單元陣列 201a 及記憶單元陣列 201b 具有多個圖 10A 所示的記憶單元 195，並且在其下部具有用來使記憶單元陣列 210（記憶單元陣列 201a 及記憶單元陣列 201b）工作的週邊電路 220。另外，週邊電路 220 分別與記憶單元陣列 201a 及記憶單元陣列 201b 電連接。

藉由採用圖 10B 所示的結構，可以將週邊電路 220 設置在記憶單元陣列 210（記憶單元陣列 201a 及記憶單元陣列 201b）的正下方，從而可以實現半導體裝置的小型化。

作為設置在週邊電路 220 中的電晶體，較佳為使用與電晶體 191 不同的半導體材料。例如，可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，較佳為使用單晶半導體。另外，還可以使用有機半導體材料等。使用這種半導體材料的電晶體能夠進行充分的高速工作。因此，藉由利用該電晶體，能夠順利實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。設置在週邊電路 220 中的電晶體可以參照實施方式 2 的電晶體 330 及 340 的記載。

另外，圖 10B 所示的半導體裝置例示出層疊有兩個記憶單元陣列 210（記憶單元陣列 201a、記憶單元陣列 201b）的結構，但是所層疊的記憶單元陣列的個數不侷限於此。也可以採用層疊有三個以上的記憶單元陣列的結構。

接著，參照圖 11A 和圖 11B 對圖 10A 所示的記憶單元 195 的具體結構進行說明。

圖 11A 和圖 11B 示出記憶單元 195 的結構的一個例子。

圖 11A 示出記憶單元 195 的剖面圖，圖 11B 示出記憶單元 195 的平面圖。在此，圖 11A 是沿著圖 11B 中的線 C1-C2 的剖面。

圖 11A 及圖 11B 所示的電晶體 191 由於可以採用與實施方式 2 所示的電晶體 410 同樣的結構，所以省略其詳細說明。

另外，電容元件 192 藉由在絕緣膜 421 上形成電極 422 來形成。電極 422 的材料及方法可以參照佈線 419a、419b 的記載。

在圖 11A 和圖 11B 所示的記憶單元 195 中，在實施方式 2 所示的電晶體 410 中形成佈線 419a、419b 之後，僅形成絕緣膜 421，且形成電極 422，便可以形成電容元件 192。因此，不需要分別形成用於位準移位電路的電晶體 410 及用於記憶單元的電晶體。

另外，當記憶單元陣列的結構為疊層結構時，在絕緣膜 421 及電極 422 上還形成絕緣膜，在該絕緣膜上形成與電晶體 191 同樣的使用氧化物半導體的電晶體，即可。

此外，藉由採用圖 11B 所示的平面佈局，可以降低半導體裝置的所占的面積，從而可以實現高集體化。

如上所述，在層疊形成的多個記憶單元由使用氧化物半導體的電晶體形成。由於使用氧化物半導體的電晶體的截止狀態電流小，所以藉由使用這種電晶體，能夠長期保持儲存資料。換言之，可以使更新工作的頻率極低，所以

可以充分降低耗電量。

如上所述，可以實現利用使用氧化物半導體以外的材料的電晶體（換言之，能夠進行充分高速的工作的電晶體）的週邊電路以及利用使用氧化物半導體的電晶體（作更廣義解釋，其截止狀態電流十分小的電晶體）的記憶體裝置設置為一體的半導體裝置。

另外，藉由在上部形成記憶單元陣列及包括在位準移位電路中的電晶體，並在下部形成用來驅動記憶單元陣列的週邊電路及包括在位準移位電路中的反相器電路，可以實現半導體積體電路的小型化。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 4

在本實施方式中，參照圖 12 及圖 13 說明使用上述實施方式所示的位準移位電路及儲存電路構成半導體積體電路，並將其應用於行動電話、智慧手機、電子書閱讀器等移動設備的例子。

圖 12 示出移動設備的塊圖。圖 12 所示的移動設備包括：RF 電路 901；類比基帶電路 902；數字基帶電路 903；電池 904；電源電路 905；微處理器 906；閃速記憶體 910；顯示器控制器 911；儲存電路 912；顯示器 913；觸控感應器 919；音頻電路 917；以及鍵盤 918 等。顯示器 913 包括：顯示部 914；源極驅動器 915；以及閘極驅動器 916。微處

理器 906 包括：CPU 907；DSP 908；以及介面 909（IF 909）。另外，微處理器 906、閃速記憶體 910、儲存電路 912 及顯示器控制器 911 組裝在一個晶片中（參照圖 12 中的虛線）。

微處理器 906 藉由位準移位電路 921 與閃速記憶體 910 連接。另外，微處理器 906 藉由位準移位電路 922 與儲存電路 912 連接。此外，儲存電路 912 藉由位準移位電路 923 與顯示器控制器 911 連接。作為位準移位電路 921 至 923 分別可以應用圖 1A 至圖 5 所示的位準移位電路中的任一個。例如，藉由應用圖 2 或圖 3 的位準移位電路，不需要分別設置位準移位電路 921 至位準移位電路 923，也可以採用不設置其中的任一個的結構。由於位準移位電路可以以疊層結構形成，所以可以縮小位準移位電路的面積。因此，可以實現半導體積體電路的小型化。另外，可以適當地設定為了驅動閃速記憶體 910、儲存電路 912、顯示器控制器 911 的最小電壓，所以可以實現半導體積體電路的低耗電量化。

另外，藉由作為儲存電路 912 使用上述實施方式所說明的記憶體裝置，能夠以高速進行資訊的寫入和讀出，能夠長期間保持儲存資料，還能夠充分降低耗電量。由於儲存電路 912 可以與位準移位電路同樣地位準移位電路以疊層結構形成，所以可以縮小位準移位電路的面積。因此，可以實現半導體積體電路的小型化。

圖 13 示出電子書閱讀器的塊圖。圖 13 所示的電子書閱讀器包括：電池 1001；電源電路 1002；微處理器 1003；閃

速記憶體 1004；聲頻電路 1005；鍵盤 1006；儲存電路 1007；觸摸屏 1008；顯示器 1009；以及顯示器控制器 1010。另外，微處理器 1003、閃速記憶體 1004、儲存電路 1007及顯示器控制器 1010組裝在一個晶片中（參照圖 13 中的虛線）。

微處理器 1003 藉由位準移位電路 1021 與閃速記憶體 1004 連接。另外，微處理器 1003 藉由位準移位電路 1022 與儲存電路 1007 連接。另外，微處理器 1003 藉由位準移位電路 1023 與顯示器控制器 1010 連接。作為位準移位電路 1021 至 1023 分別可以應用圖 1A 至圖 5 所示的位準移位電路中的任一個。例如，藉由應用圖 2 或圖 3 的位準移位電路，不需要分別設置位準移位電路 1021 至位準移位電路 1023，也可以採用不設置其中的任一個的結構。由於位準移位電路可以以疊層結構形成，所以可以縮小位準移位電路的面積。因此，可以實現半導體積體電路的小型化。另外，可以適當地設定為了驅動閃速記憶體 1004、儲存電路 1007、顯示器控制器 1010 的最小電壓，所以可以實現半導體積體電路的低耗電量化。

另外，藉由作為儲存電路 1007 使用上述實施方式所說明的記憶體裝置，能夠以高速進行資訊的寫入和讀出，能夠長期間保持儲存資料，還能夠充分降低耗電量。另外，由於儲存電路 1007 可以與位準移位電路同樣地以疊層結構形成，所以可以縮小儲存電路 1007 的面積。因此，可以實現半導體積體電路的小型化。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

實施方式 5

根據本發明的一個方式的半導體裝置可以應用於各種電子裝置（包括遊戲機）。作為電子裝置，例如可以舉出電視機（也稱為電視或電視接收機）、用於電腦等的監視器、影像拍攝裝置諸如數位相機、數位攝像機、數位相框、行動電話機（也稱為手機、行動電話裝置）、可攜式遊戲機、移動資訊終端、音頻再生裝置、彈子機等大型遊戲機等。對具備在上述實施方式中說明的半導體裝置的電子裝置的例子進行說明。

圖 14A 示出膝上型個人電腦，該膝上型個人電腦包括主體 3001、殼體 3002、顯示部 3003 以及鍵盤 3004 等。另外，雖然未圖示，但是可以作為主體內部的半導體積體電路應用根據上述實施方式的半導體積體電路。藉由應用根據上述實施方式的半導體積體電路，可以實現小型化的膝上型個人電腦。

圖 14B 示出可攜式資訊終端（PDA），在主體 3021 中設置有顯示部 3023、外部介面 3025 以及操作按鈕 3024 等。另外，作為操作用附屬部件，具備觸控筆 3022。另外，雖然未圖示，但是可以作為主體內部的半導體積體電路應用根據上述實施方式的半導體積體電路。藉由應用根據上述實施方式的半導體積體電路，可以實現小型化的可攜式資

訊終端（PDA）。

圖 14C 示出電子書閱讀器的一個例子。例如，電子書閱讀器 2700 由兩個殼體，即殼體 2701 及殼體 2703 構成。殼體 2701 及殼體 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉操作。藉由採用這種結構，可以進行如紙的書籍那樣的操作。

殼體 2701 組裝有顯示部 2705，而殼體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右側的顯示部（圖 14C 中的顯示部 2705）中顯示文章，而在左側的顯示部（圖 14C 中的顯示部 2707）中顯示影像。另外，雖然未圖示，但是可以作為主體內部的半導體積體電路應用根據上述實施方式的半導體積體電路。藉由應用根據上述實施方式的半導體積體電路，可以實現小型化的電子書閱讀器 2700。

此外，在圖 14C 中示出殼體 2701 具備操作部等的例子。例如，在殼體 2701 中具備電源開關 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。此外，在與殼體的顯示部相同的平面上可以設置鍵盤、指向裝置等。另外，也可以採用在殼體的背面或側面具備外部連接端子（耳機端子、USB 端子等）、儲存介質插入部等的結構。再者，電子書閱讀器 2700 也可以具有電子詞典的功能。

此外，電子書閱讀器 2700 也可以採用能夠以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書籍伺服器購買所希望的書籍資料等，並且下載的結構。

圖 14D 示出智慧手機，包括殼體 2800、按鈕 2801、麥克風 2802、具備觸摸屏的顯示部 2803、揚聲器 2804、影像拍攝用鏡頭 2805，並用作可攜式電話機。另外，雖然未圖示，但是可以作為主體內部的半導體積體電路應用根據上述實施方式的半導體積體電路。藉由應用根據上述實施方式的半導體積體電路，可以實現小型化的智慧手機。

根據使用方式可以適當地改變顯示部 2803 的顯示方向。另外，由於在與顯示部 2803 同一平面上設置影像拍攝用鏡頭 2805，所以能夠實現可視電話。揚聲器 2804 及麥克風 2802 不僅用於音頻通話，還可以用於可視通話、錄音、再生等。

另外，外部連接端子 2806 可以與 AC 轉接器及各種電纜如 USB 電纜等連接，而可以進行充電及與個人電腦等的資料通訊。另外，藉由將儲存介質插入外部儲存槽（未圖示）中，可以對應於更大量資料的保存及移動。

另外，上述智慧手機除了上述功能以外還可以具有紅外線通信功能、電視接收功能等。

圖 14E 示出數位攝像機，該數位攝像機包括主體 3051、顯示部（A）3057、取景器 3053、操作開關 3054、顯示部（B）3055 以及電池 3056 等。另外，雖然未圖示，但是可以作為主體內部的半導體積體電路應用根據上述實

施方式的半導體積體電路。藉由應用根據上述實施方式的半導體積體電路，可以實現小型化的數位攝像機。

圖 14F 示出電視機的一個例子。在電視機 9600 中，殼體 9601 安裝有顯示部 9603。利用顯示部 9603 可以顯示影像。此外，在此示出利用支架 9605 支撐殼體 9601 的結構。另外，雖然未圖示，但是可以作為主體內部的半導體積體電路應用根據上述實施方式的半導體積體電路。藉由應用根據上述實施方式的半導體積體電路，可以實現小型化的電視機 9600。

可以藉由利用殼體 9601 所具備的操作開關或另行提供的遙控器進行電視機 9600 的操作。此外，也可以採用在遙控器中設置顯示部的結構，該顯示部顯示從該遙控器輸出的資訊。

另外，電視機 9600 採用具備接收機、數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，從而也可以進行單向（從發送者到接收者）或雙向（在發送者和接收者之間或在接收者之間等）的資訊通信。

本實施方式所示的結構、方法等可以與其他實施方式所示的結構、方法等適當地組合而實施。

【圖式簡單說明】

在圖式中：

圖 1A 至圖 1C 是根據本發明的一個方式的位準移位電

路；

圖 2 是根據本發明的一個方式的位準移位電路；

圖 3 是根據本發明的一個方式的位準移位電路；

圖 4 是根據本發明的一個方式的位準移位電路；

圖 5 是根據本發明的一個方式的位準移位電路；

圖 6A 至圖 6E 是示出半導體裝置的製程的一個例子的圖；

圖 7A 至圖 7D 是示出半導體裝置的製程的一個例子的圖；

圖 8A 至圖 8C 是示出半導體裝置的製程的一個例子的圖；

圖 9A 和圖 9B 是示出半導體裝置的製程的一個例子的圖；

圖 10A 和圖 10B 是說明半導體裝置的一個方式的電路圖及透視圖；

圖 11A 和圖 11B 是說明半導體裝置的一個方式的剖面圖及平面圖；

圖 12 是說明半導體裝置的一個方式的塊圖；

圖 13 是說明半導體裝置的一個方式的塊圖；

圖 14A 至圖 14F 是說明電子裝置的圖。

【主要元件符號說明】

101：電晶體

102：反相器電路

- 103 : 電晶體
- 104 : 電晶體
- 105 : 電晶體
- 106 : 反相器電路
- 107 : 電晶體
- 108 : 電晶體
- 109 : 電晶體
- 191 : 電晶體
- 192 : 電容元件
- 195 : 記憶單元
- 196 : 驅動電路
- 197 : 驅動電路
- 201a : 記憶單元陣列
- 201b : 記憶單元陣列
- 210 : 記憶單元陣列
- 220 : 週邊電路
- 300 : 基板
- 302 : 絕緣膜
- 304 : 半導體膜
- 304a : 半導體膜
- 304b : 半導體膜
- 306a : 閘極絕緣膜
- 306b : 閘極絕緣膜
- 308 : 雜質區

- 310 : 雜質區
- 312a : 閘極電極
- 312b : 閘極電極
- 314a : 雜質區
- 314b : 雜質區
- 316a : 雜質區
- 316b : 雜質區
- 318a : 側壁絕緣膜
- 318d : 側壁絕緣膜
- 320a : 雜質區
- 320b : 雜質區
- 322a : 雜質區
- 322b : 雜質區
- 324 : 絕緣膜
- 330 : 電晶體
- 340 : 電晶體
- 398 : 閘極電極
- 399 : 絕緣膜
- 401 : 絕緣膜
- 402 : 氧化物半導體膜
- 403 : 氧化物半導體膜
- 404 : 絕緣膜
- 405 : 閘極電極
- 406 : 絕緣膜

- 407a : 區域
- 407b : 區域
- 408 : 通道形成區
- 409a : 側壁絕緣膜
- 409b : 側壁絕緣膜
- 410 : 電晶體
- 411 : 閘極絕緣膜
- 415 : 絕緣膜
- 416a : 源極電極
- 416b : 汲極電極
- 417 : 絕緣膜
- 418 : 絕緣膜
- 419a : 佈線
- 419b : 佈線
- 421 : 絕緣膜
- 422 : 電極
- 901 : RF電路
- 902 : 類比基帶電路
- 903 : 數字基帶電路
- 904 : 電池
- 905 : 電源電路
- 906 : 微處理器
- 907 : CPU
- 908 : DSP

- 909 : IF
- 910 : 閃速記憶體
- 911 : 顯示器控制器
- 912 : 儲存電路
- 913 : 顯示器
- 914 : 顯示部
- 915 : 源極驅動器
- 916 : 閘極驅動器
- 917 : 音頻電路
- 918 : 鍵盤
- 919 : 觸控感應器
- 1001 : 電池
- 1002 : 電源電路
- 1003 : 微處理器
- 1004 : 閃速記憶體
- 1005 : 聲頻電路
- 1006 : 鍵盤
- 1007 : 儲存電路
- 1008 : 觸摸屏
- 1009 : 顯示器
- 1010 : 顯示器控制器
- 2700 : 電子書閱讀器
- 2701 : 殼體
- 2703 : 殼體

- 2705 : 顯示部
- 2707 : 顯示部
- 2711 : 軸部
- 2721 : 電源開關
- 2723 : 操作鍵
- 2725 : 揚聲器
- 2800 : 殼體
- 2801 : 按鈕
- 2802 : 麥克風
- 2803 : 顯示部
- 2804 : 揚聲器
- 2805 : 影像拍攝用鏡頭
- 2806 : 外部連接端子
- 3001 : 主體
- 3002 : 殼體
- 3003 : 顯示部
- 3004 : 鍵盤
- 3021 : 主體
- 3022 : 觸控筆
- 3023 : 顯示部
- 3024 : 操作按鈕
- 3025 : 外部介面
- 3051 : 主體
- 3053 : 取景器

修正
年 月 日
104. 12. 03

3054 : 操作開關

3056 : 電池

9600 : 電視機

9601 : 殼體

9603 : 顯示部

9605 : 支架

七、申請專利範圍：

1. 一種位準移位電路，包括：

第一電晶體，包括：

第一閘極電極；

第二閘極電極；

源極電極；以及

設置在該第一閘極電極與該第二閘極電極之間的通道形成區；以及

與該第一電晶體電連接的反相器電路，該反相器電路包括輸入端子及輸出端子，

其中，該第一閘極電極及該源極電極配置為被供應第一電源電位，

該第二閘極電極配置為被供應第二電源電位，

該反相器電路配置為被供應第三電源電位作為電源電位，

該輸入端子配置為被供應輸入信號，

該第三電源電位或該第一電源電位減該第一電晶體的臨界電壓的變化量而獲得的電位被供應到該反相器電路作為電源電壓，

輸出信號從該反相器電路被輸出，並且

該第一電晶體的該通道形成區形成在氧化物半導體膜中。

2. 根據申請專利範圍第 1 項之位準移位電路，

其中，該反相器電路包括 p 通道第二電晶體及 n 通道第

三電晶體。

3. 根據申請專利範圍第 2 項之位準移位電路，

其中，層間絕緣膜設置在該第二電晶體及該第三電晶體上，

該第一電晶體設置在該層間絕緣膜上，並且

該第二電晶體及該第三電晶體的通道形成區的每一個包含矽。

4. 一種半導體積體電路，包括：

根據申請專利範圍第 1 項之位準移位電路；以及

包括多個記憶單元的記憶單元陣列，該記憶單元的每一個包括第四電晶體及電容器，

其中，該第四電晶體的通道形成區形成在氧化物半導體膜中。

5. 一種位準移位電路，包括：

第一電晶體，包括：

第一閘極電極；

第二閘極電極；

源極電極；以及

設置在該第一閘極電極與該第二閘極電極之間的通道形成區；

與該第一電晶體電連接的第一反相器電路，該第一反相器電路包括輸入端子；

與該第一反相器電路電連接的第一輸出端子；以及

與該第一反相器電路及該第一輸出端子電連接的第二

反相器電路，該第二反相器電路包括第二輸出端子，

其中，該第一閘極電極及該源極電極配置為被供應第一電源電位，

該第二閘極電極配置為被供應第二電源電位，

該第一反相器電路及該第二反相器電路配置為被供應第三電源電位作為電源電位，

該輸入端子配置為被供應輸入信號，

該第三電源電位或該第一電源電位減該第一電晶體的臨界電壓的變化量而獲得的電位被供應到該第一反相器電路作為電源電壓，

第一輸出信號從該第一反相器電路被輸出，

該第一輸出信號輸入到該第二反相器電路，

該第三電源電位或該第一電源電位減該第一電晶體的該臨界電壓的變化量而獲得的該電位被供應到該第二反相器電路作為電源電壓，

第二輸出信號從該第二反相器電路被輸出，並且

該第一電晶體的該通道形成區形成在氧化物半導體膜中。

6. 根據申請專利範圍第 5 項之位準移位電路，

其中，該第一反相器電路包括 p 通道第二電晶體及 n 通道第三電晶體，並且

該第二反相器電路包括 p 通道第四電晶體及 n 通道第五電晶體。

7. 根據申請專利範圍第 6 項之位準移位電路，

其中，層間絕緣膜設置在該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體上，

該第一電晶體設置在該層間絕緣膜上，並且

該第二電晶體、該第三電晶體、該第四電晶體及該第五電晶體的通道形成區的每一個包含矽。

8.一種半導體積體電路，包括：

根據申請專利範圍第 5 項之位準移位電路；以及

包括多個記憶單元的記憶單元陣列，該記憶單元的每一個包括第六電晶體及電容器，

其中，該第六電晶體的通道形成區形成在氧化物半導體膜中。

9.一種位準移位電路，包括：

第一電晶體，包括：

第一閘極電極；

第二閘極電極；

源極電極；以及

設置在該第一閘極電極與該第二閘極電極之間的通道形成區；

第二電晶體，包括：

第一閘極電極；

第二閘極電極；

源極電極；以及

設置在該第一閘極電極與該第二閘極電極之間的通道形成區；

與該第一電晶體及該第二電晶體電連接的第一反相器電路，該第一反相器電路包括輸入端子；

與該第一反相器電路電連接的第一輸出端子；以及

與該第一反相器電路及該第一輸出端子電連接的第二反相器電路，該第二反相器電路包括第二輸出端子，

其中，該第一電晶體的該第一閘極電極及該第一電晶體的該源極電極配置為被供應第一電源電位，

該第一電晶體的該第二閘極電極配置為被供應第二電源電位，

該第二電晶體的該源極電極配置為被供應第三電源電位，

該第二電晶體的該第二閘極電極配置為被供應第四電源電位，

該輸入端子配置為被供應輸入信號，

該第一電源電位減該第一電晶體的臨界電壓的變化量而獲得的電位或該第三電源電位加該第二電晶體的臨界電壓的變化量而獲得的電位被供應到該第一反相器電路作為電源電壓，

第一輸出信號從該第一反相器電路被輸出，

該第一輸出信號輸入到該第二反相器電路，並且該第一電源電位減該第一電晶體的該臨界電壓的變化量而獲得的該電位或該第三電源電位加該第二電晶體的該臨界電壓的變化量而獲得的該電位被供應到該第二反相器電路作為電源電壓，

第二輸出信號從該第二反相器電路被輸出，並且
該第一電晶體及該第二電晶體的該通道形成區的每一個形成在氧化物半導體膜中。

10. 根據申請專利範圍第 9 項之位準移位電路，

其中，該第一反相器電路包括 p 通道第三電晶體及 n 通道第四電晶體，並且

該第二反相器電路包括 p 通道第五電晶體及 n 通道第六電晶體。

11. 根據申請專利範圍第 10 項之位準移位電路，

其中，層間絕緣膜設置在該第三電晶體、該第四電晶體、該第五電晶體及該第六電晶體上，

該第一電晶體及該第二電晶體設置在該層間絕緣膜上，並且

該第三電晶體、該第四電晶體、該第五電晶體及該第六電晶體的通道形成區的每一個包含矽。

12. 一種半導體積體電路，包括：

根據申請專利範圍第 9 項之位準移位電路；以及

包括多個記憶單元的記憶單元陣列，該記憶單元的每一個包括第七電晶體及電容器，

其中，該第七電晶體的通道形成區形成在氧化物半導體膜中。

13. 一種位準移位電路，包括：

第一電晶體，包括：

第一閘極電極；

第二閘極電極；

源極電極；以及

設置在該第一閘極電極與該第二閘極電極之間的
通道形成區；

第二電晶體，包括：

第一閘極電極；

第二閘極電極；

源極電極；以及

設置在該第一閘極電極與該第二閘極電極之間的
通道形成區；

與該第一電晶體電連接的第一反相器電路，該第一反
相器電路包括第一輸入端子及第一輸出端子；以及

與該第二電晶體電連接的第二反相器電路，該第二反
相器電路包括第二輸入端子及第二輸出端子，

其中，該第一電晶體的該第一閘極電極及該第一電晶
體的該源極電極配置為被供應第一電源電位，

該第一電晶體的該第二閘極電極配置為被供應第二電
源電位，

該第一反相器電路及該第二反相器電路配置為被供應
第三電源電位作為電源電位，

該第二電晶體的該第二閘極電極配置為被供應第四電
源電位，

該第二電晶體的該源極電極及該第二電晶體的該第一
閘極電極配置為被供應該第三電源電位或該第一電源電位

減該第一電晶體的臨界電壓的變化量而獲得的電位，

該第一輸入端子及該第二輸入端子配置為被供應輸入信號，

該第三電源電位或該第一電源電位減該第一電晶體的該臨界電壓的變化量而獲得的該電位被供應到該第一反相器電路作為電源電壓，

第一輸出信號從該第一反相器電路被輸出，

該第三電源電位或該第一電源電位減該第一電晶體的該臨界電壓的變化量及該第二電晶體的臨界電壓的變化量而獲得的電位被供應到該第二反相器電路作為電源電壓，

第二輸出信號從該第二反相器電路被輸出，並且

該第一電晶體及該第二電晶體的該通道形成區的每一個形成在氧化物半導體膜中。

14. 根據申請專利範圍第 13 項之位準移位電路，

其中，該第一反相器電路包括 p 通道第三電晶體及 n 通道第四電晶體，並且

該第二反相器電路包括 p 通道第五電晶體及 n 通道第六電晶體。

15. 根據申請專利範圍第 14 項之位準移位電路，

其中，層間絕緣膜設置在該第三電晶體、該第四電晶體、該第五電晶體及該第六電晶體上，

該第一電晶體及該第二電晶體設置在該層間絕緣膜上，並且

該第三電晶體、該第四電晶體、該第五電晶體及該第

六電晶體的通道形成區的每一個包含矽。

16. 一種半導體積體電路，包括：

根據申請專利範圍第 13 項之位準移位電路；以及
包括多個記憶單元的記憶單元陣列，該記憶單元的每一個包括第七電晶體及電容器，

其中，該第七電晶體的通道形成區形成在氧化物半導體膜中。

17. 一種位準移位電路，包括：

第一電晶體，包括：

第一閘極電極；

第二閘極電極；

源極電極；

汲極電極；以及

設置在該第一閘極電極與該第二閘極電極之間的通道形成區；以及

反相器電路，該反相器電路包括電連接於該第一電晶體的該汲極電極的第一端子、配置為被供應第三電源電位的第二端子、輸入端子及輸出端子，

其中，該第一閘極電極及該源極電極配置為被供應第一電源電位，

該第二閘極電極配置為被供應第二電源電位，

該輸入端子配置為被供應第一輸入信號，

第一輸出信號從該反相器電路被輸出，並且

該第一電晶體的該通道形成區形成在氧化物半導體膜

中。

18. 根據申請專利範圍第 17 項之位準移位電路，

其中，該反相器電路包括 p 通道第二電晶體及 n 通道第三電晶體。

19. 根據申請專利範圍第 18 項之位準移位電路，

其中，層間絕緣膜設置在該第二電晶體及該第三電晶體上，

該第一電晶體設置在該層間絕緣膜上，並且

該第二電晶體及該第三電晶體的通道形成區的每一個包含矽。

20. 一種半導體積體電路，包括：

根據申請專利範圍第 17 項之位準移位電路；以及

包括多個記憶單元的記憶單元陣列，該記憶單元的每一個包括第四電晶體及電容器，

其中，該第四電晶體的通道形成區形成在氧化物半導體膜中。

圖 1A

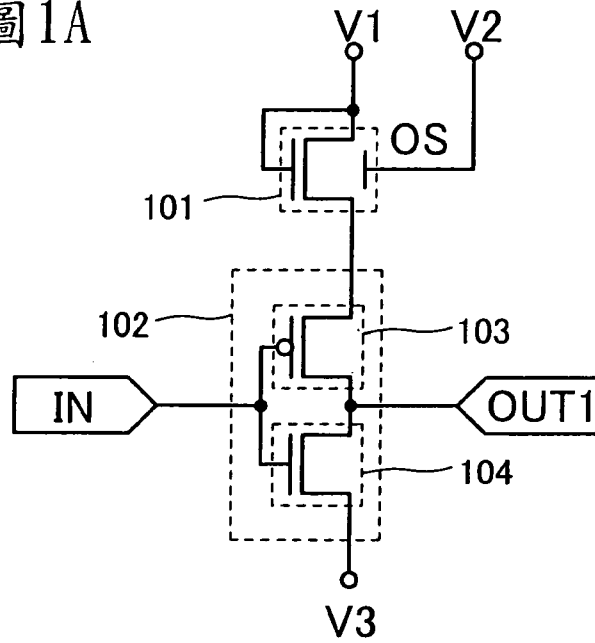


圖 1B

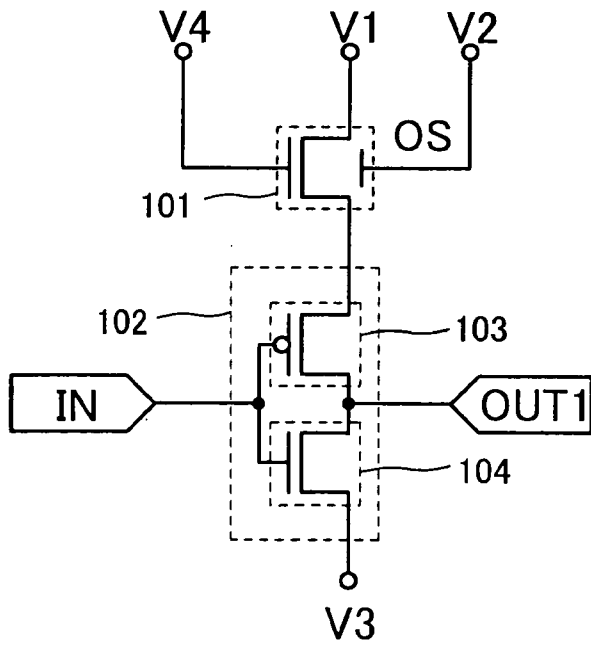


圖 1C

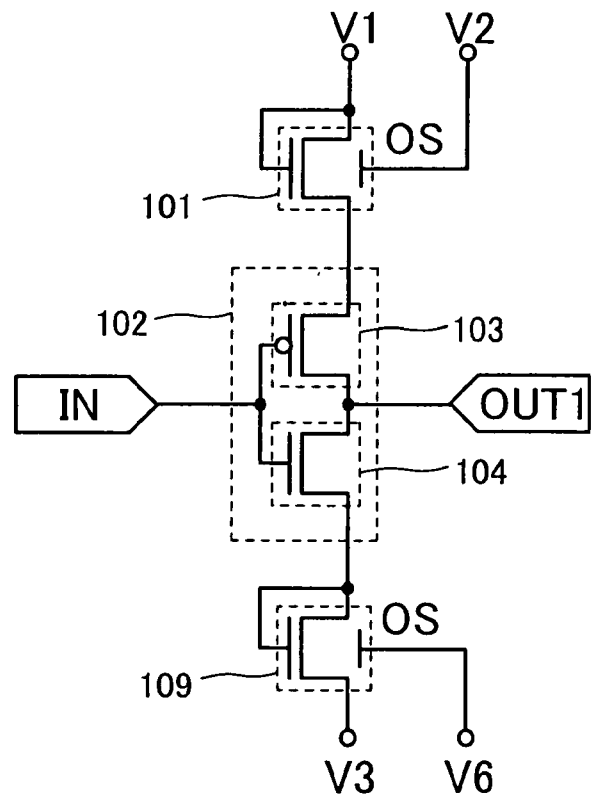


圖 2

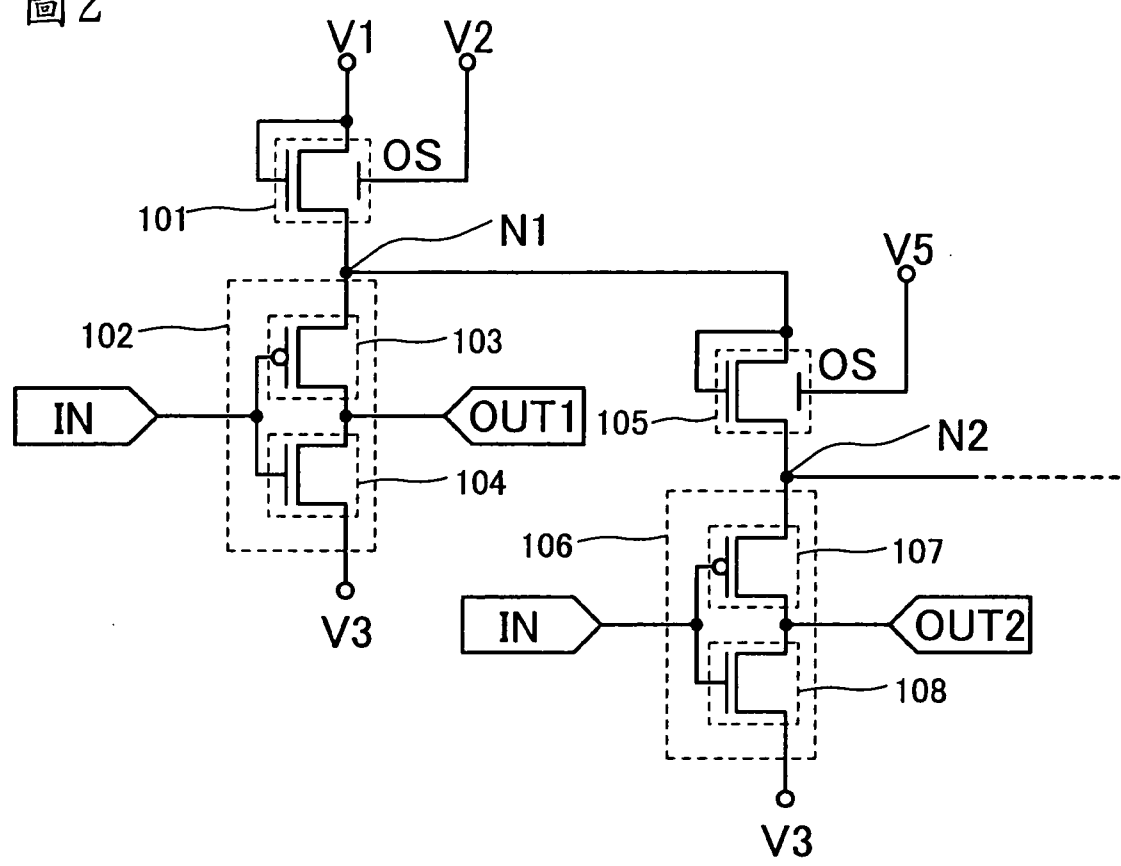


圖 3

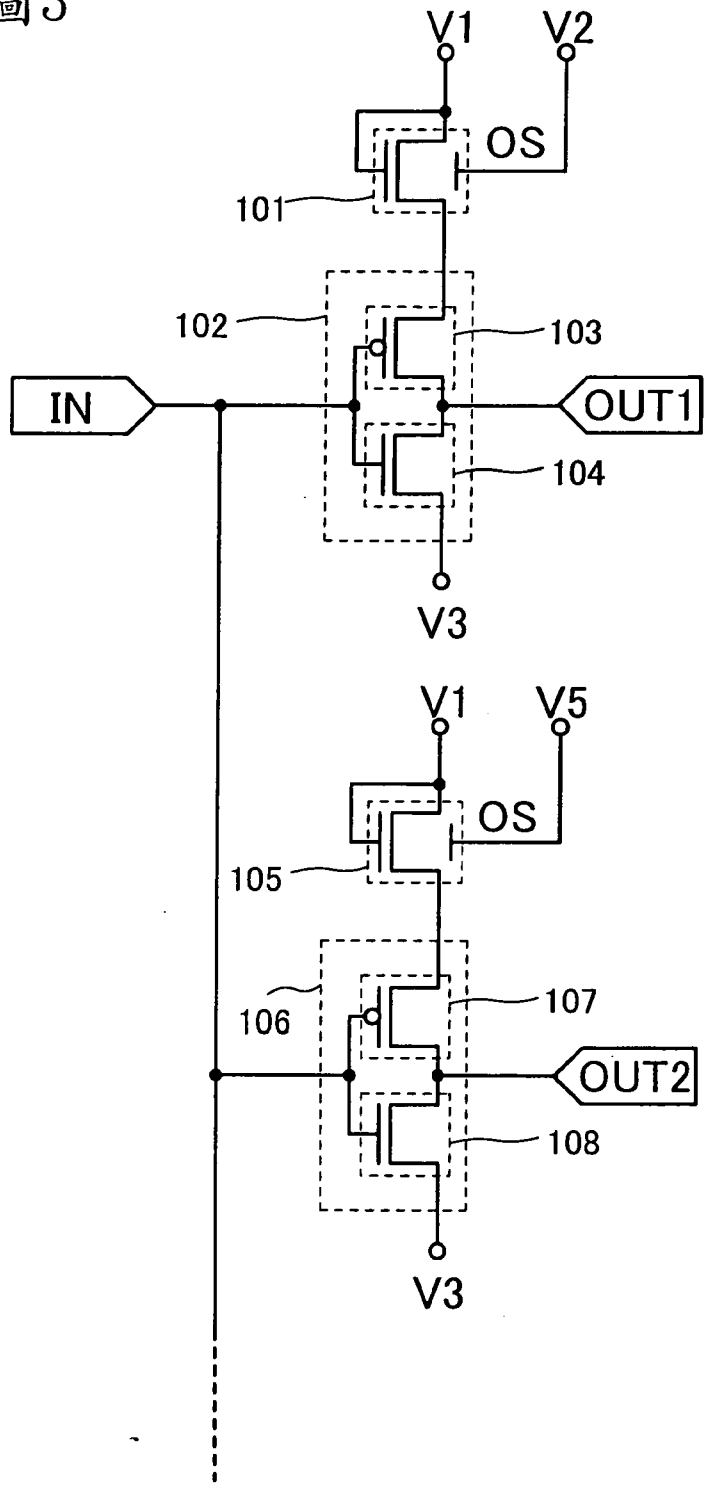


圖 4

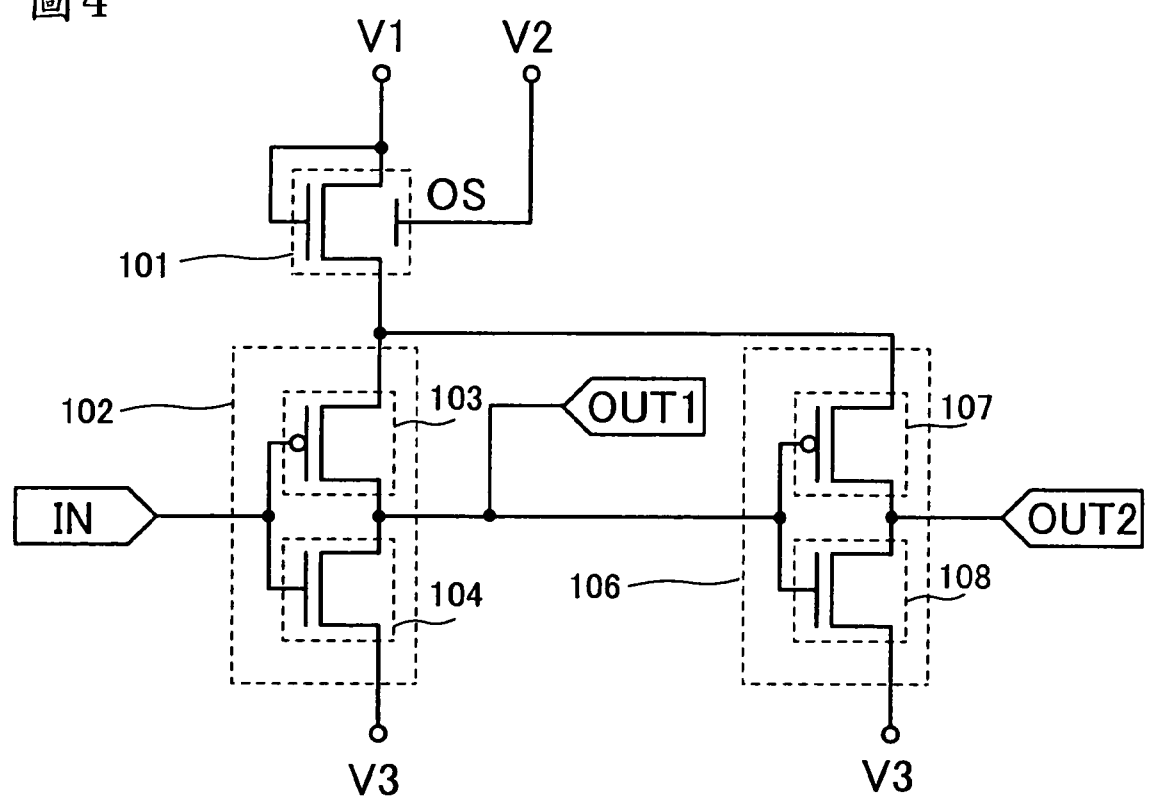


圖 5

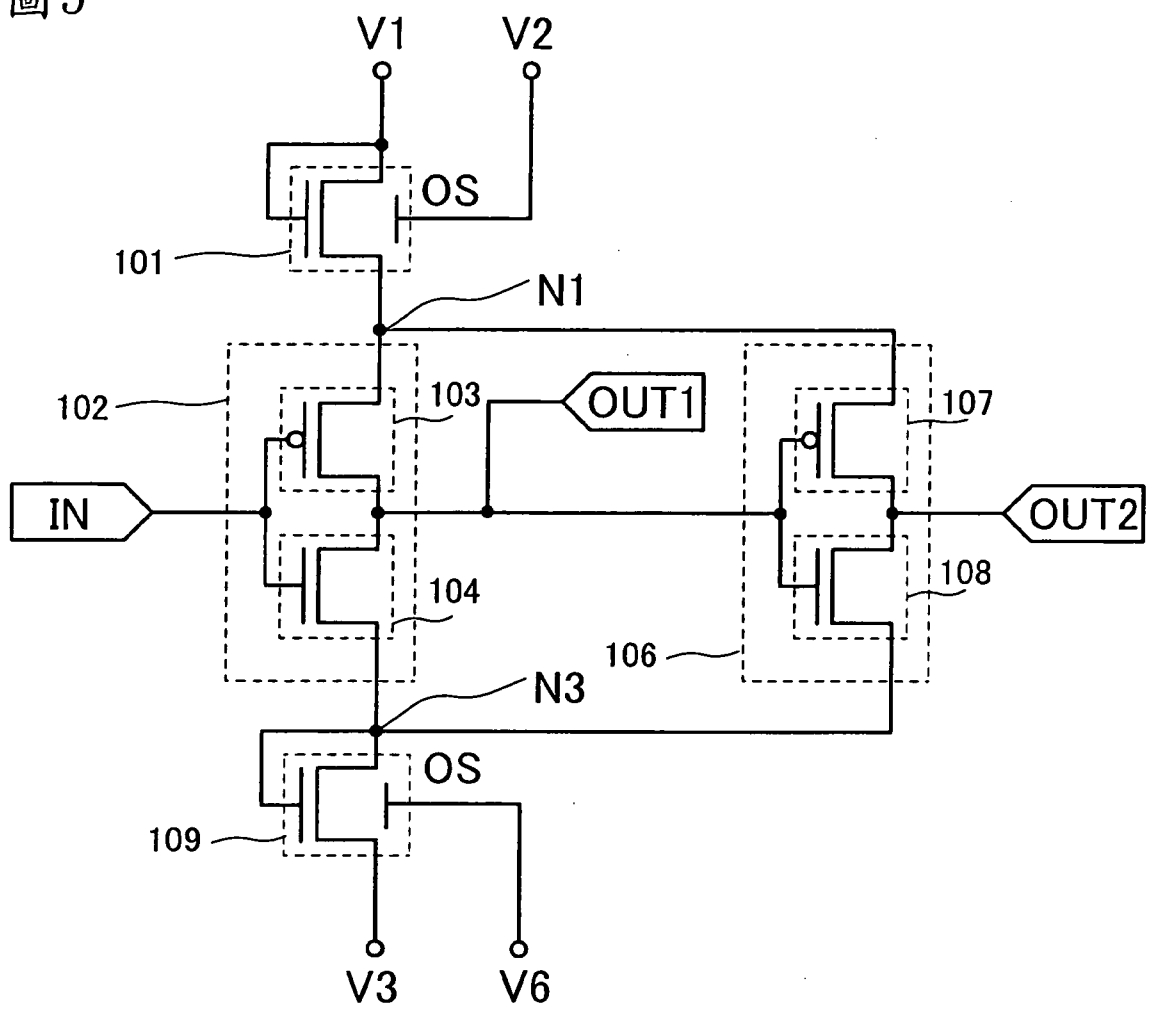


圖 6A

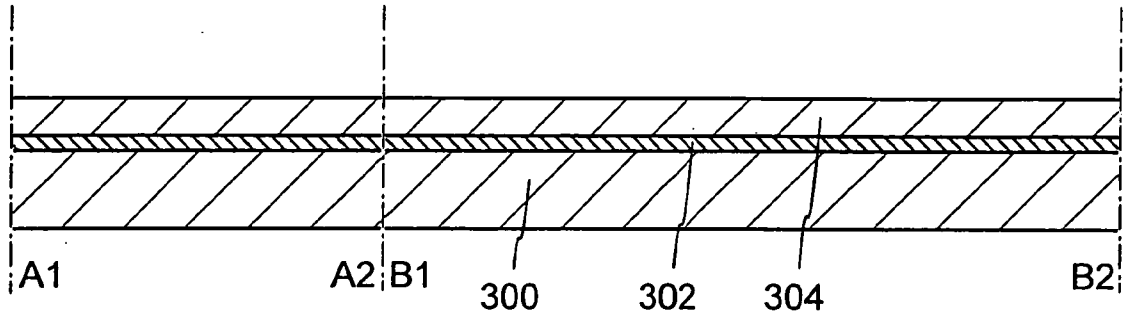


圖 6B

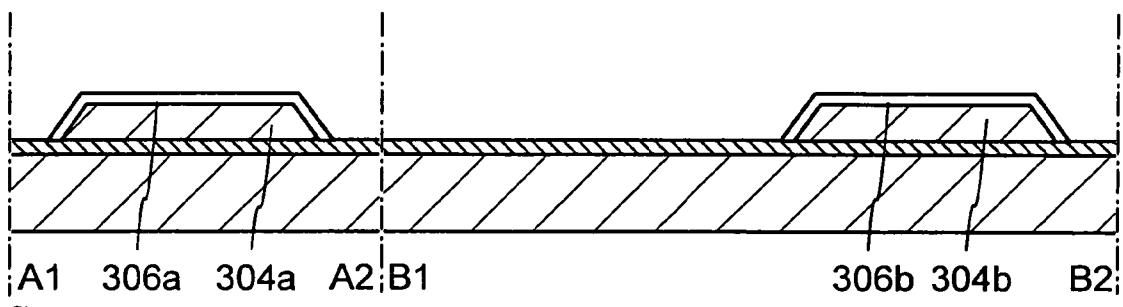


圖 6C

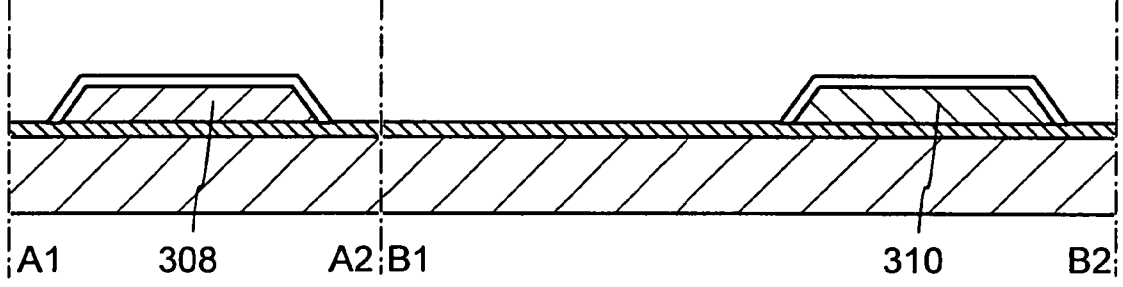


圖 6D

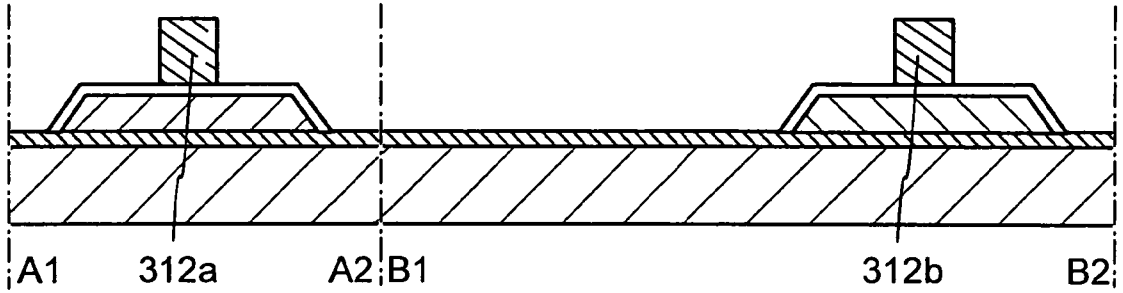


圖 6E

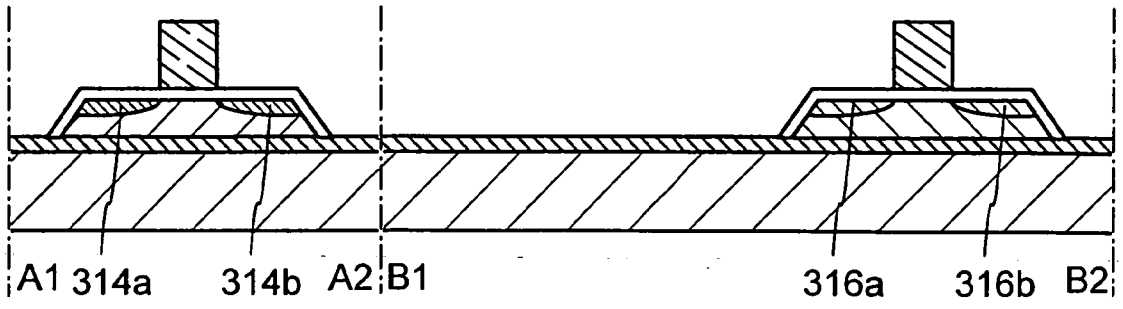


圖 7A

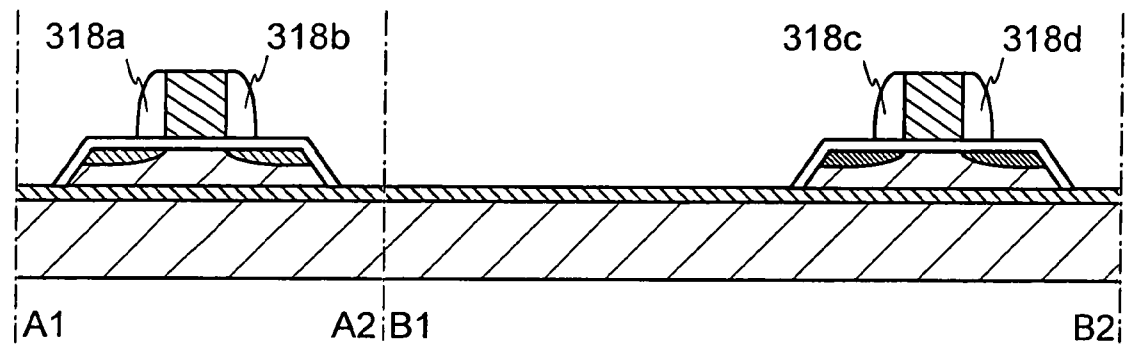


圖 7B

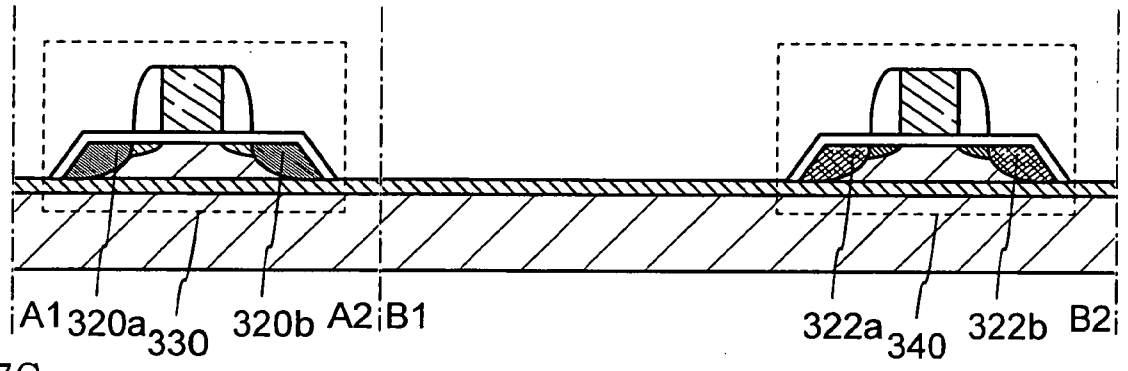


圖 7C

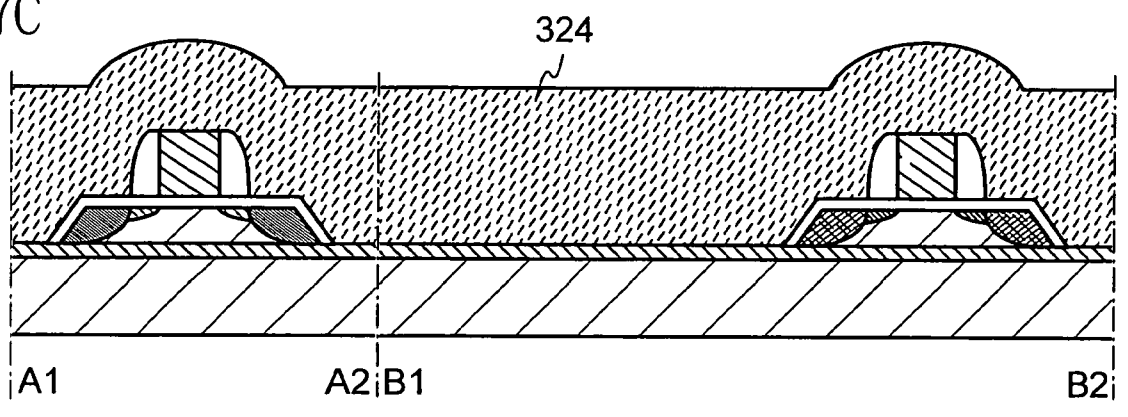


圖 7D

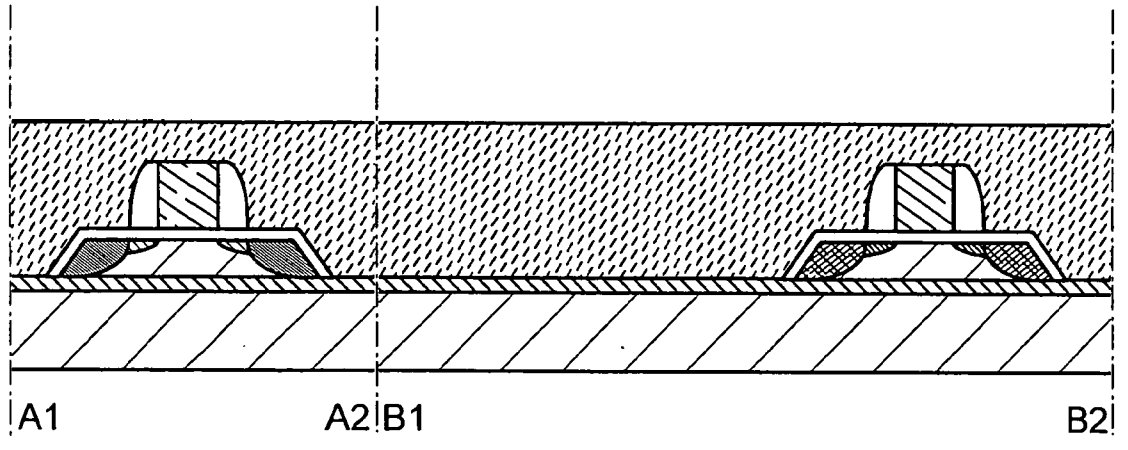


圖 8A

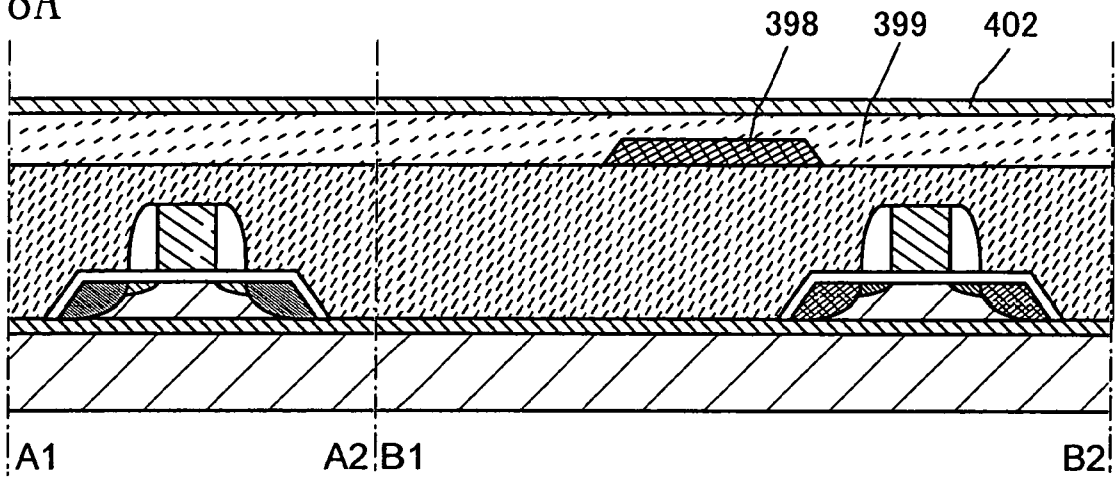


圖 8B

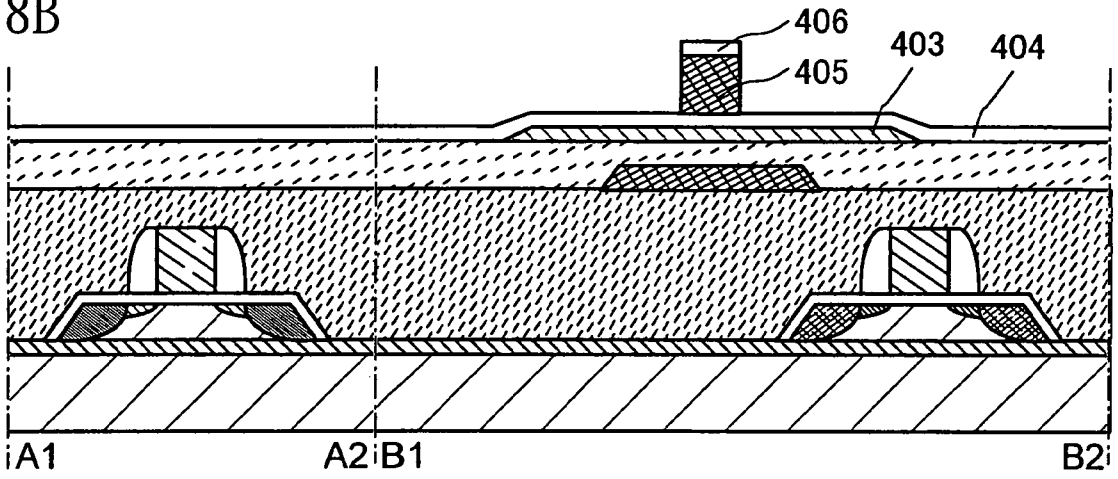


圖 8C

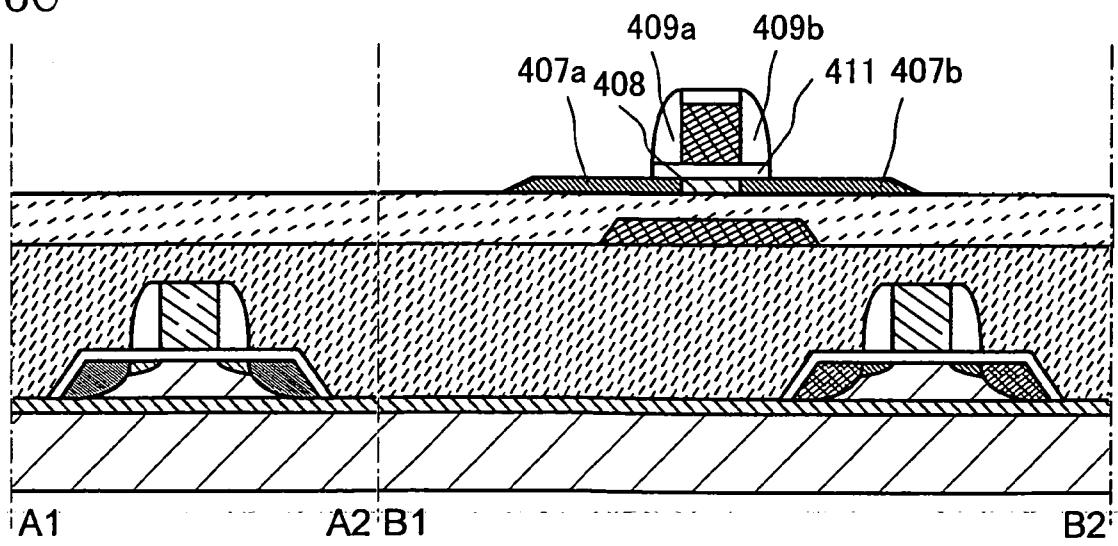


圖 9A

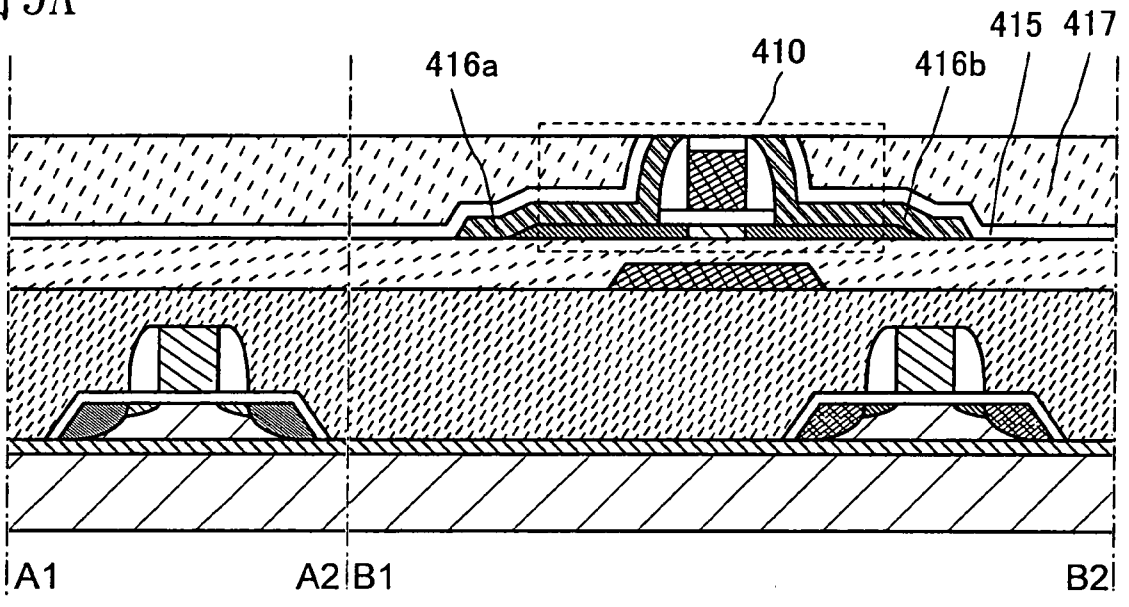


圖 9B

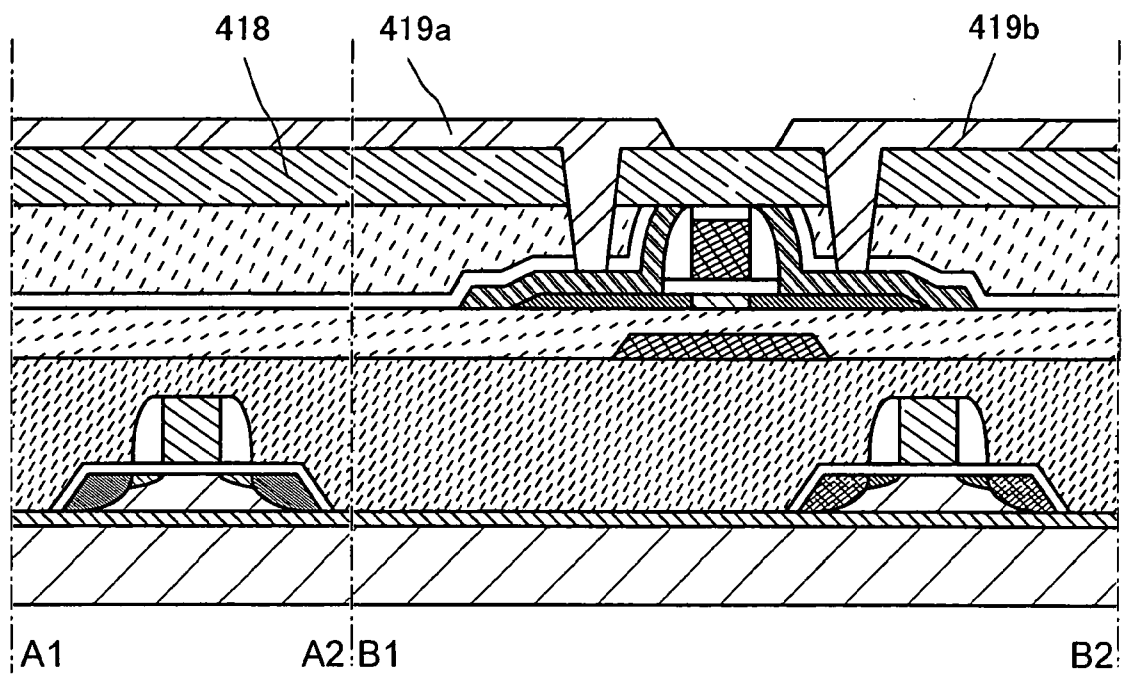


圖 10A

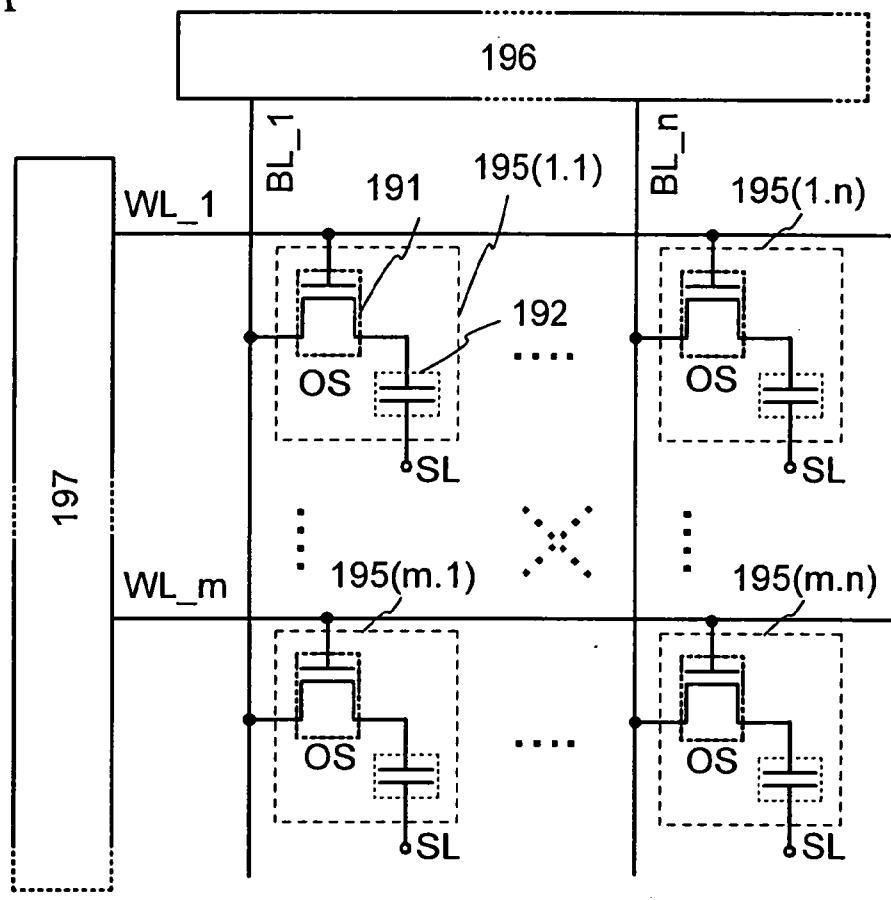


圖 10B

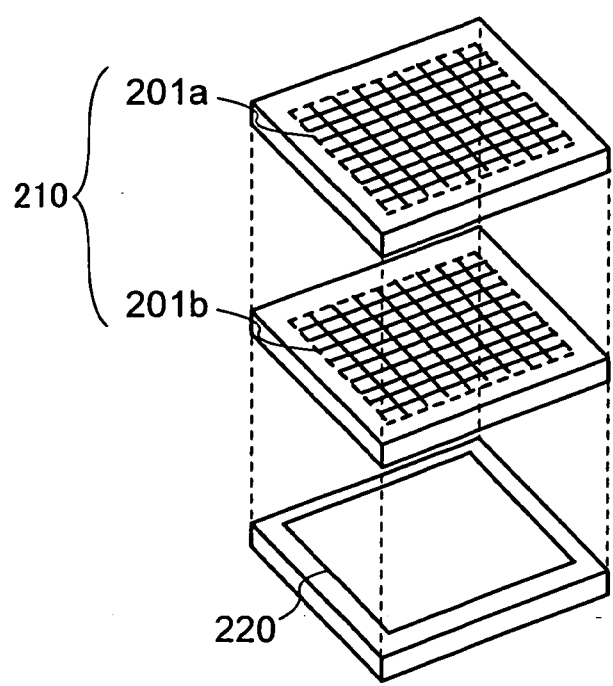


圖11A

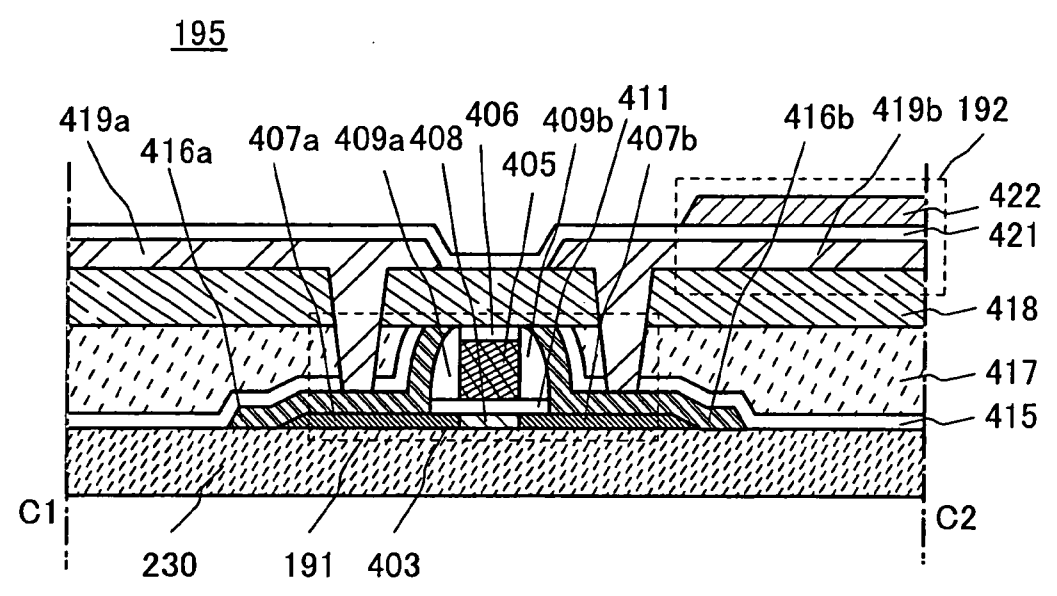


圖11B

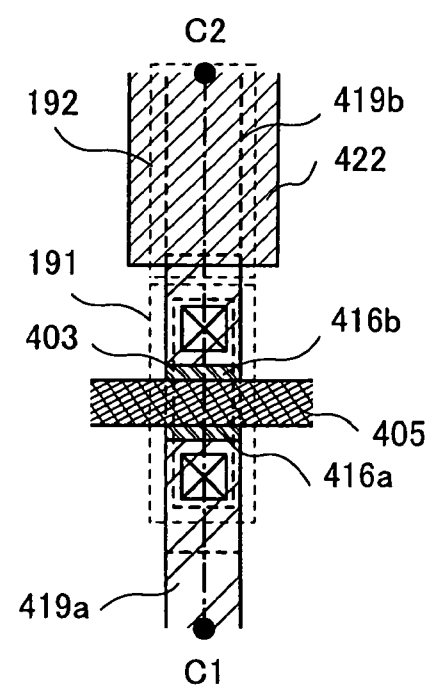


圖 12

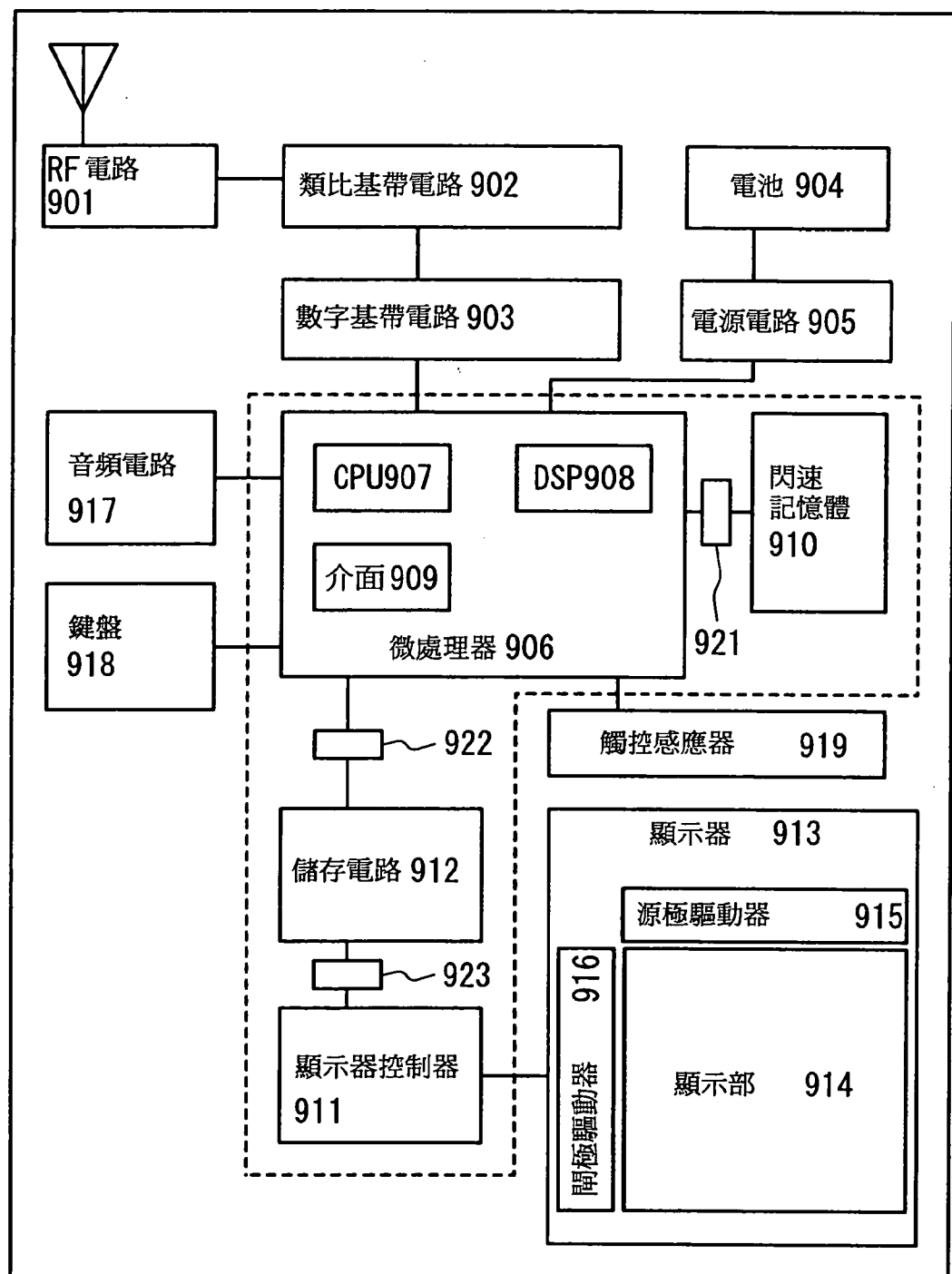


圖13

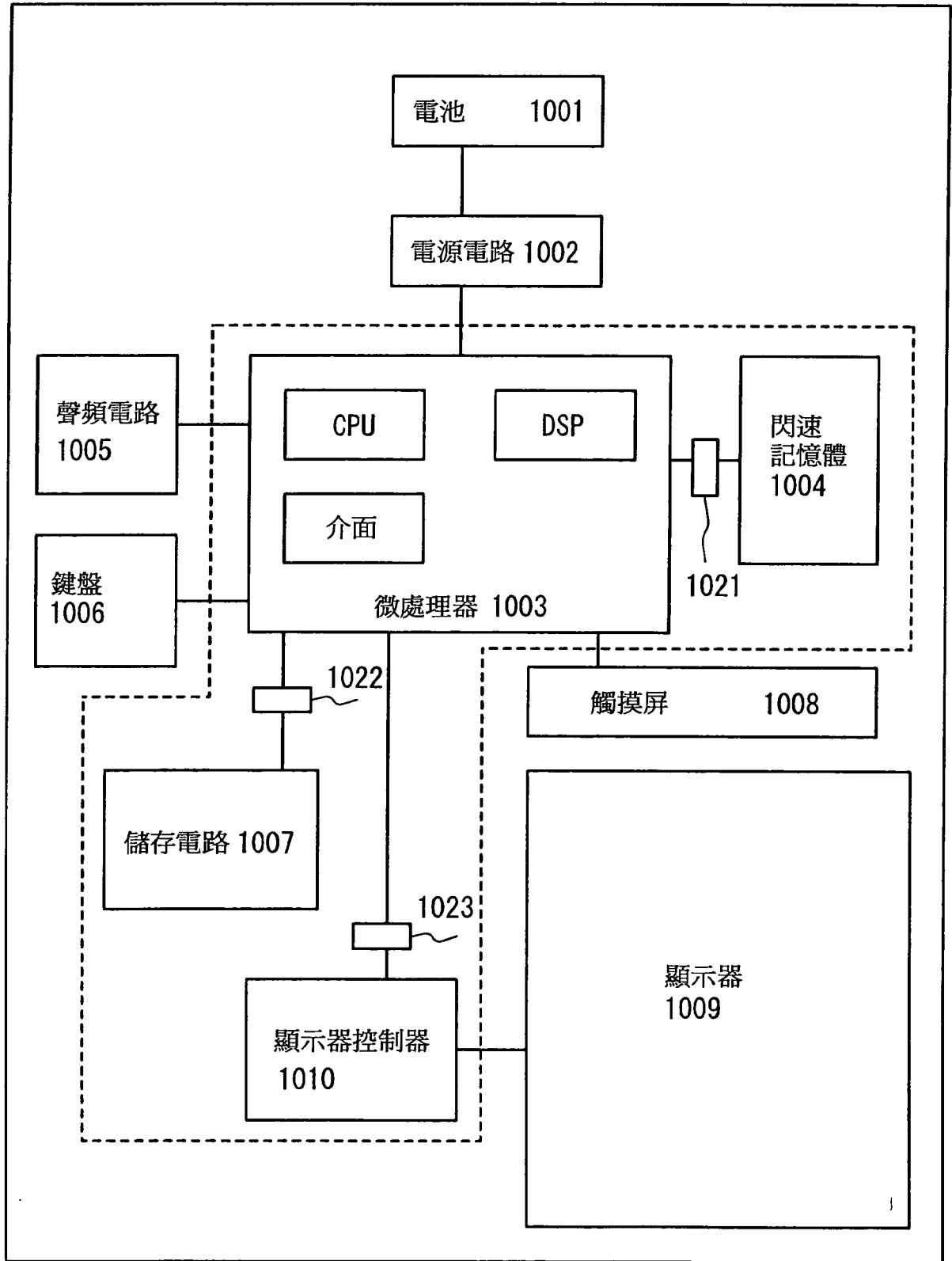


圖 14A

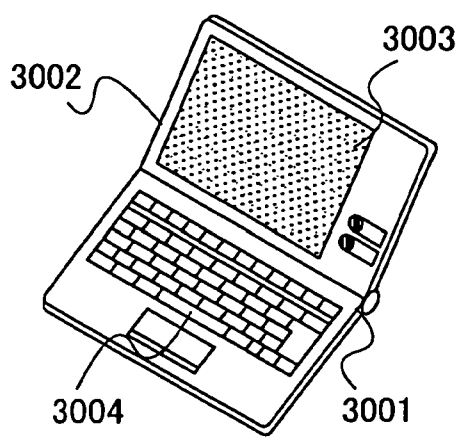


圖 14B

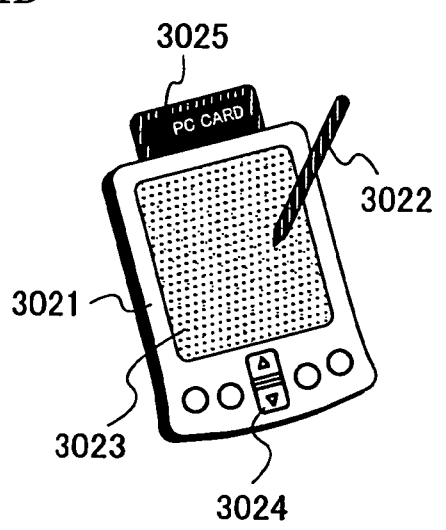


圖 14C

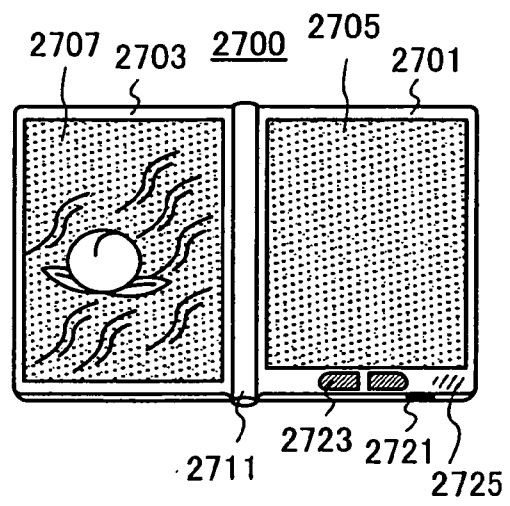


圖 14D

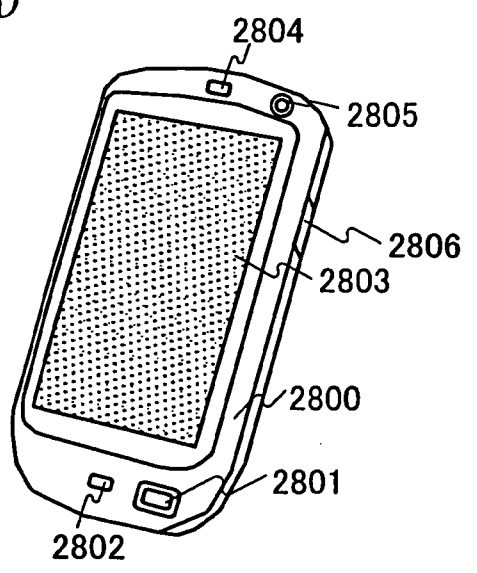


圖 14E

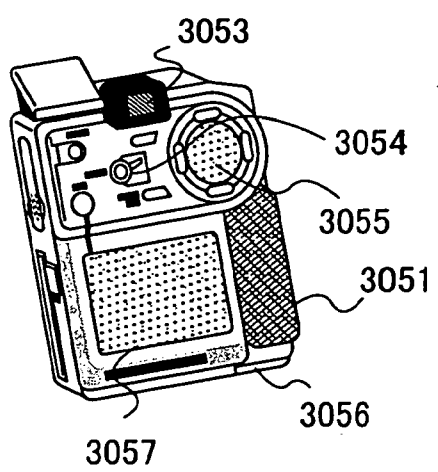


圖 14F

