

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6308994号
(P6308994)

(45) 発行日 平成30年4月11日(2018.4.11)

(24) 登録日 平成30年3月23日(2018.3.23)

(51) Int.Cl.		F I			
HO 1 L 33/00	(2010.01)	HO 1 L	33/00		J
HO 5 B 37/02	(2006.01)	HO 5 B	37/02		J

請求項の数 6 (全 36 頁)

(21) 出願番号	特願2015-500341 (P2015-500341)	(73) 特許権者	000001960
(86) (22) 出願日	平成26年2月18日 (2014.2.18)		シチズン時計株式会社
(86) 国際出願番号	PCT/JP2014/053787		東京都西東京市田無町六丁目1番12号
(87) 国際公開番号	W02014/126258	(73) 特許権者	000131430
(87) 国際公開日	平成26年8月21日 (2014.8.21)		シチズン電子株式会社
審査請求日	平成28年12月14日 (2016.12.14)		山梨県富士吉田市上暮地1丁目23番1号
(31) 優先権主張番号	特願2013-28854 (P2013-28854)	(74) 代理人	100099759
(32) 優先日	平成25年2月18日 (2013.2.18)		弁理士 青木 篤
(33) 優先権主張国	日本国(JP)	(74) 代理人	100092624
(31) 優先権主張番号	特願2013-41683 (P2013-41683)		弁理士 鶴田 準一
(32) 優先日	平成25年3月4日 (2013.3.4)	(74) 代理人	100114018
(33) 優先権主張国	日本国(JP)		弁理士 南山 知広
(31) 優先権主張番号	特願2013-46329 (P2013-46329)	(74) 代理人	100165191
(32) 優先日	平成25年3月8日 (2013.3.8)		弁理士 河合 章
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 LED駆動回路

(57) 【特許請求の範囲】

【請求項1】

商用交流電源の電圧に応じて、点灯するLEDの個数が変化するLED駆動回路において、

複数の前記LEDが直列接続した第1のLED列と、

複数の前記LEDが直列接続した第2のLED列と、

前記LED列に流れる電流を検出するための電流検出抵抗と、

前記第1のLED列と前記第2のLED列との中間接続部に接続されたバイパス回路と

、
前記LED列の端部に接続された電流制限回路と、を有し、

前記バイパス回路が第1ディプレッション型FETを含み、

前記電流制限回路が第2ディプレッション型FETを含み、

前記電流検出抵抗の両端の電圧又は前記電流検出抵抗の両端の電圧を分圧して得た第1電圧に基づいて第1ディプレッション型FETが制御され、前記電流検出抵抗の両端の電圧を分圧して得た前記第1電圧と異なる第2電圧により第2ディプレッション型FETが制御される事によって、前記バイパス回路をカットオフしながら、前記第1のLED列のみが点灯する状態から前記第1及び第2のLED列が点灯する状態に移行し、

第2ディプレッション型FETのソースと第1ディプレッション型FETのソースが前記電流検出抵抗を介さずに接続されている、

ことを特徴とするLED駆動回路。

【請求項 2】

前記電流検出抵抗と並列に前記電流検出抵抗より高い抵抗値を有する高抵抗を接続し、
前記高抵抗から前記第 1 電圧又は前記第 2 電圧を得る、請求項 1 に記載の LED 駆動回路

【請求項 3】

前記 LED 列の他の中間接続部に接続された第 2 バイパス回路を更に有し、
前記第 2 バイパス回路が第 3 ディプレッション型 FET を含み、
前記電流検出抵抗の両端の電圧を分圧して得た前記第 1 及び第 2 電圧と異なる第 3 電圧
により前記第 3 ディプレッション型 FET が制御される、請求項 2 に記載の LED 駆動回路。

10

【請求項 4】

前記電流検出抵抗の抵抗値を変動させる制御回路を更に有し、
前記制御回路を用いて調光を行う、請求項 1 に記載の LED 駆動回路。

【請求項 5】

複数のスイッチング素子と抵抗とが直列接続した直列回路を更に有し、
前記直列回路が互いに並列接続され、
前記制御回路が前記スイッチング素子を制御して前記電流検出抵抗の抵抗値を変動させ
る、請求項 4 に記載の LED 駆動回路。

【請求項 6】

前記電流検出抵抗は、制御端子に印加する電圧で抵抗値を変動できる素子である、請求
項 4 に記載の LED 駆動回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、商用交流電源の電圧に応じて、点灯する LED の個数が変化する LED 駆動
回路に関する。

【背景技術】

【0002】

商用交流電源を全波整流して得られた全波整流波形を複数の LED が直列接続した LED
列に印加し、LED を点灯させる LED 駆動回路が知られている。単純に全波整流波形
を LED 列に印加すると、全波整流波形の電圧が LED 列の閾値電圧より低い位相では LED
が点灯せず、暗くフリッカの目立つものになってしまう。この対策として全波整流波
形の電圧に応じて LED 列に含まれる LED の点灯個数を変化させる駆動方式が提案され
ている。

30

【0003】

例えば、特許文献 1 には、商用交流電源とブリッジ整流器と 3 つの LED 群からなる LED
列と、FET Q1 と、パイポラトランジスタ Q2 及び抵抗 R2、R3 からなるバイ
パス回路と、電流制限抵抗 R1 とを備えた LED 駆動回路が示されている。

【0004】

また、壁スイッチ等により電源のオン/オフを検出し、このオン/オフの回数によりマ
ルチレベルで調光する照明装置が知られている。

40

【0005】

例えば特許文献 2 には、いったん電源がオフし、所定時間以内に再び電源がオンになっ
たとき、明るさが変化する照明装置が示されている。この照明装置は、ランプ負荷 (L)
と、インバータ回路 (1) と、インバータ制御回路 (4) と、電源遮断検出回路 (2) と
、時間判定回路 (3) とからなり、時間判定回路 (3) が調光について全体的に制御する
。

【0006】

特許文献 2 に示された照明装置において、インバータ回路 (1) はランプ負荷 (L) を
点灯させる。インバータ制御回路 (4) は、インバータ回路 (1) の動作を制御してラン

50

ランプ負荷(L)の点灯状態を変える。電源遮断検出回路(2)は、スイッチ(SW1)の操作による電源のオフを検出する。時間判定回路(3)は、電源遮断検出回路(2)の電源遮断時間検出信号により電源がオフしている時間を判定し、この時間が予め設定した所定時間以内である場合に、インバータ制御回路(4)を制御しランプ負荷(L)の点灯状態を選択する。以上のようにして、この照明装置は、スイッチのオン/オフをもとに調光を行う。

【0007】

また、最近ではLEDを光源とするLEDランプが普及し始め、LEDランプにも調光機能が求められるようになった。

【0008】

例えば、特許文献3には、壁スイッチのオン/オフにより調光するLEDランプが示されている。このLEDランプは、ブリッジ整流器(102)と、トグル検出器(74)と、維持電圧供給回路(71)と、カウンタ(96)と、LED照明ドライバ(80)とを備える。

【0009】

ブリッジ整流器(102)は、壁スイッチ(98)を介して印加されるAC電圧を整流しDC電圧を提供する。トグル検出器(74)は、壁スイッチ(98)のトグル動作を監視する。維持電圧供給回路(71)は、壁スイッチ(98)がオフになってもカウンタ(96)等がその状態・機能を維持できるように維持電圧を提供する。カウンタ(96)はトグル動作を計数する。なお、所定の期間を越えた後に壁スイッチ(98)がオン/オフしてもカウンタ(96)はこのトグル動作を無視する。

【0010】

特許文献3に示すLEDランプは、リップルの少ない安定した直流電圧を生成し、カウンタ(96)の計数値で決まるデューティでこの直流電圧をLEDに印加し、LEDの発光量を調節している(パルス幅変調による調光)。しかしながら、このLEDランプは、直流電圧の生成に際し耐圧が高く容量の大きな電解コンデンサを必要とする。この電解コンデンサはサイズが大きくなるばかりでなく、LEDランプのように高温になる環境下で使用すると寿命が短縮する。また、パルス幅変調のためには発振回路などさまざまな回路を内蔵せざるを得ず複雑化しやすい。

【0011】

また、複数のLEDが直列接続したLED列を点灯させる場合、LED列に流れる電流を制限するための電流制限素子又は回路をLED列と直列に接続することが多い。電流制限素子として抵抗を採用するのが最も簡単であるが、印加する電圧に応じてLED列に流れる電流の値が変化するので好ましくない場合がある。そこで電流制限素子又は回路として定電流素子又は回路を採用することがある。定電流素子として定電流ダイオードを用いると回路が簡単になるが、LED列に流そうとする電流の値を調整しようとする場合、定電流ダイオード自体を交換しなければならぬため不便なところがある。

【0012】

例えば、特許文献4には、定電流回路として、三端子レギュレータを用いたものが示されている。特許文献4に示された発光素子駆動回路では、発光素子(2)(LED)を含む発光回路(3a)(LED列)と直列に定電流回路(10)が接続しており、定電流回路(10)内において電流検出抵抗の電流出力端の電圧が三端子レギュレータにフィードバックしている。

【0013】

例えば、特許文献5には、制限抵抗を極力小さくし発熱を抑えながらLEDの明るさを極力変化させないようにするため、電流調整回路(12)(三端子レギュレータ)と直列接続する抵抗(13)(電流検出抵抗)の分圧電圧を電流調整回路(12)の制御信号として帰還させている。

【0014】

図27は、従来のLED駆動回路400の回路図である。

10

20

30

40

50

【 0 0 1 5 】

回路構成を簡単化するため前述の三端子レギュレータの代わりにディプレッション型 FET を使用することができる。そこで、図 27 を用いて、ディプレッション型 FET と抵抗からなる定電流回路を備えた LED 駆動回路 400 について説明する。

【 0 0 1 6 】

図 27 において LED 駆動回路 400 は、ブリッジ整流器 401、LED 列 403、定電流回路 404 を有している。商用電源 402 は、ブリッジ整流器 401 の入力端子に接続している。ブリッジ整流器 401 は 4 個のダイオード 401a からなり、端子 G から全波整流波形を出力し、端子 H に電流を戻す。LED 列 403 は複数の LED 403a が直列接続したもので、アノードがブリッジ整流器 401 の端子 G と接続し、カソードが定電流回路 404 に含まれるディプレッション型 FET 405 のドレインと接続している。定電流回路 404 は、ディプレッション型 FET 405 と電流検出抵抗 406 からなる。電流検出抵抗 406 は、一端がディプレッション型 FET 405 のソースと接続し、他端がディプレッション型 FET 405 のゲートとブリッジ整流器 401 の H 端子に接続している。

10

【 0 0 1 7 】

ディプレッション型 FET 405 のドレイン - ソース間電流は、ゲート - ソース間電圧で決まる。ゲート電圧を基準にしたとき、ドレイン - ソース間電流が増えると仮定した場合、電流検出抵抗 406 の影響によりソース電圧が上昇するので、ディプレッション型 FET 405 に流れる電流を絞る方向にフィードバックが掛かる。ドレイン - ソース間電流が減ると仮定した場合、ソース電圧が下降するので、電流を増やす方向にフィードバックが掛かる。以上のようにして定電流回路 404 にはネガティブフィードバックが掛かるので、定電流回路 404 は定電流動作する。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 1 8 】

【 特許文献 1 】 特表 2013 - 502081 号公報

【 特許文献 2 】 実開平 4 - 115799 号公報

【 特許文献 3 】 特開 2011 - 103285 号公報

【 特許文献 4 】 実開平 6 - 11364 号公報

【 特許文献 5 】 特開 2004 - 93657 号公報

30

【 発明の概要 】

【 0 0 1 9 】

特許文献 1 に記載の LED 駆動回路に対し、同等の機能を維持しながら、部品点数の削減と、動作の安定化を図るためには、バイパス回路をディプレッション型 FET と抵抗で構成し、さらに電流制限抵抗 R1 を定電流回路で置き換えると良い。

【 0 0 2 0 】

図 25 は、特許文献 1 に記載の LED 駆動回路を説明のために修正した回路図であり、公知の回路ではない。

【 0 0 2 1 】

図 25 に示した LED 駆動回路 300 は、商用交流電源 302 と接続されたブリッジ整流器 301、部分 LED 列 303、304、バイパス回路 309a、定電流回路 309b から構成されている。LED 駆動回路 300 に含まれる LED 列は、部分 LED 列 303 と部分 LED 列 304 が直列接続したものである。

40

【 0 0 2 2 】

ブリッジ整流器 301 は 4 個のダイオード 301a からなり、その入力端子に商用交流電源 302 が接続している。ブリッジ整流器 301 の端子 E からは、全波整流波形が出力され、端子 F に電流が戻ってくる。部分 LED 列 303 では、複数の LED 303a が直列接続している。部分 LED 列 304 でも、複数の LED 304a が直列接続している。部分 LED 列 303 のアノードが端子 E に接続し、部分 LED 列 303 のカソードが部分

50

LED列304のアノードと接続している。

【0023】

バイパス回路309aはディプレッション型のFET305と抵抗307からなり、FET305のドレインが部分LED列303と部分LED列304の接続部に接続している。FET305のソースは抵抗307の右端子と接続し、FET305のゲートは抵抗307の左端子と端子Fに接続している。定電流回路309bはディプレッション型のFET306と抵抗308からなり、FET306のドレインが部分LED列304のカソードに接続している。FET306のソースは抵抗308の右端子と接続し、FET306のゲートは抵抗308の左端子とFET305のソースに接続している。

【0024】

全波整流波形の電圧が部分LED列303の閾値電圧以下となっている期間では電流Iは流れない。全波整流波形の電圧が、部分LED列303の閾値電圧を越え、且つ部分LED列303の閾値電圧と部分LED列304の閾値電圧の合算値に満たない期間では、部分LED列303からバイパス回路309aを経由して電流Iが流れる。このときFET305は、抵抗307からのフィードバックにより定電流動作する（以下第1の定電流動作状態と呼ぶ）。

【0025】

さらに全波整流波形の電圧が上昇し、部分LED列303の閾値電圧と部分LED列304の閾値電圧の合算値を越えると、部分LED列304にも電流が流れるようになる。このときFET305は抵抗307の電圧降下が大きくなるのでカットオフし、FET306が抵抗308からのフィードバックにより定電流動作する（以下第2の定電流動作状態と呼ぶ）。

【0026】

以上のようにLED駆動回路300は、全波整流波形の電圧に応じて、LED303a、304aが全く点灯しない期間、部分LED列303のみが点灯する期間、部分LED列303と部分LED列304が点灯する期間を備えることになる。

【0027】

図25に示したLED駆動回路300は、前述の第1の定電流動作状態から第2の定電流動作状態に移行する期間（電圧範囲）が存在する。この移行期間では、定電流回路309bに含まれる電流検出用の抵抗308の電圧降下が原因となり、徐々に電流が増加する。この結果、移行期間ではLED列に十分に電流が流せないため発光量が不足し、さらに抵抗308による発熱により投入電力に対する発光量の割合（以下電力利用効率と呼ぶ）が低下する。

【0028】

上記より、本発明は、発光量の不足と電力利用効率を改善できるLED駆動回路を提供することを目的とする。

【0029】

図26は、図25に示したLED駆動回路300を調光可能に修正した回路図であり、公知の回路ではない。

【0030】

LED駆動回路300では、LED列に流れる電流Iは抵抗307、308の電圧降下量とFET305、306の特性によって決まる。すなわち、電流検出用の抵抗307、308の値を変更することにより、LED列に流れる電流を調節し調光できる。この原理を利用したLED駆動回路が、図26に示すLED駆動回路310である。図26において、図25と同じ部材及び回路ブロックについては同じ符号を付し、説明を省略する。

【0031】

図26において、LED駆動回路310は、ブリッジ整流器301、部分LED列303、304、バイパス回路310a、定電流回路301b、制御回路319からなっている。なお、図26では、説明の便宜のため商用交流電源302及び壁スイッチ302aを書き加えている。

10

20

30

40

50

【 0 0 3 2 】

バイパス回路 3 1 0 a はディプレッション型の F E T 3 0 5、電流検出用の抵抗 3 1 7 a、3 1 7 b、エンハンスメント型の F E T 3 1 7 c、3 1 7 d からなる。抵抗 3 1 7 a の右端子と F E T 3 1 7 c のソースが接続し、抵抗 3 1 7 b の右端子と F E T 3 1 7 d のソースが接続している。抵抗 3 1 7 a、3 1 7 b の左端子は、F E T 3 0 5 のゲート及び端子 F に接続している。F E T 3 1 7 c、3 1 7 d のドレインは F E T 3 0 5 のドレインと接続し、F E T 3 1 7 c のゲートは制御回路 3 1 9 から出力される制御信号 3 1 9 a と接続し、F E T 3 1 7 d のゲートは制御回路 3 1 9 から出力される制御信号 3 1 9 b に接続している。

【 0 0 3 3 】

定電流回路 3 1 0 b は、ディプレッション型の F E T 3 0 6、電流検出用の抵抗 3 1 8 a、3 1 8 b、エンハンスメント型の F E T 3 1 8 c、3 1 8 d からなる。抵抗 3 1 8 a の右端子は F E T 3 1 8 c のソースに接続し、抵抗 3 1 8 b の右端子は F E T 3 1 8 d のソースに接続している。抵抗 3 1 8 a、3 1 8 b の左端子は、F E T 3 0 6 のゲート及び F E T 3 0 5 のドレインに接続している。F E T 3 1 8 c、3 1 8 d のドレインは F E T 3 0 6 のドレインに接続し、F E T 3 1 8 c のゲートは制御回路 3 1 9 から出力される制御信号 3 1 9 a に接続し、F E T 3 1 8 d のゲートは制御回路 3 1 9 から出力される制御信号 3 1 9 b に接続している。

【 0 0 3 4 】

制御回路 3 1 9 には、電源として端子 E、F が接続している。制御回路 3 1 9 は、全波整流波形から低電圧で安定した直流電源を生成する維持電圧供給回路と、壁スイッチ 3 0 2 a のオン・オフを検出するためのトグル検出器と、トグル検出器の出力信号を計数するカウンタやデコーダを含む論理回路と、デコーダの出力信号を F E T 3 1 7 c、3 1 7 d、3 1 8 c、3 1 8 d が十分にオン・オフできる電圧に変換するレベルシフタを備えている。トグル検出器及び論理回路、レベルシフタの消費電力は極僅かにできるので、維持電圧供給回路に含まれるコンデンサは容量の小さいセラミックコンデンサが使用できる。レベルシフタの出力信号が、制御信号 3 1 9 a、3 1 9 b である。

【 0 0 3 5 】

壁スイッチ 3 0 2 a がオンするたびに、制御信号 3 1 9 a、3 1 9 b は、ハイレベルとローレベル、ローレベルとハイレベル、ハイレベルとハイレベルという 3 つの状態のなかで、前の状態から変化する。制御信号 3 1 9 a、3 1 9 b の状態がそれぞれハイレベルとローレベルであるとき、F E T 3 1 7 c、3 1 8 c がオンし、F E T 3 1 7 d、3 1 8 d がオフする。制御信号 3 1 9 a、3 1 9 b の状態がローレベルとハイレベルであるとき、F E T 3 1 7 c、3 1 8 c がオフし、F E T 3 1 7 d、3 1 8 d がオンする。制御信号 3 1 9 a、3 1 9 b の状態がハイレベルとハイレベルであるとき、F E T 3 1 7 c、3 1 8 c、3 1 7 d、3 1 8 d が全てオンする。

【 0 0 3 6 】

抵抗 3 1 7 a、3 1 7 b、3 1 8 a、3 1 8 b の抵抗値をそれぞれ、 R_{317a} 、 R_{317b} 、 R_{318a} 、 R_{318b} とすると、 $R_{317a} > R_{318a}$ 、 $R_{317b} > R_{318b}$ 、 $R_{317a} > R_{317b}$ 、及び、 $R_{318a} > R_{318b}$ という関係がある。このため、制御信号 3 1 9 a、3 1 9 b の状態がハイレベルとローレベルであるとき、最も回路電流 I が小さくなり、LED 列は暗く点灯する。制御信号 3 1 9 a、3 1 9 b の状態がローレベルとハイレベルであるとき、回路電流 I が増加し、LED 列は明るく点灯する。制御信号 3 1 9 a、3 1 9 b の状態がハイレベルとハイレベルであるとき、最も回路電流 I が大きくなり、LED 列はもっとも明るく点灯する。以上のようにして壁スイッチをオンするごとに LED 駆動回路 3 1 0 の点灯状態（明るさ）を調整している。

【 0 0 3 7 】

図 2 6 に示した LED 駆動回路 3 1 0 では、バイパス回路 3 1 0 a が電流検出用の抵抗 3 1 7 a、3 1 7 b 及びスイッチング素子として機能する F E T 3 1 7 c、3 1 7 d を備え、定電流回路 3 1 0 b も電流検出用の抵抗 3 1 8 a、3 1 8 b 及びスイッチング素子と

10

20

30

40

50

して機能するFET318c、318dを備えていた。しかしながら、LED駆動回路310は電子部品が多く、とくに制御用の配線を必要とするスイッチング素子の配線量も負担になる。例えば、図26ではFET317c、317d、FET318c、318dのために制御信号319a、319bを分岐させなければならない。さらに、定電流回路310bに含まれるFET318c、318dは、バイパス回路310aによる電圧降下を考慮しなければならないため、完全にオンするのに制御信号319a、319bのハイレベルを高くする必要がある。このため制御回路319に内蔵するレベルシフタの設計条件が制限される。

【0038】

上記より、本発明は、スイッチング素子を中心に部品点数を削減し且つ回路を単純化しながらも、調光が可能なLED駆動回路を提供することを目的とする。

10

【0039】

LED駆動回路ではLEDが発光にともない発熱するので、加熱防止のため電流制限抵抗の中にサーミスタを組み入れたい場合がある。このとき、電流検出抵抗を複数の抵抗と組合せて構成し、抵抗のうちの一つの抵抗をサーミスタに置き換えることがある。しかしながら、電流検出抵抗は数10程度であることが多いため、サーミスタとしても小さな値のものを選ばざるを得ない。また、LED列の発光に係わる電流の多くの部分がサーミスタに流れるので、許容電流を大きくしておく必要もある。すなわち、電流検出抵抗にサーミスタを含ませる構成により温度補償をしようとする、抵抗値及び許容電流の制限により、サーミスタの選択幅が小さくなる。

20

【0040】

上記より、本発明は、高抵抗及び電流許容値の小さいサーミスタであっても電流制限素子を有効にフィードバック制御できるようにしたLED駆動回路及び定電流回路を提供することを目的とする。

【0041】

図25に示したLED駆動回路300(ブリッジ整流器11及び商用電源12を除く)の全ての部品を、一つのモジュール基板上に実装した場合、モジュール基板の一方の面にしか配線を形成できないとしても、他の配線を跨ぐようなジャンパー配線を必要としない。幾何学的に言えば、図25に示した回路図において配線同士が交差していないことから、ジャンパー線を必要としないことが理解できる。

30

【0042】

これに対して、図1に示したLED駆動回路10では、FET16のゲートに接続する配線と、FET15、16のソースに接続する配線(以下ソース配線と呼ぶ)が交差している。このことは、図1に示したLED駆動回路10(ブリッジ整流器11及び商用電源12を除く)の全ての部品を、一つの基板にすべての素子を実装した場合、ソース配線を跨ぐジャンパー線が必要になることを示している。

【0043】

ジャンパー線は通常ワイヤで実施される。しかしながら、ワイヤは、上面からの圧力で変形しやすいため、ソース配線とショートし易い。変形によるショートを防止するためには、ジャンパー部のソース配線上に絶縁膜を追加形成する事、ジャンパー用の部品を追加する事が考えられる。しかしながら、変形によるショートを防止しようとする、製造工程が長くなったり、部品点数の増加につながったりするため、LEDモジュールのコストアップや大型化を招くことになる。

40

【0044】

上記より、本発明は、LED列とともにバイパス回路又は電流制限回路を一つのモジュール基板上に実装し、電流検出抵抗の分圧電圧によりバイパス回路等を構成するディプレッション型FETのソース-ドレイン間電流を制御しても、ワイヤによるジャンパー配線及びソース用配線に対する追加的な絶縁処理が不要で、部品点数が増加せず、及び、小型化に有利なLEDモジュールを提供することを目的とする。

【0045】

50

LED駆動回路は、商用交流電源の電圧に応じて、点灯するLEDの個数が変化するLED駆動回路であって、複数のLEDが直列接続したLED列と、LED列に流れる電流を検出するための電流検出抵抗と、LED列の中間接続部に接続されたバイパス回路と、LED列の端部に接続された電流制限回路を有し、バイパス回路が第1電流制限素子を含み、電流制限回路が第2電流制限素子を含み、電流検出抵抗の両端の電圧又は前記電流検出抵抗の両端の電圧を分圧して得た電圧に基づいて第1電流制限素子が制御され、電流検出抵抗を分圧して得た分圧電圧により第2電流制限素子が制御されることを特徴とする。

【0046】

上記のLED駆動回路では、LED列の他の中間接続部に接続された第2バイパス回路を更に有し、第2バイパス回路が第3電流制限素子を含み、電流検出抵抗を分圧して得た他の分圧電圧により第3電流制限素子が制御されることが好ましい。

10

【0047】

上記のLED駆動回路では、第1電流制限素子及び第2電流制限素子がディプレッション型FETであることが好ましい。

【0048】

上記のLED駆動回路では、バイパス回路又は前記電流制限回路が電圧変換回路を含むことが好ましい。

【0049】

上記のLED駆動回路では、電圧変換回路は、電流検出抵抗の両端間の電圧又は両端間の電圧を分圧して得た電圧を電圧変換して、第1電流制限素子又は第2電流制限素子を制御することが好ましい。

20

【0050】

上記のLED駆動回路では、電圧変換回路がバイポーラトランジスタを含み、バイポーラトランジスタのエミッタに電流検出抵抗の両端の電圧又は両端間の電圧を分圧して得た電圧が入力されることが好ましい。

【0051】

上記のLED駆動回路では、第1電流制限素子及び第2電流制限素子がエンハンスメント型FETであることが好ましい。

【0052】

上記のLED駆動回路では、電流検出抵抗の抵抗値を変動させる制御回路を更に有し、制御回路を用いて調光を行うことが好ましい。

30

【0053】

上記のLED駆動回路では、複数のスイッチング素子と抵抗とが直列接続した直列回路を更に有し、直列回路が互いに並列接続され、制御回路がスイッチング素子を制御して電流検出抵抗の抵抗値を変動させることが好ましい。

【0054】

上記のLED駆動回路では、電流検出抵抗は、制御端子に印加する電圧で抵抗値を変動できる素子であることが好ましい。

【0055】

LED駆動回路は、LEDに流れる電流を検出するための抵抗を調節して調光するものであって、複数の前記LEDが直列接続したLED列と、LED列の中間接続部に接続するバイパス回路と、LED列の端部に接続する定電流回路と、LED列に流れる電流を検出するための電流検出抵抗と、電流検出抵抗と並列接続する分圧回路と、電流検出抵抗の抵抗値を変動させる制御回路とを備え、バイパス回路及び定電流回路が電流制限素子を含み、電流検出抵抗の両端の電圧又は両端の間の電圧を分圧して得た電圧により電流制限素子を制御することを特徴とする。

40

【0056】

LED駆動回路は、LEDに流れる電流を検出するための抵抗を調節して調光するものであって、複数の前記LEDが直列接続したLED列と、LED列の複数の中間接続部に接続する複数のバイパス回路と、LED列に流れる電流を検出するための電流検出抵抗と

50

、電流検出抵抗と並列接続する分圧回路と、電流検出抵抗の抵抗値を変動させる制御回路を備え、複数の前記バイパス回路がそれぞれ電流制限素子を含み、電流検出抵抗の両端の電圧又は前記両端の間の電圧を分圧して得た電圧により前記電流制限素子を制御することを特徴とする。

【0057】

上記のLED駆動回路では、電流制限素子がディプレッション型FETであることが好ましい。

【0058】

上記のLED駆動回路では、電流制限素子がエンハンスメント型FETであることが好ましい。

10

【0059】

上記のLED駆動回路では、電流検出抵抗は、スイッチング素子と抵抗とが直列接続した直列回路を複数含み、直列回路が互いに並列接続し、制御回路が前記スイッチング素子を制御して前記電流検出抵抗の抵抗値を変動させることが好ましい。

【0060】

上記のLED駆動回路では、スイッチング素子はエンハンスメント型FETであることが好ましい。

【0061】

上記のLED駆動回路では、電流検出抵抗は、制御端子に印加する電圧で抵抗値を変動できる素子であることが好ましい。

20

【0062】

上記のLED駆動回路では、バイパス回路又は定電流回路が電圧変換回路を含んでいることが好ましい。

【0063】

上記のLED駆動回路では、電流検出抵抗の両端間の電圧又は両端の間の電圧を分圧して得た電圧が前記電圧変換回路に入力し、その電圧を電圧変換回路が電圧変換して電流制限素子を制御することが好ましい。

【0064】

上記のLED駆動回路では、電圧変換回路がバイポーラトランジスタを含み、バイポーラトランジスタのエミッタに電流検出抵抗の両端の電圧又は両端間の電圧を分圧して得た電圧が入力することが好ましい。

30

【0065】

LED駆動回路は、複数のLEDが直列接続したLED列と、このLED列に直列接続する定電流回路を備え、定電流回路は、電流制限素子と、電流検出抵抗と、サーミスタを含む分圧回路とを備え、分圧回路は、電流検出抵抗と並列接続し、電流検出抵抗の両端間電圧の分圧電圧を出力し、分圧電圧に基づいて電流制限素子を制御することを特徴とする。

【0066】

上記LED駆動回路では、分圧回路は前記サーミスタと並列接続する抵抗又は直列接続する抵抗を備えていることが好ましい。

40

【0067】

上記LED駆動回路では、電流制限素子がディプレッション型FETであることが好ましい。

【0068】

上記LED駆動回路では、電流制限素子がエンハンスメント型FETであることが好ましい。

【0069】

定電流回路は、電流制限素子と電流検出抵抗と分圧回路とを備え、分圧回路は、電流検出抵抗と並列接続し、電流検出抵抗の両端間電圧の分圧電圧を出力し、分圧電圧に基づいて前記電流制限素子を制御することを特徴とする。

50

【0070】

上記定電流回路では、分圧回路はサーミスタを含んでいることが好ましい。

【0071】

上記定電流回路では、分圧回路はサーミスタと並列接続する抵抗又は直列接続する抵抗を備えていることが好ましい。

【0072】

上記定電流回路では、電流制限素子がディプレッション型FETであることが好ましい。

【0073】

上記定電流回路では、電流制限素子がエンハンスメント型FETであることが好ましい。

10

【0074】

LEDモジュールは、モジュール基板上に、複数のLEDが直列接続したLED列と、LED列の中間点に接続するバイパス回路を構成するディプレッション型FETと、他のバイパス回路又はLED列の終点に接続する電流制限回路のいずれかに配したディプレッション型FETと、LED列に流れる電流を検出するための電流検出抵抗を有し、電流検出抵抗に発生する電圧を分圧する抵抗が、上面にワイヤボンディング用パッドを有し、ディプレッション型FETのソースと接続する配線に実装されていることを特徴とする。

【0075】

上記のLEDモジュールでは、電流検出抵抗が前記電流検出抵抗に発生する電圧を分圧する抵抗から構成されることが好ましい。

20

【0076】

上記のLEDモジュールでは、電流検出抵抗と電流検出抵抗に発生する電圧を分圧する抵抗が並列接続していることが好ましい。

【0077】

上記のLEDモジュールでは、電流検出抵抗に発生する電圧を分圧する抵抗が、高電圧側のワイヤボンディング用パッドと、低電圧側のワイヤボンディング用パッドと、ディプレッション型FETのゲートと接続するためのワイヤボンディング用パッドとを備えていることが好ましい。

【0078】

上記のLEDモジュールでは、電流検出抵抗に発生する電圧を分圧する抵抗が、低電圧側のワイヤボンディング用パッドと、ディプレッション型FETのゲートと接続するためのワイヤボンディング用パッドとの間に保護抵抗を更に有するネットワーク抵抗であることが好ましい。

30

【0079】

LEDは閾値電圧を持つので、閾値電圧以下の電流を印加してもLEDには電流が流れず点灯しない。同様にLEDが直列接続したLED列もLEDの直列段数に応じた閾値電圧を有する。商用交流電源の電圧に応じて、点灯するLEDの個数が変化する本発明のLED駆動回路は、商用交流電源の電圧がLED列の閾値電圧以下であっても、LED列の入力端から最初の中間接続部までの直列段数によって決まる閾値電圧を越えていれば、バイパス回路を通じて電流を流し、LED列の一部に含まれるLEDを点灯することができる。商用交流電源の電圧がLED列の入力端から次の中間接続部又はLED列の終端までの直列段数で決まる閾値電圧を越えると、最初の中間接続部に接続するバイパス回路は、バイパス回路に含まれる電流制限素子によりカットオフする。この電流制限素子は、LED列に流れる電流を検出するために備えられた電流検出抵抗の両端間の電圧又は前記両端の間の電圧を分圧して得た電圧によりカットオフ制御される。同時に後段のバイパス回路又は電流制限回路は、電流検出抵抗の両端間の電圧又は前記両端の間の電圧を分圧して得た電圧によりフィードバック制御される。

40

【0080】

LED列に中間接続部が複数存在する場合、全波整流波形の電圧が上昇するときは、順

50

次LEDの後段の中間接続部が最初の中間接続部として選択され同様の制御が繰り返される。また全波整流波形の電圧が下降するときは逆の過程を辿る。

【0081】

上記のLED駆動回路は、LED列の中間接続部に接続するバイパス回路と端部に接続する電流制限回路を備えているか、又は、複数のバイパス回路を備えている。各バイパス回路又は電流制限回路はそれぞれ電流制限素子を含み、各電流制限素子は電流検出抵抗の両端の電圧又はその分圧電圧で制御される。すなわち、LED駆動回路は、実質的に一個の電流検出抵抗で各バイパス回路又は電流制限回路を制御できるので、従来のLED駆動回路がバイパス回路又は電流制限回路毎に備えていた電流検出抵抗を不用とした。この結果、バイパス回路又は電流制限回路が定電流動作を開始するまでの移行期間において、回路電流が増加することにより発光量の不足が改善し、回路ごとの電流検出抵抗による電力損失が無くなるので、電力利用効率が改善する。

10

【0082】

上記のLED駆動回路は、複数のLEDが直列接続したLED列を備え、商用交流電源から得た全波整流波形をLED列に印加する。LED列の中間接続部にはバイパス回路が接続する。LED列の終端部には定電流回路が接続する場合と、複数の中間接続部にそれぞれバイパスが接続する場合と、両方が混在した場合と、がある。また、LED駆動回路には、LED列に流れる電流を検出するための電流検出抵抗と、電流検出抵抗と並列に配置された分圧回路を有している。電流検出抵抗の抵抗値は、制御回路によって変動させられる。さらに、バイパス回路及び定電流回路は、それぞれ電流制限素子を含んでいる。電流制限素子は、電流検出抵抗の両端の電圧、又は両端の間の電圧を分圧して得た電圧により制御される。

20

【0083】

上記のLED駆動回路は、唯一の電流検出抵抗の両端に発生した電圧又は両端の間の電圧を分圧して得た電圧によりバイパス回路又は定電流回路に流す電流を制御する。このためバイパス回路又は定電流回路毎に電流検出抵抗を設ける必要が無くなり、スイッチング素子を中心に部品数の削減や回路の単純化が達成される。また電流検出抵抗の一方の端子をLED駆動回路のグラウンドレベルに接続すれば電流検出抵抗の値を制御するための電圧を低下させられる。

【0084】

電流検出抵抗の分圧電圧をディプレッション型FETのゲートに印加し、各ディプレッション型FETのソース-ドレイン間電流を制御する場合、LEDモジュールでは各ディプレッション型FETのソースが接続する共通の配線に、電流検出抵抗の両端間電圧を分圧するための少なくとも一個の分圧用抵抗を配置している。分圧用抵抗は高電圧側の配線及び低電圧側の配線とワイヤにより接続するとともに、ディプレッション型FETのゲート又はゲートに接続する配線にワイヤにより接続する。この結果、ディプレッション型FETのソースが接続する共通の配線を、ディプレッション型FETのゲートに接続する配線がワイヤにより跨ぐことがなくなる。すなわち、ワイヤによるジャンパー配線が不要になる。

30

【0085】

上記のLEDモジュールでは、電流検出抵抗の分圧電圧でディプレッション型FETのソース-ドレイン間電流を制御しても、ソースが接続する共通の配線(ソース配線)上に分圧用の抵抗を配置することにより、ワイヤがこのソース配線を跨ぐことがなくなる。この結果、LEDモジュールは、ソース配線に対する追加的な絶縁処理が不要とともに、分圧用の抵抗がワイヤボンディングの中継チップを兼ねているため部品点数が増加せず、小型化する場合にも有利である。

40

【図面の簡単な説明】

【0086】

【図1】LED駆動回路10の回路図である。

【図2】(a)は全波整流電圧波形の一周分を示し、(b)はLED駆動回路10に流

50

れる電流 I を示す図である。

【図 3】他の LED 駆動回路 30 の回路図である。

【図 4】更に他の LED 駆動回路 40 の回路図である。

【図 5】更に他の LED 駆動回路 50 の回路図である。

【図 6】更に他の LED 駆動回路 60 の回路図である。

【図 7】更に他の LED 駆動回路 70 の回路図である。

【図 8】他の LED 駆動回路 80 の回路図である。

【図 9】(a) は全波整流波形の一周期分を示し、(b) は LED 駆動回路 80 に流れる電流 I を示す図である。

【図 10】更に他の LED 駆動回路 90 の回路図である。

10

【図 11】更に他の LED 駆動回路 100 の回路図である。

【図 12】更に他の LED 駆動回路 110 の回路図である。

【図 13】更に他の LED 駆動回路 120 の回路図である。

【図 14】更に他の LED 駆動回路 130 の回路図である。

【図 15】図 14 に示す定電流回路 134 を説明するための回路図である。

【図 16】他の定電圧回路 134' を示す回路図である。

【図 17】更に他の LED 駆動回路 140 の回路図である。

【図 18】LED モジュール 150 の回路図である。

【図 19】図 18 の回路図において、抵抗によるジャンパー配線を明示した回路図である

20

。【図 20】LED モジュール 150 の素子配置及び配線状況を説明するための図である。

【図 21】他の LED モジュール 180 を示す回路図である。

【図 22】更に他の LED モジュール 190 の回路図である。

【図 23】更に他の LED モジュール 200 の回路図である。

【図 24】更に他の LED モジュール 210 の回路図である。

【図 25】特許文献 1 に記載の LED 駆動回路を説明のために修正した回路図である。

【図 26】図 25 に示した LED 駆動回路 300 を調光可能に修正した回路図である。

【図 27】従来の LED 駆動回路 400 の回路図である。

【発明を実施するための形態】

【0087】

30

以下、図面を参照しながら本発明の好適な実施形態について詳細に説明する。但し、本発明の技術範囲はそれらの実施の形態に限定されず、特許請求の範囲に記載された発明とその均等物に及ぶ点に留意されたい。なお図面の説明において、同一または相当要素には同一の符号を付し、重複する説明は省略する。また説明のため部材の縮尺は適宜変更している。

【0088】

図 1 は、LED 駆動回路 10 の回路図である。

【0089】

図 1 において LED 駆動回路 10 は、ブリッジ整流器 11、部分 LED 列 13、部分 LED 列 14、バイパス回路であって電流制限素子でもある FET 15、電流制限回路であって電流制限素子でもある FET 16、分圧回路 17、電流検出用の抵抗 18 からなる。LED 駆動回路 10 に含まれる LED 列は、部分 LED 列 13 と部分 LED 列 14 が直列接続したものである。説明の便宜上、商用交流電源 12 を書き加えている。

40

【0090】

図 1 において、商用交流電源 12 はブリッジ整流器 11 の入力端子に接続している。ブリッジ整流器 11 は、4 個のダイオード 11a からなり、端子 A から全波整流波形を出力し、端子 B に電流 I を戻す。部分 LED 列 13、14 はそれぞれ複数の LED 13a、14a が直列接続したもので、部分 LED 列 13 のアノードがブリッジ整流器 11 の端子 A と接続し、部分 LED 列 13 のカソードが部分 LED 列 14 のアノードと接続している。LED 13a、14a の順方向電圧は 3V 程度なので、商用交流電源 12 の実効値が 2.3

50

0 Vであるとき、LED列の内部ではLED 13 a、14 aが合計で80段程度直列接続していることになる。

【0091】

バイパス回路はディプレッション型のFET 15（電流制限素子）からなり、電流制限回路はディプレッション型のFET 16（電流制限素子）からなる。FET 15は、ドレインが部分LED列13と部分LED列14の接続部（中間接続部）に接続し、ソースが抵抗17 bの右端子及び抵抗18の右端子と接続し、ゲートが抵抗17 aの左端子、抵抗18の左端子、及び端子Bと接続している。FET 16は、ドレインが部分LED列14のカソード（LED列の終端）に接続し、ソースがFET 15のソースと接続し、ゲートが抵抗17 aと抵抗17 bの接続部と接続している。

10

【0092】

抵抗18は電流検出抵抗であり、数十程度である。抵抗17 aと抵抗17 bは直列接続し、この直列抵抗が抵抗18と並列接続している。抵抗17 aと抵抗17 bはそれぞれ高抵抗（例えば数十k～数100k）であり、抵抗18の両端の電圧を分圧する分圧回路17を構成する。

【0093】

図2（a）は全波整流波形の一周期分を示し、図2（b）はLED駆動回路10に流れる電流Iを示す図である。

【0094】

図2（a）及び図2（b）の横軸は共に時間tを示し、それぞれの時間軸は一致している。図2（b）の曲線201はLED駆動回路10に流れる電流Iを示し、図2（b）に点線で示した曲線202は図25で示したLED駆動回路300の電流Iのうち、LED駆動回路10の電流Iと異なる部分を示している。

20

【0095】

図2（b）において、図2（a）に示す全波整流波形の電圧（曲線200）が部分LED列13の閾値電圧以下の期間t1では電流Iは0である。

【0096】

全波整流波形の電圧が、部分LED列13の閾値電圧を越え、部分LED列13の閾値電圧と部分LED列14の閾値電圧の合算値に満たない期間t2では、部分LED列13からFET 15を経由して電流I1が流れる。このときFET 15は、抵抗18の電圧降下がゲート電圧としてフィードバックするので、定電流動作する（第1の定電流動作状態）。

30

【0097】

さらに全波整流波形の電圧が上昇し、部分LED列13の閾値電圧と部分LED列14の閾値電圧の合算値を越える期間t3になると、部分LED列14に電流が流れる。このときFET 15は、抵抗18の電圧降下が大きくなるのでカットオフする。一方、FET 16は、抵抗17 aと抵抗17 bから生成される分圧電圧がゲート電圧としてフィードバックするので、定電流動作する（第2の定電流動作状態）。全波整流波形の電圧が下降する期間は、全波整流波形の電圧が上昇する期間の逆の過程を辿る。

【0098】

第1の定電流動作状態から第2の定電流動作状態に移行する期間（以下移行期間と呼ぶ）では、電流Iが全波整流波形とともに増加する。点線で示した曲線202（図25に示すLED駆動回路300）では、FET 306のソースからFET 305のソースに至る経路中に抵抗308が存在していたため、移行期間が長くなっていた。一方、図1に示すLED駆動回路10では、FET 16のソースからFET 15のソースに至る経路に抵抗が存在しないため、移行期間が短く、電流Iが速やかに立ち上がる。この結果、LED駆動回路10では、LED駆動回路300と比較して、移行期間における電流増により発光量の不足が改善する。LED駆動回路10では、LED駆動回路300で存在していた抵抗による発熱がなくなり、移行期間において消費されていたエネルギーが発光に回るため電力利用効率が改善する。

40

50

【0099】

LED駆動回路10に含まれる抵抗18とLED駆動回路300に含まれる抵抗307は同じ値である。前述のようにLED駆動回路10では、商用交流電源12の電圧が部分LED列13の閾値電圧を越え、且つ部分LED列13の閾値電圧と部分LED列14の閾値電圧の合算値に満たない期間 t_2 において、部分LED列14には電流が流れない。このとき抵抗17aと抵抗17bにより得た分圧電圧では、電流制限素子であるFET16は、オフ状態、オン状態、及び、フィードバックによる安定した状態のいずれの状態でもない。しかしながら、部分LED列14には電流が流れないのでFET16がどのような状態になっていても問題は生じない。すなわち、期間 t_2 においてFET16の状態を無視できることは、LED駆動回路10の簡素化に寄与している。

10

【0100】

図3は、他のLED駆動回路30の回路図である。

【0101】

図1に示したLED駆動回路10は、電流検出用の抵抗18と分圧用の抵抗17a及び17bを備えていた。しかしながら、電流検出用の抵抗と分圧用の抵抗は、兼用しても良い。そこで、電流検出用の抵抗と分圧用の抵抗を兼用したLED駆動回路30について説明する。

【0102】

LED駆動回路30と図1で示したLED駆動回路10との違いは、図3において分圧回路37が電流検出回路を兼ねていることだけである。すなわち、LED駆動回路10に含まれる電流検出用の抵抗18の抵抗値と、LED駆動回路30に含まれる抵抗37aと抵抗37bの合成抵抗値は等しい。また、LED駆動回路10に含まれる抵抗17a及び17bの抵抗値の比と、LED駆動回路30に含まれる抵抗37a及び37bの抵抗値の比は等しい。この結果、LED駆動回路30を流れる電流 I は、図2に曲線201として示すLED駆動回路10を流れる電流 I と同様になる。したがって、LED駆動回路30は、LED駆動回路10と同様に発光量が増加し、電力利用効率が改善する。

20

【0103】

図4は、更に他のLED駆動回路40の回路図である。

【0104】

図1に示したLED駆動回路10では、LED列に含まれる部分LED列が2個であった。しかしながら、LED列に含まれる部分LED列の個数は2個に限られない。そこで図4に示すLED駆動回路40では、4個の部分LED列を備えるように構成した。

30

【0105】

図4に示すLED駆動回路40は、ブリッジ整流器11、部分LED列41、42、43及び44、バイパス回路であって電流制限素子でもあるFET45a、45b及び45c、電流制限回路であって電流制限素子でもあるFET45d、分圧回路47、電流検出用の抵抗48からなる。LED駆動回路40に含まれるLED列は、部分LED列41、42、43、44が直列接続したものである。また、説明の便宜のため商用交流電源12を書き加えている。

【0106】

図4において、商用交流電源12とブリッジ整流器11については図1に示したLED駆動回路10と等しい。部分LED列41、42、43、44は、複数のLED41a、42a、43a、44aが直列接続したものである。各部分LED列41~44も直列接続している。部分LED列41のアノードはブリッジ整流器11の端子Aと接続し、部分LED列41、42、43、44同士の接続部(中間接続部)及び部分LED列44のカソード(LED列の終端)が、それぞれFET45a、45b、45c、45dのドレインに接続している。なおLED41a、42a、43a、44aの順方向電圧が3V程度なので、商用交流電源12の実効値が230Vであるとき、LED列の内部ではLED41a、42a、43a、44aが合計で80段程度直列接続していることになる。

40

【0107】

50

バイパス回路はディプレッション型のFET45a、45b、45c（電流制限素子）からなり3個存在する。同様に電流制限回路もディプレッション型のFET45d（電流制限素子）からなる。各FET45a、45b、45c、45dのソースは相互に接続し、さらに抵抗47dの右端子及び抵抗48の右端子と接続している。FET45aのゲートは、抵抗47aの左端子、抵抗48の左端子、及びブリッジ整流器11の端子Bと接続している。FET45bのゲートは抵抗47aと抵抗47bの接続部と接続し、FET45cのゲートは抵抗47bと抵抗47cの接続部と接続し、FET45dのゲートは抵抗47cと抵抗47dの接続部と接続している。

【0108】

抵抗48は電流検出抵抗であり、数十程度である。抵抗47a～47dは直列接続し、この直列抵抗が抵抗48と並列接続している。また抵抗47a～47dはそれぞれ高抵抗（例えば数十k～数100k）であり、抵抗48の両端の電圧を分圧する分圧回路47を構成する。

10

【0109】

LED駆動回路40も、図1、3に示したLED駆動回路10、30と同様に、電流検出用に挿入した抵抗48の両端の電圧及びその分圧電圧でバイパス回路及び電流制限回路に含まれるFET45a～45dを制御している。したがって、LED駆動回路40は、発光量を増加させながら、電流検出抵抗による電力損失を最小限にしている。LED列に含まれる部分LED列の数を増すと、図2（b）において示した不灯期間である期間t1が短くなり、電流が変化する段数も増加し、電流波形が正弦波に近づくので、力率や歪率、フリッカが改善する。

20

【0110】

LED駆動回路40の電流制限回路は、全波整流波形の電圧に対しオフ状態にする必要が無いので、FET45dの代わりに定電流ダイオードや他の構成の定電流回路を使用しても良い。LED駆動回路40では、電流制限回路の代わりに電流制限抵抗を用いることもできる。LED駆動回路40では、図3で示した分圧回路37のように、電流検出用の抵抗48を分割し、分圧回路と兼用させても良い。このとき、分圧回路47を不要にすることができる。

【0111】

図5は、更に他のLED駆動回路50の回路図である。

30

【0112】

図1、3、4に示したLED駆動回路10、30、40は、バイパス回路や電流制限回路に含まれる電流制限素子としてディプレッション型のFETを使用してきた。しかしながら電流制限素子はディプレッション型のFETには限られず、エンハンスメント型のFETやバイポーラトランジスタであっても良い。そこで、電流制限素子としてエンハンスメント型のFETを使用するLED駆動回路50について以下に説明する。

【0113】

LED駆動回路50と図1で示したLED駆動回路10との違いは、図5においてバイパス回路が電圧変換回路51とエンハンスメント型のFET52から構成され、電流制限回路が電圧変換回路53とエンハンスメント型のFET54から構成されていることだけである。

40

【0114】

電圧変換回路51には分圧回路17の左端子の電圧が入力し、電圧変換回路53には分圧回路17の分圧電圧が入力する。電圧変換回路51、53には、図示していない電源等が入力する。電圧変換回路51、53には、定電圧発生回路と加算回路が含まれ、必要に応じて安定した直流電源を得るための平滑回路や電圧降下回路等が設けられる。

【0115】

エンハンスメント型のFET52、54では、電流が流れ出すゲート-ソース間電圧（FETの閾値電圧）が、負の閾値電圧を持つディプレッション型のFET15、16（図1参照）と異なり正の値になる。そこで、電圧変換回路51、53に内蔵された定電圧発

50

生回路から得られる電圧と分圧電圧を加算（又は減算）し、この電圧でFET52、54に流れる電流を制御する。すなわち、図1のバイパス回路（FET15）や電流制限回路（FET16）と同様に、FET52、54のネガティブフィードバック制御、及びFET52のカットオフ制御を行う。

【0116】

LED駆動回路50は、図1、3、4に示したLED駆動回路10、30、40と同様に、電流検出用に挿入した抵抗18の両端の電圧及びその分圧電圧でバイパス回路及び電流制限回路に含まれるFET52、54を制御している。したがって、LED駆動回路50も、発光量を増加させながら、電流検出抵抗による電力損失を最小限にしている。

【0117】

図6は、更に他のLED駆動回路60の回路図である。

【0118】

図5に示したLED駆動回路50には、電圧変換回路51に定電圧発生回路と加算回路が含まれていた。しかしながら、バイポーラトランジスタを使うと電圧変換回路を簡単に構成できる。そこで、バイパス回路及び電流制限回路にバイポーラトランジスタ（以下トランジスタと呼ぶ）を含み、電流制限素子としてエンハンスメント型のFETを使用するLED駆動回路60について以下に説明する。

【0119】

LED駆動回路60と図5で示したLED駆動回路50との主な違いは、図5の電圧変換回路51、53が図6において抵抗61、64とトランジスタ63、66からなる回路に置き換わったことである。前述したように図5のLED駆動回路50に含まれていた電圧変換回路51、53は定電圧発生回路と加算回路を含むものとしていた。これに対して、図6のLED駆動回路60では、定電圧発生回路の代わりにトランジスタ63、66のベース-エミッタ間電圧（0.6V）を利用し、エミッタがこのベース-エミッタ電圧と分圧回路67から得られる電圧を加算するように作用し、コレクターにその反転出力が現れるように構成した。この反転出力は、FET52、54をネガティブフィードバック制御（FET52においてはカットオフ制御も含む）する。

【0120】

LED駆動回路60ではエミッタに電流が流れるため、図1に示したLED駆動回路10の抵抗17a及び17bに比べ、分圧回路67に含まれる抵抗67a及び67bを小さな値（例えば数k）にする。電流検出用の抵抗68は、数十程度なので、分圧回路67から受ける電流Iへの影響は小さい。すなわち、LED駆動回路60も、図1、3、4、5に示したLED駆動回路10、30、40、50と同様に、電流検出用に挿入した抵抗68の両端の電圧及びその分圧電圧でバイパス回路及び電流制限回路に含まれるFET52、54を制御しているので、電流検出抵抗による電力損失を最小限にしている。

【0121】

図7は、更に他のLED駆動回路70の回路図である。

【0122】

図1、3、4、5、6に示したLED駆動回路10、30、40、50、60は、制御用に分圧回路17、37、47、67の低電圧側の端子（図中の左端子）の電圧を使っていた。例えば、LED駆動回路10では、全波整流波形の高電圧期間（図2（b）の期間t3）において、電流検出抵抗（抵抗18）が大きな電圧降下を起こすので、FET15のソース電圧に対しゲート電圧が大きく低下することを利用して、FET15をカットオフさせていた。すなわち、ソース電圧を基準にFET15のカットオフ制御（図2に示す期間t2ではフィードバック制御）を行っていた。しかしながら、端子Bの電圧を基準として、フィードバック制御及びカットオフ制御を行っても良い。すなわち、ブリッジ整流器から見て先頭のバイパス回路を分圧回路の高電圧側の端子電圧で制御しても良い。そこで、制御用に分圧回路の高電圧側の端子電圧を使ったLED駆動回路70について以下に説明する。

【0123】

10

20

30

40

50

LED駆動回路70と図1で示したLED駆動回路10との違いは、図1のFET15からなるバイパス回路が図7においてバイパス回路71に置き換わり、図1のFET16からなる電流制限回路16が図7において電流制限回路72に置き換わり、図7においてバイパス回路71の制御用の電圧が分圧回路17の高電圧側の端子電圧となっていることである。図示していないが、バイパス回路71及び電流制限回路72には、電源電圧が入力されている。

【0124】

バイパス回路71及び電流制限回路72は、電圧発生回路や電圧比較器を備えている。全波整流波形の電圧が部分LED列13の閾値電圧を越え、部分LED列13の閾値電圧と部分LED列14の閾値電圧の合算値に満たない期間(図2(b)の期間t2)では、部分LED列13からバイパス回路71を経て電流Iが流れる。このときバイパス回路71は電流検出用の抵抗18の高電圧側の電圧がフィードバックし定電流動作する。電流制限回路72にフィードバックする分圧電圧は、バイパス回路71にフィードバックする電圧より低いので、所望の動作を発揮できない場合(フィードバックが不十分で不安定な状態)があるが、部分LED列14に電流が流れないので問題は生じない。

10

【0125】

図1に示したLED駆動回路10では、ソース電圧を基準にフィードバック制御していたのに対し、LED駆動回路70では、端子Bの電圧を基準にフィードバック制御している。バイパス回路71では、内蔵する定電圧発生回路や電圧比較器(演算増幅器)が端子Bを基準とする図示していない直流電源で動作している。LED駆動回路70におけるフィードバック制御としては、例えば、図2(b)に示された期間t2において部分LED列13を流れる電流Iが増加(減少)したときに、端子Bの電圧に対し分圧回路17の右端子の電圧が上昇(下降)することを利用して、電流Iを減少(増加)させるようバイパス回路71を動作させれば良い。つまり、バイパス回路71にフィードバックされる電圧がバイパス回路71の電流流出側の電圧と同電圧となっても、この電圧は電流Iにより変動するためフィードバック制御に利用できる。

20

【0126】

具体的には、例えば、電流制限素子としてP型のエンハンスメント型FETを使用することができる。P型のエンハンスメント型FETはゲート電圧が上昇するとドレイン電流が減少するからである。また、電流制限素子としてN型のエンハンスメント型FETを使用し、前述の変動した電圧を反転したうえで、この電圧をN型のエンハンスメント型FETのゲートに印加しても良い。これらの場合、各FETに適合するようLED駆動回路50と同様に電圧変換(レベルシフト)しておく必要がある。

30

【0127】

全波整流波形の電圧が部分LED列13の閾値電圧と部分LED列14の閾値電圧の合算値を越えた期間(図2(b)の期間t3)では、部分LED列13から部分LED列14及び電流制限回路72を経て電流が流れる。バイパス回路71で制御できない部分LED列14に流れる電流は、分圧回路17の右端子の電圧を上昇させる。この結果、バイパス回路71は、部分LED列に流れる電流をフィードバック制御できないことから負帰還回路を構成する条件が破れ、フィードバックしてくる電圧が充分に高くなるためカットオフする。バイパス回路71がカットオフした結果、LED列を流れる全ての電流Iは電流制限回路72を経由するので、図2(b)の期間t2におけるバイパス回路71と同様に、期間t3では電流制限回路72がフィードバックしてくる分圧電圧に基づいて定電流動作するようになる。

40

【0128】

LED駆動回路70も、図1、3、4、5、6に示したLED駆動回路10、30、40、50、60と同様に、電流検出用に挿入した抵抗18の両端の電圧及びその分圧電圧でバイパス回路71及び電流制限回路72を制御しているので、発光量を増加させながら、電流検出抵抗による電力損失を最小限にしている。

【0129】

50

図 8 は、更に他の LED 駆動回路 80 を示す回路図である。

【 0 1 3 0 】

図 8 に示す LED 駆動回路 80 は、ブリッジ整流器 11、部分 LED 列 13、14、バイパス回路であって電流制限素子でもある FET 15、定電流回路であって電流制限素子でもある FET 16、分圧回路を構成する抵抗 81、82、第 1 の電流検出用の抵抗 83 a、第 2 の電流検出用の抵抗 84 a、スイッチング素子として機能するエンハンスメント型の FET 83 b、84 b、制御回路 85 からなる。なお、LED 駆動回路 80 に含まれる LED 列は、部分 LED 列 13 と部分 LED 列 14 が直列接続したものである。また、説明の便宜のため商用交流電源 12 と壁スイッチ 12 a を書き加えている。

【 0 1 3 1 】

ブリッジ整流器 11 は 4 個のダイオード 11 a からなり、その入力端子に商用交流電源 12 が壁スイッチ 12 a を介して接続している。またブリッジ整流器 11 は端子 A から全波整流波形が出力され、端子 B に電流 I が戻ってくる。部分 LED 列 13 では複数の LED 13 a が直列接続しており、同様に部分 LED 列 14 でも複数の LED 14 a が直列接続している。部分 LED 列 13 のアノードは端子 A に接続し、部分 LED 列 13 のカソードは部分 LED 列 14 のアノードと接続している。なお LED 13 a、14 a の順方向電圧は 3 V 程度なので、商用交流電源 12 の実効値が 230 V であるとき、LED 列の内部では LED 13 a、14 a が合計で 80 段程度直列接続するように設定する。

【 0 1 3 2 】

バイパス回路はディプレッション型の FET 15 (電流制限素子) からなり、定電流回路はディプレッション型の FET 16 (電流制限素子) からなる。FET 15 は、ドレインが部分 LED 列 13 と部分 LED 列 14 の接続部 (中間接続部) に接続し、ソースが抵抗 82 の右端子と FET 83 b、84 b のドレインに接続し、ゲートが抵抗 81、83 a、84 a の左端子と端子 B に接続している。FET 16 は、ドレインが部分 LED 列 14 のカソード (LED 列の終端) に接続し、ソースが FET 15 のソースと接続し、ゲートが抵抗 81 と抵抗 82 の接続部と接続している。抵抗 83 a の右端子は FET 83 b のソースと接続し、抵抗 84 a の右端子は FET 84 b のソースと接続している。制御回路 85 には電源として端子 A、B が接続し、制御回路 85 から制御信号 85 a、85 b がそれぞれ FET 83 b、84 b のゲートに出力される。

【 0 1 3 3 】

抵抗 83 a、84 a は電流検出抵抗であり、数十程度である。抵抗 83 a、84 a の抵抗値を R_{83a} 、 R_{84a} とすると、 $R_{83a} > R_{84a}$ という関係にある。抵抗 81 と抵抗 82 は直列接続し、この直列抵抗が、抵抗 83 a と FET 83 b からなる直列回路、及び、抵抗 84 a と FET 84 b からなる直列回路と並列接続している。抵抗 81 と抵抗 82 はそれぞれ高抵抗 (例えば数十 k ~ 数 100 k) であり、電流検出用の抵抗 83 a 又は抵抗 84 a の両端の電圧を分圧する分圧回路を構成する。

【 0 1 3 4 】

制御回路 85 には電源として端子 A、B が接続している。制御回路 85 は、全波整流波形から低電圧で安定した直流電源を生成する維持電圧供給回路と、壁スイッチ 12 a のオン・オフを検出するための微分回路を含むトグル検出器と、トグル検出器の出力信号を計数するカウンタとデコーダを含む論理回路と、デコーダの出力信号を FET 83 b、84 b が十分にオン・オフできる電圧に変換するレベルシフタを備えている。トグル検出器及び論理回路、レベルシフタの消費電力は極僅かにできるので、維持電圧供給回路に含まれるコンデンサは容量の小さいセラミックコンデンサが使用できる。レベルシフタの出力信号が、制御信号 85 a、85 b である。

【 0 1 3 5 】

壁スイッチ 12 a がオンするたびに、制御信号 85 a、85 b の状態が、ハイレベルとローレベル、ローレベルとハイレベル、ハイレベルとハイレベルと変化し、これを繰り返す。制御信号 85 a、85 b の状態がそれぞれハイレベルとローレベルであるとき、FET 83 b がオンし FET 84 b がオフする。制御信号 85 a、85 b の状態がローレベル

10

20

30

40

50

とハイレベルであるとき、F E T 8 3 b がオフし F E T 8 4 b がオンする。制御信号 8 5 a、8 5 b の状態がハイレベルとハイレベルであるとき、F E T 8 3 b、8 4 b が全てオンする。

【 0 1 3 6 】

図 9 (a) は全波整流波形の一周分を示し、図 9 (b) は L E D 駆動回路 8 0 に流れる電流 I を示す図である。

【 0 1 3 7 】

図 9 (a) の縦軸 V は、端子 B を基準としたときの端子 A の電圧である。図 9 (a) 及び図 9 (b) の横軸は共に時間 t を示し、それぞれの時間軸は一致している。図 9 (b) に実線で描いた電流波形 2 1 1 は最も明るい状態に対応し、点線で描いた電流波形 2 1 2 は次に明るい状態に対応し、点線で示した電流波形 2 1 3 は最も暗い状態に対応している。図 9 (b) において、制御回路 8 5 に流れる電流は無視している。

10

【 0 1 3 8 】

図 9 (b) の電流波形 2 1 1 の場合、制御信号 8 5 a、8 5 b はともにハイレベルで、F E T 8 3 b、8 4 b はともにオン状態である。L E D 列に流れる電流を検出するための電流検出抵抗は、抵抗 8 3 a と抵抗 8 4 a を並列接続したものとなり、このとき L E D 駆動回路 8 0 には、最も大きな電流 I が流れる。

【 0 1 3 9 】

図 9 (b) に示すように、図 9 (a) の全波整流波形 2 1 0 の電圧が部分 L E D 列 1 3 の閾値電圧以下の期間 t 1 では電流 I は 0 である。全波整流波形 2 1 0 の電圧が、部分 L E D 列 1 3 の閾値電圧を越えてはいるが、部分 L E D 列 1 3 の閾値電圧と部分 L E D 列 1 4 の閾値電圧の合算値に満たない期間 t 2 では、部分 L E D 列 1 3 から F E T 1 5 を経由して電流 I 1 が流れる。このとき F E T 1 5 は、電流検出抵抗 (抵抗 8 3 a と抵抗 8 4 a からなる並列回路の合成抵抗) による電圧降下がフィードバックし定電流動作する。さらに全波整流波形 2 1 0 の電圧が上昇し、部分 L E D 列 1 3 の閾値電圧と部分 L E D 列 1 4 の閾値電圧の合算値を越える期間 t 3 になると、部分 L E D 列 1 4 にも電流が流れる。このとき F E T 1 5 は電流検出抵抗の電圧降下が大きくなるのでカットオフする。これと並行して、F E T 1 6 は抵抗 8 1 と抵抗 8 2 から生成される分圧電圧がフィードバックし定電流動作する。なお全波整流波形 2 1 0 の電圧が下降する期間は、全波整流波形 2 1 0 の電圧が上昇する期間の逆の過程を辿る。

20

30

【 0 1 4 0 】

図 9 (b) の電流波形 2 1 2 の場合、制御信号 8 5 a、8 5 b はそれぞれローレベルとハイレベルで、F E T 8 3 b がオフ状態で F E T 8 4 b がオン状態である。L E D 列に流れる電流を検出するための電流検出抵抗は、抵抗 8 4 a のみであり、このとき L E D 駆動回路 8 0 には、次に大きな電流 I が流れる。

【 0 1 4 1 】

この場合、電流検出用の抵抗 8 4 a の抵抗値は、前述の抵抗 8 3 a と抵抗 8 4 a からなる並列回路の合成抵抗とより大きな値になるので、電流 I が小さくても F E T 1 5、1 6 により大きなフィードバックを掛けられる。この結果、L E D 駆動回路 8 0 に流れる電流 I は、前述の場合 (電流波形 2 1 1) よりも電流値の小さな電流波形 2 1 2 になる。なお、閾値電圧によって決まる期間 t 1、t 2、t 3 は両方の場合で共通になる (以下同様)

40

【 0 1 4 2 】

図 9 (b) の電流波形 2 1 3 の場合、制御信号 8 5 a、8 5 b はそれぞれハイレベルとローレベルで、F E T 8 3 b がオン状態で F E T 8 4 b がオフ状態である。L E D 列に流れる電流を検出するための電流検出抵抗は、抵抗 8 3 a のみである。前述したように、 $R_{83a} > R_{84a}$ という関係にあるので、このとき L E D 駆動回路 8 0 には、最も小さな電流 I が流れる。

【 0 1 4 3 】

以上のように、L E D 駆動回路 8 0 は、壁スイッチ 1 2 a のオン - オフを検出し、電流

50

波形 2 1 1、2 1 2、2 1 3 で示されるような電流 I を選択して調光を行っている。このとき、F E T 1 6 のフィードバック電圧は、抵抗 8 1、8 2 からなる分圧回路から得ている。したがって、L E D 駆動回路 8 0 のスイッチング素子 (F E T 1 5、1 6) の数は、図 2 6 に示した L E D 駆動回路 3 1 0 におけるスイッチング素子 (F E T 3 1 7 c、3 1 7 d、3 1 8 c、3 1 8 d) の数の半分である。

【 0 1 4 4 】

また、F E T 1 5、1 6 が端子 B 側に寄っているため、F E T 1 5、1 6 を低電圧で制御でき、制御回路 8 5 内に内蔵されたレベルシフタを単純化 (又は除去) できる。また F E T 1 5 のソースと F E T 1 6 のソースの間に抵抗がないため、この抵抗による電力の損失が無くなり、さらに期間 t_1 の定電流状態から期間 t_2 の定電流状態に移行する過渡的期間が短くなるため、L E D 駆動回路 8 0 の発光量は L E D 駆動回路 3 1 0 の発光量よりも大きくなる。

10

【 0 1 4 5 】

なお、L E D 駆動回路 8 0 では 3 段階で調光を行っているが、スイッチング用の F E T とこの F E T と直列接続する抵抗からなる回路を増やし且つ制御回路 8 5 に含まれる論理回路の機能を増強することにより、調光段階を更に多くしても良い。

【 0 1 4 6 】

図 1 0 は、更に他の L E D 駆動回路 9 0 を示す回路図である。

【 0 1 4 7 】

図 8 に示した L E D 駆動回路 8 0 では、バイパス回路や定電流回路に含まれる電流制限素子としてディプレッション型の F E T 1 5、1 6 を使用してきた。しかしながら、電流制限素子はディプレッション型の F E T には限られず、エンハンスメント型の F E T やバイポーラトランジスタであっても良い。そこで、電流制限素子としてエンハンスメント型の F E T を使用する L E D 駆動回路 9 0 について以下に説明する。

20

【 0 1 4 8 】

L E D 駆動回路 9 0 と図 8 で示した L E D 駆動回路 8 0 との違いは、図 1 0 においてバイパス回路が電圧変換回路 9 3 とエンハンスメント型の F E T 9 5 から構成され、定電流回路が電圧変換回路 9 4 とエンハンスメント型の F E T 9 6 から構成されていることと、抵抗 9 1、9 2、9 7 a、9 8 a の抵抗値である。

【 0 1 4 9 】

電圧変換回路 9 3 には抵抗 9 1 の左端子の電圧が入力し、電圧変換回路 9 4 には抵抗 9 1 と抵抗 9 2 により分圧した電圧が入力する。その他、電圧変換回路 9 3、9 4 には、図示していない電源等が入力する。電圧変換回路 9 3、9 4 には、定電圧発生回路と加算回路が含まれ、必要に応じて安定した直流電源を得るための平滑回路や電圧降下回路等が設けられる。

30

【 0 1 5 0 】

電流が流れ出すゲート - ソース間電圧 (F E T の閾値電圧) が負の閾値電圧を持つディプレッション型の F E T 1 5、1 6 (図 8 参照) と異なり、エンハンスメント型の F E T 9 5、9 6 は正の値の閾値電圧をもつ。そこで電圧変換回路 9 3、9 4 に内蔵された定電圧発生回路から得られた電圧と分圧回路から得られた電圧を加算 (又は減算) し、この電圧で F E T 9 5、9 6 に流れる電流を制御する。すなわち、図 8 のバイパス回路 (F E T 1 5) や定電流回路 (F E T 1 6) と同様に、F E T 9 5、9 6 のネガティブフィードバック制御、及び F E T 9 5 のカットオフ制御を行う。

40

【 0 1 5 1 】

L E D 駆動回路 9 0 も、図 8 に示した L E D 駆動回路 8 0 と同様に、抵抗 9 7 a、9 8 a の抵抗値 R_{97a} 、 R_{98a} は、数十程度であり、 $R_{97a} > R_{98a}$ の関係を有する。また、抵抗 9 1、9 2 は高抵抗である。

【 0 1 5 2 】

図 1 1 は、更に他の L E D 駆動回路 1 0 0 を示す回路図である。

【 0 1 5 3 】

50

図10に示したLED駆動回路90では、電圧変換回路93、94に定電圧発生回路と加算回路が含まれていた。しかしながら、バイポーラトランジスタを使うと電圧変換回路を簡単に構成できる。そこで、バイパス回路及び定電流回路にバイポーラトランジスタ(以下トランジスタと呼ぶ)を含み、電流制限素子としてエンハンスメント型のFETを使用するLED駆動回路100について以下に説明する。

【0154】

LED駆動回路100と図10で示したLED駆動回路90との主な違いは、図10の電圧変換回路93、94が図11において抵抗103、105とトランジスタ104、106からなる回路に置き換わったことである。図10のLED駆動回路90に含まれていた電圧変換回路93、39は定電圧発生回路と加算回路を含むものとしていた。これに対して、図11のLED駆動回路100では、定電圧発生回路の代わりにトランジスタ104、106のベース-エミッタ間電圧(0.6V)を利用している。トランジスタ104、106のエミッタが、ベース-エミッタ電圧と分圧回路(抵抗101、102からなる直列回路)から得られる電圧を加算するように作用し、コレクターにその反転出力が現れるように構成されている。トランジスタ104、106の反転出力がFET95、96をネガティブフィードバック制御(FET95においてはカットオフ制御も含む)する。

10

【0155】

LED駆動回路100ではエミッタに電流が流れるため、図8に示したLED駆動回路80の抵抗91、92に比べ、抵抗101、102を小さな値(例えば数k)にする。なお、電流検出用の抵抗107a、108aは、数十程度なので、分圧回路(抵抗101、102からなる直列回路)から受ける電流Iへの影響は小さい。

20

【0156】

図12は、更に他のLED駆動回路110の回路図である。

【0157】

図8、10、11に示したLED駆動回路80、90、100はLED列に含まれる部分LED列13、14が2個であった。しかしながら、LED列に含まれる部分LED列の個数は2個に限られない。そこで、3個の部分LED列111、112、113を備えるLED駆動回路110について以下に説明する。

【0158】

図12においてLED駆動回路110は、ブリッジ整流器11、部分LED列111、112、113、バイパス回路であって電流制限素子でもあるFET114、115、定電流回路であって電流制限素子でもあるFET116、抵抗117a、117b、117cが直列接続した分圧回路、選択制御される電流検出用の抵抗118a、118b、選択制御用のスイッチング素子であるFET83b、84b及び制御回路85からなる。なお、LED駆動回路110に含まれるLED列は、部分LED列111、112、113が直列接続したものである。また、説明の便宜のため商用交流電源12と壁スイッチ12aを書き加えている。

30

【0159】

図12において、商用交流電源12、壁スイッチ12a、ブリッジ整流器11、FET83b、84b、及び、制御回路85は、LED駆動回路80と等しい。部分LED列111、112、113は、複数のLED111a、112a、113aが直列接続したものである。各部分LED列111~113も直列接続している。部分LED列111のアノードはブリッジ整流器11の端子Aと接続している。部分LED列111、112、113同士の接続部(中間接続部)及び部分LED列113のカソード(LED列の終端)が、それぞれFET114、115、116のドレインに接続している。LED111a、112a、113aの順方向電圧が3V程度なので、商用交流電源12の実効値が230Vであるとき、LED列の内部ではLED111a、112a、113aが合計で80段程度直列接続することになる。

40

【0160】

2つのバイパス回路は、それぞれディプレッション型のFET114、115(電流制

50

限素子)からなる。定電流回路も、ディプレッション型のFET116(電流制限素子)からなる。FET114、115、116のソースは相互に接続し、さらにFET83b、84bのドレイン及び抵抗117cの右端子と接続している。FET114のゲートは、抵抗117a、118a、118bの左端子、及びブリッジ整流器11のB端子と接続している。FET115のゲートは、抵抗117aと抵抗117bの接続部と接続している。FET116のゲートは、抵抗117bと抵抗117cの接続部と接続している。

【0161】

抵抗118a、118bは電流検出抵抗であり、それぞれ数十程度である。抵抗118a、118bの抵抗値をR118a、R118bとすると、 $R118a > R118b$ の関係にある。抵抗117a~117cはそれぞれ高抵抗(例えば数十k~数100k)である。なお、LED列内に含まれる部分LED列の数を増すと、図9(b)において示した不灯期間である期間t1を短くでき、電流が変化する段数も増加し、電流波形が正弦波に近づくので、力率、歪率及びフリッカが改善する。

【0162】

図13は、更に他のLED駆動回路120を示す回路図である。

【0163】

図8、10、11、12に示したLED駆動回路80、90、100、110は、電流検出抵抗83a、84a等を切り替えて3段階の調光を行っていた。しかしながら、電流検出抵抗を連続的に変化させても良い。そこで、電流検出抵抗として電圧で抵抗値を変化させることができる素子(以下ボリュームと呼ぶ)を用いたLED駆動回路120について以下に説明する。

【0164】

LED駆動回路120と図8で示したLED駆動回路80との違いは、図8のFET83b、84bと電流検出用の抵抗83a、84aからなる回路を、ボリューム128に置き換え、これに伴って制御回路85を制御回路129に置き換えていることだけである。制御回路129には、D/Aコンバータが内蔵されており、壁スイッチ12aのオン/オフ切り替え毎に制御用の制御電圧129aを増減する。制御電圧129aはボリューム128の制御端子に入力する。LED駆動回路120では、制御電圧129aに応じてボリューム128の抵抗値を変化させることにより調光を行う。LED駆動回路120は、スイッチング素子が不要なので回路が小さくなり、また調光レベルの段数を簡単に増やすことができる。

【0165】

図14は、更に他のLED駆動回路130を示す回路図である。

【0166】

図14に示す様に、LED駆動回路130は、ブリッジ整流器11、LED列13、定電流回路134からなる。なお、説明の便宜のため商用電源12を書き加えている。

【0167】

図14において、商用電源12はブリッジ整流器11の入力端子に接続している。ブリッジ整流器11は、4個のダイオード11aからなり、端子Aから全波整流波形を出力し、端子Bに電流Iを戻す。LED列13は複数のLED13aが直列接続したもので、アノードがブリッジ整流器11の端子Aと接続し、カソードが定電流回路134に含まれるディプレッション型FET135(電流制限素子、以下FETと称する)のドレインと接続している。定電流回路134は、FET135と、電流検出抵抗136と、サーミスタ137と抵抗138の直列回路(分圧回路)とからなる。電流検出抵抗136と直列回路は、並列接続されている。電流検出抵抗136の一端はFET135のソースと接続し、他端はブリッジ整流器11のB端子に接続している。サーミスタ137と抵抗138の接続部はFET135のゲートと接続している。

【0168】

LED13aの順方向電圧が3V程度なので、商用電源12の実効値が100Vであるとき、LED列13内ではLED13aが30段程度直列接続している。電流検出抵抗1

10

20

30

40

50

36は数10であり、サーミスタ137及び抵抗138は数k～数100kが良い。すなわち、FET135のゲートは、電圧だけで制御され電流が流れ込まないので、LED列13及びFET135を流れる電流Iは、ほとんど電流検出抵抗136を流れる。したがって、サーミスタ137及び抵抗138は高抵抗にできるため、許容損失及び許容電流を小さくできる。

【0169】

図15は、図14に示す定電流回路134を説明するための回路図である。

【0170】

図15において、R0は電流検出抵抗136に対応し、R1は抵抗138に対応し、R2はサーミスタ137に対応し、FETQ1はFET135に対応している。図15では、抵抗と抵抗値を同じ符号R0、R1、R2で示している。

10

【0171】

FETQ1に流れる電流Iは、ゲート電圧Vgとソース電圧Vsの差の関数fとなるので、以下の式(1)の様に表すことができる。

$$I = f(V_g - V_s) \quad (1)$$

ここで、抵抗R1、R2が高抵抗であるので抵抗R1、R2に流れる電流を無視し、電流検出抵抗R0の左側の端子を基準電圧にすると、電流検出抵抗R0の両端間電圧は、R0・Iとなる。したがって、ゲート電圧Vgは、以下の式(2)の様に表すことができる。

$$V_g = R_1 \cdot R_0 \cdot I / (R_1 + R_2) \quad (2)$$

20

また、ソース電圧Vsは電流検出抵抗R0の右側の端子電圧であるから、ソース電圧Vsは、以下の式(3)の様に表すことができる。

$$V_s = R_0 \cdot I \quad (3)$$

式(2)及び(3)より、Vg - Vsは、以下の式(4)の様に表すことができ、式(1)は以下の式(5)のように変形することができる。すなわち、式(5)で表される電流Iが定電流回路134に流れる。

$$V_g - V_s = -R_2 \cdot R_0 \cdot I / (R_1 + R_2) \quad (4)$$

$$I = f\{-R_2 \cdot R_0 \cdot I / (R_1 + R_2)\} \quad (5)$$

【0172】

図15に示した回路(定電流回路134)では、電流Iが増加して、ソース電圧VsがVだけ上昇したとき、ゲート電圧VgはR1/(R1+R2)Vだけ上昇し、ゲート-ソース間電圧(Vg - Vs)が小さくなり、FETQ1に流れる電流を減らそうとする。反対に電流Iが減少したとき、FETQ1に流れる電流Iを増やそうとする。以上のように定電流回路134は分圧電圧(ゲート電圧Vg)でネガティブフィードバックが掛かり、電流Iが一定になる。

30

【0173】

以下、図14を用いて、温度補償について説明する。

サーミスタ137はポジティブ型のサーミスタであり、温度が上昇すると抵抗値が大きくなる。したがって、温度上昇にともない分圧電圧が低下するので、FET135に流れる電流が減少する。ポジティブ型のサーミスタ137は、ネガティブ型のサーミスタよりも変化率が大きいいため、加熱による破壊を防ぐのに有利である。ポジティブ型サーミスタで得られるほどの変化率を必要としない場合は、ネガティブ型サーミスタを使用することも可能である。その場合、図14においてサーミスタ137を固定抵抗に置き換え、抵抗138をネガティブ型サーミスタに置き換えれば良い。

40

【0174】

図16は、他の定電流回路134'を示す回路図である。

【0175】

図14に示したLED駆動回路130では、定電流回路134に含まれる分圧回路がサーミスタ137と抵抗138の直列回路になっていた。しかしながらサーミスタ137と抵抗138の直列回路による分圧回路では所望の温度特性が得られない場合がある。そこ

50

で、温度特性を変えることができる定電流回路について以下に説明する。図16に示す定電流回路134'は、図14に示したLED駆動回路130において、定電流回路134の代わりに用いることができる。

【0176】

図16において、図中右端が高電圧側、図中左端が低電圧側である。図16に示す様に、定電流回路134'は、サーミスタ131bと、サーミスタ131bに並列接続する抵抗131cと、この並列回路に直列接続する抵抗131aと、抵抗131aに直列接続する抵抗138'とを備えている。図14に示す定電流回路134と図16に示す定電流回路134'を比較すると、図14のサーミスタ137が図16の抵抗131a、サーミスタ131b及び抵抗131cからなる回路に相当し、図14の抵抗138が図16の抵抗138'に相当し、図14の抵抗136が図16の抵抗136'に相当する。ここで、抵抗131a及び131cの値を調整することにより、所望の温度特性を得ることができる。

10

【0177】

図17は、更に他のLED駆動回路140の回路図である。

【0178】

図14に示したLED駆動回路130に含まれる定電流回路134では、電流制限素子としてディプレッション型FET135を用いていた。しかしながら、ディプレッション型FETよりもエンハンスメント型のFET又はジャンクション型のFETの方が入手しやすい場合が多い。また電流制限素子として前述したように三端子レギュレータを使うこともできる。そこで、定電流回路に含まれる電流制限素子としてエンハンスメント型FETを用いたLED駆動回路について以下に説明する。

20

【0179】

図17において図14の回路図と異なるところは、FET45がエンハンスメント型FETであることと、定電流回路144においてFET145のゲートの前に電圧変換回路141が存在することである。電圧変換回路141は、定電流回路144に含まれ、サーミスタ137と抵抗138からなる分圧回路の分圧電圧146と、プラス側の電源147とマイナス側の電源148が入力する。電圧変換回路141には、定電圧発生回路と加算回路が含まれ、必要に応じて安定した直流電源を得るための平滑回路や電圧降下回路等が設けられる。

30

【0180】

エンハンスメント型FETにおいて、電流が流れ出すゲート-ソース間電圧(閾値電圧)は、負の閾値電圧を持つディプレッション型FETと異なり正の値になる。そこで、電圧変換回路141に内蔵された定電圧発生回路から得られる電圧と分圧電圧146を加算(又は減算)し、この電圧でFET145に流れる電流を制御する。図14の定電流回路134と同様に、FET145にネガティブフィードバックを掛け電流Iを定電流化する。また、サーミスタ137を用いて、電流Iに対して温度補償を掛ける。

【0181】

LED駆動回路130、140に含まれていた定電流回路134、144及び図16に示した定電流回路134'では、負荷とする回路がLED列13であった。しかしながら、定電流回路134、134'、144は、負荷回路がLED列に限定されるわけではなく、電流値の温度補償が必要な他の負荷回路に有効である。

40

【0182】

図18は、LEDモジュール150を示す回路図である。

【0183】

LEDモジュール150は、端子151、152と、複数のLEDが直列接続した部分LED列153、154、155と、ディプレッション型FET156、157、158(以下FETと呼ぶ)と、電流検出抵抗162を備えている。電流検出抵抗162は、抵抗159、160、161が直列接続したものである。

【0184】

50

LEDモジュール150は、モジュール基板173(図20参照)上に、複数のLEDが直列接続したLED列150aを備えている。LED列150aは、部分LED列153、154、155が直列接続したものである。LED列150aの中間点である部分LED列153と部分LED列154の接続部には、FET156からなるバイパス回路が接続している。LED列150aの他の中間点である部分LED列154と部分LED列155の接続部には、FET157からなるバイパス回路が接続している。LED列150aの終点である部分LED列155の右端にはFET158からなる電流制限回路が接続している。電流検出抵抗162は、抵抗159、抵抗160及び抵抗161が直列接続したものであり、抵抗159、160、161がこの電流検出抵抗162の両端に発生する電圧を分圧する。

10

【0185】

端子151、152間には全波整流波形V_rが印加される。全波整流波形V_rの電圧が部分LED列153の閾値よりも低い期間では回路電流Iは流れない。全波整流波形V_rの電圧が、部分LED列153の閾値よりも高く、部分LED列153の閾値と部分LED列154の閾値の和よりも低い期間では、回路電流Iは部分LED列153からFET156を通過して流れる。このとき、電流検出抵抗162のフィードバックにより、FET156は定電流動作する。

【0186】

全波整流波形V_rの電圧が、部分LED列153の閾値と部分LED列154の閾値の和よりも高く、部分LED列153の閾値と部分LED列154の閾値と部分LED列155の閾値の和よりも低い期間では、回路電流Iは部分LED列153、14からFET157を通過して流れる。このとき、FET156のゲート電圧はFET157のゲート電圧よりも低い値になるので、FET156はカットオフしている。また、このとき、FET157は抵抗160、161によるフィードバックにより定電流動作する。

20

【0187】

全波整流波形V_rの電圧が、部分LED列153の閾値、部分LED列154の閾値、及び部分LED列155の閾値の和よりも高い期間では、回路電流Iは部分LED列153、154、155からFET158を通過して流れる。このとき、FET156、157のゲート電圧はFET158のゲート電圧よりも低い値になるので、FET156、157はカットオフしている。また、このとき、FET158は抵抗161によるフィードバックにより定電流動作する。

30

【0188】

以上のように全波整流波形V_rの電圧に応じて、部分LED列153、154、155がすべて消灯している期間、部分LED列153だけが点灯する期間、部分LED列153、154が点灯する期間、部分LED列153、154、155の全てが点灯する期間が現れる。抵抗159、160、161は同じ値にすると良い。抵抗159、160、161を同じ値にすると、抵抗を準備する管理負荷が軽減する。また、抵抗159、160、161を各FET156、157、158のソースに分散させて接続する場合(図25参照)に比べて、抵抗159、160、161を一か所に集中させると以下の利点がある。すなわち、LEDモジュール150では、FET156、157、158のソースを共通の配線165で接続しているので、過渡的な期間(例えば、FET157が定電流動作していた状態から、FET157がカットオフし且つFET158が定電流動作する状態への移行期間)が短縮し、LEDモジュールの発光効率が向上する。

40

【0189】

図19は、図18の回路図において、抵抗によるジャンパー配線を明示した回路図である。

【0190】

図19において矢印Kで示した箇所が、図中で、FET156、157、158のソースと接続する共通の配線165上に、抵抗159、160、161が配置された箇所である。しかしながら、実際には、配線165をワイヤ等によりジャンプするのではなく、抵

50

抗 1 5 9 ~ 1 6 1 を中継チップとして利用して、配線 1 6 5 を跨いだ配線を行っている。したがって、抵抗 1 5 9、1 6 0、1 6 1 は、配線 1 6 5 と電氣的な接続がない構造である。

【 0 1 9 1 】

言い換えると、図 1 8 の回路図では配線 1 6 5 がゲート配線と交差しているため、ワイヤ等によるジャンパー接続の必要性を示唆している。一方、図 1 9 の回路図は、配線 1 6 5 が他の配線と交差するのではなく、抵抗 1 5 9、1 6 0、1 6 1 と交差しているので、配線 1 6 5 を跨ぐためのワイヤによるジャンパー接続が不要となることを示している。

【 0 1 9 2 】

図 2 0 は、LED モジュール 1 5 0 の素子配置及び配線状況を説明するための図である

10

【 0 1 9 3 】

図 2 0 は、図 1 9 の回路のうち F E T 1 5 7 と抵抗 1 6 0 に関わる部分を示している。特に、電流検出抵抗 1 6 2 に発生する電圧を分圧する抵抗 1 6 0 が、F E T 1 5 6 ~ 1 5 8 のソースと接続する配線 1 6 5 上にダイボンディング（実装）されていることがポイントである。なお、抵抗 1 6 0 は、シリコン基板の上面に T a N 膜で抵抗素子を形成したものであり、抵抗素子とシリコン基板とは絶縁されている。また、抵抗 1 6 0 は上面にワイヤボンディング用パッド 1 6 0 a、1 6 0 b、1 6 0 c を有する。

【 0 1 9 4 】

図 2 0 において、モジュール基板 1 7 3 はセラミックからなり、その上面にのみ配線 1 6 3、1 6 4、1 6 5、1 6 6、1 6 7 等が形成されている。配線 1 6 3 は、抵抗 1 6 0 に対して高電圧側になり、ワイヤ 1 6 9 により抵抗 1 6 0 のワイヤボンディング用パッド 1 6 0 a と接続し、図 1 9 に示す抵抗 1 6 1 とも接続する。配線 1 6 4 は、抵抗 1 6 0 に対して低電圧側になり、ワイヤ 1 6 8 により抵抗 1 6 0 のワイヤボンディング用パッド 1 6 0 b と接続し、図 1 9 に示す抵抗 1 5 9 とも接続する。配線 1 6 5 は、ワイヤ 1 7 2 等により F E T 1 5 6、F E T 1 5 7 及び F E T 1 5 8 のソース（ワイヤボンディング用パッド 1 5 7 b）と接続する共通の配線であり、その上面に抵抗 1 5 9、抵抗 1 6 0 及び抵抗 1 6 1 を実装している。配線 1 6 6 は、ワイヤ 1 7 0 により抵抗 1 6 0 の低電圧側（ワイヤボンディング用パッド 1 6 0 c）と接続し、ワイヤ 1 7 1 により F E T 1 5 7 のゲート（ワイヤボンディング用パッド 1 5 7 a）と接続する中継用の配線パターンである。配線 1 6 7 は、F E T 1 5 7 のドレインと接続するための配線であり、その上面に F E T 1 5 7 が実装され、部分 LED 列 1 5 4 のカソード及び部分 ED 列 1 5 5 のアノードと接続している。なお、F E T 1 5 7 の底面は、ドレイン端子となっている。

20

30

【 0 1 9 5 】

図 2 0 に示す様に、F E T 1 5 7 のソースが接続する共通の配線 1 6 5 上に電流検出抵抗 1 6 2 の両端間電圧を分圧するための抵抗 1 6 0 が配置されている。抵抗 1 6 0 は、ワイヤ 1 6 9 によりワイヤボンディング用パッド 1 6 0 a と高電圧側の配線 1 6 3 とを接続し、ワイヤ 1 6 8 によりワイヤボンディング用パッド 1 6 0 b と低電圧側の配線 1 6 4 とを接続し、ワイヤ 1 7 0 によりのワイヤボンディング用パッド 1 6 0 c とディプレッション型の F E T 1 5 7 のゲートに接続する配線 1 6 6 とを接続している。この結果、ディプレッション型の F E T 1 5 7 のソースが接続される共通の配線 1 6 5 をワイヤが跨ぐ必要がない。なお、図 2 0 では、抵抗 1 6 0 と共通配線 1 6 5 との関係のみを示しているが、抵抗 1 5 9 と共通配線 1 6 5 との関係及び抵抗 1 6 1 と共通配線 1 6 5 との関係も、同様にワイヤが跨ぐ必要の無いように構成することができる。ジャンパー用のワイヤが存在しないため、ワイヤとモジュール基板 1 7 3 上の配線 1 6 5 のショートが発生しなくなる。すなわち、絶縁性の向上が図られる。なお、ワイヤの長さの制限が無ければ、配線 1 6 6 を介さずに、抵抗 1 6 0 と F E T 1 5 7 のゲートを直接ワイヤで接続しても良い。

40

【 0 1 9 6 】

LED モジュール 1 5 0 は、電流検出抵抗 1 6 2 の分圧電圧でディプレッション型の F E T 1 5 6 ~ 1 5 8 のソース - ドレイン間電流を制御している。また、LED モジュール

50

150は、電流検出抵抗162を構成する分圧用の抵抗159～161を、FET156～158のソースが接続する共通の配線165上に配置することにより、ワイヤがこの配線165を跨ぐことがない構成を有している。この結果、LEDモジュール150では、ソース用の共通配線165に対する追加的な絶縁処理が不要となる。また、LEDモジュール150では、分圧用の抵抗160等がワイヤボンディングの中継チップを兼ねているため部品点数が増加せず、小型化する上で有利である。なお、中継チップとは、ワイヤが長くなりすぎるときに中継用に使用するものである。

【0197】

図21は、他のLEDモジュール180を示す回路図である。

【0198】

図18に示したLEDモジュール150では、FET156～158のゲートが電流検出抵抗162を構成する抵抗159～161の一端と接続していた。各抵抗159～161は数十オーム程度の比較的低い抵抗であるため、端子152から侵入するサージ等を十分に減衰できず、FET156～158のゲート破壊を誘発する可能性がある。そこで、ゲート保護用の抵抗を備えたLEDモジュール180について以下に説明する。

【0199】

図21に示すLEDモジュール180と図18に示すLEDモジュール150の違いは、LEDモジュール180のFET156～158のゲートにゲート保護用の抵抗181、182、183が追加されている点のみである。ゲート保護用の抵抗181～183は精度が低くてよく、数10k から数100k でよい。また、分圧用の抵抗159～161とゲート保護用の抵抗181～183とが対になっているので、それらの抵抗をネットワーク化できる。なお、ネットワーク化とは、一つの抵抗チップに複数の抵抗素子を含ませ、各抵抗素子が所望の関係で接続している事を言う。

【0200】

図20に示す様に、LEDモジュール150の抵抗160は、高電圧側の配線163と接続する端子と低電圧側の配線164に接続する端子との間に抵抗成分があり、配線164に接続する端子と配線166に接続する端子との間はショートしていた。これに対して、LEDモジュール180において、抵抗160と抵抗182とをネットワーク化する場合、以下のように抵抗を構成すればよい。すなわち、高電圧側の配線163と接続する端子と低電圧側の配線164に接続する端子との間に抵抗成分(抵抗160)を形成し、さらに配線164に接続する端子と配線166に接続する端子との間に他の抵抗成分(抵抗182)を形成する。

【0201】

以上のようにLEDモジュール180では、FET156～158のゲート保護が図られながら、分圧用の抵抗159～161とゲート保護用の抵抗181～183をネットワーク化することにより部品点数増が避けられている。

【0202】

図25は、更に他のLEDモジュール190を示す回路図である。

【0203】

前述したLEDモジュール150、180では、電流検出抵抗162が複数の抵抗159～161の直列回路であり、電流検出抵抗162で発生する電圧の分圧電圧によりFET156～158が制御されていた。LEDモジュール150、180のFET156～158は電圧で制御できるので、分圧電圧を発生するだけであれば、分圧用の抵抗を高抵抗に設定することができる。そこで、電流検出抵抗の両端間電圧を分圧する抵抗を高抵抗としたLEDモジュール190について以下に説明する。

【0204】

図22に示すLEDモジュール190と図18に示したLEDモジュール150の違いは、LEDモジュール190において電流検出抵抗194と、電流検出抵抗194の両端間電圧を分圧する抵抗191、192、193が別体となっていることである。FET156～158はゲート電圧により制御されるので、分圧用の抵抗191～193からなる

10

20

30

40

50

合成抵抗が電流検出抵抗 194 に影響しない程度に大きな値になっていればよい。また、分圧用の抵抗 191 ~ 193 は同じ値であっても良い。

【0205】

LEDモジュール 190 では、図 22 に示す様に（図 19 と同様に）、配線が交差していない。すなわち、LEDモジュール 150、180 と同様に、LEDモジュール 190 は、FET 156 ~ 158 のソースが接続する共通の配線 165 上に、抵抗 191、192、193 を配置することにより、配線 165 を跨ぐワイヤによるジャンパー配線が不要になる。また、LEDモジュール 150 に対し LEDモジュール 190 は電流検出抵抗 194 だけ部品点数は増加するとはいっても、回路電流 I を電流検出抵抗 194 の値で変更できるため発光量の調整を簡単に行うことができる。

10

【0206】

前述した LEDモジュール 150、180、190 では、LED列 150a を構成する部分的な部分 LED列 153 ~ 155 が 3 個であった。しかしながら、LEDモジュールにおいて LED列を構成する部分 LED列の個数は、3 個に限定されず、2 個であっても、4 個以上であっても良い。また、図 20 に示すように抵抗 160 は低電圧側の配線 164 に接続するワイヤボンディング用パッド 160b と FET 157 のゲートに接続するためのワイヤボンディング用パッド 160c を備えていた。しかしながら、LEDモジュール 150 では、これらのワイヤボンディング用パッドが同電位になっているため、これらのワイヤボンディング用パッドを一つのボンディングパッドにしても良い。

【0207】

図 23 は、更に他の LED駆動回路 200 の回路図である。

20

【0208】

図 23 に示した LED駆動回路 200 は、図 1 に示した LED駆動回路 10 の変形例である。同じ構成には同じ番号を付し、その説明を省略する。図 23 に示す LED駆動回路 200 と図 1 で示した LED駆動回路 10 との違いは、LED駆動回路 200 が有する分圧回路 17' が、抵抗 17a、17b に加えて、抵抗 17c を備える点のみである。

【0209】

LED駆動回路 200 では、抵抗 17c を更に有しているので、FET 15（バイパス回路の電流制限素子に相当）を、電流検出抵抗 18 の両端の電圧を分圧した分圧電圧により制御している。これによって、全波整流波形の電圧が上昇する期間において、FET 15 がカットオフするタイミングが遅くなり、部分 LED列 13 から FET 15 を介して電流 I が流れている状態から、部分 LED列 13 及び 14 から FET 16 を介して電流 I が流れる状態への移行が滑らかとなる。LED駆動回路 200 では、図 1 に示す LED駆動回路 10 が有する機能に加えて、滑らかな電流状態の移行によって、更に、高周波ノイズをより低減することが可能となる。

30

【0210】

図 24 は、更に他の LED駆動回路 200 の回路図である。

【0211】

図 24 に示した LED駆動回路 210 は、図 3 に示した LED駆動回路 30 の変形例である。同じ構成には同じ番号を付し、その説明を省略する。図 24 に示す LED駆動回路 210 と図 3 で示した LED駆動回路 30 との違いは、LED駆動回路 210 が有する分圧回路 37' が、抵抗 37a、37b3 に加えて、抵抗 37c を備える点のみである。

40

【0212】

LED駆動回路 210 では、抵抗 37c を更に有しているので、FET 15（バイパス回路の電流制限素子に相当）を、抵抗 37a、37b、37c からなる電流検出抵抗の両端の電圧を分圧した分圧電圧により制御している。これによって、全波整流波形の電圧が上昇する期間において、FET 15 がカットオフするタイミングが遅くなり、部分 LED列 13 から FET 15 を介して電流 I が流れている状態から、部分 LED列 13 及び 14 から FET 16 を介して電流 I が流れる状態への移行が滑らかとなる。LED駆動回路 210 では、図 3 に示した LED駆動回路 30 が有する機能に加えて、滑らかな電流状態の

50

移行によって、更に、高周波ノイズをより低減することが可能となる。

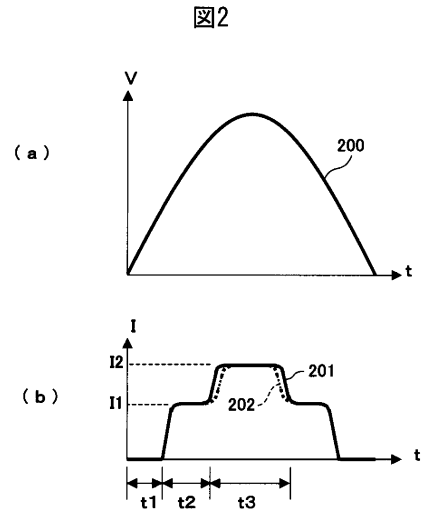
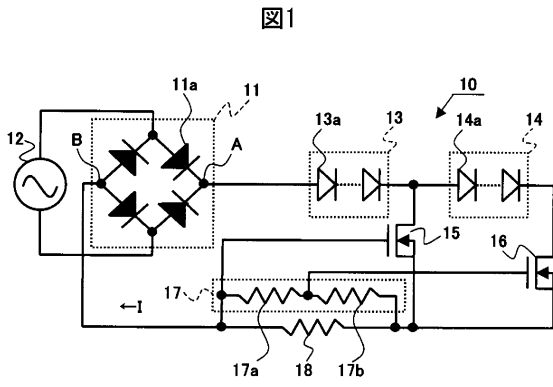
【符号の説明】

【0213】

10、30、40、50、60、70、80、90、100、110、120、130、140、200、210	LED駆動回路	
11	ブリッジ整流器	
12	商用交流電源	
12	壁スイッチ	
13、14、41、42、43、44、111、112、113、153、154、155	部分LED列	10
13a、14a、41a、42a、43a、44a、111a、112a、113a	LED	
15、16、45a、45b、45c、45d、114、115、116、135、156、157、158	FET(ディプレッション型FET)	
17、37、47、67	分圧回路	
18、48、68、81、82、91、92、101、102、117a、117b、117c、162、194	検出抵抗	
51、53、93、94、141	電圧変換回路	
52、54、95、96、145	FET(エンハンスメント型FET)	
71	バイパス回路	20
72	電圧制限回路	
85、129	制御回路	
128	ボリューム	
131b、137	サーミスタ	
134、134'、144	定電流回路	
150、180、190	LEDモジュール	
157a、157b、160a、160b、160c	ワイヤボンディング用パッド	
173	モジュール基板	

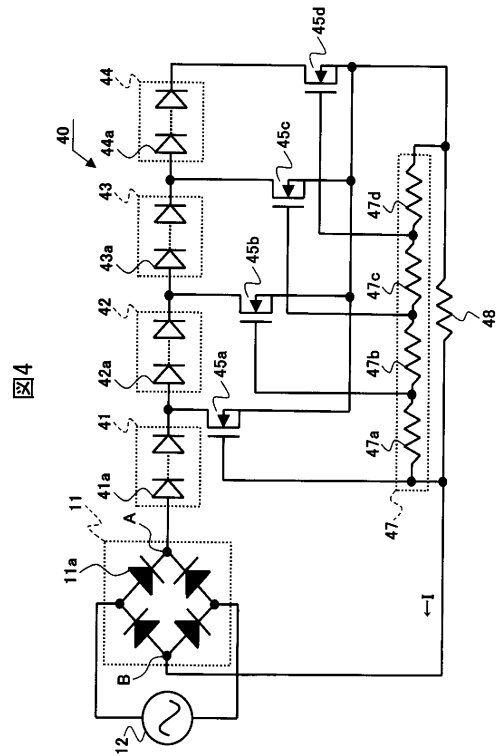
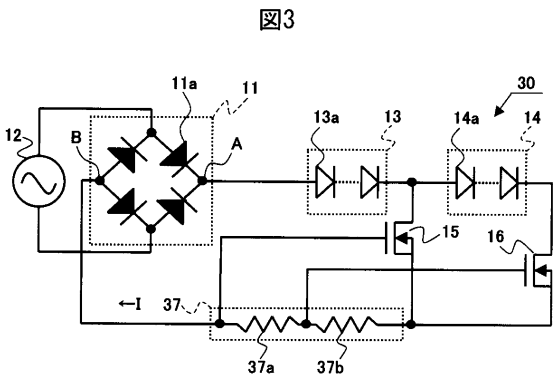
【 図 1 】

【 図 2 】

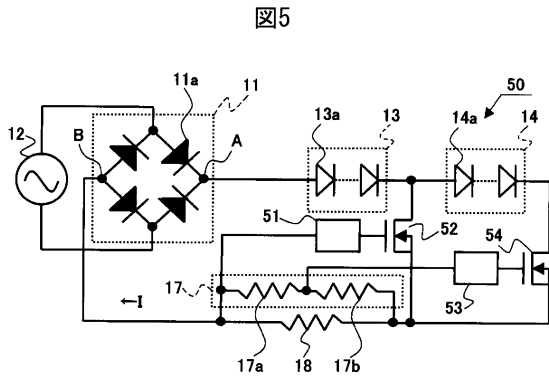


【 図 3 】

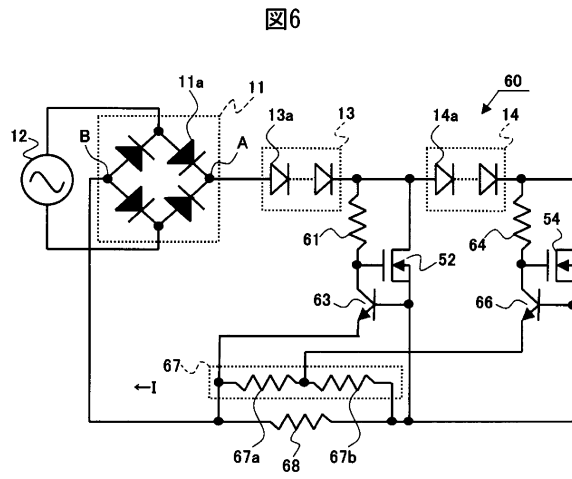
【 図 4 】



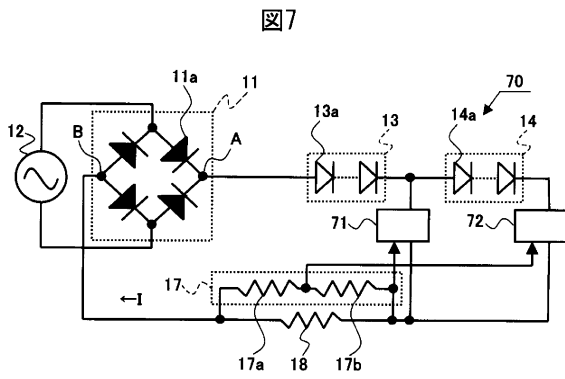
【 図 5 】



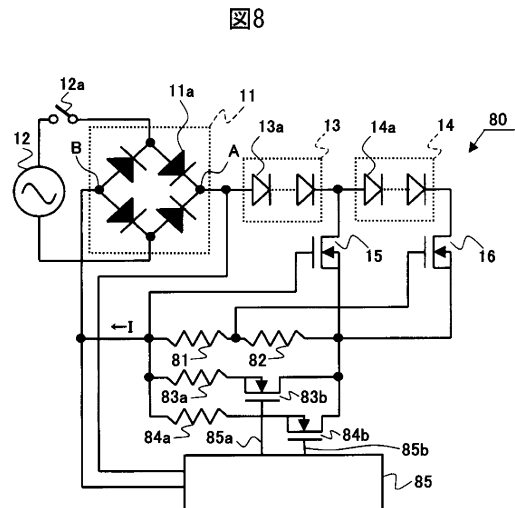
【 図 6 】



【 図 7 】

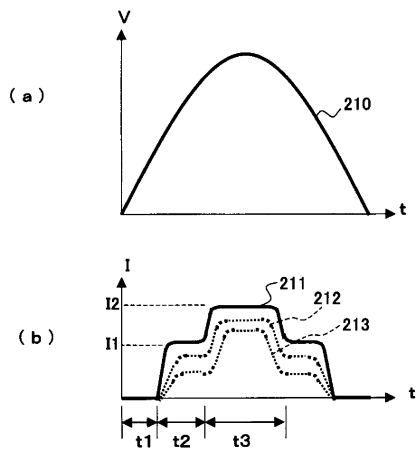


【 図 8 】



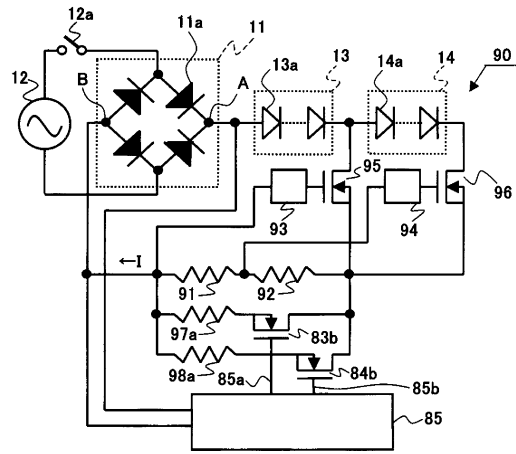
【 図 9 】

図9



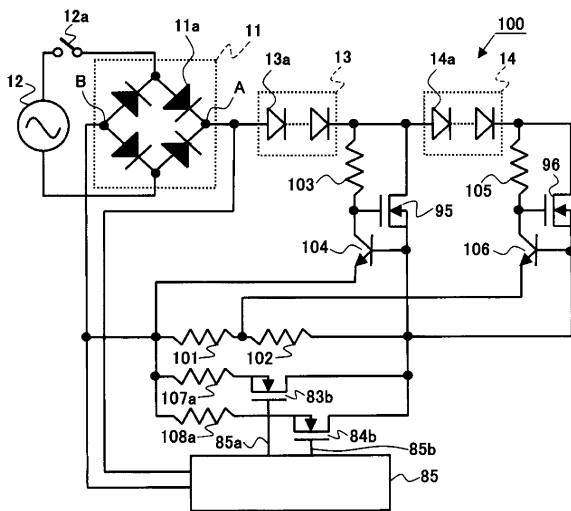
【 図 10 】

図10



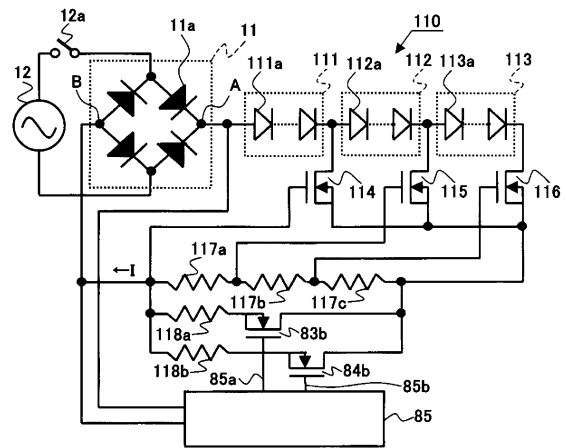
【 図 11 】

図11

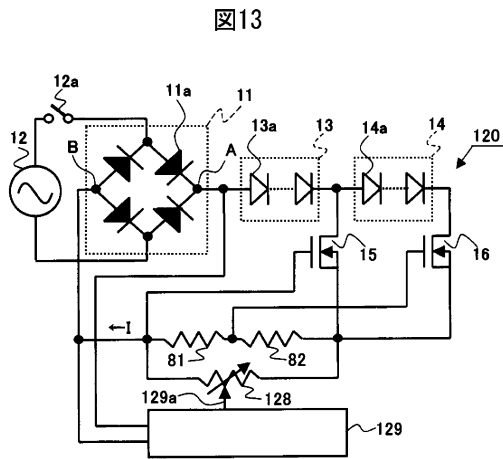


【 図 12 】

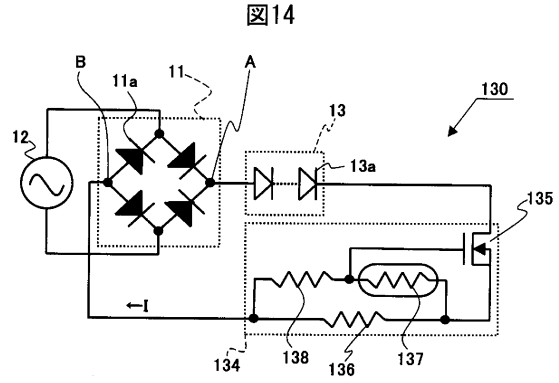
図12



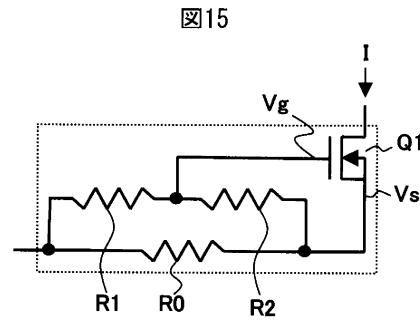
【 図 1 3 】



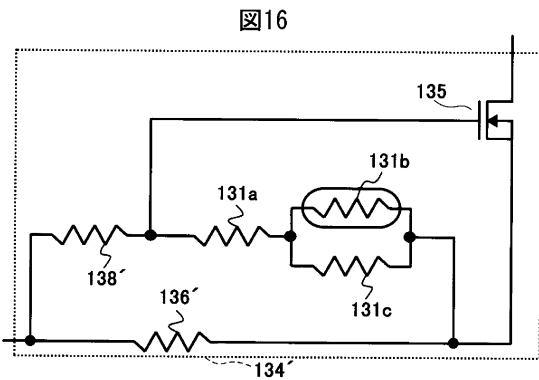
【 図 1 4 】



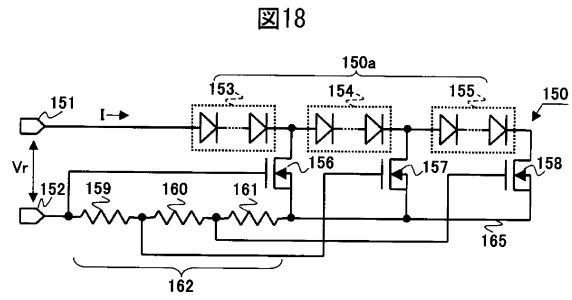
【 図 1 5 】



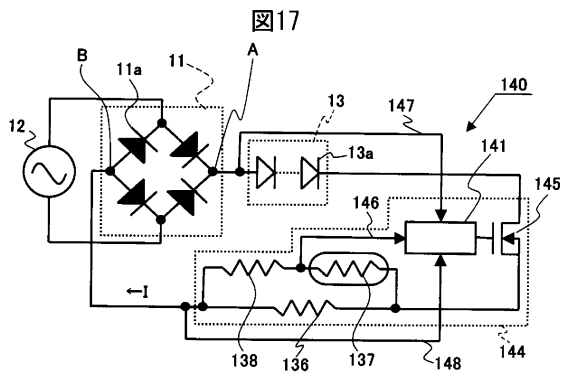
【 図 1 6 】



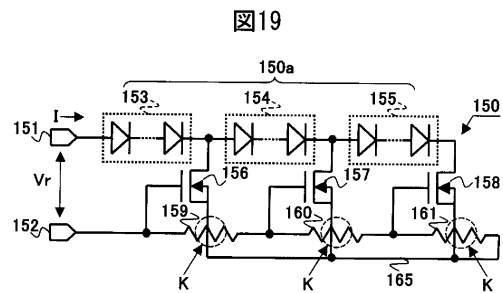
【 図 1 8 】



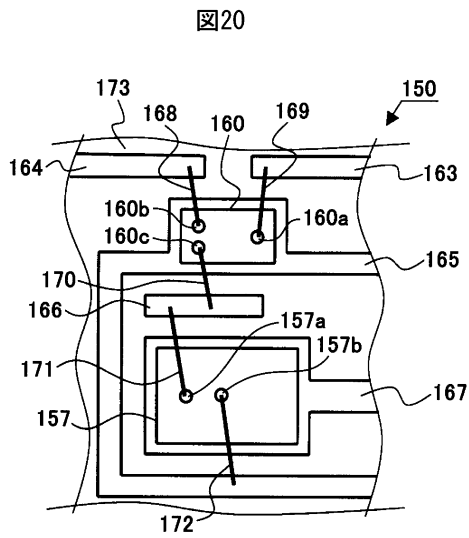
【 図 1 7 】



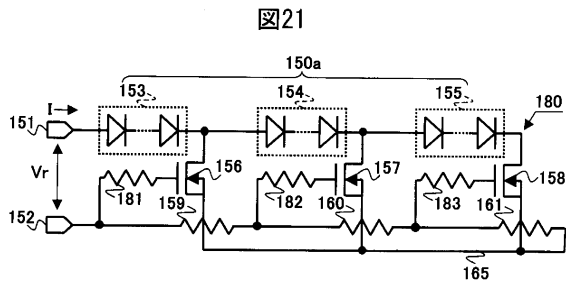
【 図 1 9 】



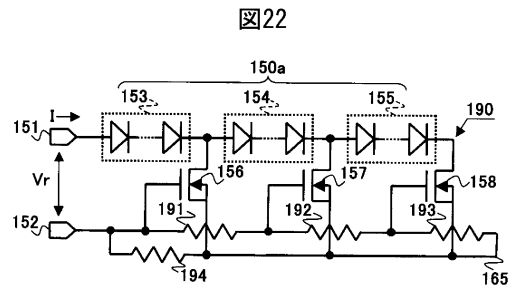
【 図 2 0 】



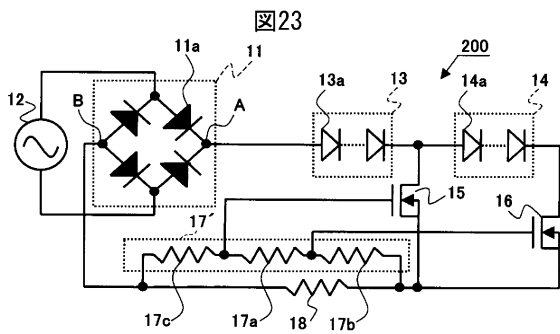
【 図 2 1 】



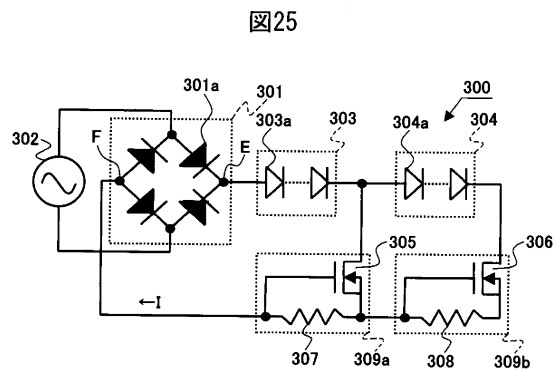
【 図 2 2 】



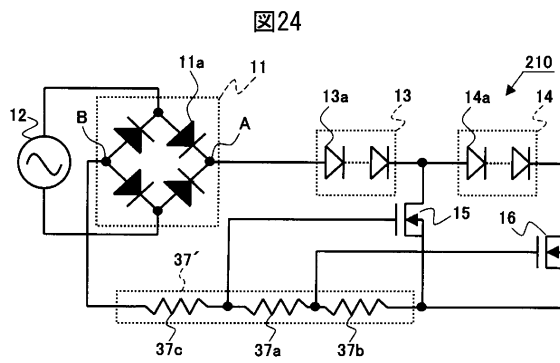
【 図 2 3 】



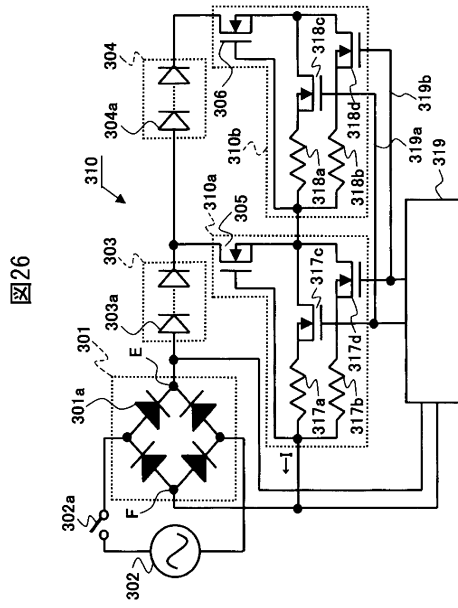
【 図 2 5 】



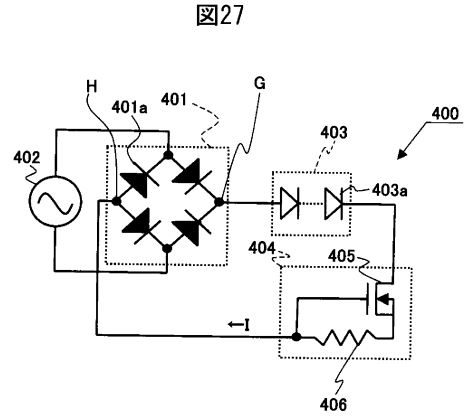
【 図 2 4 】



【 図 26 】



【 図 27 】



フロントページの続き

(31)優先権主張番号 特願2013-171090(P2013-171090)

(32)優先日 平成25年8月21日(2013.8.21)

(33)優先権主張国 日本国(JP)

(74)代理人 100151459

弁理士 中村 健一

(72)発明者 堺 圭亮

東京都西東京市田無町六丁目1番12号 シチズンホールディングス株式会社内

(72)発明者 秋山 貴

山梨県富士吉田市上暮地一丁目23番1号 シチズン電子株式会社内

(72)発明者 後藤 聡

山梨県富士吉田市上暮地一丁目23番1号 シチズン電子株式会社内

(72)発明者 渡辺 茂久

山梨県富士吉田市上暮地一丁目23番1号 シチズン電子株式会社内

(72)発明者 山田 達郎

山梨県富士吉田市上暮地一丁目23番1号 シチズン電子株式会社内

審査官 大西 孝宣

(56)参考文献 国際公開第2013/011924(WO, A1)

特開2011-040701(JP, A)

特開平09-270555(JP, A)

特開平06-045674(JP, A)

特開昭62-273787(JP, A)

特開平10-004213(JP, A)

特開平06-326384(JP, A)

特開2002-190392(JP, A)

特開2010-225742(JP, A)

国際公開第2011/139624(WO, A1)

国際公開第2011/096585(WO, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 33/00 - 33/64

H05B 37/00 - 39/10