

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-533201
(P2019-533201A)

(43) 公表日 令和1年11月14日(2019.11.14)

| (51) Int.Cl. | F I | テーマコード (参考) |
|------------------------------|----------------|-------------|
| G09G 3/20 (2006.01) | G09G 3/20 622E | 5B074 |
| G09G 3/36 (2006.01) | G09G 3/20 621M | 5C006 |
| G09G 3/3266 (2016.01) | G09G 3/20 680G | 5C080 |
| G11C 19/28 (2006.01) | G09G 3/20 612L | 5C380 |
| | G09G 3/20 612K | |

審査請求 有 予備審査請求 未請求 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2019-521397 (P2019-521397)
 (86) (22) 出願日 平成28年12月15日 (2016.12.15)
 (85) 翻訳文提出日 平成31年4月22日 (2019.4.22)
 (86) 国際出願番号 PCT/CN2016/110146
 (87) 国際公開番号 W02018/107440
 (87) 国際公開日 平成30年6月21日 (2018.6.21)

(71) 出願人 519075007
 深▲セン▼市柔宇科技有限公司
 SHENZHEN ROYOLE TECHNOLOGIES CO., LTD.
 中華人民共和国 518172 広東省深
 ▲セン▼市竜崗区清林西路深▲セン▼市留
 学人員 (竜崗) 創業園一園320
 Room 320, Overseas High-Tech Venture Park 1, Qinglin West Road, Longgang District, Shenzhen, Guangdong 518172 (CN)
 (74) 代理人 110002734
 特許業務法人藤本パートナーズ
 最終頁に続く

(54) 【発明の名称】 GOA回路、アレイ基板及び表示装置

(57) 【要約】

GOA回路(10)、アレイ基板(100)、及び表示装置(1000)であって、GOA回路(10)は、画素マトリクス(20)に走査パルス信号を提供する。GOA回路(10)はカスケード接続された複数のGOAユニット(12)を含む。GOAユニット(12)は、第1イネーブル入力端(ENA)と、第2イネーブル入力端(ENB)と、第1出力端(OUTA)と、第2出力端(OUTB)と、第1ノード(PU)と、を含む。第N-2段のGOAユニット(12)の第1出力端(OUTA)は第N段のGOAユニット(12)の第1イネーブル入力端(ENA)に接続され、第N-2段のGOAユニット(12)の第2出力端(OUTB)は第N-1段のGOAユニット(12)の第2イネーブル入力端(ENB)に接続され、Nは2より大きい自然数である。第2出力端(OUTB)は走査パルス信号を画素マトリクス(20)に出力する。GOAユニット(12)は、プルアップ維持ユニット(121)をさらに含む。プルアップ維持ユニット(121)は第2イネーブル入力端(ENB)と第1ノード(PU)とに接続され

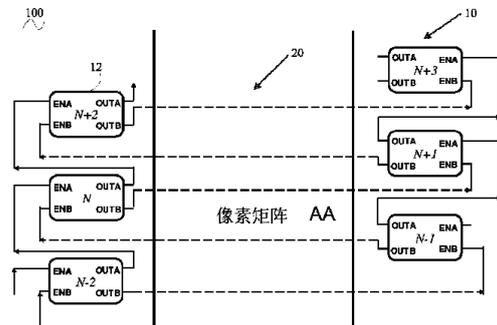


図 1

AA Pixel matrix

【特許請求の範囲】

【請求項 1】

画素マトリックスに走査パルス信号を提供するための G O A 回路であって、

前記 G O A 回路は、カスケード接続された複数の G O A ユニットのうち、前記 G O A ユニットの第 1 イネーブル入力端と、第 2 イネーブル入力端と、第 1 出力端と、第 2 出力端と、第 1 ノードと、を含み、

第 N - 2 段の前記 G O A ユニットの第 1 出力端は第 N 段の前記 G O A ユニットの第 1 イネーブル入力端に接続され、第 N - 2 段の前記 G O A ユニットの第 2 出力端は第 N - 1 段の前記 G O A ユニットの第 2 イネーブル入力端に接続され、N は 2 より大きい自然数であり、前記第 2 出力端は走査パルス信号を前記画素マトリックスに出力し

10

、
前記 G O A ユニットのうち、プルアップ維持ユニットをさらに含み、前記プルアップ維持ユニットは、前記第 2 イネーブル入力端と前記第 1 ノードとに接続され、前記プルアップ維持ユニットは、前記第 1 ノードを充電して前記第 1 ノードの電圧を第 1 設定電圧に維持する、

ことを特徴とする G O A 回路。

【請求項 2】

前記画素マトリックスは、複数行の画素を含み、各段の前記 G O A ユニットの第 2 出力端は、前記画素マトリックスの対応する 1 行の画素に走査パルス信号を出力し、前記 1 行の画素は次の段の前記 G O A ユニットの第 2 イネーブル入力端に接続される、

20

ことを特徴とする請求項 1 に記載の G O A 回路。

【請求項 3】

隣接する 2 つの段の前記 G O A ユニットのうち、前記画素マトリックスの両側に位置する、ことを特徴とする請求項 1 に記載の G O A 回路。

【請求項 4】

前記プルアップ維持ユニットは、第 4 トランジスタを含み、

前記第 4 トランジスタのゲートとソースが前記第 2 イネーブル入力端に接続され、且つドレインが前記第 1 ノードに接続される、

ことを特徴とする請求項 1 に記載の G O A 回路。

【請求項 5】

30

前記 G O A ユニットのうち、プルダウンユニットと、プルアップ制御ユニットと、ブートストラップコンデンサと、プルアップユニットと、第 2 ノードと、第 3 ノードと、第 1 クロック信号端と、第 2 クロック信号端と、リセット端と、ローレベル端と、を含み、

前記プルダウンユニットは、前記第 1 ノードと、前記リセット端と、前記ローレベル端とに接続され、前記プルアップ制御ユニットは、前記第 1 ノードを放電して前記第 1 ノードの電圧を前記第 1 設定電圧より小さい第 2 設定電圧に抑制し、前記プルアップ制御ユニットは、前記第 1 イネーブル入力端と前記第 1 ノードとに接続され、前記プルアップ制御ユニットは、前記第 1 ノードを充電して前記第 1 ノードの電圧を前記第 1 設定電圧まで上昇させ、前記ブートストラップコンデンサの一端は前記第 1 ノードに接続され、前記ブートストラップコンデンサの他端は前記第 1 出力端に接続され、前記プルアップユニットは、前記第 1 クロック信号端と、前記第 2 クロック信号端と、前記第 1 ノードと、前記ローレベル端と、前記第 1 出力端と、前記第 2 出力端とに接続され、前記プルアップユニットは、前記第 2 ノードと前記第 3 ノードとを放電して前記プルダウンユニットをオフにする、

40

ことを特徴とする請求項 1 に記載の G O A 回路。

【請求項 6】

前記プルダウンユニットは、第 2 トランジスタと、第 10 トランジスタと、第 11 トランジスタと、第 12 トランジスタと、第 14 トランジスタと、を含み、前記第 2 トランジスタのゲートは前記リセット端に接続され、前記第 2 トランジスタのソースは前記第 1 ノードに接続され、前記第 2 トランジスタのドレインは前記ローレベル端に接続され、前記第 10 トランジスタのゲートは前記第 3 ノードに接続され、前記第 10 トランジスタのソ

50

ースは前記第 1 ノードに接続され、前記第 10 トランジスタのドレインは前記ローレベル端に接続され、前記第 11 トランジスタのゲートは前記第 3 ノードに接続され、前記第 11 トランジスタのソースは前記第 2 出力端に接続され、前記第 11 トランジスタのドレインは前記ローレベル端に接続され、前記第 12 トランジスタのゲートは前記リセット端に接続され、前記第 12 トランジスタのソースは前記第 2 出力端に接続され、前記第 12 トランジスタのドレインは前記ローレベル端に接続され、前記第 14 トランジスタのゲートは前記第 3 ノードに接続され、前記第 14 トランジスタのソースは前記第 1 出力端に接続され、前記第 14 トランジスタのドレインは前記ローレベル端に接続される、

ことを特徴とする請求項 5 に記載の G O A 回路。

【請求項 7】

10

前記プルアップ制御ユニットは、第 1 トランジスタを含み、

前記第 1 トランジスタのゲートとソースが前記第 1 イネーブル入力端に接続され、且つドレインが前記第 1 ノードに接続される、

ことを特徴とする請求項 5 に記載の G O A 回路。

【請求項 8】

前記プルアップユニットは、第 3 トランジスタと、第 5 トランジスタと、第 6 トランジスタと、第 7 トランジスタと、第 8 トランジスタと、第 9 トランジスタと、第 13 トランジスタと、を含み、前記第 3 トランジスタのゲートは前記第 1 ノードに接続され、前記第 3 トランジスタのソースは前記第 2 クロック信号端に接続され、前記第 3 トランジスタのドレインは前記第 1 出力端に接続され、前記第 5 トランジスタのゲートは前記第 2 ノードに接続され、前記第 5 トランジスタのソースは前記第 2 クロック信号端に接続され、前記第 5 トランジスタのドレインは前記第 3 ノードに接続され、前記第 6 トランジスタのゲートは前記第 1 ノードに接続され、前記第 6 トランジスタのソースは前記第 3 ノードに接続され、前記第 6 トランジスタのドレインは前記ローレベル端に接続され、前記第 7 トランジスタのゲートは前記第 1 クロック信号端に接続され、前記第 7 トランジスタのソースは前記第 3 ノードに接続され、前記第 7 トランジスタのドレインは前記ローレベル端に接続され、前記第 8 トランジスタのゲートは前記第 1 クロック信号端に接続され、前記第 8 トランジスタのソースは前記第 2 ノードに接続され、前記第 8 トランジスタのドレインは前記ローレベル端に接続され、前記第 9 トランジスタのゲートとソースとは前記第 2 クロック信号端に接続され、前記第 9 トランジスタのドレインは前記第 2 ノードに接続され、前記第 13 トランジスタのゲートは前記第 1 ノードに接続され、前記第 13 トランジスタのソースは前記第 2 クロック信号端に接続され、前記第 13 トランジスタのドレインは前記第 2 出力端に接続される、

20

30

ことを特徴とする請求項 5 に記載の G O A 回路。

【請求項 9】

第 1 段の前記 G O A ユニットの第 1 イネーブル入力端は、第 1 段の前記 G O A ユニットを開始させるための第 1 開始信号を受信し、第 2 段の前記 G O A ユニットの第 1 イネーブル入力端は、第 2 段の前記 G O A ユニットを開始させるための第 2 開始信号を受信する、

ことを特徴とする請求項 1 に記載の G O A 回路。

【請求項 10】

40

前記第 1 クロック信号端と前記第 2 クロック信号端との位相差は、半周期である、

ことを特徴とする請求項 5 に記載の G O A 回路。

【請求項 11】

第 N - 2 段の前記 G O A ユニットの第 1 クロック信号端と第 N 段の前記 G O A ユニットの第 2 クロック信号端とは、第 1 クロック信号を受信し、第 N - 2 段の前記 G O A ユニットの第 2 クロック信号端と第 N 段の前記 G O A ユニットの第 1 クロック信号端とは、第 3 クロック信号を受信し、第 N - 1 段の前記 G O A ユニットの第 1 クロック信号端と第 N + 1 段の前記 G O A ユニットの第 2 クロック信号端とは、第 2 クロック信号を受信し、第 N - 1 段の前記 G O A ユニットの第 2 クロック信号端と第 N + 1 段の前記 G O A ユニットの第 1 クロック信号端とは、第 4 クロック信号を受信す

50

る、

ことを特徴とする請求項 5 に記載の G O A 回路。

【請求項 1 2】

前記第 1 クロック信号と、前記第 2 クロック信号と、前記第 3 クロック信号と、前記第 4 クロック信号とのデューティ比は、いずれも 2 5 % 以下である、

ことを特徴とする請求項 1 1 に記載の G O A 回路。

【請求項 1 3】

画素マトリックスと、

請求項 1 ~ 1 2 のいずれかに記載の G O A 回路と、を含む、

ことを特徴とするアレイ基板。

10

【請求項 1 4】

請求項 1 3 に記載のアレイ基板を含む、

ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は表示の技術分野に関し、特に G O A 回路、アレイ基板及び表示装置に関する。

【背景技術】

【0 0 0 2】

近年、G O A (G a t e d r i v e r o n a r r a y , アレイ基板ゲートドライバ) 回路は、LCD と A M O L E D などの電子ディスプレイに幅広く応用されている。それが表示パネルの肝心な部分であり、画素マトリックスに走査パルス信号を提供する。G O A 回路は、通常、カスケード接続の形式として設計される。従来のカスケード接続の形式は、トランジスタの漏電、配線ショート或いはオープンサーキットなどのプロセスでのランダムで発生する単一段の回路の故障に敏感である。このようなカスケード接続の形式を有する G O A 回路において、1 つの段の出力にエラーが生じると、当該エラーは G O A リンクに沿って伝送していき、残りの全ての段の回路の出力が失敗してしまうことになる。

20

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 3】

本発明は、従来技術における少なくとも 1 つの技術的課題を解決することを目的とする。そのため、本発明は、G O A 回路、アレイ基板及び表示装置を提供する。

30

【課題を解決するための手段】

【0 0 0 4】

本発明の実施形態に係る G O A 回路は、画素マトリックスに走査パルス信号を提供し、前記 G O A 回路は、カスケード接続された複数の G O A ユニットの含み、前記 G O A ユニットの、第 1 イネーブル入力端と、第 2 イネーブル入力端と、第 1 出力端と、第 2 出力端と、第 1 ノードと、を含み、

第 N - 2 段の前記 G O A ユニットの第 1 出力端は第 N 段の前記 G O A ユニットの第 1 イネーブル入力端に接続され、第 N - 2 段の前記 G O A ユニットの第 2 出力端は第 N - 1 段の前記 G O A ユニットの第 2 イネーブル入力端に接続され、N は 2 より大きい自然数であり、前記第 2 出力端は走査パルス信号を前記画素マトリックスに出力し、

40

前記 G O A ユニットの、プルアップ維持ユニットをさらに含み、前記プルアップ維持ユニットは、前記第 2 イネーブル入力端と前記第 1 ノードとに接続され、前記プルアップ維持ユニットは、前記第 1 ノードを充電して前記第 1 ノードの電圧を第 1 設定電圧に維持する。

【0 0 0 5】

上記 G O A 回路において、第 N - 2 段の G O A ユニットの第 N - 1 段の G O A ユニットのそれぞれは、第 N 段の第 1 ノードを充電し、隣接する 2 つの段の G O A ユニットのう

50

ち1つの段の出力が故障した場合、第N段の第1ノードは依然として充電され得て、これにより、GOA回路は、通常の動作に戻り、回路の信頼性が向上する。

【0006】

一部の実施形態において、前記画素マトリックスは複数行の画素を含み、各段の前記GOAユニットの前記第2出力端は、前記画素マトリックスの対応する1行の画素に走査パルス信号を出力し、前記1行の画素は次の段の前記GOAユニットの第2イネーブル入力端に接続される。

【0007】

一部の実施形態において、隣接する2つの段の前記GOAユニットは前記画素マトリックスの両側に位置する。

10

【0008】

一部の実施形態において、前記プルアップ維持ユニットは、第4トランジスタを含み、前記第4トランジスタのゲートとソースが前記第2イネーブル入力端に接続され、且つドレインが前記第1ノードに接続される。

【0009】

一部の実施形態において、前記GOAユニットは、プルダウンユニットと、プルアップ制御ユニットと、ブートストラップコンデンサと、プルアップユニットと、第2ノードと、第3ノードと、第1クロック信号端と、第2クロック信号端と、リセット端と、ローレベル端と、を含み、

前記プルダウンユニットは、前記第1ノードと、前記リセット端と、前記ローレベル端とに接続され、前記プルアップユニットは、前記第1ノードを放電して前記第1ノードの電圧を前記第1設定電圧より小さい第2設定電圧に抑制し、前記プルアップ制御ユニットは、前記第1イネーブル入力端と前記第1ノードとに接続され、前記プルアップ制御ユニットは、前記第1ノードを充電して前記第1ノードの電圧を前記第1設定電圧まで上昇させ、前記ブートストラップコンデンサの一端は前記第1ノードに接続され、前記ブートストラップコンデンサの他端は前記第1出力端に接続され、前記プルアップユニットは、前記第1クロック信号端と、前記第2クロック信号端と、前記第1ノードと、前記ローレベル端と、前記第1出力端と、前記第2出力端とに接続され、前記プルアップユニットは、前記第2ノードと前記第3ノードとを放電して前記プルダウンユニットをオフにする。

20

【0010】

一部の実施形態において、前記プルダウンユニットは、第2トランジスタと、第10トランジスタと、第11トランジスタと、第12トランジスタと、第14トランジスタと、を含み、前記第2トランジスタのゲートは前記リセット端に接続され、前記第2トランジスタのソースは前記第1ノードに接続され、前記第2トランジスタのドレインは前記ローレベル端に接続され、前記第10トランジスタのゲートは前記第3ノードに接続され、前記第10トランジスタのソースは前記第1ノードに接続され、前記第10トランジスタのドレインは前記ローレベル端に接続され、前記第11トランジスタのゲートは前記第3ノードに接続され、前記第11トランジスタのソースは前記第2出力端に接続され、前記第11トランジスタのドレインは前記ローレベル端に接続され、前記第12トランジスタのゲートは前記リセット端に接続され、前記第12トランジスタのソースは前記第2出力端に接続され、前記第12トランジスタのドレインは前記ローレベル端に接続され、前記第14トランジスタのゲートは前記第3ノードに接続され、前記第14トランジスタのソースは前記第1出力端に接続され、前記第14トランジスタのドレインは前記ローレベル端に接続される。

30

40

【0011】

一部の実施形態において、前記プルアップ制御ユニットは、第1トランジスタを含み、前記第1トランジスタのゲートとソースが前記第1イネーブル入力端に接続され、且つドレインが前記第1ノードに接続される。

【0012】

一部の実施形態において、前記プルアップユニットは、第3トランジスタと、第5トラ

50

ンジスタと、第 6 トランジスタと、第 7 トランジスタと、第 8 トランジスタと、第 9 トランジスタと、第 13 トランジスタと、を含み、前記第 3 トランジスタのゲートは前記第 1 ノードに接続され、前記第 3 トランジスタのソースは前記第 2 クロック信号端に接続され、前記第 3 トランジスタのドレインは前記第 1 出力端に接続され、前記第 5 トランジスタのゲートは前記第 2 ノードに接続され、前記第 5 トランジスタのソースは前記第 2 クロック信号端に接続され、前記第 5 トランジスタのドレインは前記第 3 ノードに接続され、前記第 6 トランジスタのゲートは前記第 1 ノードに接続され、前記第 6 トランジスタのソースは前記第 3 ノードに接続され、前記第 6 トランジスタのドレインは前記ローレベル端に接続され、前記第 7 トランジスタのゲートは前記第 1 クロック信号端に接続され、前記第 7 トランジスタのソースは前記第 3 ノードに接続され、前記第 7 トランジスタのドレインは前記ローレベル端に接続され、前記第 8 トランジスタのゲートは前記第 1 クロック信号端に接続され、前記第 8 トランジスタのソースは前記第 2 ノードに接続され、前記第 8 トランジスタのドレインは前記ローレベル端に接続され、前記第 9 トランジスタのゲートとソースとは前記第 2 クロック信号端に接続され、前記第 9 トランジスタのドレインは前記第 2 ノードに接続され、前記第 13 トランジスタのゲートは前記第 1 ノードに接続され、前記第 13 トランジスタのソースは前記第 2 クロック信号端に接続され、前記第 13 トランジスタのドレインは前記第 2 出力端に接続される。

10

20

30

40

50

【0013】

一部の実施形態において、第 1 段の前記 G O A ユニットの第 1 イネーブル入力端は、第 1 段の前記 G O A ユニットを開始させるための第 1 開始信号を受信し、第 2 段の前記 G O A ユニットの第 1 イネーブル入力端は、第 2 段の前記 G O A ユニットを開始させるための第 2 開始信号を受信する。

【0014】

一部の実施形態において、前記第 1 クロック信号端と前記第 2 クロック信号端との位相差は、半周期である。

【0015】

一部の実施形態において、第 N - 2 段の前記 G O A ユニットの第 1 クロック信号端と第 N 段の前記 G O A ユニットの第 2 クロック信号端とは、第 1 クロック信号を受信し、第 N - 2 段の前記 G O A ユニットの第 2 クロック信号端と第 N 段の前記 G O A ユニットの第 1 クロック信号端とは、第 3 クロック信号を受信し、第 N - 1 段の前記 G O A ユニットの第 1 クロック信号端と第 N + 1 段の前記 G O A ユニットの第 2 クロック信号端とは、第 2 クロック信号を受信し、第 N - 1 段の前記 G O A ユニットの第 2 クロック信号端と第 N + 1 段の前記 G O A ユニットの第 1 クロック信号端とは、第 4 クロック信号を受信する。

【0016】

一部の実施形態において、前記第 1 クロック信号と、前記第 2 クロック信号と、前記第 3 クロック信号と、前記第 4 クロック信号とのデューティ比は、いずれも 25% 以下である。

【0017】

本発明の実施形態に係るアレイ基板であって、画素マトリックスと上記いずれか 1 つの実施形態に記載の G O A 回路と、を含む。

【0018】

上記アレイ基板において、第 N 段の G O A ユニットと第 N + 1 段の G O A ユニットとのそれぞれは、第 N + 2 段の第 1 ノードを充電し、隣接する 2 つの段の G O A ユニットのうち 1 つの段の出力が故障した場合、第 N + 2 段の第 1 ノードは、依然として充電され得て、これにより、G O A 回路は通常の動作に戻り、回路の信頼性が向上する。

【0019】

本発明の実施形態に係る表示装置であって、前記アレイ基板を含む。

【0020】

上記表示装置において、第 N - 2 段の G O A ユニットと第 N - 1 段の G O A ユニットと

のそれぞれは、第N段の第1ノードを充電し、隣接する2つの段のGOAユニットのうち1つの段の出力が故障した場合、第N段の第1ノードは、依然として充電され得て、これにより、GOA回路は、通常の動作に戻り、回路の信頼性が向上する。

【0021】

本発明の付加的特徴及び利点は、一部が以下の説明に示され、一部が以下の説明により明らかになるか、又は、本発明の実施により理解され得る。

【図面の簡単な説明】

【0022】

本発明の上記及び/又は付加的特徴及び利点は、下記の図面を参照した実施形態を説明することにより、明らかになり、理解され易くなる。

【図1】本発明の実施形態に係るアレイ基板の構成模式図である。

【図2】本発明の実施形態に係るGOAユニットの機能モジュール模式図である。

【図3】本発明の実施形態に係るGOAユニットの回路仕組み図である。

【図4】本発明の実施形態に係る表示装置の機能モジュール模式図である。

【図5】本発明の実施形態に係るGOA回路のカスケード仕組み図である。

【図6】本発明の実施形態に係るGOA回路のタイミング図である。

【図7】本発明の実施形態に係るGOAユニットの第1段階の動作波形図である。

【図8】本発明の実施形態に係るGOAユニットの第1段階の動作仕組み図である。

【図9】本発明の実施形態に係るGOAユニットの第2段階の動作波形図である。

【図10】本発明の実施形態に係るGOAユニットの第2段階の動作仕組み図である。

【図11】本発明の実施形態に係るGOAユニットの第3段階の動作波形図である。

【図12】本発明の実施形態に係るGOAユニットの第3段階の動作仕組み図である。

【図13】本発明の実施形態に係るGOAユニットの第4段階の動作波形図である。

【図14】本発明の実施形態に係るGOAユニットの第4段階の動作仕組み図である。

【図15】本発明の実施形態に係るGOAユニットの第5段階の動作波形図である。

【図16】本発明の実施形態に係るGOAユニットの第5段階の動作仕組み図である。

【図17】本発明の実施形態に係るGOAユニットの第6段階の動作波形図である。

【図18】本発明の実施形態に係るGOAユニットの第6段階の動作仕組み図である。

【図19】本発明の実施形態に係るGOAユニットの第7段階の動作波形図である。

【図20】本発明の実施形態に係るGOAユニットの第7段階の動作仕組み図である。

【図21】本発明の実施形態に係るGOAユニットの第8段階の動作波形図である。

【図22】本発明の実施形態に係るGOAユニットの第8段階の動作仕組み図である。

【図23】従来のGOAユニットの仕組み図である。

【図24】単一段の出力が故障した場合の従来のGOAユニットと本発明の実施形態のGOA回路との動作波形の比較図である。

【図25】隣接する2つの段のGOAユニットにショートが発生した場合の本発明の実施形態のGOA回路の回路模式図である。

【図26】隣接する2つの段のGOAユニットにショートが発生した場合の本発明の実施形態のGOA回路の動作波形図である。

【発明を実施するための形態】

【0023】

以下に、本発明の実施形態を詳細に説明する。前記実施形態の例が図面に示されるが、同一又は類似する符号は、常に、同一又は類似する部品、或いは、同一又は類似する機能を有する部品を表す。以下に、図面を参照しながら説明される実施形態は例示するものであり、本発明を解釈するためだけに用いられ、本発明を限定するものと理解してはならない。

【0024】

なお、本発明の実施形態の説明において、「中心」、「縦方向」、「横方向」、「長さ」、「幅」、「厚み」、「上」、「下」、「前」、「後」、「左」、「右」、「鉛直」、「水平」、「頂」、「底」、「内」、「外」、「時計回り」、「逆時計回り」などの用語

10

20

30

40

50

が示す方位又は位置関係は、図面に示す方位又は位置関係に基づき、本発明を便利に又は簡単に説明するためのものであり、指定された装置又は部品が特定の方位にあり、特定の方位において構造され操作されると指示又は暗示するものではないので、本発明を限定するものと理解してはいけない。なお、「第1」、「第2」の用語は目的を説明するためのものに過ぎず、相対的な重要性を指示又は暗示するか、或いは示された技術的特徴の数を默示的に指示すると理解してはいけない。ここで、「第1」、「第2」が限定されている特徴は1つ又はより多くの前記特徴を含むことを明示又は暗示し得るものである。本発明の説明において、明確且つ具体的な限定がない限り、「複数」とは、2つ以上のことを意味する。

【0025】

なお、本発明の実施形態の説明において、明確な規定および限定がない限り、「取り付け」、「互いに接続」、「接続」の用語の意味は広く理解されるべきである。例えば、固定接続や、着脱可能な接続や、或いは一体的な接続でも可能である。機械的な接続や、電気的な接続や、或いは互いに通信することも可能である。直接的に接続することや、中間媒体を介して間接的に接続することや、2つの部品の内部が連通することや、或いは2つの部品の間に相互の作用関係があることも可能である。当業者にとって、具体的な状況に基づいて上記用語の本発明においての具体的な意味を理解することができる。

【0026】

本発明の実施形態において、明確な規定及び限定がない限り、第1の特徴が第2の特徴の「上」又は「下」にあることは、第1の特徴と第2の特徴とが直接的に接触することを含んでもよいし、第1の特徴と第2の特徴とが直接的に接触することではなくそれらの間の別の特徴を介して接触することを含んでもよい。また、第1の特徴が第2の特徴の「上」、「上方」又は「上面」にあることは、第1の特徴が第2の特徴の真上及び斜め上にあることを含むか、或いは、単に第1の特徴の水平高さが第2の特徴より高いことだけを表す。第1の特徴が第2の特徴の「下」、「下方」又は「下面」にあることは、第1の特徴が第2の特徴の真下及び斜め下にあることを含むか、或いは、単に第1の特徴の水平高さが第2の特徴より低いことだけを表す。

【0027】

以下の説明において、多くの異なる実施形態又は例を提供することにより本発明の実施形態の異なる構成を実現する。本発明の説明を簡潔にするため、以下に特定の例の部材及び配置について説明する。勿論、これらは例示に過ぎず、本発明を限定することを意図していない。また、本発明は、異なる例において参照数字及び/又は参照アルファベットを重複することができる。このような重複は、簡潔及び明瞭にするためのものであり、それ自体は検討する各種の実施例及び/又は配置の間の関係を示すものではない。また、本発明は、さまざまな特定のプロセス及び材料の例を挙げているが、当業者は、他のプロセスの適用及び/又は他の材料の使用も考えることが可能である。

【0028】

本発明の全ての実施形態で使用されるトランジスタのそれぞれが電界効果トランジスタであってもよく、さらに具体的には、薄膜トランジスタ(Thin-film transistor, TFT)であってもよい。ここで使用される電界効果トランジスタのソースとドレインとが対称的であるため、通常、互いに交換して使用することができる。電界効果トランジスタのゲート以外の2つの極を容易に区分するために、図面における態様に基づいて電界効果トランジスタの上側端をソースとし、中間端をゲートとし、下側端をドレインとして規定することができる。

【0029】

図1及び図3を参照し、本発明の実施形態に係るGOA回路10は画素マトリックス20に走査パルス信号を提供する。GOA回路10は、カスケード接続された複数のGOAユニット12を含む。GOAユニット12は、第1イネーブル入力端ENAと、第2イネーブル入力端ENBと、第1出力端OUTAと、第2出力端OUTBと、第1ノードPUと、を含む。第N-2段のGOAユニット12の第1出力端OUTAは、第N段のGOA

10

20

30

40

50

ユニット12の第1イネーブル入力端ENAに接続され、第N-2段のGOAユニット12の第2出力端OUTBは、第N-1段のGOAユニット12の第2イネーブル入力端ENBに接続され、Nは2より大きい自然数である。第2出力端OUTBは、走査パルス信号を画素マトリックス20に出力する。GOAユニット12は、プルアップ維持ユニット121をさらに含む。プルアップ維持ユニット121は第2イネーブル入力端ENBと第1ノードPUとに接続される。プルアップ維持ユニット121は、第1ノードPUを充電して第1ノードPUの電圧を第1設定電圧VGHに維持する。

【0030】

前記GOA回路10において、第N-2段のGOAユニット12と第N-1段のGOAユニット12とのそれぞれは、第N段の第1ノードPUを充電し、隣接する2つの段のGOAユニット12のうち1つの段の出力が故障した場合、第N段の第1ノードPUは、依然として充電され得て、これにより、GOA回路10が通常の動作に戻り、回路の信頼性が向上する。

10

【0031】

第1ノードPUが正常に充電される場合、GOAユニット12のブートストラップ出力中に、第1ノードPUの電圧が、さらに $(2VGH - VGL)$ まで上昇するため、第2出力端OUTBは、第1設定電圧VGHを出力するようになり、正常に画素マトリックス20に走査パルス信号を提供することができる。ここで、VGLは第2設定電圧である。第1設定電圧VGHは、ハイレベル電圧であってよく、第2設定電圧VGLはローレベル電圧であってよい。

20

【0032】

本発明の実施形態に係るアレイ基板100は、画素マトリックス20とGOA回路10とを含む。

【0033】

図4を参照し、本発明の実施形態に係るアレイ基板100は、本発明の実施形態に係る表示装置1000に適用することができる。

【0034】

一部の例において、表示装置は、LCD(Liquid Crystal Display, 液晶ディスプレイ)或いはAMOLED(Active-matrix organic light emitting diode, アクティブマトリックス有機発光ダイオード)などの電子ディスプレイであってよい。

30

【0035】

一部の実施形態において、画素マトリックス20は、複数行の画素(図示せず)を含み、各段のGOAユニット12の第2出力端OUTBは、画素マトリックス20の対応する1行の画素(図示せず)に走査パルス信号を出力し、1行の画素(図示せず)は、次の段のGOAユニット12の第2イネーブル入力端ENBに接続される。

【0036】

一部の実施形態において、隣接する2つの段のGOAユニット12は、画素マトリックス20の両側に位置する。

【0037】

このようにすることで、隣接する2つの段のGOAユニット12の出力が同時に故障する確率は、大幅に低減される。

40

【0038】

一部の実施形態において、プルアップ維持ユニット121は、第4トランジスタM4を含み、第4トランジスタM4のゲートとソースとは第2イネーブル入力端ENBに接続され、第4トランジスタM4のドレインは第1ノードPUに接続される。

【0039】

このようにすることで、たとえ第1ノードPUが予備充電後に放電されたとしても、その後の保持段階において、第4トランジスタM4は、依然として第1ノードPUの電圧を第1設定電圧VGHまで再度プルアップすることに寄与する。

50

【 0 0 4 0 】

一部の実施形態において、GOAユニット12は、プルダウンユニット122と、プルアップ制御ユニット123と、ブートストラップコンデンサCと、プルアップユニット124と、第2ノードPD1と、第3ノードPDと、第1クロック信号端CLKと、第2クロック信号端CLKBと、リセット端CLKRSTと、ローレベル端VGLと、を含む。プルダウンユニット122は、第1ノードPUと、リセット端CLKRSTと、ローレベル端VGLとに接続される。プルダウンユニット122は、第1ノードPUを放電して第1ノードPUの電圧を第1設定電圧VGHより小さい第2設定電圧VGLに抑制する。プルアップ制御ユニット123は、第1イネーブル入力端ENAと第1ノードPUとに接続される。プルアップ制御ユニット123は、第1ノードPUを充電して第1ノードPUの電圧を第1設定電圧VGHまで上昇させる。ブートストラップコンデンサCの一端は第1ノードPUに接続される。ブートストラップコンデンサCの他端は第1出力端OUTAに接続される。プルアップユニット124は、第1クロック信号端CLK、第2クロック信号端CLKB、第1ノードPU、ローレベル端VGL、第1出力端OUTA、及び第2出力端OUTBに接続される。プルアップユニット124は、第2ノードPD1と第3ノードPDとを放電してプルダウンユニット122をオフにする。

10

【 0 0 4 1 】

なお、ブートストラップコンデンサCは、第1ノードPUの電圧を2次上昇させる。

【 0 0 4 2 】

一部の実施形態において、プルダウンユニット122は、第2トランジスタM2と、第10トランジスタM10と、第11トランジスタM11と、第12トランジスタM12と、第14トランジスタM14と、を含む。第2トランジスタM2のゲートはリセット端CLKRSTに接続される。第2トランジスタM2のソースは第1ノードPUに接続される。第2トランジスタM2のドレインは、ローレベル端VGLに接続される。第10トランジスタM10のゲートは第3ノードPDに接続される。第10トランジスタM10のソースは第1ノードPUに接続される。第10トランジスタM10のドレインはローレベル端VGLに接続される。第11トランジスタM11のゲートは第3ノードPDに接続される。第11トランジスタM11のソースは第2出力端OUTBに接続される。第11トランジスタM11のドレインはローレベル端VGLに接続される。第12トランジスタM12のゲートはリセット端CLKRSTに接続される。第12トランジスタM12のソースは第2出力端OUTBに接続される。第12トランジスタM12のドレインはローレベル端VGLに接続される。第14トランジスタM14のゲートは第3ノードPDに接続される。第14トランジスタM14のソースは第1出力端OUTAに接続される。第14トランジスタM14のドレインはローレベル端VGLに接続される。

20

30

【 0 0 4 3 】

なお、プルダウンユニット122は、第1ノードPUと第2出力端OUTBノードとにおける残留電荷を放電して、この2つのノードを第2設定電圧VGLに抑制することができる。

【 0 0 4 4 】

一部の実施形態において、プルアップ制御ユニット123は、第1トランジスタM1を含む。第1トランジスタM1のゲートとソースとは第1イネーブル入力端ENAに接続される。第1トランジスタM1のドレインは第1ノードPUに接続される。

40

【 0 0 4 5 】

一部の実施形態において、プルアップユニット124は、第3トランジスタM3と、第5トランジスタM5と、第6トランジスタM6と、第7トランジスタM7と、第8トランジスタM8と、第9トランジスタM9と、第13トランジスタM13と、を含む。第3トランジスタM3のゲートは第1ノードPUに接続される。第3トランジスタM3のソースは第2クロック信号端CLKBに接続される。第3トランジスタM3のドレインは第1出力端OUTAに接続される。第5トランジスタM5のゲートは第2ノードPD1に接続される。第5トランジスタM5のソースは第2クロック信号端CLKBに接続される。第5

50

トランジスタM5のドレインは第3ノードPDに接続される。第6トランジスタM6のゲートは第1ノードPUに接続される。第6トランジスタM6のソースは第3ノードPDに接続される。第6トランジスタM6のドレインはローレベル端VGLに接続される。第7トランジスタM7のゲートは第1クロック信号端CLKに接続される。第7トランジスタM7のソースは第3ノードPDに接続される。第7トランジスタM7のドレインはローレベル端VGLに接続される。第8トランジスタM8のゲートは第1クロック信号端CLKに接続される。第8トランジスタM8のソースは第2ノードPD1に接続される。第8トランジスタM8のドレインはローレベル端VGLに接続される。第9トランジスタM9のゲートとソースとは第2クロック信号端CLKBに接続される。第9トランジスタM9のドレインは第2ノードPD1に接続される。第13トランジスタM13のゲートは第1ノードPUに接続される。第13トランジスタM13のソースは第2クロック信号端CLKBに接続される。第13トランジスタM13のドレインは第2出力端OUTBに接続される。

10

【0046】

図5を参照し、一部の実施形態において、第1段のGOAユニット12の第1イネーブル入力端ENAは第1開始信号STV1を受信する。第2段のGOAユニット12の第1イネーブル入力端ENAは第2開始信号STV2を受信する。第1開始信号STV1は第1段のGOAユニット12を開始させるためのものである。第2開始信号STV2は第2段のGOAユニット12を開始させるためのものである。

20

【0047】

一部の実施形態において、第1クロック信号端CLKと第2クロック信号端CLKBとの位相差は半周期である。

【0048】

一部の実施形態において、第N-2段のGOAユニット12の第1クロック信号端CLKと第N段のGOAユニット12の第2クロック信号端CLKBとは、第1クロック信号CK1を受信し、第N-2段のGOAユニット12の第2クロック信号端CLKBと第N段のGOAユニット12の第1クロック信号端CLKとは、第3クロック信号CK3を受信し、第N-1段のGOAユニット12の第1クロック信号端CLKと第N+1段のGOAユニット12の第2クロック信号端CLKBとは、第2クロック信号CK2を受信し、第N-1段のGOAユニット12の第2クロック信号端CLKBと第N+1段のGOAユニット12の第1クロック信号端CLKとは、第4クロック信号CK4を受信する。

30

【0049】

1つの例において、第N-2段のGOAユニット12のリセット端CLKRSTは、第4クロック信号CK4を受信し、第N-1段のGOAユニット12のリセット端CLKRSTは、第1クロック信号CK1を受信し、第N段のGOAユニット12のリセット端CLKRSTは第2クロック信号CK2を受信し、第N+1段のGOAユニット12のリセット端CLKRSTは、第3クロック信号CK3を受信する。

【0050】

一部の実施形態において、第1クロック信号CK1と、第2クロック信号CK2と、第3クロック信号CK3と、第4クロック信号CK4とのデューティ比は、いずれも25%以下である。

40

【0051】

具体的には、図6を例とし、第1クロック信号CK1と、第2クロック信号CK2と、第3クロック信号CK3と、第4クロック信号CK4とのデューティ比は、いずれも25%であってもよい。第1クロック信号CK1、第2クロック信号CK2、第3クロック信号CK3、及び第4クロック信号CK4は、循環的にハイレベル信号を順次に出力する。一部の実施形態において、第4クロック信号CK4が第1段のGOAユニット12のリセット端CLKRSTをトリガするため、第4クロック信号CK4は、一番先にハイレベル信号を出力して第1段のGOAユニット12のリセット又は初期化動作を完成することができる。第1開始信号STV1と第2開始信号STV2とは、第4クロック信号CK4に

50

続いてハイレベル信号を順次出力して、第1段のGOAユニット12と第2段のGOAユニットとを開始させる。このようにすることで、図6に示す第1段、第2段、及び第3段のGOAユニット12の第2出力端OUTBの初期の出力電圧を得ることができる。

【0052】

本発明の実施形態に係るGOA回路10の動作仕組みを段階を分けて説明する。

【0053】

第1段階：初期段階

図7及び図8を参照し、全てのプルアップトランジスタはオフ状態にあり、リセット端CLKRSTと、第2ノードPD1と、第3ノードPDとは高電位にある。なお、プルアップトランジスタは、第1トランジスタM1と、第3トランジスタM3と、第4トランジスタM4と、第5トランジスタM5と、第6トランジスタM6と、第7トランジスタM7と、第8トランジスタM8と、第9トランジスタM9と、第13トランジスタM13と、を含む。

10

【0054】

第2トランジスタM2と、第10トランジスタM10と、第11トランジスタM11と、第12トランジスタM12と、第14トランジスタM14とをオンにして、第1ノードPUと第2出力端OUTBノードとにおける残留電荷を放電して、第1ノードPUと第2出力端OUTBノードとを第2設定電圧VGLに抑制する。

【0055】

第2段階：予備充電段階

図9及び図10を参照し、第N-2段の第1イネーブル入力端ENAからの信号が上昇し、第1トランジスタM1は第1ノードPUを第1設定電圧VGHまで予備充電する。第1クロック信号端CLKと第1ノードPUとの電圧が同時に上昇する。第6トランジスタM6と、第7トランジスタM7と、第8トランジスタM8とがオンになって、第2ノードPD1と第3ノードPDとが放電される。第3ノードPDの電圧が低下して、第10トランジスタM10と、第11トランジスタM11と、第14トランジスタM14とをオフにする。リセット端CLKRSTの信号が低下して、第2トランジスタM2と第12トランジスタM12とをオフにする。

20

【0056】

第3段階：保持段階

図11及び図12を参照し、第N-2段の第1イネーブル入力端ENAからの信号が低下して、第1トランジスタM1がオフになる。第N-1段の第2イネーブル入力端ENBからの信号が上昇して、第4トランジスタM4をオンにする。第4トランジスタM4は第1ノードPUを充電し続け、第1ノードPUの電圧を第1設定電圧VGHに保持する。第1クロック信号端CLKの信号が低下して、第7トランジスタM7と第8トランジスタM8とをオフにする。

30

このようにすることで、たとえ第1ノードPUが予備充電段階の後に放電されたとしても、保持段階において、第4トランジスタM4は、依然として第1ノードPUの電圧を再度プルアップすることに寄与し、漏電によるリスクを効果的に低減することができる。

【0057】

第4段階：ブートストラップ出力段階

図13及び図14を参照し、第2クロック信号端CLKBのパルスが来ており、既にオンにされた第3トランジスタM3と第13トランジスタM13とによって第1出力端OUTAノードと第2出力端OUTBノードとが充電される。第1出力端OUTAノードの電圧が上昇し、ブートストラップコンデンサCによって第3トランジスタM3のゲート電圧が上昇し続ける。これにより、より多くの電流が第3トランジスタM3を流れて、第1出力端OUTAノードの電圧がさらに上昇する。このプロセスは、第1出力端OUTAノードの電圧が第1設定電圧VGHに達するまで行われる。このとき、第1ノードPUの電圧は、 $(2VGH - VGL)$ に達し、第3トランジスタM3のゲート電圧が閾値電圧より大きいことが保証される。

40

50

【 0 0 5 8 】

第 1 ノード P U の電圧が速やかに上昇するため、第 1 3 トランジスタ M 1 3 のチャネル抵抗が速やかに低下し、第 2 出力端 O U T B ノードによってこの行の画素に走査パルス信号が出力される。

【 0 0 5 9 】

第 5 トランジスタ M 5 と第 9 トランジスタ M 9 とは、このプロセスで第 3 ノード P D を充電して、電圧を上昇させようとするが、第 9 トランジスタ M 9 の遅延によって第 5 トランジスタ M 5 は遅れてオンにされる。しかし、第 1 ノード P U が既に第 1 設定電圧 V G H 領域に入っているため、第 6 トランジスタ M 6 は第 5 トランジスタ M 5 に先立ってオンにされる。第 3 ノード P D の電圧は、より幅広くてより強い第 6 トランジスタ M 6 によって第 2 設定電圧 V G L に保持される。そのため、第 1 0 トランジスタ M 1 0 と、第 1 1 トランジスタ M 1 1 と、第 1 4 トランジスタ M 1 4 とは、オフのままに保持され、前述したブートストラップの出力のプロセスに影響しない。

10

【 0 0 6 0 】

第 5 段階：リセット段階

図 1 5 及び図 1 6 を参照し、リセット端 C L K R S T のパルスは、第 2 トランジスタ M 2 と第 1 2 トランジスタ M 1 2 とをオンにする。この 2 つのトランジスタは第 1 ノード P U と第 2 出力端 O U T B ノードとを効果的に放電して電圧を第 2 設定電圧 V G L まで低下させる。

【 0 0 6 1 】

ブートストラップコンデンサ C の両端の電圧差がステップできないため、第 1 ノード P U の電圧の低下によって第 1 出力端 O U T A ノード電圧が同時に低下するようになる。第 1 ノード P U の電圧が $(2 V G H - V G L)$ から V G L に低下したとき、第 1 出力端 O U T A ノードの電圧は第 2 設定電圧 V G L より低くなる傾向がある。第 1 出力端 O U T A ノードの電圧が $(V G L - V t h)$ より低いと、第 1 4 トランジスタ M 1 4 をオンにして第 1 出力端 O U T A ノードを充電する。そのため、第 1 出力端 O U T A ノードの電圧は V G L と $(V G L - V t h)$ との間に低下し、ここで、V t h は閾値電圧である。

20

【 0 0 6 2 】

第 6 段階：次の第 1 クロック信号端 C L K のパルス段階

図 1 7 及び図 1 8 を参照して、第 7 トランジスタ M 7 と第 8 トランジスタ M 8 とはオンにされ、第 2 ノード P D 1 と第 3 ノード P D とは第 2 設定電圧 V G L まで放電される。第 1 0 トランジスタ M 1 0 と、第 1 1 トランジスタ M 1 1 と、第 1 4 トランジスタ M 1 4 とはそれに伴ってオフされる。

30

【 0 0 6 3 】

第 5 段階が終了した後、第 6 段階、第 7 段階、及び第 8 段階は、連続的に交互に行われ、即ち、第 5 段階、第 6 段階、第 7 段階、第 8 段階... 繰り返すと理解できる。そのため、第 5 段階が終了した後の最初の第 6 段階を除いて、他の第 6 段階は全て第 8 段階が終了した後に行われる。第 7 段階において、第 1 0 トランジスタ M 1 0 と、第 1 1 トランジスタ M 1 1 と、第 1 4 トランジスタ M 1 4 とはオンにされ、第 8 段階において、上記 3 つのトランジスタはオンに維持される。そのため、第 8 段階が終了して、第 6 段階が開始した時に、前記 3 つのトランジスタはオン状態にある。

40

【 0 0 6 4 】

第 7 段階：次の第 2 クロック信号端 C L K B のパルス段階

図 1 9 及び図 2 0 を参照し、第 5 トランジスタ M 5 と第 9 トランジスタ M 9 とは第 2 ノード P D 1 と第 3 ノード P D とを第 1 設定電圧 V G H まで充電する。第 3 ノード P D は第 1 0 トランジスタ M 1 0 と、第 1 1 トランジスタ M 1 1 と、第 1 4 トランジスタ M 1 4 とをオンにする。第 1 ノード P U 、第 1 出力端 O U T A ノード、及び第 2 出力端 O U T B ノードは、それぞれ第 1 0 トランジスタ M 1 0 、第 1 4 トランジスタ M 1 4 、及び第 1 1 トランジスタ M 1 1 によって第 2 設定電圧 V G L に抑制される。

50

【 0 0 6 5 】

第 8 段階：次のリセット端 C L K R S T のパルス段階

図 2 1 及び図 2 2 を参照し、第 2 トランジスタ M 2 と第 1 2 トランジスタ M 1 2 とはオンにされる。第 3 ノード P D は、その前の第 1 設定電圧 V G H に維持され、第 1 0 トランジスタ M 1 0 と、第 1 4 トランジスタ M 1 4 と、第 1 1 トランジスタ M 1 1 とはオンにされ続ける。第 1 ノード P U と、第 1 出力端 O U T A ノードと、第 2 出力端 O U T B ノードとは第 2 設定電圧 V G L に抑制される。

【 0 0 6 6 】

このようにすることで、回路は、第 6 段階、第 7 段階、第 8 段階という 3 つの段階で循環し、第 1 ノード P U と O U T A ノードと O U T B ノードとの電圧は第 2 設定電圧 V G L に抑制される。

10

【 0 0 6 7 】

次のフレーム走査信号が来ると、回路は第 1 段階に戻る。

【 0 0 6 8 】

図 6 に示す G O A 回路 1 0 のタイミング図は、本発明の実施形態における G O A ユニット 1 2 の単一段の動作仕組みに従うものであると理解できる。

【 0 0 6 9 】

図 2 3 及び図 2 4 を参照し、従来の G O A 回路において G O A 回路の一部の G O A ユニットが故障して走査パルスを正常に出力することができなくなった場合、エラーが G O A ユニットに沿ってずっと伝送されていき、残りの全ての G O A ユニットの出力が全部失敗してしまうことになる。しかし、本発明の実施形態の G O A 回路 1 0 において、隣接する 2 つの段の G O A ユニット 1 2 が同時に故障しない限り、G O A 回路 1 0 は、依然として次の段の回路で動作を再開することができ、出力が故障した段数を容易に位置決めことができ、故障分析は容易になる。

20

【 0 0 7 0 】

本発明の実施形態に係る G O A 回路 1 0 は、従来の G O A 回路に比べ、1 つのトランジスタ（即ち、第 4 トランジスタ M 4 ）の追加及び少ない配線の変更を行うだけでよいため、比較的小さい回路面積を保持することができる。

【 0 0 7 1 】

図 2 5 及び図 2 6 を参照し、例えば、第 4 段の G O A ユニット 1 2 と第 5 段の G O A ユニット 1 2 との間にショートが発生し、或いは第 5 段の G O A ユニット 1 2 の第 1 イネーブル入力端 E N A が第 2 イネーブル入力端 E N B にショート接続されると、第 4 段の G O A ユニット 1 2 と第 5 段の G O A ユニット 1 2 とによって出力されたパルスの高さがいずれも低下するが、次の段回路の出力の波形は回復することができる。

30

【 0 0 7 2 】

本発明の説明において、「一実施形態」、「一部の実施形態」、「例示的な実施形態」、「例」、「具体的な例」、又は「一部の例」などの用語を参照した説明とは、前記実施形態又は例を組み合わせて説明された具体的な特徴、構成、材料又は特性が、本発明の少なくとも一実施形態又は例に含まれることを意味する。本明細書において、上記用語に対する例示的な説明は、必ずしも同一の実施形態又は例を示すことではない。また、説明された具体的な特徴、構成、材料又は特性は、いずれか 1 つ又は複数の実施形態又は例において適切に組み合わせることができる。

40

【 0 0 7 3 】

フローチャートにおける、又はここで他の形態で記載された任意のプロセス又は方法は、カスタムロジック機能又はプロセスのステップを実現するための 1 つ又は複数の実行可能な命令コードを含むモジュール、セグメント又は一部を表すと理解されてもよい。また、本発明の好ましい実施形態の範囲は、ここで、示された又は論議された順番ではなく、係る機能に応じてほぼ同時の形態又は逆の順番で機能を実行することができる他の実現を含む。これは、当業者であれば理解すべきものである。

【 0 0 7 4 】

50

フローチャートで示された又はここで他の形態で説明されたロジック及び/又はステップは、例えば、ロジック機能を実現するための実行可能な命令の順番付けられたリストと見なすことができ、任意のコンピュータ読み取り可能な記憶媒体に具体的に実装されて、命令実行システム、装置、又はデバイス（例えばコンピュータに基づいたシステム、プロセッサを含むシステム、又は他の命令実行システム、装置又はデバイスから命令を獲得して命令を実行するシステム）に利用されるか、又はこれらの命令実行システム、装置又はデバイスと組み合わせて利用される。本願明細書において、「コンピュータ読み取り可能な記憶媒体」は、命令実行システム、装置又はデバイスによって、又は、命令実行システム、装置又はデバイスと組み合わせて使用するためのプログラムを含む、格納する、通信する、伝播する、又は伝送することができる任意の装置であってもよい。コンピュータ読み取り可能な記憶媒体のより具体的な例（非限定的なリスト）として、1つ又は複数の配線を備える電気接続部（IPM 過電流保護回路）、ポータブルコンピュータディスクカートリッジ（磁気デバイス）、ランダムアクセスメモリ（RAM）、読み出し専用メモリ（ROM）、消去可能なプログラマブル読み出し専用メモリ（EPROM又はフラッシュメモリ）、光ファイバデバイス、及びポータブルコンパクトディスク読み出し専用メモリ（CDROM）を含む。また、コンピュータ読み取り可能な記憶媒体は、前記プログラムが印刷され得る紙又は他の適切な媒体であってもよく、これは、例えば、紙や他の媒体を光学的スキャンし、次に編集し、解釈し、又は必要な場合に他の適切な形態で処理して前記プログラムを電子的に取得して、そしてコンピュータメモリに格納するからである。

10

20

【0075】

なお、本発明の各部分は、ハードウェア、ソフトウェア、ファームウェア、又はこれらの組み合わせによって実現することができる。上記実施形態において、複数のステップ又は方法は、メモリに記憶された且つ適切な命令実行システムによって実行されるソフトウェア又はファームウェアによって実現することができる。例えば、ハードウェアで実現される場合に、もう1つの実施形態と同様に、本分野において周知である、データ信号に対してロジック機能を実現するためのロジックゲート回路を備える離散ロジック回路、適切な組み合わせロジックゲート回路を備える特定用途向け集積回路、プログラマブルゲートアレイ（PGA）、フィールドプログラマブルゲートアレイ（FPGA）などの当分野の周知技術のうちいずれか1つ又はこれらの組み合わせによって実現することができる。

30

【0076】

普通の当業者であれば、上記の実施形態に係る方法に含まれる全部又は一部のステップは、プログラムによってハードウェアを命令することで実行することができる。前記プログラムは、コンピュータ読み取り可能な記憶媒体に格納することができる。当該プログラムが実行される場合に、方法実施形態におけるステップの1つ又はそれらの組み合わせが実行される。

【0077】

また、本発明の各実施例における各機能ユニットは、1つの処理モジュールに集積されてもよいし、それぞれが個別の物理的存在であってもよいし、2つ以上のユニットが1つのモジュールに集積されてもよい。上記集積モジュールは、ハードウェアの形態で実現されてもよいし、ソフトウェア機能モジュールの形態で実現されてもよい。前記集積モジュールがソフト機能モジュールの形態で実現されるとともに、独立した製品として販売又は使用される場合に、1つのコンピュータ読み取り可能な記憶媒体に記憶されてもよい。

40

【0078】

上記の記憶媒体は、読み出し専用メモリ、磁気ディスク、又はCDなどであってもよい。

【0079】

以上、本発明の実施形態を示して説明したが、上記実施形態は例示するものであり、本発明を限定するためのものであると理解してはいけない。普通の当業者であれば、本発明の範囲内で上記実施形態に対して変更、修正、取り替え、変形を行うことができる。

【符号の説明】

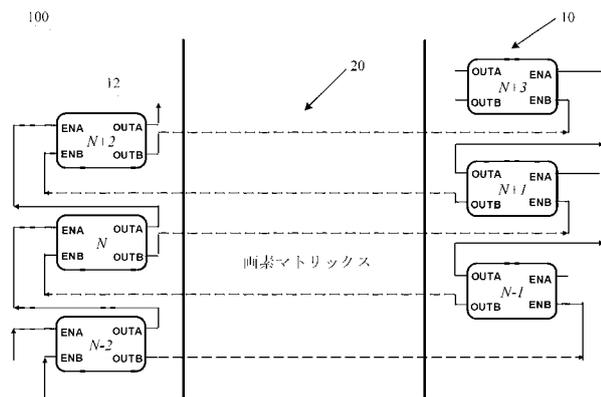
50

【 0 0 8 0 】

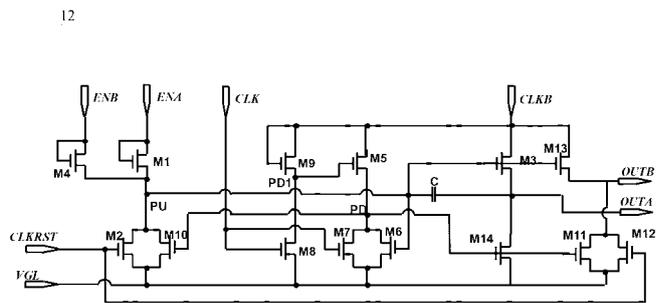
GOA回路10、GOAユニット12、プルアップ維持ユニット121、プルダウンユニット122、プルアップ制御ユニット123、プルアップユニット124、ブートストラップコンデンサC、第1トランジスタM1、第2トランジスタM2、第3トランジスタM3、第4トランジスタM4、第5トランジスタM5、第6トランジスタM6、第7トランジスタM7、第8トランジスタM8、第9トランジスタM9、第10トランジスタM10、第11トランジスタM11、第12トランジスタM12、第13トランジスタM13、第14トランジスタM14、第1イネーブル入力端ENA、第2イネーブル入力端ENB、第1クロック信号端CLK、第2クロック信号端CLKB、第1出力端OUTA、第2出力端OUTB、リセット端CLKRST、第1クロック信号CK1、第2クロック信号CK2、第3クロック信号CK3、第4クロック信号CK4、第1開始信号STV1、第2開始信号STV2、ローレベル端VGL、第1ノードPU、第2ノードPD1、第3ノードPD、
 画素マトリックス20、
 アレイ基板100、
 表示装置1000。

10

【 図 1 】



【 図 3 】



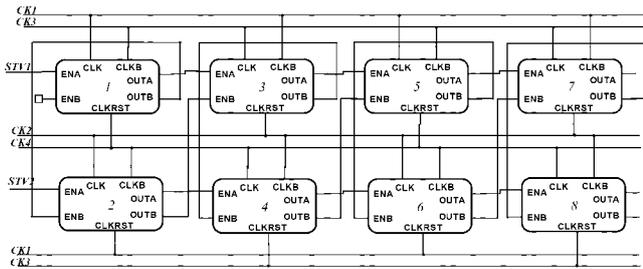
【 図 4 】

【 図 2 】

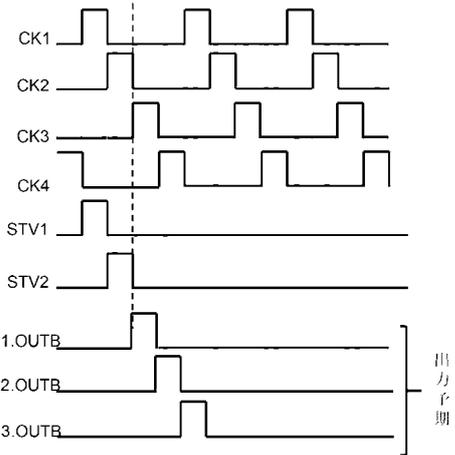


【 図 5 】

10

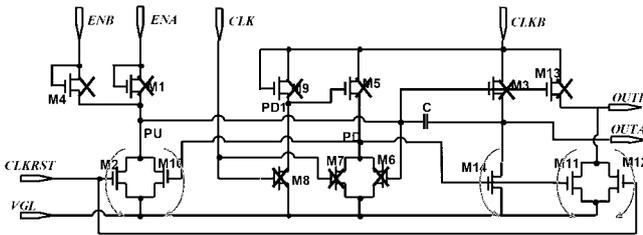


【 図 6 】

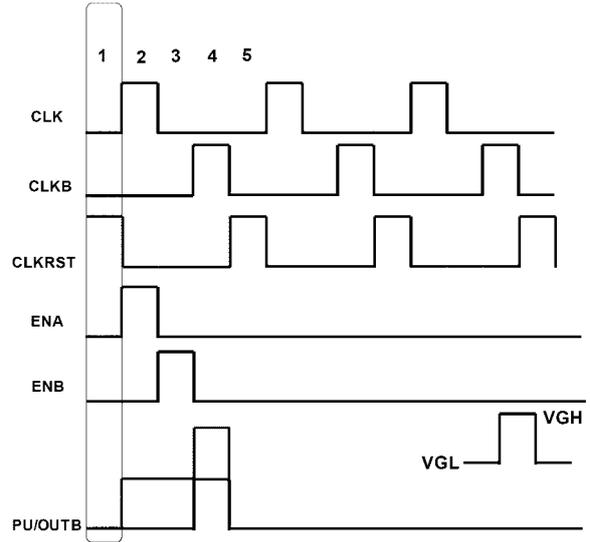


【 図 8 】

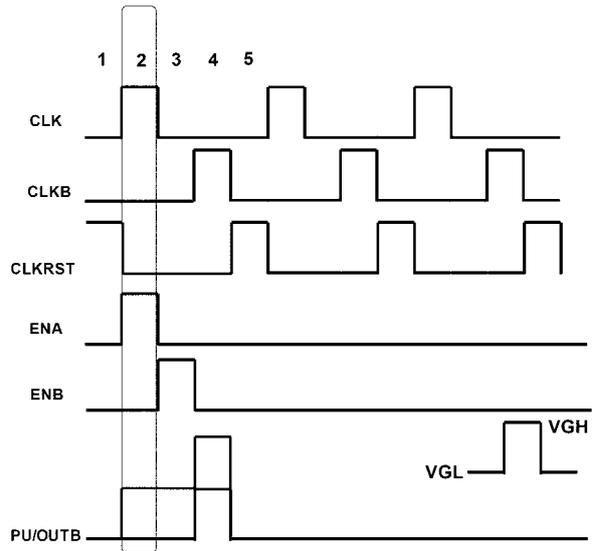
12



【 図 7 】

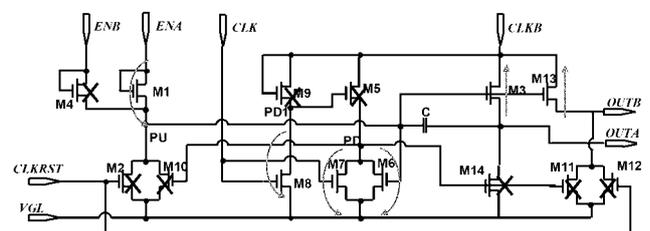


【 図 9 】

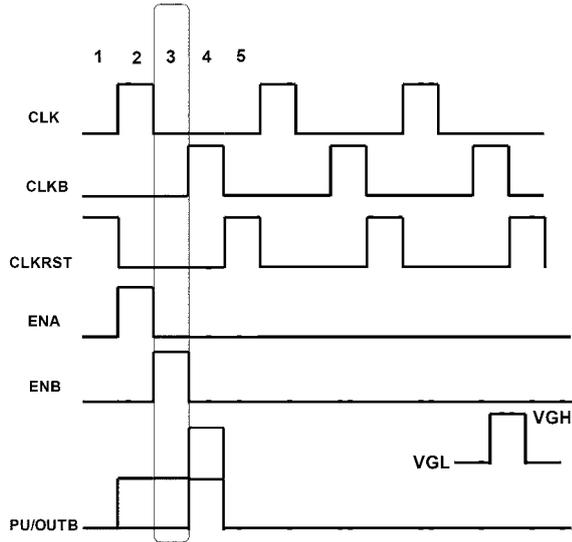


【 図 10 】

12

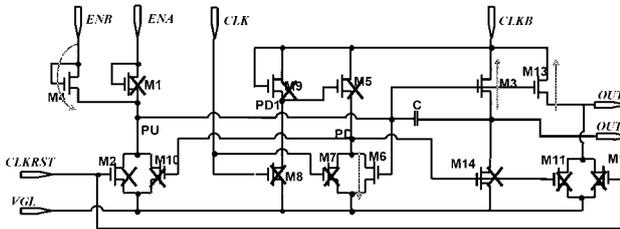


【 図 1 1 】

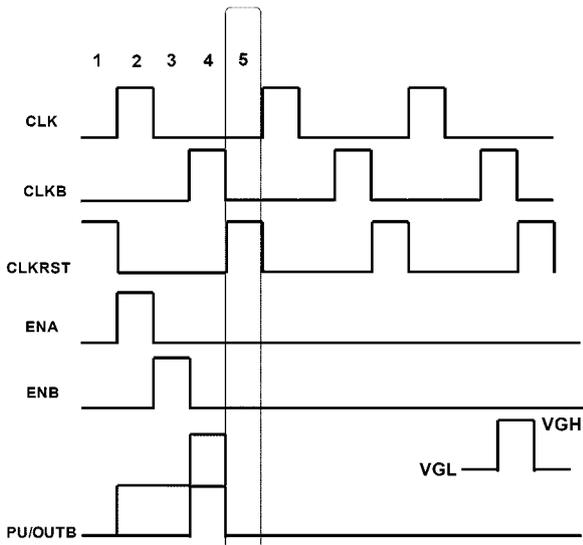


【 図 1 2 】

12

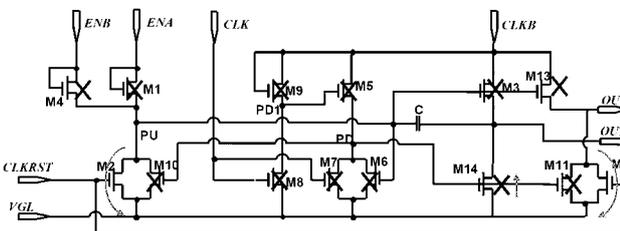


【 図 1 5 】

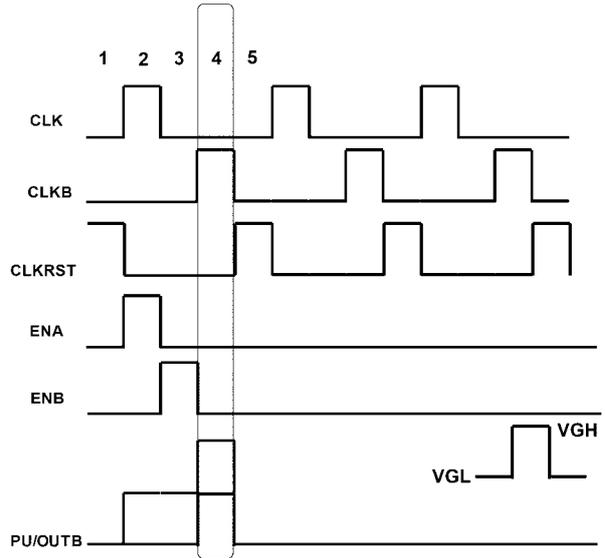


【 図 1 6 】

12

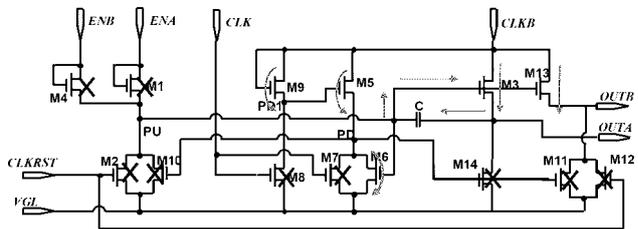


【 図 1 3 】

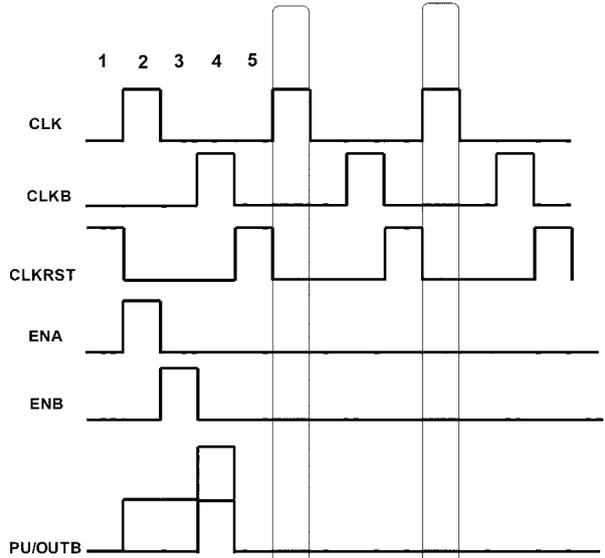


【 図 1 4 】

12

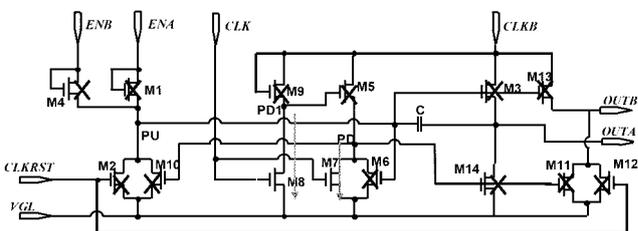


【 図 1 7 】

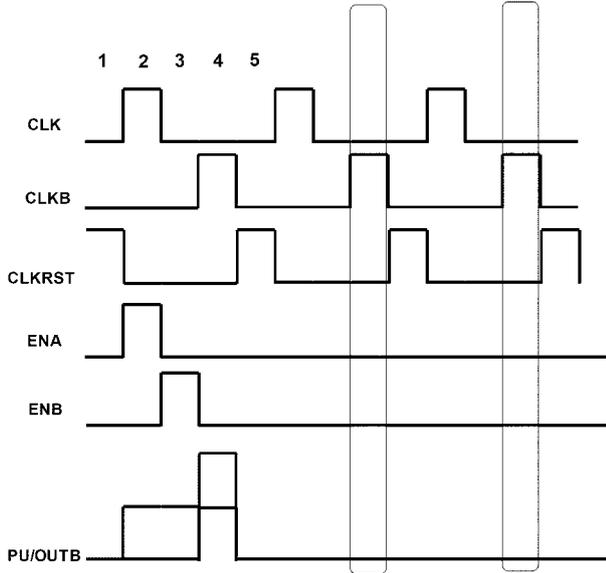


【 図 1 8 】

12

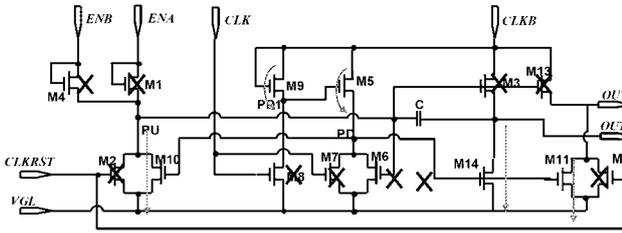


【 図 1 9 】



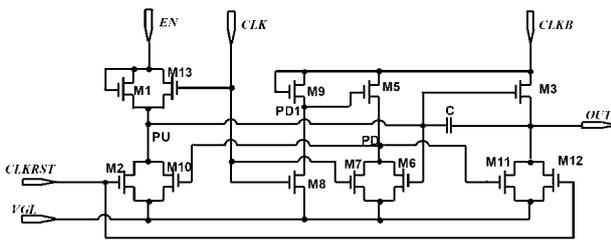
【 図 2 0 】

12

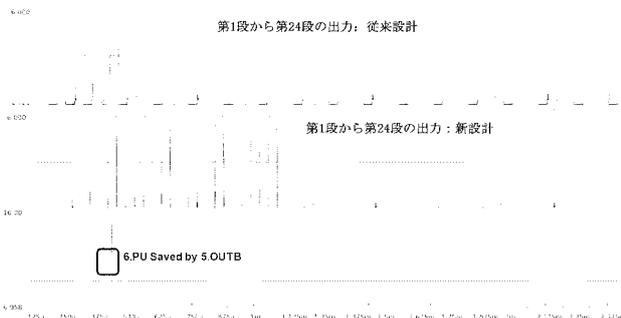


【 図 2 3 】

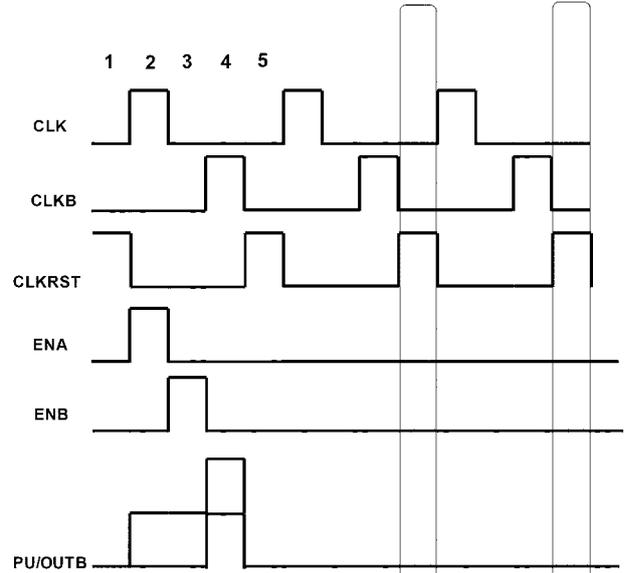
従来のGOAユニットの設計案



【 図 2 4 】

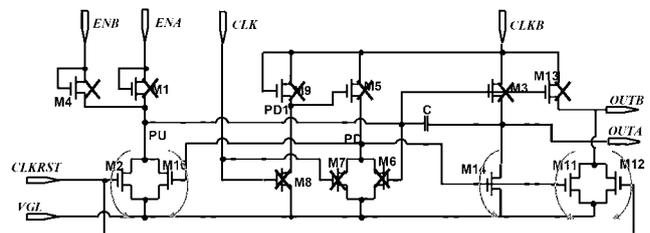


【 図 2 1 】

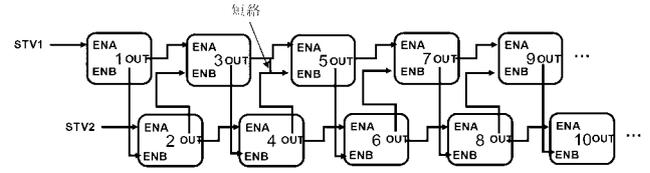


【 図 2 2 】

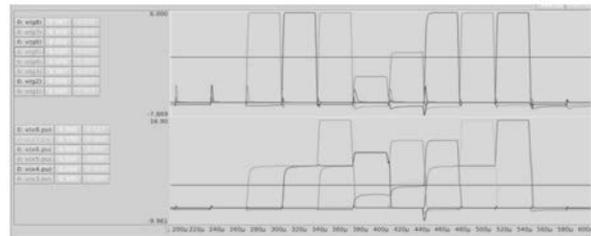
12



【 図 2 5 】



【 図 2 6 】



【 国际調查報告 】

| INTERNATIONAL SEARCH REPORT | | International application No. PCT/CN2016/110146 |
|--|--|--|
| A. CLASSIFICATION OF SUBJECT MATTER | | |
| G11C 19/28 (2006.01) i; G09G 3/36 (2006.01) i | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) | | |
| G11C; G09G | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| CNPAT, CNKI, WPI, EPODOC: 柔宇, 移位寄存, 移位缓存, 移位暂存, 栅极驱动, 扫描驱动, 扫描脉冲, GOA, 两级, 两侧, 相邻, 一同, 同时, 维持, 保持, 上拉, 充电, 前两级, 两边, 第一, 第二, 输入, 输出, 故障, 短路, 问题, gate, scan+, driv???, shift register?, input+, first, second, inlet, output+, outlet | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X | CN 102237031 A (LG DISPLAY CO., LTD.) 09 November 2011 (09.11.2011), description, paragraphs [0030]-[0032], [0078] and [0079], and figures 1, 2 and 8 | 1, 9, 13, 14 |
| Y | CN 102237031 A (LG DISPLAY CO., LTD.) 09 November 2011 (09.11.2011), description, paragraphs [0030]-[0032], [0078] and [0079], and figures 1, 2 and 8 | 3 |
| Y | CN 104505046 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 08 April 2015 (08.04.2015), description, paragraph [0075], and figure 3 | 3 |
| A | CN 101937718 A (AU OPTRONICS CORPORATION) 05 January 2011 (05.01.2011), entire document | 1-14 |
| A | CN 105336300 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.) 17 February 2016 (17.02.2016), entire document | 1-14 |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | |
| Date of the actual completion of the international search 12 July 2017 | Date of mailing of the international search report 28 July 2017 | |
| Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451 | Authorized officer CHU, Xiaohui Telephone No. (86-10) 61648293 | |

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2016/110146

| C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT | | |
|---|---|-----------------------|
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| A | CN 104766586 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.) 08 July 2015 (08.07.2015), entire document | 1-14 |
| A | US 2015042638 A1 (SAMSUNG DISPLAY CO., LTD. et al.) 12 February 2015 (12.02.2015), entire document | 1-14 |

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/110146

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|------------------|--------------------|------------------|
| CN 102237031 A | 09 November 2011 | KR 20110123467 A | 15 November 2011 |
| | | TW 1445309 B | 11 July 2014 |
| | | TW 201141064 A | 16 November 2011 |
| | | US 2011273417 A1 | 10 November 2011 |
| | | US 8878765 B2 | 04 November 2014 |
| | | CN 102237031 B | 09 July 2014 |
| | | KR 101373979 B1 | 14 March 2014 |
| CN 104505046 A | 08 April 2015 | CN 104505046 B | 19 April 2017 |
| | | US 9589664 B2 | 07 March 2017 |
| | | US 2016189794 A1 | 30 June 2016 |
| | | DE 102015106583 A1 | 30 June 2016 |
| CN 101937718 A | 05 January 2011 | CN 101937718 B | 13 February 2013 |
| CN 105336300 A | 17 February 2016 | None | |
| CN 104766586 A | 08 July 2015 | US 2016322115 A1 | 03 November 2016 |
| US 2015042638 A1 | 12 February 2015 | US 9524674 B2 | 20 December 2016 |
| | | US 2017061874 A1 | 02 March 2017 |
| | | KR 20150018969 A | 25 February 2015 |

| 国际检索报告 | | 国际申请号 PCT/CN2016/110146 | | | | | | | | | | | | | | | | | | | | | | | | |
|---|---|-------------------------------------|-----|-------------------|---------|---|---|-----------|---|---|---|---|---|---|---|--|------|---|---|------|---|---|------|---|--|------|
| A. 主题的分类 G11C 19/28(2006.01)i; G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G11C;G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI, WPI, EPODOC: 柔宇, 移位寄存, 移位缓存, 移位暂存, 栅极驱动, 扫描驱动, 扫描脉冲, GOA, 两级, 两侧, 相邻, 一同, 同时, 维持, 保持, 上拉, 充电, 前两级, 两边, 第一, 第二, 输入, 输出, 故障, 短路, 问题, gate, scan+, driv+??, shift register?, input+, first, second, inlet, output+, outlet | | | | | | | | | | | | | | | | | | | | | | | | | | |
| C. 相关文件 <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">类型*</th> <th style="width: 70%;">引用文件, 必要时, 指明相关段落</th> <th style="width: 20%;">相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 102237031 A (乐金显示有限公司) 2011年 11月 9日 (2011-11-09) 说明书第[0030]-[0032], [0078]-[0079]段, 附图1、2、8</td> <td>1、9、13、14</td> </tr> <tr> <td>Y</td> <td>CN 102237031 A (乐金显示有限公司) 2011年 11月 9日 (2011-11-09) 说明书第[0030]-[0032], [0078]-[0079]段, 附图1、2、8</td> <td>3</td> </tr> <tr> <td>Y</td> <td>CN 104505046 A (上海天马微电子有限公司 等) 2015年 4月 8日 (2015-04-08) 说明书第[0075]段, 附图3</td> <td>3</td> </tr> <tr> <td>A</td> <td>CN 101937718 A (友达光电股份有限公司) 2011年 1月 5日 (2011-01-05) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 105336300 A (昆山龙腾光电有限公司) 2016年 2月 17日 (2016-02-17) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104766586 A (合肥京东方光电科技有限公司 等) 2015年 7月 8日 (2015-07-08) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2015042638 A1 (SAMSUNG DISPLAY CO., LTD. 等) 2015年 2月 12日 (2015-02-12) 全文</td> <td>1-14</td> </tr> </tbody> </table> | | | 类型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 | X | CN 102237031 A (乐金显示有限公司) 2011年 11月 9日 (2011-11-09) 说明书第[0030]-[0032], [0078]-[0079]段, 附图1、2、8 | 1、9、13、14 | Y | CN 102237031 A (乐金显示有限公司) 2011年 11月 9日 (2011-11-09) 说明书第[0030]-[0032], [0078]-[0079]段, 附图1、2、8 | 3 | Y | CN 104505046 A (上海天马微电子有限公司 等) 2015年 4月 8日 (2015-04-08) 说明书第[0075]段, 附图3 | 3 | A | CN 101937718 A (友达光电股份有限公司) 2011年 1月 5日 (2011-01-05) 全文 | 1-14 | A | CN 105336300 A (昆山龙腾光电有限公司) 2016年 2月 17日 (2016-02-17) 全文 | 1-14 | A | CN 104766586 A (合肥京东方光电科技有限公司 等) 2015年 7月 8日 (2015-07-08) 全文 | 1-14 | A | US 2015042638 A1 (SAMSUNG DISPLAY CO., LTD. 等) 2015年 2月 12日 (2015-02-12) 全文 | 1-14 |
| 类型* | 引用文件, 必要时, 指明相关段落 | 相关的权利要求 | | | | | | | | | | | | | | | | | | | | | | | | |
| X | CN 102237031 A (乐金显示有限公司) 2011年 11月 9日 (2011-11-09) 说明书第[0030]-[0032], [0078]-[0079]段, 附图1、2、8 | 1、9、13、14 | | | | | | | | | | | | | | | | | | | | | | | | |
| Y | CN 102237031 A (乐金显示有限公司) 2011年 11月 9日 (2011-11-09) 说明书第[0030]-[0032], [0078]-[0079]段, 附图1、2、8 | 3 | | | | | | | | | | | | | | | | | | | | | | | | |
| Y | CN 104505046 A (上海天马微电子有限公司 等) 2015年 4月 8日 (2015-04-08) 说明书第[0075]段, 附图3 | 3 | | | | | | | | | | | | | | | | | | | | | | | | |
| A | CN 101937718 A (友达光电股份有限公司) 2011年 1月 5日 (2011-01-05) 全文 | 1-14 | | | | | | | | | | | | | | | | | | | | | | | | |
| A | CN 105336300 A (昆山龙腾光电有限公司) 2016年 2月 17日 (2016-02-17) 全文 | 1-14 | | | | | | | | | | | | | | | | | | | | | | | | |
| A | CN 104766586 A (合肥京东方光电科技有限公司 等) 2015年 7月 8日 (2015-07-08) 全文 | 1-14 | | | | | | | | | | | | | | | | | | | | | | | | |
| A | US 2015042638 A1 (SAMSUNG DISPLAY CO., LTD. 等) 2015年 2月 12日 (2015-02-12) 全文 | 1-14 | | | | | | | | | | | | | | | | | | | | | | | | |
| <input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 | | | | | | | | | | | | | | | | | | | | | | | | | | |
| 国际检索实际完成的日期 2017年 7月 12日 | | 国际检索报告邮寄日期 2017年 7月 28日 | | | | | | | | | | | | | | | | | | | | | | | | |
| ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451 | | 受权官员 褚晓慧 电话号码 (86-10)61648293 | | | | | | | | | | | | | | | | | | | | | | | | |

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/110146

| 检索报告引用的专利文件 | | | 公布日 (年/月/日) | 同族专利 | | | 公布日 (年/月/日) |
|-------------|------------|----|----------------|------|--------------|----|----------------|
| CN | 102237031 | A | 2011年 11月 9日 | KR | 20110123467 | A | 2011年 11月 15日 |
| | | | | TW | I445309 | B | 2014年 7月 11日 |
| | | | | TW | 201141064 | A | 2011年 11月 16日 |
| | | | | US | 2011273417 | A1 | 2011年 11月 10日 |
| | | | | US | 8878765 | B2 | 2014年 11月 4日 |
| | | | | CN | 102237031 | B | 2014年 7月 9日 |
| | | | | KR | 101373979 | B1 | 2014年 3月 14日 |
| CN | 104505046 | A | 2015年 4月 8日 | CN | 104505046 | B | 2017年 4月 19日 |
| | | | | US | 9589664 | B2 | 2017年 3月 7日 |
| | | | | US | 2016189794 | A1 | 2016年 6月 30日 |
| | | | | DE | 102015106583 | A1 | 2016年 6月 30日 |
| CN | 101937718 | A | 2011年 1月 5日 | CN | 101937718 | B | 2013年 2月 13日 |
| CN | 105336300 | A | 2016年 2月 17日 | 无 | | | |
| CN | 104766586 | A | 2015年 7月 8日 | US | 2016322115 | A1 | 2016年 11月 3日 |
| US | 2015042638 | A1 | 2015年 2月 12日 | US | 9524674 | B2 | 2016年 12月 20日 |
| | | | | US | 2017061874 | A1 | 2017年 3月 2日 |
| | | | | KR | 20150018969 | A | 2015年 2月 25日 |

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

| (51) Int.Cl. | F I | テーマコード(参考) |
|--------------|---------|--------------|
| | G 0 9 G | 3/36 |
| | G 0 9 G | 3/3266 |
| | G 0 9 G | 3/20 6 7 0 E |
| | G 0 9 G | 3/20 6 2 1 J |
| | G 0 9 G | 3/20 6 1 1 J |
| | G 1 1 C | 19/28 2 3 0 |

(81) 指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(72) 発明者 袁 沢
 中華人民共和国 5 1 8 0 5 2 広東省深 セン 市南山区科技园科苑路 1 5 号科興科学園 A 4 - 1 5 0 1

(72) 発明者 管 曦萌
 中華人民共和国 5 1 8 0 5 2 広東省深 セン 市南山区科技园科苑路 1 5 号科興科学園 A 4 - 1 5 0 1

(72) 発明者 趙 繼剛
 中華人民共和国 5 1 8 0 5 2 広東省深 セン 市南山区科技园科苑路 1 5 号科興科学園 A 4 - 1 5 0 1

F ターム(参考) 5B074 AA01 CA01 DB02 EA01
 5C006 AF50 AF51 AF65 AF72 BB16 BC03 BC20 BC22 BC24 BF03
 BF34 BF37 BF42 EB01 EB04 EB05 FA36
 5C080 AA06 AA10 BB05 DD09 DD15 DD25 DD28 FF03 FF11 GG02
 JJ02 JJ03
 5C380 AA01 AB06 AB19 BA10 BA12 BA13 BA20 BA27 BC20 CB01
 CB26 CB40 CF43 DA47 DA57 GA04

【要約の続き】

る。プルアップ維持ユニット(121)は第1ノード(PU)を充電して第1ノード(PU)の電圧を第1設定電圧(VGH)に維持する。

【選択図】図1