

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 17/00

(45) 공고일자 1999년02월01일
(11) 등록번호 특0169412
(24) 등록일자 1998년10월10일

(21) 출원번호	특1995-035659	(65) 공개번호	특1997-023451
(22) 출원일자	1995년10월16일	(43) 공개일자	1997년05월30일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 고용남
경기도 수원시 팔달구 우만동 29 우만아파트 205-305
(74) 대리인 이건주

심사관 : 권인희

(54) 불휘발성 반도체 메모리 장치

요약

1. 청구 범위에 기재된 발명이 속한 기술분야:

불휘발성 반도체 메모리 장치의 소거 및 프로그램 검증을 수행하기 위한 회로

2. 발명이 해결하려고 하는 기술적 과제:

드레쉬홀드 전압 분포를 작게 구현할 수 있는 불휘발성 반도체 메모리 장치를 제공함에 있다.

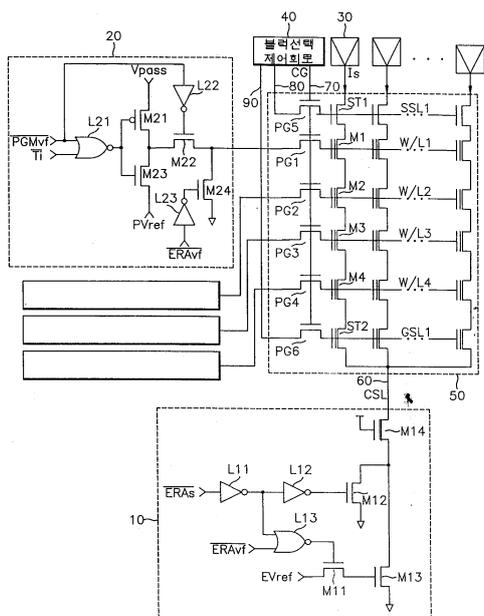
3. 발명의 해결방법의 요지:

블록선택회로부터 발생하는 제어신호에 응답하여 상기 소거검증모드에서는 상기 메모리 트랜지스터들의 드레인들이 접속된 비트라인에 기준전압 또는 소정의 전압을 인가하고, 상기 프로그램 검증모드에서는 상기 선택된 블록내의 메모리 셀들의 제어게이트에 소정의 전압을 인가하고, 상기 소거검증동작과 상기 프로그램 검증 동작이 끝날때마다 상기 비트라인에 인가된 전압을 감지하여 재소거 및 재프로그램동작의 수행여부를 판단하는 수단을 구비한다.

4. 발명의 중요한 용도:

불휘발성 반도체 메모리 장치에 사용되며, 특히 멀티비트 불휘발성 반도체 메모리 장치에서는 더욱 중요하게 사용된다.

대표도



명세서

[발명의 명칭]

불휘발성 반도체 메모리 장치

[도면의 간단한 설명]

제1도는 메모리 셀들의 등가회로도 및 개략적인 단면도.

제2도는 종래의 기술에 따른 불휘발성 반도체 메모리 소거동작 플로우 차트.

제3도는 본 발명에 따른 불휘발성 반도체 메모리의 개략적 회로도.

제4도는 본 발명에 따른 불휘발성 반도체 메모리의 소거동작 플로우 차트.

제5도는 본 발명과 종래기술에 따른 불휘발성 반도체 메모리에 있어서 소거했을 때의 문턱전압 분포비교도.

제6도는 본 발명과 종래기술에 따른 불휘발성 반도체 메모리에 있어서 프로그램 검증과 리드시 센싱되는 문턱전압 비교도.

제7도는 본 발명에 따른 불휘발성 반도체 메모리의 소거 검증과 프로그램 검증의 타이밍도.

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 불휘발성 반도체 메모리 장치에 관한 것이다.

최근 반도체 메모리 소자는 점차 고집적화 추세에 있고 이에 따라 칩 사이즈도 점차 증가되었다. 특히 반도체 메모리 소자는 대량 물량으로 생산되므로 생산 원가 절감 차원에서 설계가 일찍부터 고려되어 왔다. 이런 요구에 부응하여 최근에 1개의 셀 데이터를 리드시 복수개 데이터로 인식함으로써 동일 칩 사이즈 경우 보다 많은 정보를 저장, 인식하는 멀티비트 메모리(Multi-bit Memory)가 활발히 연구되고 있고, 특히 불휘발성 메모리인 플래시 메모리와 접목한 멀티비트 플래시 메모리가 크게 주목받고 있다.

기존 낸드형 플래시 메모리는 프로그램하면 포지티브(Positive) 드레쉬홀드전압(약 1.5V)을 갖고 소거하면 네가티브 드레쉬홀드 전압(약 -3V)을 갖는다. 그러나 종래의 낸드형 플래시 메모리의 경우 소거된 셀의 드레쉬홀드 전압(이하 V_{th})이 과도하게 낮아질 수 있으므로 멀티 비트 기술과 접목했을 때 문제점이 발생할 수 있다. 이러한 발생 가능한 문제점을 설명해 보면,

첫째, 종래의 낸드형 플래시 메모리는 소거할 경우 -3V이하 정도로 과도하게 소거된 셀이 존재할 수 있고 이러한 과도 소거된 셀들은 프로그램 검증 또는 리드시 패스 트랜지스터로 동작할 경우 트랜지스터의 턴-온 저항이 작아지고, 반대로 V_{th} 가 약 3V로 프로그램된 메모리 셀이 패스 트랜지스터로 동작할 때는 턴-온 저항이 커진다.

따라서, 상기 두 경우를 비교해볼 때 선택된 메모리 셀의 드레인 전압은 상기 패스 트랜지스터의 턴-온 저항에 따라 크게 달라지며, 그 결과로 프로그램 검증시의 V_{th} 차이가 크게난다. 이를 제6도로써 설명하면, 먼저 프로그램직후 패스 트랜지스터의 V_{th} 는 똑같이 3V이고 프로그램 검증 또는 리드시 패스 트랜지스터의 게이트에는 5V를 가했다고 가정하면 소거후 V_{th} 가 -3V(B)와 3V(A1)인 경우를 시뮬레이션으로 비교한 결과는 선택된 셀의 V_{th} 가 0.7V의 차이를 보였다. 그 다음으로 본 발명에 따라 패스 트랜지스터의 V_{th} 가 0V(C)와 3V(A2)인 경우를 비교해 보면, 선택된 셀의 V_{th} 는 약 0.02V 차이를 나타내었다. 따라서 상기와 같이 선택된 셀의 V_{th} 가 0.7V 차이를 나타내면 프로그램 검증과 리드시 V_{th} 가 0.7V 차이를 나타내므로 멀티 비트와 같이 셀의 V_{th} 분포를 1V이하로 매우 작게 구현하는 메모리는 오동작을 하게 된다.

둘째로 종래의 낸드형 플래시 메모리는 프로그램할 경우는 선택된 셀의 워드라인(이하 W/L)에 인가되는 프로그램 전압(이하 V_{pgm})에 의해서 비 선택된 스트링의 셀 데이터가 교란됨을 방지하기 위해 셀프 부스팅(Self Boosting) 방식을 채택하고 있고 교란 방지 특성은 비교적 우수하다.

세부 내용은 1993년 12월 22일 미국에 기 출원된 불 휘발성 반도체 메모리장치에 상세히 기재되어 있다. 그러나 상기 비 선택된 스트링의 셀 V_{th} 가 네가티브 이므로 V_{pgm} 에 의해 비 선택된 셀의 채널에 유기되는 프로그램 방지 전압이 조금 낮게 된다. 이는 제1도와 제6도를 통하여 설명할 것이다.

제1도는 종래의 기술에 따른 메모리 셀들의 등가회로도 및 단면도를 도시한 도면이다.

제1도를 참조하면, 반도체 기판(1)과, 웰영역(2)과, 드레인과 소오스를 형성하기 위한 영역(3)과, 상기 반도체 기판(1)상에 절연막을 개재하여 형성된 플로팅게이트(4)와, 상기 플로팅게이트(4)상에 절연막을 개재하여 형성된 제어게이트(5)로 구성된다.

제2도는 종래의 기술에 따른 소거동작 플로우 차트이다.

제2도를 참조하면, 메모리 셀의 소거동작이 종료하면, 소거검증을 시작하고, 상기 소거검증은 상기 메모리 셀의 V_{th} 가 영볼트 이하가 되면 메인 프로그램 동작을 수행하게 된다.

상기 둘째 경우에 대한 설명을 하면, 첫째로 상기 V_{pgm} 에 의해 메모리 셀의 채널에 유기되는 전압 증가는 V_a 이고, 둘째로 프로그램시 비 선택된 메모리셀의 게이트에 가해지는 패스전압(이하 V_{pass} 라 칭함)에 의해 유기되는 전압 증가는 V_b 이고, 셋째로 종래 기술로써 소거했을 때 최종 V_{th} 는 -3V이고 상기 셀들이 프로그램시 비선택된 메모리 셀로써 동작한다고 가정한다.

따라서, 종래 기술의 경우 프로그램시 최초로 유기된 전체 채널 전압은 $V_{cc}-1V_t$ 가 되고 그후 V_{pass} 에 의해 채널전압이 V_b 만큼 상승하고, 상기 V_{pgm} 에 의해 추가로 V_a 만큼 상승한다. 그러나 상기 비 선택된 메모리 셀의 V_{th} 가 -3V이고 모든 셀의 채널이 형성되어 있으므로 채널 전압의 분배현상이 나타나고, 최종적으로 V_{pgm} 이 가해지는 메모리 셀의 채널 전압은 $(V_{cc}-1V_t)+V_b$ 가 된다. 이는 V_{pass} 전압이 낮아지면 프로그램 교란 방지 특성이 저하되는 문제점을 갖게된다.

따라서, 본 발명의 목적은 리드 또는 프로그램 검증시 패스 트랜지스터의 드레쉬홀드 전압 차이가 적어 턴-온 저항이 크게 차이가 나지않는 불휘발성 반도체 메모리 장치를 제공함에 있다.

본 발명의 다른 목적은 프로그램시 프로그램 교란 방지 특성이 향상된 불휘발성 반도체 메모리 장치를 제공함에 있다.

본 발명의 또 다른 목적은 소거시 소거 전압 발생회로의 레이아웃 면적을 줄일 수 있는 불휘발성 반도체 메모리장치를 제공함에 있다.

본 발명의 또 다른 목적은 소거시 소거 교란 방지 특성이 향상된 불휘발성 반도체 메모리 장치를 제공함에 있다.

상기한 목적들을 달성하기 위한 본 발명의 기술적 사상에 따르면, 블록선택 회로로부터 발생하는 제어신호에 응답하여 상기 소거검증모드에서는 상기 메모리 트랜지스터들의 드레인들이 접속된 비트라인에 기준 전압 또는 소정의 전압을 인가하고, 상기 프로그램 검증모드에서는 상기 선택된 블록내의 메모리 셀들의 제어게이트에 소정의 전압을 인가하고, 상기 소거 검증동작과 상기 프로그램 검증 동작이 끝날때마다 상기 비트라인에 인가된 전압을 감지하여 재소거 및 재프로그램동작의 수행여부를 판단하는 수단을 가짐을 특징으로 한다.

이하 본 발명의 바람직한 실시예들의 상세한 설명이 첨부된 도면들을 참조하여 설명된다.

도면들중 동일한 구성요소 및 부분들은 가능한한 어느곳에서든지 동일한 부호들을 나타내고 있음을 유의하여야 한다.

제3도는 본 발명에 따른 불휘발성 반도체 메모리 장치의 개략적인 회로도이다.

제3도를 참조하면, 낸드셀 유닛 NU은 제1 및 제2선택 트랜지스터들 ST1과 ST2와, 제1선택 트랜지스터 ST1의 소오스와 제2선택 트랜지스터 ST2의 드레인 사이에 드레인 소오스 통로들이 직렬로 접속된 메모리 트랜지스터들 M1~M4로 구성된다. 메모리 트랜지스터들 M1~M4의 각각은 채널을 통하여 서로 이격된 드레인과 소오스를 가지며 상기 채널 위에 턴셀 산화막을 개재하여 형성된 플로팅게이트와 이 플로팅 게이트 위에 중간 절연막을 개재하여 형성된 제어게이트를 가진다. 제1선택 트랜지스터ST1의 드레인은 비트라인 BL과 접속되고 제2선택 트랜지스터 ST2의 소오스는 공통 소오스라인 CSL(60)과 접속된다. 상기 낸드 셀 유닛 NU을 다수개 포함하는 메모리 셀 블록(50)과, 상기 메모리 셀 블록(50)을 선택하기 위한 블록선택 제어회로(40)와, 상기 비트라인 B/L과 접속된 센스앰프(30)와, 상기 메모리 셀들 M1~M4을 프로그램 또는 소거하기 위한 전압을 인가하는 워드라인 선택 제어회로(20)와, 상기 공통소오스라인 CSL(60)에 접속된 제어회로부(10)로 구성된다. 또한 상기 메모리 셀들 M1~M4의 제어게이트와 상기 제1 및 제2선택 트랜지스터 ST1, ST2의 게이트와 각기 접속된 워드라인 선택 트랜지스터들 PG1~PG6을 가진다. 그리고 상기 메모리 셀들 M1~M4을 편의상 4개만 도시하였지만 8개 또는 16개 그 이상도 구현가능하다.

제3도와 타이밍을 나타낸 제7도를 통하여 동작을 설명하면, 상기 센스앰프(이하 S/A라 칭함, 30)은 소거 검증 때는 B/L이 하이레벨에서 로우레벨 상태로의 전이를 센싱하여 그 다음 소거동작을 중지하고, 프로그램 검증때는 B/L이 로우레벨에서 하이레벨 상태로의 전이를 센싱하여 그 다음 프로그램동작을 중지한다고 가정한다. 그리고 제7도의 W/L(S1)은 선택된 워드라인에 인가되는 전압이고, W/L(S2)는 비선택된 워드라인에 인가되는 전압을 나타낸 것이다.

먼저 상기 소거 검증의 경우를 살펴 보면, 소거후 소거 검증모드 T1로 진입하고 블록 선택 제어회로 #1(40)을 통하여 워드라인 패스 게이트 CG(7)과 스트링 선택 트랜지스터 SS1의 게이트 SSL1과 그라운드 선택 트랜지스터 GS1의 게이트 GSL1은 모두 Vcc가 되고, 선택된 블록내의 모든 W/L1~W/L4들은 소거 검증 활성화 신호인 소거검증전압 ERAVf이 로우레벨 상태로 전이하면 모두 그라운드 레벨로 된다. 그 후 비트라인 B/L과 연결된 상기 S/A(30)로부터 선택된 스트링으로 전류 Is가 유입되며, 이 유입된 전류 Is는 메모리 셀의 Vth와 상기 그라운드 선택 트랜지스터 GS1의 소오스와 연결된 공통 소오스 라인 CSL의 제어회로부(10)의 EVref값에 의해 제한을 받게 된다.

상기 제어회로부(10)의 동작을 설명해 보면, 소거 검증 모드 진입하면 소거전압 ERAs는 로우레벨이 되어 엔모오스 트랜지스터 M12는 오프되고 소거검증 전압 ERAVf은 로우레벨이 되어 엔모오스 트랜지스터 M11의 게이트는 하이레벨이 된다.

따라서 소거 검증시 검증 레벨을 조정하는 소거기준전압 EVref이 엔모오스 트랜지스터 M11를 통해 엔모오스 트랜지스터 M13의 게이트에 전달되고 상기 공통 소오스라인 CSL은 엔모오스 트랜지스터 M13의 게이트 전압에 좌우된다.

결과적으로 Vth 센싱전류 Is는 소거된 메모리 셀의 Vth와 상기 소거기준전압 EVref에 의해 복합적으로 조정된다.

소거된 메모리 셀의 최대 Vth를 -1V로 센싱하는 경우를 메모리 셀의 Vth에 따라 설명해 보면, 먼저 소거가 불충분 하여 Vth가 포지티브인 경우 센싱전류 Is이 충분히 메모리 셀을 통하여 흐르지 못하므로 상기 소거기준전압 EVref에 무관하게 S/A(30)는 하이로 센싱하고 다시 소거를 수행한다. 이어서 상기 메모리 셀의 Vth가 0V가 되면, 메모리 셀을 통하여 센싱전류 Is은 셀의 Vth가 포지티브인 경우에 비해 충분히 흐르지만 소거기준전압 EVref으로 엔모오스 트랜지스터 M13의 게이트를 조정하면 여전히 센싱전류 Is가 그라운드로 흐르지 못하여 S/A(30)은 하이로 센싱한다. 상기 S/A(30)가 하이레벨이므로 다시 소거를 수행하고 메모리 셀의 Vth가 네가티브가 되면 센싱전류 Is를 충분히 흘릴만큼 Vth가 낮으므로 S/A(30)이 하이로 센싱하는 여부는 오로지 소거기준전압 EVref에 의해서만 좌우된다. 따라서, 상기 소거기준전압 EVref를 조정함으로써 S/A(30)이 하이 또는 로우로 인식하게 할 수 있으므로 소거동작완료 여부를 결정할 수 있다.

이 동작을 응용하면 소거된 셀의 최대 Vth를 자유자재로 조절할 수 있음을 알 수 있다. 그 다음 동작인 프리(Pre)프로그램 검증에 대해서 설명하겠다.

프리프로그램후 프로그램 검증 모두 T2로 진입하면, 외부 어드레스 디코딩에 의해 특정 블록이 선택되고, 제1블럭 선택 제어회로(40)을 통하여 상기 워드라인 패스 게이트 CG(70)는 워드라인 선택 제어회로의 출력과 상기 제1블럭 선택 제어회로(40)의 출력이 인가되는 라인 80, 90의 전압을 워드라인 패스 트랜지스터 PG1~PG4를 통하여 Vth감소없이 충분히 전달하기 위해 Vcc보다 높은 전압이 인가되고, 상기 라인 80과 90은 선택된 비트라인 B/L의 전압을 셀로 충분히 전달하기 위해 Vcc보다 높은 또 다른 전압(이하 Rpass)이 인가된다. 그리고 상기 워드라인 선택제어 회로로부터 선택된 W/L(S1)에는 프로그램검증전압 PVref이 인가되고, 비선택된 W/L(S2)에는 상기 Rpass이 공급된다.

상기 워드라인 선택 제어회로의 동작을 좀더 상세히 살펴보면, 어드레스 디코딩에 의해 특정 W/L과 연결되는 워드라인 선택 제어회로로부터 발생하는 제어신호 Ti는 로우가 되고, 프로그램 검증신호 PGMvf도 로우가 되어 엔모오스 트랜지스터 M23만 턴-온된다.

따라서, 상기 엔모오스 트랜지스터 M23을 통하여 공급되는 프로그램검증전압 PVref은 엔모오스 트랜지스터 M22의 게이트가 하이레벨이므로 선택된 W/L(S1)에는 상기 프로그램검증전압 PVref이 인가된다. 이와 유사하게 비선택된 W/L(S2)들 (W/L2, W/L3, W/L4)과 연결된 워드라인 선택제어회로(20)로부터 출력 제어신호 Ti가 하이레벨이고, 상기 프로그램 검증신호 PGMvf이 로우레벨이므로 상기 피모오스 트랜지스터 M21가 턴-온되어, 상기 Rpass이 상기 비선택된 W/L(S2)에 인가된다. 그러면 프로그램후 셀의 Vth가 예를 들어 0.5V이상 되도록 검증하는 동작을 살펴볼 것이다.

전술한 바와 같이 프리프로그램 검증모드 T2에 진입하면, 선택된 W/L(S1)에는 프로그램검증전압 PVref이 인가되고, 비 선택된 W/L(S2)에는 Rpass이 인가되어, 상기 공통소오스라인 CSL은 상기 소거전압 ERAs이 하이레벨이 되어 그라운드 준위가 된다. 소거 검증과 유사하게 S/A(30)를 통하여 상기 센싱전류 Is이 공급되고, 상기 Rpass를 Vcc레벨로 공급하고 상기 프로그램검증전압 PVref을 포지티브의 레벨로 조정한다고 가정하고, 먼저 프로그램이 불충분하여 셀의 Vth가 -0.5V인 경우 상기 센싱전류 Is는 상기 프로그램검증전압 PVref과 무관하게 셀을 통하여 상기 공통소오스라인 CSL으로 모두 흘러서 B/L의 전압레벨은 거의 그라운드레벨로 되고, 상기 S/A(30)가 로우레벨로 센싱하여 다시 프로그램하게 된다. 그후 셀의 Vth가 0V 가 되면 센싱전류 Is를 어느정도 제한할 정도는 되지만 상기 프로그램검증전압 PVref에 의해 비트라인 B/L 전압레벨이 조절된다. 즉 셀의 Vth가 0V이고 상기 프로그램검증전압 PVref이 거의 0V이면, 셀을 통하여 센싱전류 Is가 충분히 흐르지 못해 상기 비트라인 B/L의 전압레벨이 상승하지만 상기 프로그램검증전압 PVref이 충분히 포지티브이면, 센싱전류 Is는 셀을 통하여 공통소오스라인 CSL으로 모두 유입되므로 비트라인 B/L레벨은 거의 0V가 된다.

따라서 프로그램검증전압 PVref을 0.5V로 고정한 상태에서 프로그램을 수행하면 셀의 Vth가 0.5V이하가 될 경우는 S/A(30)가 로우로 센싱하여 프로그램이 계속 수행되고, 이후 진행된 프로그램에 의해 셀의 Vth가 0.5V가 되면 셀이 센싱전류 Is를 제한하여 S/A(30)은 하이로 센싱하고 프로그램을 종료한다.

상기와 같은 소거 검증과 프리프로그램 검증을 통해 셀의 Vth를 포지티브의 레벨로 유지하고 그후 또 다른 셀의 상태로 프로그램하면 전술한 바와 같은 종래 기술보다 개선된 멀티 비트 메모리 구현이 유리하다.

제4도는 본 발명에 따라 소거동작을 수행하기 위한 플로우 차트이다.

제4도를 참조하면, 상기 메모리 셀에 대한 소거동작을 수행한후 소거검증을 수행하고, 상기 메모리 셀의 Vth가 영볼트 이하면 프리프로그램 동작을 수행하고, 이어 프로그램 검증동작을 수행한뒤 상기 메모리 셀의 Vth를 영볼트 이상되도록 유지한뒤 원하는 셀의 Vth만큼 프로그램하는 메인 프로그램동작을 수행한다.

제5도는 본 발명과 종래기술에 따른 소거검증동작 이후의 드레쉬홀드 전압의 차이를 나타낸 도면으로 본 발명에 따르게 되면, 소거된 메모리 셀과 프로그램된 메모리 셀의 드레쉬홀드 전압차를 명확하게 구분할 수 있다.

전술한 바와 같이 본 발명은 드레쉬홀드 전압 분포를 작게 구현할 수 있는 이점을 갖는다. 또한 본 발명은 프로그램 교란 방지 특성을 향상시킬수 있는 이점을 갖는다.

(57) 청구의 범위

청구항 1

반도체 기판상에 형성된 복수개의 메모리 셀들로 구성된 복수개의 메모리 블록들을 가지며, 상기 각 메모리 셀은 플로팅 게이트와 제어게이트를 가지는 적어도 하나의 메모리 트랜지스터로 구성되고, 소거 및 프로그램을 수행한 후 검증하는 모드에서 선택된 메모리 블록내의 메모리 트랜지스터들의 제어게이트를 선택하고 상기 메모리 트랜지스터들을 검증하기 위하여 상기 복수개의 메모리 블록들과 접속된 블록선택회로를 가지는 불휘발성 반도체 메모리 장치에 있어서: 상기 블록선택회로로부터 발생하는 제어신호에 응답하여 상기 소거검증모드에서는 상기 메모리 트랜지스터들의 드레인들이 접속된 비트라인에 기준전압 또는 소정의 전압을 인가하고, 상기 프로그램 검증 모드에서는 상기 선택된 블록내의 메모리 셀들의 제어게이트에 소정의 전압을 인가하고, 상기 소거검증동작과 상기 프로그램 검증 동작이 끝날 때마다 상기 비트라인에 인가된 전압을 감지하여 재소거 및 재프로그램동작의 수행여부를 판단하는 수단을 가짐을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 2

제1항에 있어서, 상기 소정의 전압은 영볼트 이상의 전압임을 특징으로 하고 이에 의해 소거된 셀의 드레쉬홀드 전압이 네가티브로 유지되며 이어 수행된 상기 프로그램동작에 의해 셀의 드레쉬홀드전압이 포지티브로 유지됨을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 3

제2항에 있어서, 상기 셀의 드레쉬홀드전압이 포지티브로 유지된 이후에 원하고자 하는 셀의 드레쉬홀드

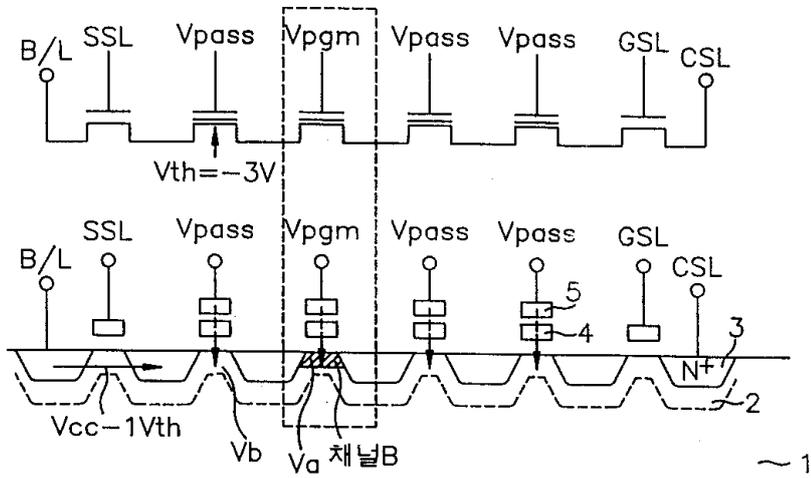
전압으로 프로그램하도록 동작함을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 4

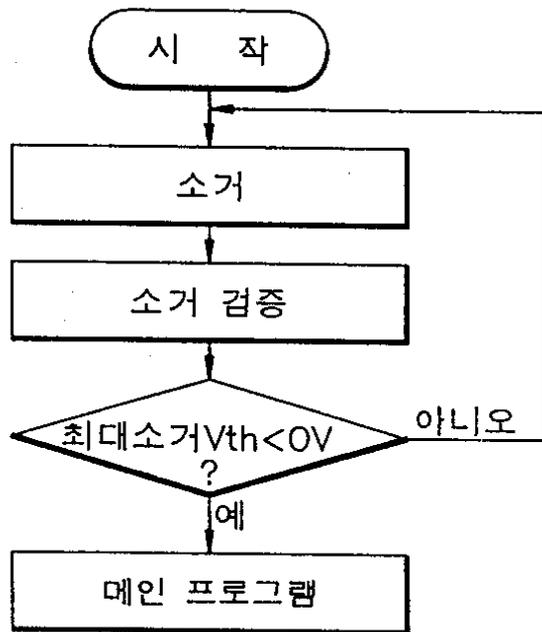
제3항에 있어서, 상기 원하고자 하는 셀의 드레쉬홀드전압으로 프로그램을 한 뒤 상기 셀의 트레쉬홀드전압을 센싱하여 복수개의 데이터로 독출함을 특징으로 하는 불휘발성 반도체 메모리 장치.

도면

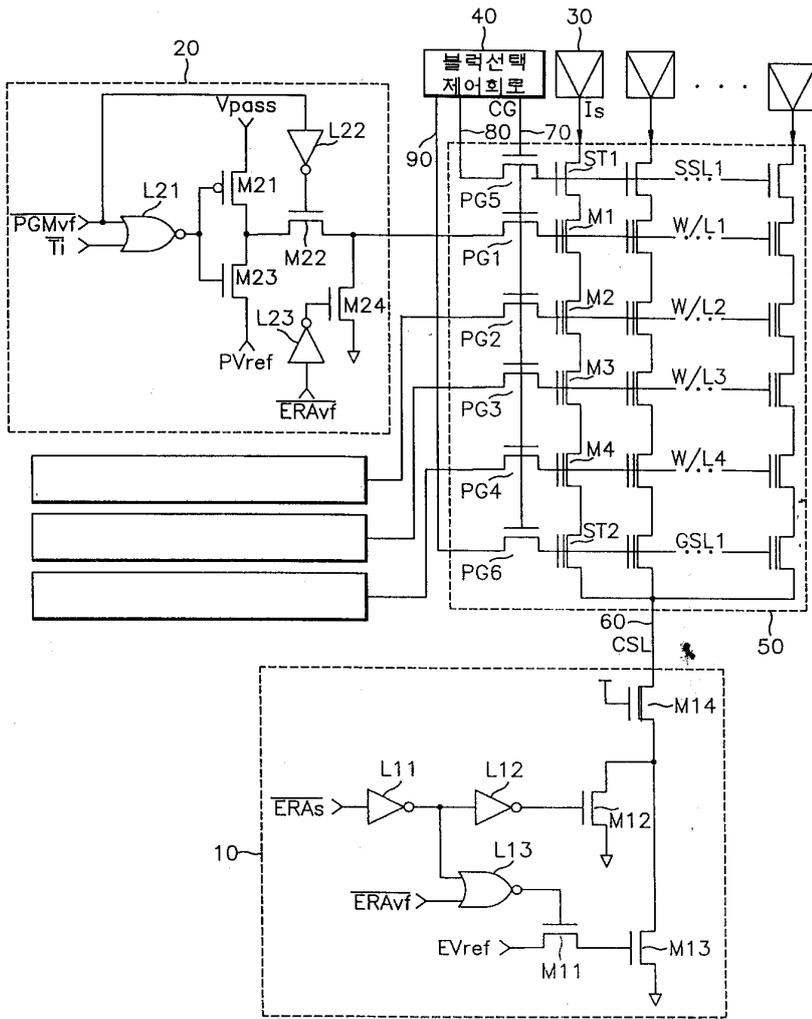
도면1



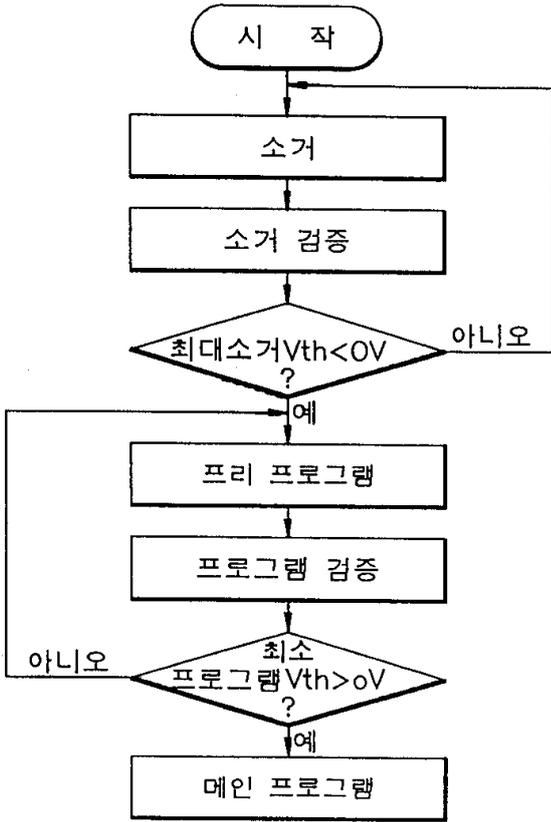
도면2



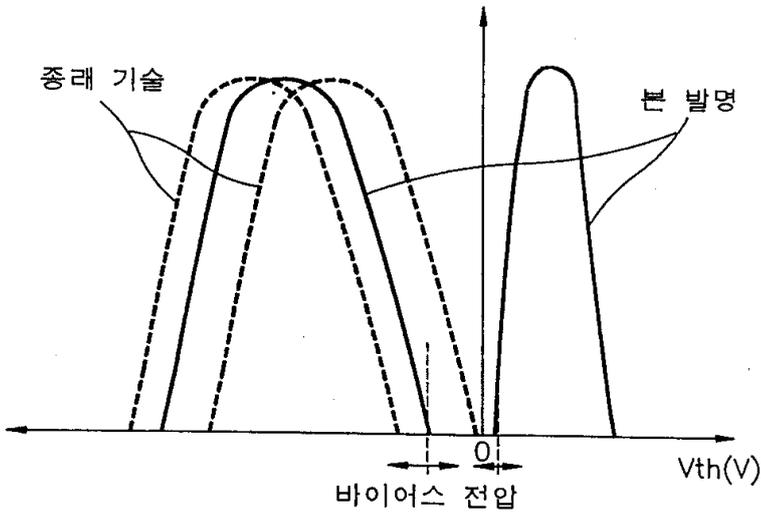
도면3



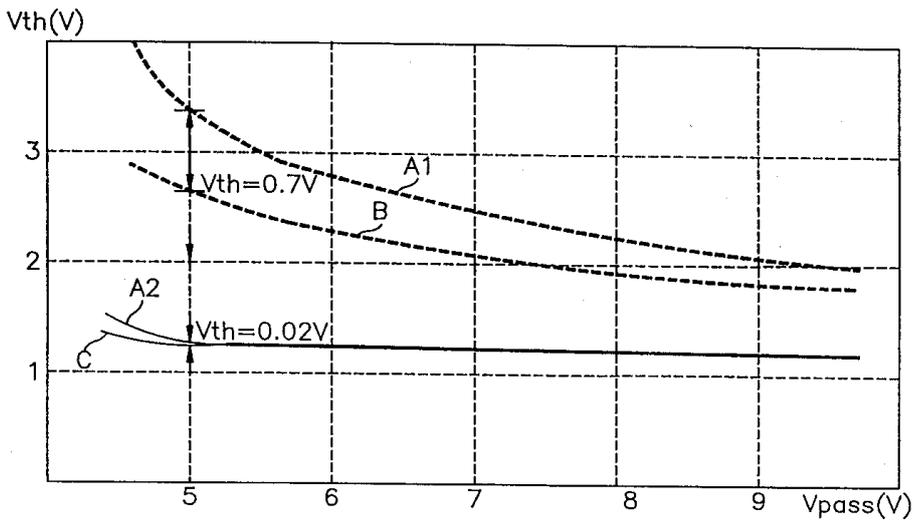
도면4



도면5



도면6



도면7

