



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월06일
 (11) 등록번호 10-1693544
 (24) 등록일자 2017년01월02일

- (51) 국제특허분류(Int. Cl.)
 H01L 29/786 (2006.01) H01L 21/263 (2006.01)
 H01L 27/12 (2006.01) H01L 29/04 (2006.01)
 H01L 29/12 (2006.01) H01L 29/417 (2006.01)
- (52) CPC특허분류
 H01L 29/7869 (2013.01)
 H01L 21/2636 (2013.01)
- (21) 출원번호 10-2016-7006658(분할)
- (22) 출원일자(국제) 2010년08월30일
 심사청구일자 2016년03월14일
- (85) 번역문제출일자 2016년03월14일
- (65) 공개번호 10-2016-0036068
- (43) 공개일자 2016년04월01일
- (62) 원출원 특허 10-2014-7029110
 원출원일자(국제) 2010년08월30일
 심사청구일자 2014년10월17일
- (86) 국제출원번호 PCT/JP2010/065190
- (87) 국제공개번호 WO 2011/036999
 국제공개일자 2011년03월31일
- (30) 우선권주장
 JP-P-2009-218877 2009년09월24일 일본(JP)
- (56) 선행기술조사문헌
 US20080315200 A1
 US20070248132 A1
 JP2009167087 A

- (73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
 야마자키 슌페이
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 사카쿠라 마사유키
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (뒷면에 계속)
- (74) 대리인
 장훈

전체 청구항 수 : 총 16 항

심사관 : 김중호

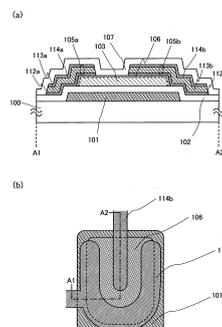
(54) 발명의 명칭 산화물 반도체막 및 반도체 장치

(57) 요약

본 발명의 목적은 양호한 전기 특성들을 가진 매우 신뢰 가능한 반도체 장치와, 반도체 장치를 스위칭 소자로서 포함하는 표시 장치를 제공하는 것이다. 산화물 반도체층을 포함하는 트랜지스터에서, 산화물 반도체층의 적어도 하나의 표면층 상에 제공된 침형 결정군(needle crystal group)은 상기 표면에 수직한 c-축 방향으로 성장하고

(뒷면에 계속)

대표도 - 도1



상기 표면에 평행한 a-b 평면을 포함하고, 침형 결정균을 제외한 부분은 비정질 영역이거나 또는 비정질과 미결정들이 혼합된 영역이다. 따라서, 양호한 전기 특성들을 가진 매우 신뢰 가능한 반도체 장치가 형성될 수 있다.

(52) CPC특허분류

H01L 27/1225 (2013.01)

H01L 29/04 (2013.01)

H01L 29/12 (2013.01)

H01L 29/41733 (2013.01)

H01L 29/66969 (2013.01)

(72) 발명자

와타나베 료스케

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

사카타 준이치로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

아키토모토 켄고

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

미야나가 아키히루

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

히로하시 타쿠야

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

기시다 히데유키

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

산화물 반도체층에 있어서,
 제 1 영역 및 제 2 영역을 포함하고,
 상기 산화물 반도체층은 인듐, 갈륨 및 아연을 포함하고,
 상기 산화물 반도체층의 탄소 농도는 1×10^{21} atoms/cm³ 보다 낮고,
 상기 제 1 영역은 상기 제 2 영역 위에 있고,
 상기 제 1 영역은 상기 산화물 반도체층의 표면에 실질적으로 수직인 방향으로 c-축 배향되는 결정들을 포함하
 고,
 상기 제 2 영역은 나노결정들을 포함하는, 산화물 반도체층.

청구항 2

제 1 항에 있어서,
 상기 제 1 영역내 상기 결정들의 결정 구조의 분자식은 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 으로 표시되는, 산화물 반도체층.

청구항 3

제 1 항에 있어서,
 상기 나노결정들 각각은 1nm 이상 20nm 이하의 입자 크기를 갖는, 산화물 반도체층.

청구항 4

반도체 장치에 있어서,
 게이트 전극층;
 산화물 반도체층;
 상기 게이트 전극층 및 상기 산화물 반도체층 사이의 게이트 절연층;
 상기 산화물 반도체층에 접하는 소스 전극층 및 드레인 전극층; 및
 상기 산화물 반도체층의 상부면의 제 1 영역에 접하고 상기 소스 전극층 및 상기 드레인 전극층 위의 산화물 절
 연층을 포함하고,
 상기 산화물 반도체층은 채널 형성 영역을 포함하고,
 상기 산화물 반도체층은 인듐, 갈륨 및 아연을 포함하고,
 상기 산화물 반도체층의 탄소 농도는 1×10^{21} atoms/cm³ 보다 낮고,
 적어도 상기 산화물 반도체층의 영역은 상기 산화물 반도체층의 표면에 실질적으로 수직인 방향으로 c-축 배향
 되는 결정들을 포함하는, 반도체 장치.

청구항 5

제 4 항에 있어서,
 상기 결정들의 결정 구조의 분자식은 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 으로 표시되는, 반도체 장치.

청구항 6

제 4 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층 각각은 티타늄을 함유하는 도전층을 포함하는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 산화물 절연층에 접하는 상기 산화물 반도체층의 상기 상부면의 상기 제 1 영역의 저항은 상기 도전층에 접하는 상기 산화물 반도체층의 상기 상부면의 제 2 영역의 저항보다 높은, 반도체 장치.

청구항 8

제 4 항에 있어서,

상기 산화물 절연층 위의 절연층 및 상기 절연층 위의 전극을 더 포함하고,

상기 전극은 상기 소스 전극층 및 상기 드레인 전극층 중 하나에 전기적으로 접속되는, 반도체 장치.

청구항 9

제 4 항에 있어서,

상기 게이트 전극층과 중첩하는 도전층을 더 포함하고,

이들 사이에 개재되는 상기 게이트 절연층, 상기 산화물 반도체층 및 상기 산화물 절연층을 갖는, 반도체 장치.

청구항 10

반도체 장치에 있어서,

게이트 전극층;

제 1 영역 및 제 2 영역을 포함하는 산화물 반도체층;

상기 게이트 전극층 및 상기 산화물 반도체층 사이의 게이트 절연층;

상기 산화물 반도체층에 접하는 소스 전극층 및 드레인 전극층; 및

상기 산화물 반도체층의 상부면의 상기 제 1 영역에 접하고 상기 소스 전극층 및 상기 드레인 전극층 위의 산화물 절연층을 포함하고,

상기 산화물 반도체층은 채널 형성 영역을 포함하고,

상기 산화물 반도체층은 인듐, 갈륨 및 아연을 포함하고,

상기 산화물 반도체층의 탄소 농도는 1×10^{21} atoms/cm³ 보다 낮고,

상기 제 1 영역은 상기 산화물 반도체층의 표면에 실질적으로 수직인 방향으로 c-축 배향되는 결정들을 포함하고,

상기 제 2 영역은 나노결정들을 포함하는, 반도체 장치.

청구항 11

제 10 항에 있어서,

상기 제 1 영역내 상기 결정들의 결정 구조의 분자식은 In₂Ga₂ZnO₇으로 표시되는, 반도체 장치.

청구항 12

제 10 항에 있어서,

상기 소스 전극층 및 상기 드레인 전극층 각각은 티타늄을 함유하는 도전층을 포함하는, 반도체 장치.

청구항 13

제 12 항에 있어서,

상기 산화물 절연층에 접하는 상기 산화물 반도체층의 상기 상부면의 상기 제 1 영역의 저항은 상기 도전층에 접하는 상기 산화물 반도체층의 상기 상부면의 상기 제 2 영역의 저항보다 높은, 반도체 장치.

청구항 14

제 10 항에 있어서,

상기 산화물 절연층 위의 절연층 및 상기 절연층 위의 전극을 더 포함하고,

상기 전극은 상기 소스 전극층 및 상기 드레인 전극층 중 하나에 전기적으로 접속되는, 반도체 장치.

청구항 15

제 10 항에 있어서,

상기 나노결정들 각각은 1nm 이상 20nm 이하의 입자 크기를 갖는, 반도체 장치.

청구항 16

제 10 항에 있어서,

상기 게이트 전극층과 중첩하는 도전층을 더 포함하고,

이들 사이에 개재되는 상기 게이트 절연층, 상기 산화물 반도체층 및 상기 산화물 절연층을 갖는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 반도체막, 산화물 반도체막을 포함하는 반도체 장치, 및 반도체 장치를 포함하는 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 절연 표면을 갖는 기판 위에 형성되는 반도체 박막(대략 수 나노미터 내지 수백 나노미터의 두께를 가짐)을 이용하여 박막 트랜지스터들(TFT)을 형성하는 기술들이 주목을 받고 있다. 박막 트랜지스터들은 IC들 및 전기-광학 장치들과 같은 전자 디바이스들에 광범위하게 적용되며, 특히 화상 표시 장치들의 스위칭 소자들로서 급속히 개발될 것으로 기대된다. 다양한 금속 산화물들이 다양한 응용들에 이용된다. 산화 인듐은 잘 알려진 재료이고, 액정 디스플레이들 등에 필수적인 투명 전극 재료로서 이용된다.

[0003] 일부 금속 산화물들은 반도체 특성들을 가진다. 반도체 특성들을 갖는 이러한 금속 산화물들의 예들은 산화 텅스텐, 산화 주석, 산화 인듐 및 산화 아연을 포함한다. 채널 형성 영역이 반도체 특성들을 갖는 이러한 금속 산화물을 이용하여 형성되는 각각의 박막 트랜지스터들이 알려져 있다(특허 문헌들 1 및 2).

[0004] 산화물 반도체들이 적용된 트랜지스터들은 비정질 구조들을 갖는 다른 반도체들이 적용된 트랜지스터들 중에서 비교적 높은 전계 효과 이동도를 가진다. 따라서, 표시 장치들 등의 구동 회로들도 또한 산화물 반도체들이 적용된 트랜지스터들을 이용하여 형성될 수 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 공개 특허 출원 제2007-123861호

(특허문헌 0002) 일본 공개 특허 출원 제2007-96055호

발명의 내용

해결하려는 과제

[0006] 복수의 상이한 회로들이 절연 표면 위에 형성될 때, 예를 들면 화소부 및 구동 회로가 일 기관 위에 형성될 때, 화소부에 이용된 트랜지스터에는 높은 온-오프비와 같은 우수한 스위칭 특성들이 요구되고, 구동 회로에 이용된 트랜지스터에는 높은 동작 속도가 요구된다. 특히 표시 장치의 정밀도가 증가될 때 표시 화상의 기록 시간이 감소되기 때문에, 구동 회로에 이용된 트랜지스터는 고속으로 동작하는 것이 바람직하다.

과제의 해결 수단

[0007] 본 발명의 일 실시형태의 목적은 양호한 전기 특성들을 가진 매우 신뢰 가능한 반도체 장치와, 상기 반도체 장치를 스위칭 소자로서 포함하는 표시 장치를 제공하는 것이다.

[0008] 본 발명의 일 실시형태는, 채널 형성 영역을 형성하는 산화물 반도체층의 적어도 하나의 표면층 상에 제공된 침형 결정군(needle crystal group)이 상기 표면에 수직인 c-축 방향으로 성장하고 상기 표면에 평행한 a-b 평면을 포함하고, 침형 결정군을 제외한 영역은 비정질 영역이거나 또는 비정질과 미결정들이 혼합된 영역인, 반도체 장치를 포함한다.

[0009] 본 발명의 일 실시형태는 적어도 하나의 표면층 상의 침형 결정군을 포함하고, 침형 결정군은 상기 표면에 수직인 c-축 방향으로 성장하고 상기 표면에 평행한 a-b 평면을 포함하는 산화물 반도체막이다. c-축 방향의 침형 결정군 중 침형 결정의 길이는 a-축 또는 b-축 방향의 길이보다 5배 이상 길다. 침형 결정군을 제외한 영역은 비정질 영역이거나 또는 비정질과 미결정들이 혼합된 영역이다.

[0010] 본 발명의 다른 실시형태는, 절연 표면 위의 게이트 전극층; 게이트 전극층 위의 게이트 절연층; 게이트 절연층 위의 산화물 반도체층; 산화물 반도체층의 일부와 중첩하고 게이트 절연층 위에 있는 소스 전극층 및 드레인 전극층; 및 소스 전극층 및 드레인 전극층 위에, 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 포함하는, 반도체 장치이다. 산화물 반도체층은, 적어도 하나의 표면층 상의 침형 결정군을 포함하고, 침형 결정군은 상기 표면에 수직인 c-축 방향으로 성장하고 상기 표면에 평행한 a-b 평면을 포함한다. c-축 방향의 침형 결정군 중 침형 결정의 길이는 a-축 또는 b-축 방향의 길이보다 5배 이상 길다. 침형 결정군을 제외한 영역은 비정질 영역이거나 또는 비정질과 미결정들이 혼합된 영역이다.

[0011] a-축 또는 b-축 방향의 침형 결정의 길이는 2nm 이상 50nm 이하임을 유념한다. 침형 결정군의 결정 구조는 $In_2Ga_2ZnO_7$ 에 의해 표현되는 것이 바람직하다. 비정질 영역 또는 비정질과 미결정들이 혼합된 영역의 조성비는 $InGaO_3(ZnO)_m$ 에 의해 표현되고, m은 자연수가 아닌 것($m > 0$)이 바람직하다. 비정질 영역 또는 비정질과 미결정들이 혼합된 영역의 In 대 Ga 대 Zn의 몰수비는 1 : 1 : 0.5인 것이 바람직하다. 산화물 반도체층의 두께는 10nm 이상 200nm 이하가 바람직하다.

[0012] 본 발명의 다른 실시형태는, 절연 표면을 갖는 기관 위에 게이트 전극층을 형성하는 단계; 게이트 전극층 위에 게이트 절연층을 형성하는 단계; 게이트 절연층 위에 산화물 반도체층을 형성하는 단계; 산화물 반도체층이 형성된 후에 400°C 이상 700°C 이하의 온도로 열 처리를 수행하여, 산화물 반도체층의 표면 상에, 상기 표면에 수직인 c-축 방향으로 성장하고 상기 표면에 평행한 a-b 평면을 가지고, c-축 방향의 길이가 a-축 또는 b-축 방향의 길이보다 5배 이상 긴 침형 결정군을 포함하는 침형 결정군이 형성되는, 상기 열 처리 수행 단계; 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계; 및 소스 전극층 및 드레인 전극층 위에, 산화물 반도체층의 일부와 접촉하는 산화물 절연층을 형성하는 단계를 포함하는, 반도체 장치 제작 방법이다.

[0013] 열 처리는 RTA법으로 수행되는 것이 바람직하다는 것을 유념한다. 열 처리는 질소 분위기 또는 희가스 분위기 하에서 수행되는 것이 바람직하다.

[0014] 본 발명의 일 실시형태로서, 보텀 게이트 구조를 갖는 트랜지스터가 이용된다. 보텀 게이트 구조를 갖는 트랜지스터로서, 산화물 반도체층이 소스 전극층 및 드레인 전극층 위에서 이들과 중첩하는 트랜지스터와, 소스 전극층 및 드레인 전극층이 산화물 반도체층 위에서 이와 중첩하는 트랜지스터가 존재한다. 이 트랜지스터들 중 어

는 하나가 이용될 수 있다.

- [0015] 소스 전극층 및 드레인 전극층이 산화물 반도체층 위에서 이들과 중첩하는 트랜지스터의 경우, 산화물 반도체층의 표층부는 에칭되지 않고 침형 결정군은 채널 형성 영역의 상부에 남아있는 것이 바람직하다.
- [0016] 상기 구조에서, 트랜지스터의 게이트 전극층, 소스 전극층 및 드레인 전극층은 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴 및 스칸듐에서 선택된 금속 원소를 주성분으로 포함하는 막, 또는 이들 원소들 중 어느 것의 합금막을 이용하여 형성된다. 게이트 전극층, 소스 전극층 및 드레인 전극층의 각각은 임의의 상술된 원소들을 함유한 단층에 제한되지 않고 2개 이상의 층들의 적층일 수 있다.
- [0017] 인듐 산화물의 투광성 산화물 도전층, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산화질화 아연 알루미늄, 산화 아연 갈륨 등이 소스 전극층, 드레인 전극층 및 게이트 전극층에 이용되어, 화소부의 투광성이 개선될 수 있고 개구율이 증가될 수 있다.
- [0018] 산화물 도전층은 산화물 반도체층과 금속 원소를 주성분으로 포함하는 막 사이에 형성될 수 있고, 이것은 소스 전극층 및 드레인 전극층을 형성하기 위한 것이며, 그에 의해 낮은 접촉 저항성을 가지고 고속으로 동작할 수 있는 트랜지스터가 형성될 수 있다.
- [0019] 상기 구성에서, 트랜지스터는 산화물 반도체층과 산화물 반도체층 위의 산화물 절연층을 포함한다. 산화물 반도체층의 채널 형성 영역과 접촉하는 산화물 절연층은 채널 보호층으로서 기능한다.
- [0020] 상기 구성에서, 트랜지스터의 채널 보호층의 역할을 하는 산화물 절연층으로서, 스퍼터링 방법으로 형성된 무기 절연막이 이용된다; 통상적으로, 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막 등이 이용된다.
- [0021] 산화물 반도체층으로서, $InMO_3(ZnO)_m$ ($m > 0$)의 박막이 형성된다. 박막은 박막 트랜지스터를 형성하기 위해 산화물 반도체층으로 이용된다. M은 Ga, Fe, Ni, Mn 및 Co에서 선택된 하나의 금속 원소 또는 복수의 금속 원소들을 표시하는 것을 유념한다. 예를 들면, M은 Ga 외에도 상기 금속 원소를 포함할 수 있으며, 예를 들면, M은 Ga 및 Ni 또는 Ga 및 Fe일 수 있다. 또한, 산화물 반도체에서, 일부 경우들에서, Fe 또는 Ni와 같은 전이 금속 원소 또는 전이 금속의 산화물이 M으로서 함유된 금속 원소 외에도 불순물 원소로서 함유된다. 이 명세서에서, 조성식이 $InMO_3(ZnO)_m$ ($m > 0$)에 의해 표현되는 산화물 반도체층들 중에서, Ga를 M으로서 포함하는 산화물 반도체는 In-Ga-Zn-O-계 산화물 반도체라고 칭해지고, In-Ga-Zn-O-계 산화물 반도체의 박막은 In-Ga-Zn-O-계 박막이라고 칭해진다.
- [0022] 산화물 반도체층들에 적용되는 금속 산화물로서, 상기한 것 외에도 다음의 산화물 반도체들 중 어느 것이 적용될 수 있다: In-Sn-O-계, In-Sn-Zn-O-계, In-Al-Zn-O-계, Sn-Ga-Zn-O-계, Al-Ga-Zn-O-계, Sn-Al-Zn-O-계, In-Zn-O-계, Sn-Zn-O-계, Al-Zn-O-계, In-O-계, Sn-O-계 또는 Zn-O-계 금속 산화물. 산화 실리콘이 금속 산화물을 이용하여 형성된 산화물 반도체층에 포함될 수 있다.
- [0023] 산화물 반도체층에 대해, RTA 법 등으로 단기간에 고온으로 탈수화 또는 탈수소화되는 것이 이용된다. 이러한 열 처리 공정에 의해, 산화물 반도체층의 표층부의 적어도 하나의 표면층 상에 제공된 침형 결정군이 상기 표면에 수직인 c-축 방향으로 성장하고 상기 표면에 평행한 a-b 평면을 가지고, 산화물 반도체층의 침형 결정군을 제외한 부분은 비정질 영역이거나 또는 비정질과 미결정들이 혼합된 영역이다.
- [0024] 이러한 구성을 가진 산화물 반도체층이 이용되고, 그에 의해 산화물 반도체층의 표층부에 수분의 흡입 또는 이로부터 산소의 제거에 의해 유발되는 n형으로의 변화로 인한 전기 특성들의 열화가 방지될 수 있다. 산화물 반도체층의 표층부는 백 채널층 상에 있고 미결정층을 포함하는 침형 결정군을 가져서, 기생 채널의 생성이 억제될 수 있다. 소스 전극층 및 드레인 전극층이 산화물 반도체층 위에서 이와 중첩하는 구조를 가진 트랜지스터에서, 침형 결정군이 제공되고, 그에 의해 산화물 반도체층의 표층부와 소스 및 드레인 전극층들 사이의 접촉 저항이 감소될 수 있다.
- [0025] 탈수화 또는 탈수소화 후에 산화물 반도체층이 섬 형상으로 형성되는 경우에, 침형 결정군이 측면부들에 형성되지 않는다. 침형 결정군이 측면부들을 제외한 상층부에만 형성되지만, 측면부의 면적 비율이 작고 상기 효과가 방지되지 않는다.
- [0026] 표시 장치는 동일 기판 위에 각각이 본 발명의 일 실시형태인 트랜지스터들을 이용하여 형성되는 구동 회로부 및 화소부를 이용하여 형성될 수 있고, EL 소자, 액정 소자, 전기영동 소자 등을 이용하여 형성될 수 있다.

[0027] 본 발명의 일 실시형태인 표시 장치에서, 복수의 트랜지스터들은 화소부에 제공되고, 화소부는 트랜지스터들 중 하나의 게이트 전극이 다른 트랜지스터의 소스 배선 또는 드레인 배선에 접속되는 영역을 가진다. 그 외에도, 본 발명의 일 실시형태인 표시 장치의 구동 회로에서, 트랜지스터의 게이트 전극이 트랜지스터의 소스 배선 또는 드레인 배선에 접속되는 영역이 존재한다.

[0028] 트랜지스터가 정전기 등으로 인해 쉽게 부서지기 때문에, 화소부에 대한 트랜지스터를 보호하기 위한 보호 회로가 게이트선 또는 소스선에 대해 동일 기판 위에 제공되는 것이 바람직하다. 보호 회로는 산화물 반도체층을 포함하는 비선형 소자로 형성되는 것이 바람직하다.

[0029] 이 명세서에서 "제 1" 및 "제 2"와 같은 서수사들이 편의를 위해 이용되고 단계들의 순서 및 층들의 적층 순서를 표시하는 것이 아님을 유념한다. 그 외에도, 이 명세서에서 서수사들은 본 발명을 명시하는 특정 명칭들을 표시하는 것이 아니다.

[0030] 이 명세서에서, 반도체 장치는 일반적으로, 반도체 특성들을 이용하여 기능할 수 있는 장치를 의미하고, 전기광학 장치, 반도체 회로 및 전자 기기들은 모두 반도체 장치들이다.

발명의 효과

[0031] 산화물 반도체층을 포함하는 트랜지스터에서, 산화물 반도체층의 적어도 하나의 표면층 상에 제공되는 침형 결정군은 상기 표면에 수직인 c-축 방향으로 성장하고 상기 표면에 평행한 a-b 평면을 포함하고, 침형 결정군을 제외한 부분은 비정질 영역이거나 또는 비정질과 미결정들이 혼합된 영역이다. 따라서, 양호한 전기 특성들을 가진 매우 신뢰 가능한 반도체 장치가 형성될 수 있다.

도면의 간단한 설명

- [0032] 도 1a 및 도 1b는 본 발명의 일 실시형태를 각각 도시한 단면도 및 평면도.
- 도 2a 내지 도 2c는 본 발명의 일 실시형태를 도시한 단면 공정도들.
- 도 3a 내지 도 3b는 본 발명의 일 실시형태를 도시한 단면 공정도들.
- 도 4는 본 발명의 일 실시형태를 도시한 평면도.
- 도 5는 본 발명의 일 실시형태를 도시한 평면도.
- 도 6은 본 발명의 일 실시형태를 도시한 평면도.
- 도 7은 본 발명의 일 실시형태를 도시한 평면도.
- 도 8a1, 도 8a2, 도 8b1 및 도 8b2는 본 발명의 일 실시형태를 도시한 평면도들 및 단면도들.
- 도 9는 본 발명의 일 실시형태를 도시한 평면도.
- 도 10a 및 도 10b는 본 발명의 일 실시형태를 각각 도시한 단면도들.
- 도 11a 및 도 11b는 전자 페이퍼의 응용예를 각각 도시한 도면들.
- 도 12는 전자 서적의 예를 도시한 외관도.
- 도 13은 본 발명의 일 실시형태를 도시한 단면도.
- 도 14a 및 도 14b는 반도체 장치들을 도시한 블록도들.
- 도 15a 및 도 15b는 각각 신호선 구동 회로의 구성도 및 타이밍 차트.
- 도 16a 내지 도 16b는 시프트 레지스터의 구성을 각각 도시한 회로도들.
- 도 17a 및 도 17b는 각각 시프트 레지스터의 구성을 도시한 회로도 및 시프트 레지스터의 동작을 도시한 타이밍 차트.
- 도 18은 반도체 장치의 화소 등가 회로를 도시한 도면.
- 도 19a 내지 도 19c는 본 발명의 일 실시형태를 각각 도시한 단면도들.
- 도 20a1, 도 20a2 및 도 20b는 본 발명의 일 실시형태를 도시한 평면도들 및 단면도.

- 도 21은 본 발명의 일 실시형태를 도시한 단면도.
- 도 22a 및 도 22b는 본 발명의 일 실시형태를 도시한 평면도 및 단면도.
- 도 23a 및 도 23b는 각각 텔레비전 장치 및 디지털 포토 프레임의 예를 도시한 외관도들.
- 도 24a 및 도 24b는 게임기들의 예를 도시한 외관도들.
- 도 25a 및 도 25b는 휴대전화들의 예를 도시한 외관도들.
- 도 26a 및 도 26b는 산화물 반도체층의 단면도의 TEM 사진들.
- 도 27a 및 도 27b는 산화물 반도체층의 단면도의 TEM 사진들.
- 도 28a 및 도 28b는 산화물 반도체층의 단면도의 TEM 사진들.
- 도 29a 및 도 29b는 각각 산화물 반도체층의 단면도의 TEM 사진 및 전자선 회절 패턴.
- 도 30은 산화물 반도체층의 EDX 분석 스펙트럼.
- 도 31은 산화물 반도체층의 X선 회절 차트.
- 도 32는 산화물 반도체층들의 SIMS 분석 깊이 프로파일들(analysis depth profiles).
- 도 33은 과학 계산을 간략히 설명하는 도면.
- 도 34a 및 도 34b는 과학 계산을 간략히 설명하는 도면들.
- 도 35a 및 도 35b는 과학 계산을 간략히 설명하는 도면들.
- 도 36은 산화물 반도체의 결정 구조를 도시한 도면.
- 도 37a 및 도 37b는 -BT 시험을 받지 않은 트랜지스터와 -BT 시험을 받은 트랜지스터의 I-V 특성들을 도시한 도면들.
- 도 38a 내지 도 38c는 산화물 반도체층들의 SIMS 분석 깊이 프로파일들.
- 도 39a 내지 도 39c는 산화물 반도체층들의 SIMS 분석 깊이 프로파일들.

발명을 실시하기 위한 구체적인 내용

- [0033] 실시형태들 및 실시예들은 도면들을 참조하여 설명될 것이다. 본 발명이 다음의 설명에 제한되지 않고, 본 기술 분야의 통상의 기술자에 의해 본 발명의 모드들 및 상세들이 본 발명의 기술사상 및 범위를 벗어나지 않고 다양한 방식으로 수정될 수 있음을 쉽게 이해할 것임을 유념한다. 따라서, 본 발명은 실시형태들 및 실시예들의 다음의 설명으로 제한되는 것으로서 해석되어서는 안 된다. 후술된 본 발명의 구조들에서, 동일 부분들 또는 유사한 기능들을 갖는 부분들은 상이한 도면들에서 동일한 참조 번호들로 표시되고, 그 설명은 생략됨을 유념한다.
- [0034] (실시형태 1)
- [0035] 이 실시형태에서, 트랜지스터가 산화물 반도체를 포함하는 반도체 장치로서 이용되고, 산화물 반도체층을 포함하는 트랜지스터의 구조가 도 1a 및 도 1b를 참조하여 설명될 것이다.
- [0036] 이 실시형태의 보텀 게이트 구조를 갖는 트랜지스터가 도 1a 및 도 1b에 도시된다. 도 1a는 단면도이고 도 1b는 평면도이다. 도 1a는 도 1b의 라인 A1-A2를 따라 취해진 단면도이다.
- [0037] 도 1a 및 도 1b에 도시된 트랜지스터는 절연 표면을 갖는 기판(100) 위에, 게이트 전극층(101), 게이트 전극층(101) 위의 게이트 절연층(102), 게이트 절연층(102) 위의 산화물 반도체층(103), 산화물 반도체층(103)의 일부와 중첩하고 게이트 절연층(102) 위에 있는 소스 전극층(105a) 및 드레인 전극층(105b), 및 소스 전극층(105a) 및 드레인 전극층(105b) 위에서 산화물 반도체층(103)과 접촉하는 산화물 절연층(107)을 포함한다. 산화물 반도체층(103)에서, 적어도 하나의 표면층 상의 침형 결정군(106)은 상기 표면에 수직한 c-축 방향으로 성장하고 상기 표면에 평행한 a-b 평면을 포함한다. c-축 방향의 침형 결정군(106) 중 침형 결정의 길이가 a-축 또는 b-축 방향의 길이보다 5배 이상 길다. 침형 결정군(106)을 제외한 영역은 비정질 영역이거나 또는 비정질과 미결정들이 혼합된 영역이다.
- [0038] 게이트 전극층(101)은, 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴 및 스칸듐과 같은 금

속 재료들 중 어느 것; 이들 금속 재료들 중 어느 것을 주성분으로 함유한 합금 재료; 또는 이들 금속 재료들 중 어느 것을 함유한 질화물을 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 바람직하게, 알루미늄 또는 구리와 같은 저-저항 금속 재료를 이용하여 게이트 전극층을 형성하는 것이 효과적이고, 저저항 금속 재료는 낮은 내열성 및 부식되는 경향과 같은 단점들을 가지기 때문에, 내화 금속 재료(refractory metal material)와 조합하여 이용되는 것이 바람직하다. 내화 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등이 이용될 수 있다.

[0039] 또한, 화소부의 개구율을 증가시키기 위하여, 산화 인듐, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산화질화 아연 알루미늄, 산화 아연 갈륨 등의 투광성 산화물 도전층이 게이트 전극층(101)으로서 이용될 수 있다.

[0040] 게이트 절연층(102)으로서, CVD법, 스퍼터링법 등으로 형성된 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 탄탈 등 중 어느 것의 단층막 또는 적층막이 이용될 수 있다.

[0041] 산화물 반도체층(103)은, In, Ga 및 Zn을 함유하고 $InM_3(ZnO)_m$ ($m > 0$)으로 표현된 조성을 가지는 In-Ga-Zn-O계 막을 이용하여 형성된다. M은 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 금속 원소들 중 하나 이상을 표시하는 것을 유념한다. 예를 들면, M은 어떤 경우들에서는 Ga를 표시한다; 반면, M은 다른 경우들에서는 Ga 외에도 Ni 또는 Fe와 같은 상기 금속 원소를 표시한다(Ga 및 Ni 또는 Ga 및 Fe). 또한, 상기 산화물 반도체는 M으로서 함유된 금속 원소 외에도, 불순물 원소로서 Fe 또는 Ni, 다른 천이 금속 원소, 또는 천이 금속의 산화물을 함유할 수 있다.

[0042] 산화물 반도체층(103)은 스퍼터링법을 이용하여 10nm 이상 200nm 이하, 바람직하게는 10nm 이상 40nm 이하의 두께로 형성된다.

[0043] 산화물 반도체층(103)으로서, RTA법 등을 이용하여 단기간 동안 고온으로 탈수화 또는 탈수소화가 수행된 것이 이용된다. 탈수화 또는 탈수소화는 고온의 가스(질소 또는 희가스과 같은 불활성 가스) 또는 대략 1분 이상 10분 이하 동안 400°C 이상 700°C 이하(또는 유리 기판의 변형점 이하의 온도), 바람직하게는 대략 3분 이상 6분 이하 동안 650°C의 광으로 RTA(rapid thermal anneal) 처리를 통해 수행될 수 있다. RTA법으로, 탈수화 또는 탈수소화는 단기간에 수행될 수 있다; 따라서, 유리 기판의 변형점보다 높은 온도에서도 처리가 수행될 수 있다.

[0044] 산화물 반도체층(103)은 산화물 반도체층(103)이 형성되는 단계에서 많은 땀글링 본드들(dangling bonds)을 갖는 비정질층이다. 탈수화 또는 탈수소화를 위한 가열 단계를 통해, 근거리 내의 땀글링 본드들이 서로 결합되어, 산화물 반도체층(103)은 질서화된 비정질 구조를 가질 수 있다. 질서화 공정으로서, 산화물 반도체층(103)은 비정질과 미결정들의 혼합물로 이루어질 수 있고, 미결정들은 비정질 영역으로 혼합되거나 미결정군으로 이루어진다. 여기서, 미결정은 1nm 이상 20nm 이하의 입자 크기를 가진 소위 나노결정이고, 이것은 일반적으로 마이크로크리스탈이라고 칭해지는 미결정 입자보다 작다.

[0045] 산화물 반도체층(103)의 표층부는 침형 미결정층인 침형 결정군(106)을 가지고 산화물 반도체층(103)의 표면에 수직인 c-축 방향으로 성장하는 것이 바람직하다. 여기서, 침형 결정군(106)은 c-축 배향되고, c-축에 수직하는 a-축 및 b-축을 이용하여 형성된 a-b 평면을 포함한다. c-축 방향의 침형 결정군(106)의 침형 결정의 길이(긴 축)는 a-축 또는 b-축의 방향의 길이(짧은 축)보다 5배 이상 길고, 짧은 축 방향의 길이는 2nm 이상 50nm 이하이고, 바람직하게는 3nm 이상 10nm 이하이다.

[0046] 이러한 구조를 가진 산화물 반도체층(103)은 트랜지스터의 채널 형성 영역으로서 이용되고, 침형 미결정들을 포함하는 조밀한 침형 결정군(106)이 산화물 반도체층(103)의 표층부에 존재하고, 따라서, 표층부로의 수분의 흡입 또는 표층부로부터의 산소의 제거에 기인하는 n형으로의 변화로 인한 전기 특성들의 열화가 방지될 수 있다. 또한, 산화물 반도체층(103)의 표층부가 백 채널층 상에 있기 때문에, 산화물 반도체층(103)이 n형으로 변화되는 것을 방지하는 것은 또한 기생 채널의 생성의 억제에 효과적이다. 또한, 침형 결정군(106)의 존재로 인해 산화물 반도체층(103)의 표층부 사이의 접촉 저항이 증가되고, 소스 전극층(105a) 또는 드레인 전극층(105b)이 감소될 수 있다.

[0047] 여기서, 가열 단계 동안 성장할 가능성이 있는 In-Ga-Zn-O계 막의 결정 구조는 산화물 반도체의 성막을 위해 이용된 타겟의 조성에 의존한다. 예를 들면, In, Ga 및 Zn을 함유하여, In_2O_3 대 Ga_2O_3 대 ZnO의 비가 몰수비로 1 : 1 : 1이고, 가열 단계를 통해 결정화가 수행되는 산화물 반도체의 성막을 위해 타겟을 이용하여 In-Ga-Zn-

0-계 막이 형성되는 경우에, Ga 및 Zn을 함유한 1개의 산화물층 또는 2개의 산화물층들이 In 산화물층들 사이에서 혼합되는 육방정계층의 화합물 결정 구조가 형성될 가능성이 있다. 이때, 침형 결정군(106)은 $In_2Ga_2ZnO_7$ 에 의해 표현된 결정 구조를 가질 가능성이 있다. 비정질 영역 또는 비정질과 미결정들이 혼합된 영역의 구조에서 In 대 Ga 대 Zn의 몰수비는 1 : 1 : 0.5일 가능성이 있다. 대안적으로, In_2O_3 대 Ga_2O_3 대 ZnO의 몰수비가 1 : 1 : 2인 산화물 반도체의 성막을 위한 타겟이 이용되고, 가열 단계를 통해 결정화가 수행되는 경우, In 산화물층들 사이에 개재되는 Ga 및 Zn을 함유한 산화물층은 2층 구조를 가질 가능성이 있다. 2층 구조를 가진 후자의 Ga 및 Zn을 함유한 산화물층의 결정 구조가 안정하고 따라서 결정 성장이 발생할 가능성이 있기 때문에, In_2O_3 대 Ga_2O_3 대 ZnO의 몰수비가 1 : 1 : 2인 타겟이 이용되고, 가열 단계를 통해 결정화가 수행되는 경우, 어떤 경우들에서, 외부층에서부터 Ga 및 Zn을 함유한 산화물층과 게이트 절연막 사이의 계면까지 연속하는 결정이 형성된다. 이때, 침형 결정군(106)의 결정 구조는 $InGaZnO_4$ 에 의해 표현될 가능성이 있다. 몰수비는 원자수비라고 칭해질 수 있음을 유념한다.

[0048] 도 10a에 도시된 바와 같이, 침형 결정군은 단계들의 순서에 의존하여 산화물 반도체층(103)의 측면부에 형성되는 것이 아니고, 침형 결정군(106)은 상층부에만 형성되는 것임을 유념한다. 측면부의 면적 비율이 낮고 따라서 그 경우 상기 효과도 지속될 수 있음을 유념한다.

[0049] 소스 전극층(105a)은 제 1 도전층(112a), 제 2 도전층(113a) 및 제 3 도전층(114a)의 3층 구조를 가지고, 드레인 전극층(105b)은 제 1 도전층(112b), 제 2 도전층(113b) 및 제 3 도전층(114b)의 3층 구조를 가진다. 소스 전극 및 드레인 전극층들(105a 및 105b)의 재료로서, 게이트 전극층(101)의 재료와 유사한 재료가 이용될 수 있다. 이 실시형태에서, 소스 전극층(105a) 및 드레인 전극층(105b) 각각은 3층 구조를 가지지만, 본 발명의 실시 형태는 이 구조에 제한되지 않음을 유념한다. 소스 전극층(105a) 및 드레인 전극층(105b)은 게이트 전극층(101)에 이용된 재료와 유사한 재료를 이용하여 단층 구조 또는 적층 구조를 가지도록 적합하게 형성될 수 있다.

[0050] 또한, 투광성 산화물 도전층이 게이트 전극층(101)의 방식과 유사한 방식으로 소스 전극층(105a) 및 드레인 전극층(105b)에 이용되고, 그에 의해 화소부의 투광성이 증가될 수 있고 개구율도 또한 증가될 수 있다.

[0051] 또한, 소스 및 드레인 전극층들(105a 및 105b)이 되는 상기 금속 재료들 중 어느 것을 주성분으로 포함하는 막과 산화물 반도체층(103) 사이에 산화물 도전층이 형성될 수 있어서 접촉 저항이 감소될 수 있다.

[0052] 채널 보호층으로서 기능하는 산화물 절연층(107)이 산화물 반도체층(103), 소스 전극층(105a) 및 드레인 전극층(105b) 위에 제공된다. 산화물 절연층(107)은 무기 절연막, 통상적으로 산화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막 등을 이용하여 스퍼터링법으로 형성된다.

[0053] 대안적으로, 도 10b에 도시된 보텀 콘택트 트랜지스터가 각각의 부분에 유사한 재료를 이용하여 형성될 수 있다.

[0054] 도 10b에 도시된 트랜지스터는 절연 표면을 가진 기판(100) 위에, 게이트 전극층(101), 게이트 전극층(101) 위의 게이트 절연층(102), 게이트 절연층(102) 위의 소스 전극층(105a) 및 드레인 전극층(105b), 소스 전극층(105a) 및 드레인 전극층(105b)의 일부와 중첩하고 게이트 절연층(102) 위에 있는 산화물 반도체층(103), 산화물 반도체층(103), 산화물 반도체층(103)과 중첩하는 소스 전극층(105a) 및 드레인 전극층(105b) 위에 있는 산화물 절연층(107)을 포함한다. 도 1a 및 도 1b에 도시된 보텀 게이트 구조를 가진 트랜지스터의 방식과 유사한 방식으로, 산화물 반도체층(103)에서, 적어도 하나의 표면층 상의 침형 결정군(106)은 상기 표면에 수직인 c-축 방향으로 성장하고 상기 표면에 평행한 a-b 평면을 포함한다. c-축 방향의 침형 결정군(106) 중 침형 결정의 길이가 a-축 또는 b-축 방향의 길이보다 5배 이상 길다. 침형 결정군(106)을 제외한 영역은 비정질 영역이거나 또는 비정질과 미결정들이 혼합된 영역이다.

[0055] 이러한 구조를 가진 산화물 반도체층(103)은 트랜지스터의 채널 형성 영역으로서 이용되고, 침형 미결정들을 포함하는 조밀한 침형 결정군(106)이 도 1a 및 도 2에 도시된 보텀 게이트 구조를 가진 트랜지스터의 방식과 유사한 방식으로 산화물 반도체층(103)의 표층부에 존재하고, 따라서, 표층부의 수분의 흡입 또는 표층부로부터의 산소의 제거에 기인하는 n형으로의 변화로 인한 전기 특성들의 열화가 방지될 수 있다. 또한, 산화물 반도체층(103)의 표층부가 백 채널층 상에 있기 때문에, 산화물 반도체층(103)이 n형으로 변화되는 것을 방지하는 것도 또한 기생 채널의 생성의 억제에 효과적이다.

[0056] 이러한 구조로, 트랜지스터는 높은 신뢰도와 높은 전기 특성들을 가질 수 있다.

- [0057] 이 실시형태에 설명된 구조는 다른 실시형태들에 설명된 구조들 중 어느 것과 적합하게 조합하여 이용될 수 있음을 유념한다.
- [0058] (실시형태 2)
- [0059] 이 실시형태에서, 실시형태 1에 설명된 하부 게이트 트랜지스터를 포함하는 표시 장치의 제작 공정이 도 2a 내지 도 2c, 도 3a 내지 도 3c, 도 4, 도 5, 도 6, 도 7, 도 8a1, 도 8a2, 도 8b1 및 도 8b2 및 도 9를 참조하여 설명될 것이다. 도 2a 내지 도 2c 및 도 3a 내지 도 3c는 단면도들이고, 도 4, 도 5, 도 6, 도 7 및 도 9는 평면도들이고, 도 4, 도 5, 도 6, 도 7 및 도 9의 라인 A1-A2 및 라인 B1-B2는 각각 도 2a 내지 도 2c 및 도 3a 내지 도 3c의 단면도들의 라인 A1-A2 및 라인 B1-B2에 대응한다.
- [0060] 먼저, 절연 표면을 가진 기판(100)이 준비된다. 기판(100)으로서, 나중에 수행될 열 처리의 온도보다 높은 변형 점을 갖는 기판을 이용하는 것이 바람직하다. 기판(100)으로서, 다음의 기판들: 바륨보로실리케이트 유리, 알루미늄보로실리케이트 유리, 알루미늄보로실리케이트 유리 등 용융법 또는 플로팅법으로 형성된 비알칼리 유리 기판들 중 어느 것이 이용될 수 있다. 붕산보다 바륨 산화물(BaO)을 더 많이 함유함으로써, 유리 기판은 내열성이 있고 더욱 실용적임을 유념한다. 따라서, BaO의 양이 B₂O₃보다 많도록 BaO 및 B₂O₃을 함유한 유리 기판이 이용되는 것이 바람직하다.
- [0061] 상술된 유리 기판 대신에, 세라믹 기판, 석영 유리 기판, 석영 기판 또는 사파이어 기판과 같이 절연체를 이용하여 형성된 기판이 이용될 수 있음을 유념한다. 대안적으로, 결정화된 유리 등이 이용될 수 있다.
- [0062] 또한, 하지막으로서, 기판(100) 위에 절연막이 형성될 수 있다. 하지막은 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막 및 질화산화 실리콘막 중 어느 것을 이용하여 CVD법, 스퍼터링법 등으로 단층 구조 또는 적층 구조로 형성될 수 있다. 유리 기판과 같이 나트륨과 같은 가동 이온들(mobile ions)을 함유한 기판이 기판(100)으로서 이용되는 경우, 질화 실리콘막 또는 질화산화 실리콘막과 같이 질소를 함유한 막이 하지막으로서 이용되고, 그에 의해 가동 이온들이 산화물 반도체층에 혼입되는 것이 방지될 수 있다.
- [0063] 다음에, 게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108), 및 제 1 단자(121)가 되는 도전막은 스퍼터링법 또는 진공 증착법으로 기판(100)의 전체 표면 위에 형성된다. 다음에, 제 1 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 배선들 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108) 및 제 1 단자(121))을 형성하기 위해 불필요한 부분은 에칭에 의해 제거된다. 이때, 게이트 전극층(101) 위에 형성된 막의 파손을 방지하기 위해, 게이트 전극층(101)의 적어도 단부들이 테이퍼형이 되도록 에칭이 수행되는 것이 바람직하다. 이 단계에서의 단면도는 도 2a에 도시된다. 도 4는 이 단계의 평면도임을 유념한다.
- [0064] 게이트 전극층(101)을 포함하는 게이트 배선, 용량 배선(108) 및 단자부의 제 1 단자(121)는, 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴 및 스칸듐과 같은 금속 재료들 중 어느 것; 이들 금속 재료들 중 어느 것을 주성분으로 함유한 합금 재료; 또는 이들 금속 재료들 중 어느 것을 함유한 질화물을 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 알루미늄 또는 구리와 같은 저-저항 금속 재료를 이용하여 게이트 전극층을 형성하는 것이 효과적이지만, 저저항 금속 재료는 낮은 내열성 및 부식되는 경향과 같은 단점들을 가지기 때문에, 내화 금속 재료와 조합하여 이용되는 것이 바람직하다. 내화 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등이 이용될 수 있다.
- [0065] 예를 들면, 게이트 전극층(101)의 2층 구조로서, 다음의 구조들이 바람직하다: 몰리브덴층이 알루미늄층 위에 적층된 2층 구조, 몰리브덴층이 구리층 위에 적층된 2층 구조, 질화 티타늄층 또는 질화 탄탈층이 구리층 위에 적층된 2층 구조, 및 질화 티타늄층 및 몰리브덴층의 2층 구조. 3층 구조로서, 다음의 구조가 바람직하다: 알루미늄을 함유한 적층 구조, 알루미늄 및 실리콘의 합금, 알루미늄 및 티타늄의 합금, 또는 알루미늄 및 네오디뮴의 합금을 중간층으로, 및 텅스텐, 질화 텅스텐, 질화 티타늄 및 티타늄 중 어느 하나를 상부층 및 하부층으로서 포함하는 적층 구조.
- [0066] 그때, 투광성 산화물 도전층이 개구율을 증가시키기 위해 전극층 및 배선층의 일부에 이용된다. 예를 들면, 산화 인듐, 산화 인듐 및 산화 주석의 합금, 산화 인듐 및 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산화질화 아연 알루미늄, 산화 아연 갈륨 등이 이용될 수 있다.
- [0067] 다음에, 게이트 절연층(102)은 게이트 전극층(101)의 전체 표면 상에 형성된다.
- [0068] 게이트 절연층(102)은 산화 실리콘, 질화 실리콘, 산화질화 실리콘 또는 질화산화 실리콘을 이용하여 플라즈마 CVD법, 스퍼터링법 등으로 단층막 또는 적층막으로 형성될 수 있다. 예를 들면, 산화질화 실리콘층은 플라즈마

CVD법으로 성막 가스들로서 SiH_4 , 산소 및 질소를 이용하여 형성될 수 있다. 게이트 절연층(102)의 두께는 50nm 이상 500nm 이하로 설정된다. 게이트 절연층(102)이 적층 구조를 가지는 경우, 50nm 이상 200nm 이하의 두께를 가진 제 1 게이트 절연층과, 제 1 게이트 절연층 위에 5nm 이상 300nm 이하의 두께를 가진 제 2 게이트 절연층을 포함한 적층 구조가 이용된다.

- [0069] 이 실시형태에서, 산화 실리콘막인 100nm의 두께를 가진 게이트 절연층(102)이 플라즈마 CVD법으로 형성된다.
- [0070] 대안적으로, 게이트 절연층(102)은 알루미늄, 이트륨 또는 하프늄의 산화물, 질화물, 산화질화물 및 질화 산화물 중 한 종류; 또는 상기 적어도 2개 이상의 종류들을 포함하는 화합물을 이용하여 단층막 또는 적층막으로 형성될 수 있다.
- [0071] 이 명세서에서, 산화질화물은 질소 원자들보다 많은 산소를 함유하는 물질을 나타내고, 질화 산화물은 산소 원자들보다 많은 질소 원자들을 함유하는 물질을 나타냄을 유념한다.
- [0072] 산화물 반도체층(103)을 형성하기 위한 산화물 반도체막이 형성되기 전에, 게이트 절연층(102)의 표면 상의 먼지는 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링을 수행함으로써 제거되는 것이 바람직하다는 것을 유념한다. 역 스퍼터링은 타겟층에 대한 전압의 인가 없이, RF 전원이 아르곤 분위기에서 기관층에 대한 전압의 인가를 위해 이용되어, 표면을 개질하기 위해 플라즈마가 기관 주위에 생성되는 방법을 나타낸다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등이 이용될 수 있음을 유념한다. 역 스퍼터링 후, 산화물 반도체막이 대기에 노출되지 않고 형성되고, 그에 의해 게이트 절연층(102)과 산화물 반도체층(103) 사이의 계면이 형성될 수 있으며, 이것은 수분 또는 하이드로카본과 같이 대기 성분들 또는 대기에 부유하는 불순물 원소들에 의해 오염되지 않는다. 따라서, 트랜지스터의 특성들의 변동이 감소될 수 있다.
- [0073] 다음에, 산화물 반도체막은 10nm 이상 200nm 이하, 바람직하게는 10nm 이상 40nm 이하의 두께로 게이트 절연층(102) 위에 형성된다.
- [0074] 산화물 반도체막으로서, 상기 뿐만 아니라, 다음의 산화물 반도체막들 중 어느 것이 적용될 수 있다: In-Ga-Zn-O-계 산화물 반도체막; In-Sn-Zn-O-계 산화물 반도체막; In-Al-Zn-O-계 산화물 반도체막; Sn-Ga-Zn-O-계 산화물 반도체막; Al-Ga-Zn-O-계 산화물 반도체막; Sn-Al-Zn-O-계 산화물 반도체막; In-Zn-O-계 산화물 반도체막; Sn-Zn-O-계 산화물 반도체막; Al-Zn-O-계 산화물 반도체막; In-O-계 산화물 반도체막; Sn-O-계 산화물 반도체막; 및 Zn-O-계 산화물 반도체막. 산화물 반도체막은 희가스(통상적으로 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로 아르곤)와 산소의 분위기에서 스퍼터링법으로 형성될 수 있다. 스퍼터링법을 이용하는 경우, 2 중량% 이상 10 중량%에서 SiO_2 를 함유한 타겟을 이용하여 성막이 수행될 수 있고, 및 결정화를 억제하는 $\text{SiO}_x(x > 0)$ 가 산화물 반도체막에 함유될 수 있다.
- [0075] 여기서, 산화물 반도체막은 산화물 반도체의 성막을 위한 타겟을 이용하여 형성되며, 타겟은, 기관과 타겟 사이의 거리가 100mm이고, 압력이 0.6Pa이고, 직류(DC) 전력이 0.5kW이고, 분위기가 산소 분위기(산소 유량 비율이 100%임)인 조건들 하에서, In, Ga 및 Zn(In_2O_3 대 Ga_2O_3 대 ZnO의 비율이 몰수비로 1 : 1 : 0.5, 1 : 1 : 1, 또는 1 : 1 : 2)을 함유한다. 펄스형 직류(DC) 전원이 이용될 때, 성막시 생성되는 가루 물질들(또한 입자들 또는 먼지라고도 칭해짐)이 감소될 수 있고 막 두께가 균일해질 가능성이 있다는 것을 유념한다. 이 실시형태에서, 산화물 반도체막으로서, 30nm-두께의 In-Ga-Zn-O-계 막이 In-Ga-Zn-O-계 산화물 반도체의 성막을 위한 타겟을 이용하여 스퍼터링법으로 형성된다.
- [0076] 산화물 반도체의 성막을 위한 타겟에서 산화물 반도체의 상대적 밀도는 80% 이상, 더욱 바람직하게는 95% 이상, 더더욱 바람직하게는 99.9% 이상인 것이 바람직하다. 이렇게 형성된 산화물 반도체의 불순물 농도는 감소될 수 있고, 높은 전기 특성들 또는 높은 신뢰도를 가진 트랜지스터가 획득될 수 있다.
- [0077] 스퍼터링법의 예들은 고주파수 전원이 스퍼터링 전원으로써 이용되는 RF 스퍼터링법, DC 전원이 이용되는 DC 스퍼터링법, 및 바이어스가 펄스 방식으로 인가되는 펄스 DC 스퍼터링법을 포함한다. RF 스퍼터링법은 절연막과 같은 도전막이 형성되는 경우에 주로 이용되고, DC 스퍼터링법은 금속막과 같은 도전막이 형성되는 경우에 주로 이용된다.
- [0078] 그 외에도, 상이한 재료들의 복수의 타겟들이 설정될 수 있는 멀티-소스 스퍼터링 장치도 또한 존재한다. 멀티-소스 스퍼터링 장치로, 상이한 재료들의 막들이 동일 챔버에 적층되도록 형성될 수 있거나, 복수 종류의 재료들의 막이 동일 챔버에서 동시에 방전에 의해 형성될 수 있다.

- [0079] 그 외에도, 마그네트론 스퍼터링법에 이용되는 챔버 내부에 자석 시스템이 구비된 스퍼터링 장치와, 글로 방전 (glow discharge)을 이용하지 않고 마이크로파들을 이용하여 생성되는 플라즈마가 이용되는 ECR 스퍼터링법에 이용되는 스퍼터링 장치가 존재한다.
- [0080] 또한, 스퍼터링법을 이용한 성막 방법으로서, 타겟 물질 및 스퍼터링 가스 성분이 화합물 박막을 형성하기 위해 성막 동안 서로 화학적으로 반응되는 반응 스퍼터링법과, 또한 성막 동안 기판에 전압이 인가되는 바이어스 스퍼터링법도 존재한다.
- [0081] 산화물 반도체막이 형성되기 전에, 스퍼터링 장치의 내벽 상 타겟 표면 또는 타겟 재료에 남아있는 수분 또는 수소를 제거하도록, 예열 처리가 수행되는 것이 바람직하다. 예열 처리로서, 감압하에서 200℃ 내지 600℃로 성막 챔버의 내부가 가열되는 방법, 성막 챔버의 내부가 가열되는 동안 질소 또는 불활성 가스의 도입 및 배기가 반복되는 방법 등이 주어질 수 있다. 예열 처리후, 기판 또는 스퍼터링 장치가 냉각된 다음, 산화물 반도체막이 대기에 노출되지 않고 형성된다. 이 경우, 물이 아닌 오일 등이 타겟을 위한 냉각제로서 이용되는 것이 바람직하다. 질소의 도입 및 배기가 가열 없이 반복될 때 특정 레벨 효과가 획득될 수 있지만, 성막 챔버의 내부를 가열하여 처리를 수행하는 것이 더욱 바람직하다.
- [0082] 산화물 반도체막이 형성되기 전, 동안 또는 후, 크라이오펌프를 이용하여 스퍼터링 장치에 남아있는 수분 등을 제거하는 것이 바람직하다.
- [0083] 다음, 제 2 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 그 후에, In-Ga-Zn-O-계 막이 에칭된다. 에칭시, 구연산 또는 옥살산과 같은 유기산이 에천트에 이용될 수 있다. 여기서, In-Ga-Zn-O-계 막이 불필요한 부분을 제거하기 위해 ITO-07N(Kanto Chemical Co., Inc.에 의해 제작)을 이용하여 습식 에칭에 의해 에칭된다. 따라서, In-Ga-Zn-O-계 막이 섬 형상을 가지도록 가공되고, 그에 의해 산화물 반도체층(103)이 형성된다. 산화물 반도체층(103)의 단부들은 테이퍼 형상을 가지도록 에칭되고, 그에 의해 계단 형상으로 인한 배선의 파손이 방지될 수 있다. 여기서 에칭은 습식 에칭에 제한되지 않고, 건식 에칭이 수행될 수 있음을 유념한다.
- [0084] 그 후에, 산화물 반도체층에는 탈수화 또는 탈수소화가 행해진다. 탈수화 또는 탈수소화를 위한 제 1 열 처리는 고온 가스(질소 또는 희가스와 같은 불활성 가스) 또는 대략 1분 이상 10분 이하 동안 400℃ 이상 700℃ 이하 (또는 유리 기판(100)의 변형점 이하의 온도), 바람직하게는 대략 3분 이상 6분 이하 동안 650℃의 광으로 RTA 처리를 통해 수행될 수 있다. RTA법으로, 탈수화 또는 탈수소화는 단기간에 수행될 수 있다; 따라서, 유리 기판의 변형점보다 높은 온도에서도 처리가 수행될 수 있다. 이 단계의 단면도 및 이 단계의 평면도는 도 2b 및 도 5에 각각 도시된다. 제 1 열 처리의 타이밍은 이 타이밍에 제한되지 않고, 예를 들면, 포토리소그래피 공정 또는 성막 단계 전후에 복수 번 수행될 수 있다.
- [0085] 여기서, 산화물 반도체층(103)의 표층부는 제 1 열 처리를 통해 결정화되고, 따라서 침형 결정들을 가진 미결정 층을 포함하는 침형 결정군(106)을 가지게 된다. 산화물 반도체층(103)의 나머지 영역은 비정질 영역, 비정질과 미결정들이 혼합된 영역 또는 미결정군이다. 침형 결정군(106)은 산화물 반도체층(103)의 일부이고, 이후 "산화물 반도체층(103)"은 침형 결정군(106)을 포함한다.
- [0086] 명세서에서, 질소 또는 희가스와 같은 불활성 가스의 분위기에서의 열 처리가 탈수화 또는 탈수소화를 위한 열 처리라고 칭해짐을 유념한다. 이 명세서에서, "탈수소화"는 열 처리로 H₂만의 제거를 나타내지 않는다. 편의를 위해, H, OH 등의 제거가 "탈수화 또는 탈수소화"라고 칭해진다.
- [0087] 그 외에도, 산화물 반도체층에 대해 탈수화 또는 탈수소화가 수행되는 가열 온도 T에서 온도가 낮추어질 때, 산화물 반도체층이 대기에 노출되지 않는 방식으로, 탈수화 또는 탈수소화에 이용된 동일 노(furnace)를 이용하여 수분 또는 수소의 혼입을 방지하는 것이 중요하다. 탈수화 또는 탈수소화를 수행함으로써 산화물 반도체층을 저저항 산화물 반도체층, 즉 n형(예를 들면 n⁻형 또는 n⁺형) 산화물 반도체층으로 변화시키고 저저항 산화물 반도체층을 고저항 산화물 반도체층으로 변화시켜, 산화물 반도체층이 i형 산화물 반도체층이 되게 하여 획득되는 산화물 반도체층을 이용하여 트랜지스터가 형성될 때, 트랜지스터의 임계 전압이 양이 되어, 소위 노멀리-오프 특성을 갖는 스위칭 소자가 실현될 수 있다. 트랜지스터에서 가능한 0V에 가까운 양의 임계 전압으로 채널이 형성되는 것이 표시 장치에 바람직하다. 트랜지스터의 임계 전압이 음인 경우, 노멀리 온이 되려는 경향이 있다; 달리 말하면, 게이트 전압이 0V인 경우에도 소스 전극과 드레인 전극 사이에 전류가 흐른다. 액티브 매트릭스형 표시 장치에서, 회로에 포함된 트랜지스터의 전기 특성들은 중요하며 표시 장치의 성능은 전기 특성들에 의존한다. 특히, 트랜지스터의 전기 특성들 중에서, 임계 전압(V_{th})이 중요하다. 전계 효과 이동도가 높은 경우에도 임

계 전압값이 높거나 또는 마이너스측 상에 있을 때, 회로를 제어하기가 어렵다. 임계 전압이 양이지만 임계 전압의 절대값이 큰 트랜지스터의 경우, 트랜지스터는 트랜지스터로서의 스위칭 기능을 수행할 수 없고 트랜지스터가 저전압으로 구동될 때 부하가 될 수 있다. n-채널 트랜지스터의 경우, 양의 전압이 게이트 전압으로서 인가된 후에 채널이 형성되어 드레인 전류가 흐르는 것이 바람직하다. 구동 전압이 증가되지 않는 한 채널이 형성되지 않는 트랜지스터와, 음의 전압이 인가될 때에도 채널이 형성되어 드레인 전류가 흐르는 트랜지스터는 회로에 이용되는 트랜지스터에 적합하지 않다.

[0088] 그 외에도, 가열 온도 T에서 온도가 낮추어지는 가스 분위기가 가열 온도 T로 온도가 증가되는 가스 분위기와는 상이한 가스 분위기로 전환될 수 있다. 예를 들면, 탈수화 또는 탈수소화를 위한 열 처리가 수행되는 동안 대기에 노출되지 않고 노에 고순도 산소 가스, 고순도 N₂O 가스 또는 초진조 에어(-40℃ 이하, 바람직하게는 -60℃ 이하의 이슬점을 가짐)로 충전되는 노에서 냉각이 수행된다.

[0089] 제 1 열 처리에서, 수분, 수소 등이 분위기에 함유되지 않는 것이 바람직하다는 것을 유념한다. 대안적으로, 열 처리 장치에 도입되는 불활성 가스의 순도는 바람직하게 6N (99.9999 %) 이상, 더욱 바람직하게 7N (99.99999 %) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1 ppm 이하임)이다.

[0090] 열 처리가 불활성 가스 분위기에서 수행되는 경우, 산화물 반도체층은 열 처리를 통해 산화물 반도체층이 저저항 산화물 반도체층(즉 n형(예를 들면 n⁻형 또는 n⁺형) 산화물 반도체층)이 되도록 산소-결핍 산화물 반도체층(oxygen-vacant oxide semiconductor layer)으로 변화된다. 그 후, 산화물 반도체층은 산화물 반도체층과 접촉하는 산화물 절연층의 형성에 의해 산소 과잉 상태에 있게 된다. 따라서, 산화물 반도체층은 i형이 된다; 즉, 산화물 반도체층은 고저항 산화물 반도체층으로 변화된다. 따라서, 양호한 전기 특성들을 가지는 매우 신뢰 가능한 트랜지스터를 형성하는 것이 가능하다.

[0091] 산화물 반도체층에 대한 제 1 열 처리는 산화물 반도체막이 섬형 산화물 반도체층(103)으로 가공되기 전에 수행될 수 있다. 그 경우, 기판은 제 1 열 처리 후에 열 처리 장치에서 꺼내어지고 제 2 포토리소그래피 공정이 수행된다. 침형 결정균은 섬형 산화물 반도체층(103)의 측면부에 형성되지 않고, 침형 결정균(106)은 산화물 반도체층(103)의 상층부에만 형성된다(도 10a 참조).

[0092] 다음, 제 3 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 불필요한 부분이 에칭에 의해 제거되어, 게이트 전극층(101)과 동일한 재료로 형성되는 배선 또는 전극층에 도달하는 콘택트 홀을 형성한다. 이 콘택트 홀은 나중에 형성될 도전막과의 직접 접촉을 위해 제공된다. 예를 들면, 구동 회로부에서 게이트 전극층이 소스 또는 드레인 전극층과 직접 접촉하는 트랜지스터가 형성될 때, 또는 단자부의 게이트 배선에 전기적으로 접촉되는 단자가 형성될 때 콘택트 홀이 형성된다.

[0093] 다음에, 산화물 반도체층(103) 및 게이트 절연층(102) 위에, 금속 재료를 포함하는 제 1 도전층(112), 제 2 도전층(113) 및 제 3 도전층(114)이 스퍼터링법 또는 진공 증착법으로 형성된다. 도 2c는 이 단계에서의 단면도이다.

[0094] 제 1 도전층(112), 제 2 도전층(113) 및 제 3 도전층(114)은 게이트 전극층(101)의 재료와 유사한 재료를 이용하여 각각 형성될 수 있다.

[0095] 여기서, 제 1 도전층(112) 및 제 3 도전층(114)은 내열성 도전 재료인 티타늄을 이용하여 형성되고, 제 2 도전층(113)은 네오디뮴을 함유한 알루미늄 합금을 이용하여 형성된다. 이러한 구성은 알루미늄의 저저항성을 활용할 수 있고 힐록 발생을 감소시킬 수 있다. 제 1 도전층(112), 제 2 도전층(113) 및 제 3 도전층(114)의 3층 구조가 이 실시형태에서 이용되지만, 본 발명의 일 실시형태는 이에 제한되지 않는다. 단층 구조, 2층 구조 또는 4 이상 층들의 적층 구조가 이용될 수 있다. 예를 들면, 티타늄막의 단층 구조 또는 실리콘을 함유한 알루미늄막 및 티타늄막의 적층 구조가 이용될 수 있다.

[0096] 대안적으로, 게이트 전극층(101)의 방식과 유사한 방식으로, 투광성 산화물 도전층이 소스 전극층(105a) 및 드레인 전극층(105b)에 이용되어, 화소부의 투광성이 개선될 수 있고 개구율이 증가될 수 있다.

[0097] 다음, 제 4 포토리소그래피 공정을 통해, 레지스트 마스크(131)가 형성된다. 불필요한 부분이 에칭에 의해 제거되고, 그에 의해 소스 및 드레인 전극층들(105a 및 105b)과 접촉 전극(120)이 형성된다. 습식 에칭 또는 건식 에칭이 이때의 에칭 방법으로서 이용된다. 예를 들면, 제 1 도전층(112) 및 제 3 도전층(114)이 티타늄막을 이용하여 형성되고 제 2 도전막(113)이 네오디뮴을 함유한 알루미늄 합금을 이용하여 형성될 때, 과산화 수소 용액 또는 가열된 염산이 에천트로서 이용되어 습식 에칭이 수행될 수 있다. 이 단계에서의 단면도 및 이 단계에

서의 평면도가 각각 도 3a 및 도 6에 도시된다.

- [0098] 이 때, 제 1 도전층(112), 제 2 도전층(113), 제 3 도전층(114) 및 산화물 반도체층(103)(침형 결정군(106))은 산화물 반도체층(103)에 대한 제 1 도전층(112), 제 2 도전층(113) 및 제 3 도전층(114)의 에칭 선택비가 높은 상태로 에칭되는 것이 바람직하다. 따라서, 산화물 반도체층(103)의 표층부에서의 침형 결정군(106)은 에칭에 의해 제거되는 것이 방지될 수 있다.
- [0099] 침형 결정군(106)이 산화물 반도체층(103)의 표층부에 형성될 때, 비정질층인 산화물 반도체층(103)에 대한 제 1 도전층(112), 제 2 도전층(113) 및 제 3 도전층(114)의 에칭 선택비는 높을 수 있다. 따라서, 산화물 반도체층(103)이 작은 두께를 가지는 경우에도, 산화물 반도체층(103)의 일부가 에칭 처리에 의해 제거되는 것을 방지하는 것이 가능하다.
- [0100] 그 외에도, 습식 에칭은 층들이 등방성으로 에칭되게 한다; 따라서, 소스 및 드레인 전극층들(105a 및 105b)은 크기가 감소되어, 이들의 단부들이 레지스트 마스크(131)의 내부측 상에 있다. 상기 단계들을 통해, 산화물 반도체층(103) 및 침형 결정군(106)이 채널 형성 영역으로서 이용되는 트랜지스터(170)가 제작될 수 있다.
- [0101] 또한, 접촉 저항이 감소될 수 있도록, 소스 및 드레인 전극층들(105a 및 105b)로 금속 재료를 주성분으로 함유한 막들의 각각과 산화물 반도체층(103) 사이에 산화물 도전층이 형성될 수 있다.
- [0102] 제 4 포토리소그래피 공정에서, 소스 전극층(105a) 및 드레인 전극층(105b)과 동일한 재료를 이용하여 형성된 제 2 단자(122)가 또한 단자부에 남겨진다. 제 2 단자(122)는 소스 배선(소스 및 드레인 전극층들(105a 및 105b)을 포함한 소스 배선)에 전기적으로 접속되는 것을 유념한다.
- [0103] 그 외에도, 단자부에서, 접속 전극(120)은 게이트 절연층(102)에 형성된 콘택트 홀을 통해 단자부의 제 1 단자(121)에 직접 접속된다. 도시되지 않았지만, 소스 또는 드레인 배선 및 구동 회로의 트랜지스터의 게이트 전극은 상기 단계들과 동일한 단계들을 통해 서로 직접 접속된다.
- [0104] 또한, 다계조 마스크를 이용하여 형성되는 복수의 두께들(통상적으로 2개의 상이한 두께들)을 가진 영역들을 가진 레지스트 마스크를 이용함으로써, 레지스트 마스크들의 수가 감소될 수 있어서, 단순화된 공정 및 저비용들의 결과를 가져온다.
- [0105] 다음에, 레지스트 마스크(131)가 제거되고, 산화물 반도체층(107)이 게이트 절연층(102), 산화물 반도체층(103), 소스 및 드레인 전극층들(105a 및 105b)을 커버하고 산화물 반도체층(103)의 일부와 접촉되도록 형성된다. 산화물 절연층(107)은 스퍼터링법 등으로 형성되는 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 또는 산화 탄탈막과 같은 산화물 절연층을 이용하여 형성될 수 있다.
- [0106] 산화물 절연층(107)은 스퍼터링법 등으로 적합하게 형성될 수 있고, 이 방법은 수분 또는 수소와 같은 불순물들이 산화물 절연층(107)으로 혼입되지 않는 방법이다. 이 실시형태에서, 산화 실리콘막이 스퍼터링법으로 산화물 절연층(107)에 대해 형성된다. 성막시 기판 온도는 실온 이상 300°C 이하일 수 있고, 이 실시형태에서는 100°C이다. 성막시 수분 또는 수소와 같은 불순물의 혼입을 방지하기 위해, 대기에 노출하지 않고 산화물 절연층을 형성하기 위해 성막 전에 2분 이상 10분 이하 동안 150°C 이상 350°C 이하의 온도로 감압하에서 프리베이킹(pre-baking)을 수행하는 것이 바람직하다. 산화 실리콘막은 희가스(통상적으로 아르곤) 분위기, 산소 분위기 또는 희가스(통상적으로 아르곤)와 산소의 분위기에서 스퍼터링법으로 형성될 수 있다. 또한, 산화 실리콘 타겟 또는 실리콘 타겟이 타겟으로서 이용될 수 있다. 예를 들면, 실리콘 타겟을 이용하여, 산화 실리콘막이 산소와 희가스의 혼합된 분위기에서 스퍼터링법으로 형성될 수 있다. 저항이 감소된 영역에서 산화물 반도체층과 접촉하여 형성되는 산화물 절연층이, 수분, 수소 이온 및 OH⁻와 같은 불순물들을 함유하지 않고 외부로부터 그러한 불순물들의 혼입을 방지하는 무기 절연막을 이용하여 형성된다.
- [0107] 이 실시형태에서, 원주형 다결정, 붕소-도핑된 실리콘 타겟(0.01Ω·cm의 저항율을 가짐)을 이용하여 펄스형 DC 스퍼터링법으로 성막이 수행되고, 기판과 타겟 사이의 거리(T-S 거리)가 89mm이고, 압력이 0.4Pa이고, 직류(DC) 전력이 6kW이고, 분위기가 산소 분위기(산소 유량의 비율이 100%임)인 조건들 하에서 6N의 순도를 가진다. 막 두께는 300nm이다.
- [0108] 다음, 제 2 열 처리가 불활성-가스 분위기(200°C 이상 400°C 이하의 온도가 바람직하며, 예를 들면 250°C 이상 350°C 이하의 온도)에서 수행된다. 예를 들면, 제 2 열 처리는 1시간 동안 250°C의 질소 분위기에서 수행된다. 대안적으로, RTA 처리가 제 1 열 처리에서와 같은 단시간 동안 고온으로 수행될 수 있다. 제 2 열 처리에서, 산화물 절연층(107)이 산화물 반도체층(103)의 일부와 접촉하여 가열된다. 제 2 열 처리를 통해, 산화물 반도체층

(103)은 산소 과잉 상태에 있다. 산화물 반도체층(103)은 더 높은 저항을 가질 수 있다(i형입).

- [0109] 이 실시형태에서, 제 2 열 처리는 산화물 절연층(107)의 형성 후에 수행된다; 그러나, 열 처리의 타이밍은 이것 이 산화물 절연층(107)의 형성 후라면, 산화물 절연층(107)의 형성 직후의 타이밍에 제한되지 않는다.
- [0110] 소스 전극층(105a) 및 드레인 전극층(105b)이 내열성 재료를 이용하여 형성되는 경우, 제 2 열 처리의 타이밍에 서 제 1 열 처리의 조건들을 이용한 단계가 수행될 수 있다. 그 경우, 열 처리는 산화 실리콘막의 형성 후에 1 회 수행될 수 있다.
- [0111] 그 후에, 제 5 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 산화물 절연층(107)은 드레인 전극층 (105b)에 도달하는 콘택트 홀(125)이 형성되도록 에칭된다. 그 외에도, 접속 전극(120)에 도달하는 콘택트 홀 (126)과 제 2 단자(122)에 도달하는 콘택트 홀(127)도 또한 이 에칭에 의해 형성된다. 이 단계에서의 단면도는 도 3b에 도시된다.
- [0112] 다음에, 레지스트 마스크가 제거된 후에 투광성 도전막이 형성된다. 투광성 도전막은 산화 인듐(In_2O_3), 산화 인 듐과 산화 주석의 합금($In_2O_3-SnO_2$, 이후 ITO라고 약칭됨) 등을 이용하여 스퍼터링법, 진공 증착법 등으로 형성 된다. 이러한 재료는 염산-계 용액으로 에칭된다. 특히 ITO를 에칭할 때 잔여물이 생성될 가능성이 있기 때문에, 산화 인듐과 산화 아연의 합금(In_2O_3-ZnO , 이후 IZO로 약칭됨)은 에칭 가공성을 개선시키기 위해 이용될 수 있음을 유념한다.
- [0113] 다음, 제 6 포토리소그래피 공정을 통해, 레지스트 마스크가 형성된다. 투광성 도전막의 불필요한 부분이 에칭 에 의해 제거되어, 화소 전극층(110)이 형성된다.
- [0114] 제 6 포토리소그래피 단계에서, 저장 용량은 유전체로서 이용되는 용량부의 게이트 절연층(102) 및 산화물 절연 층(107), 용량 배선(108) 및 화소 전극층(110)으로 형성된다.
- [0115] 또한, 제 6 포토리소그래피 공정에서, 제 1 단자(121) 및 제 2 단자(122)는 레지스트 마스크로 피복되고, 투광 성 도전막들(128 및 129)이 단자부들에 남아있다. 투광성 도전막들(128 및 129) 각각은 FPC에 접속된 배선 또는 전극의 역할을 한다. 제 1 단자(121)에 직접 접속된 접속 전극(120) 위에 형성되는 투광성 도전막(128)은 게이 트 배선의 입력 단자의 기능을 하는 접속 단자 전극이다. 제 2 단자(122) 위에 형성된 투광성 도전막(129)은 소 스 배선의 입력 단자의 기능을 하는 접속 단자 전극의 역할을 한다.
- [0116] 그 후, 레지스트 마스크는 제거된다. 이 단계에서의 단면도 및 이 단계에서의 평면도는 도 3c 및 도 7에 각각 도시된다.
- [0117] 도 8a1 및 도 8a2는 각각 이 단계에서의 게이트 배선 단자부의 단면도 및 평면도이다. 도 8a1은 도 8a2의 라인 C1-C2를 따라 취해진 단면도이다. 도 8a1에서, 보호 절연막(154) 및 접속 전극(153) 위에 형성된 투광성 도전막 (155)은 입력 단자로서 기능하는 접속 단자 전극이다. 또한, 도 8a1에서, 단자부에서, 게이트 배선과 동일한 재 료로 형성된 제 1 단자(151) 및 소스 배선과 동일한 재료로 형성된 접속 전극(153)은 게이트 절연층(152)을 이 들 사이에 개재하여 서로 중첩되고 직접 전기 접속된다. 또한, 접속 전극(153) 및 투광성 도전막(155)은 보호 절연막(154)에 형성된 콘택트 홀을 통해 서로 직접 접속된다.
- [0118] 도 8b1 및 도 8b2는 각각 소스 배선 단자부의 단면도 및 평면도이다. 도 8b1은 도 8b2의 라인 D1-D2를 따라 취 해진 단면도이다. 도 8b1에서, 보호 절연막(154) 및 접속 전극(153) 위에 형성된 투광성 도전막(155)이 입력 단 자로서 기능하는 접속 단자 전극이다. 또한, 도 8b1에서, 단자부에서, 게이트 배선과 동일한 재료로 형성된 전 극(156)은 소스 배선에 전기적으로 접속된 제 2 단자(150) 아래에 위치되어 게이트 절연층(152)을 개재시켜 이 와 중첩된다. 전극(156)은 제 2 단자(150)에 전기적으로 접속되지 않고, 잡음 또는 정전기를 방지하기 위한 용 량소자는 전극(156)의 전위가 GND 또는 0V와 같이 제 2 단자(150)의 전위와 상이한 전위로 설정되거나, 전극 (156)이 플로팅 상태가 되도록 설정될 때 형성될 수 있다. 제 2 단자(150)는 보호 절연막(154)을 사이에 개재시 켜 투광성 도전막(155)에 전기적으로 접속된다.
- [0119] 복수의 게이트 배선들, 소스 배선들 및 용량 배선들이 화소 밀도에 의존하여 제공된다. 또한, 단자부에서, 게이 트 배선과 동일한 전위의 복수의 제 1 단자들, 소스 배선과 동일한 전위의 복수의 제 2 단자들, 용량 배선과 동 일한 전위의 복수의 제 3 단자들 등이 배열된다. 단자들의 각각의 수는 임의의 수일 수 있고, 단자들의 수는 전 문가에 의해 적합하게 결정될 수 있다.
- [0120] 이들 6번의 포토리소그래피 공정들을 통해, 하부 게이트 트랜지스터(170) 및 저장 용량부가 이렇게 완성될 수

있다. 이들 트랜지스터들 및 저장 용량들이 각각의 화소들에 대응하는 매트릭스로 배열될 때, 화소부가 형성될 수 있고, 액티브-매트릭스형 표시 장치를 제작하기 위한 기관들 중 하나가 획득될 수 있다. 이 명세서에서, 이러한 기관은 편의를 위한 액티브 매트릭스형 기관이라고 칭해진다.

- [0121] 액티브 매트릭스형 액정 표시 장치를 제작하는 경우, 액티브 매트릭스형 기관 및 대향 전극이 구비된 대향 기관이 액정층을 사이에 개재시켜 서로 결합된다. 액티브 매트릭스 기관 위에 제공되는 공통 전극은 대향 기관 상의 대향 전극에 전기적으로 접속되고, 공통 전극에 전기적으로 접속된 제 4 단자는 단자부에 제공되는 것을 유념한다. 제 4 단자는 공통 전극이 GND 또는 0V와 같은 고정 전위로 설정되도록 제공된다.
- [0122] 이 실시형태의 화소 구성은 도 7의 화소 구성에 제한되지 않는다. 도 9는 도 7의 예와 상이한 예를 도시한 평면도이다. 도 9는 용량 배선이 제공되지 않고 보호 절연막 및 게이트 절연층을 사이에 개재시켜 서로 중첩하는 인접한 화소의 게이트 배선과 화소 전극으로 저장 용량이 형성되는 예를 도시한다. 이 경우, 용량 배선 및 용량 배선에 접속된 제 3 단자는 생략될 수 있다. 도 9에서, 도 7의 부분들과 동일한 부분들은 공용 참조 번호들로 표시됨을 유념한다.
- [0123] 액티브 매트릭스형 액정 표시 장치에서, 표시 패턴이 매트릭스형으로 배열되는 화소 전극들을 구동함으로써 화면 상에 형성된다. 특히, 선택된 화소 전극과 화소 전극에 대응하는 대향 전극 사이에 전압이 인가되어, 화소 전극과 대향 전극 사이에 제공된 액정층이 광학으로 변조되고, 이 광학 변조는 관찰자에 의해 표시 패턴으로서 인식된다.
- [0124] 액정 표시 장치의 동화상들을 표시할 때, 액정 분자들 자체의 긴 응답 시간이 동화상들의 잔상들 또는 블러링(blurring)을 유발한다는 점에서 문제가 있다. 액정 표시 장치의 동화상 특성들을 개선시키기 위해, 전체 화면 상에 1 프레임 기간씩 컬러 흑색이 표시되는 흑색 삽입이라고 칭해지는 구동 방법이 채용된다.
- [0125] 또한, 소위 배속 구동이라고 불리는 다른 구동 기술이 존재한다. 배속 구동에서, 수직 동기화 주파수가 일반적인 수직 동기화 주파수만큼 1.5배 이상, 바람직하게는 2배 이상으로 설정되고, 그에 의해 응답 속도가 증가되고, 기록될 톤들이 구동에 의해 획득된 각 프레임에서 복수의 필드들마다 선택된다.
- [0126] 다른 대안으로, 액정 표시 장치의 동화상 특성들을 개선시키기 위해, 복수의 LED들(light-emitting diodes) 또는 복수의 EL 광원들이 백라이트로서 평면 광원을 형성하기 위해 이용되고 평면 광원의 각각의 광원이 일 프레임 기간에서 펄스형 방식으로 독립적으로 구동되는 구동 방법이 채용될 수 있다. 예를 들면, LED들의 경우, 세 종류 이상의 LED들이 이용될 수 있거나, 백색 광을 방출하는 LED가 이용될 수 있다. 복수의 LED들이 독립적으로 제어될 수 있기 때문에, LED들의 발광 타이밍은 액정층이 광학적으로 변조되는 타이밍과 동기될 수 있다. 이 구동 방법에 따라, LED들은 부분적으로 턴 오프될 수 있다; 따라서, 특히, 하나의 화면에 점유된 대형 흑색 표시 영역을 가진 화상을 표시하는 경우에, 전력 소비를 감소시키는 효과가 얻어질 수 있다.
- [0127] 이들 구동 방법들을 조합함으로써, 액정 표시 장치의 표시 특성들은, 동화상 특성들과 같이, 통상적인 액정 표시 장치들의 특성들에 비해 개선될 수 있다.
- [0128] 이 실시형태에서 획득된 트랜지스터는 In-Ga-Zn-O-계 비단결정막을 채널 형성 영역에 포함하고 양호한 동적 특성들을 가진다. 따라서, 이들 구동 방법들은 이 실시형태의 트랜지스터와 조합하여 적용될 수 있다.
- [0129] 발광 표시 장치를 제작하는 경우, 유기 발광 소자의 저전원 전위측에 대한 전극(또한 음극이라고 칭해짐)은 GND, 0V 등으로 설정된다; 따라서, GND, 0V 등으로 음극을 설정하기 위한 제 4 단자는 단자부에 제공된다. 또한, 발광 표시 장치를 제작할 때, 소스 배선 및 게이트 배선 외에도, 전원선이 제공된다. 따라서, 단자부에는 전원선에 전기적으로 접속된 제 5 단자가 구비된다.
- [0130] 이 실시형태에서, 제작 방법은 소스 및 드레인 전극층들이 산화물 반도체층 위에서 이와 중첩하는 구조를 가진 트랜지스터를 취하여 예로서 기술되지만, 산화물 반도체층이 소스 및 드레인 전극층들 위에서 이와 중첩하는 트랜지스터가 단계들의 순서를 변경하여 제작될 수 있음을 유념한다.
- [0131] 상기 단계들을 통해, 양호한 전기 특성들을 갖는 매우 신뢰 가능한 트랜지스터 및 트랜지스터를 포함하는 표시 장치가 제공될 수 있다.
- [0132] 이 실시형태에 설명된 구조는 다른 실시형태들에 설명된 구조들 중 어느 것과 적합하게 조합하여 이용될 수 있음을 유념한다.
- [0133] (실시형태 3)

- [0134] 이 실시형태에서, 구동 회로의 적어도 일부 및 화소부에 배치될 트랜지스터가 일 기관 위에 형성되는 예가 하기에 설명된다.
- [0135] 화소부의 트랜지스터는 실시형태들 1 및 2에 따라 형성된다. 또한, 실시형태들 1 및 2에 설명된 트랜지스터는 n-채널 트랜지스터이고, 따라서, 구동 회로들 중에서 n-채널 트랜지스터들로 형성될 수 있는 구동 회로의 일부는 화소부의 트랜지스터와 동일 기관 위에 형성된다.
- [0136] 도 14a는 액티브 매트릭스형 표시 장치의 블록도의 예를 도시한다. 화소부(5301), 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)가 표시 장치에서 기관(5300) 위에 제공된다. 화소부(5301)에서, 신호선 구동 회로(5304)로부터 연장된 복수의 신호선들이 배치되고, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303)로부터 연장된 복수의 주사선들이 배치된다. 표시 소자를 각각 포함하는 화소들은 주사선들 및 신호선들이 서로 교차하는 각각의 영역들에서 매트릭스형으로 배열됨을 유념한다. 표시 장치의 기관(5300)은 플렉시블 인쇄 회로(FPC)와 같은 접속부를 통해 타이밍 제어 회로(5305)(또한 제어기 또는 제어 IC라고도 칭해짐)에 접속된다.
- [0137] 도 14a에서, 제 1 주사선 구동 회로(5302), 제 2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)는 화소부(5301)가 형성되는 기관(5300) 위에 형성된다. 결과적으로, 외부에서 제공되는 구동 회로 등의 부품들의 수가 감소되어, 비용들이 감소될 수 있다. 또한, 기관(5300)과 외부 구동 회로들 사이의 접속부들(예를 들면, FPC)의 수가 감소될 수 있고, 신뢰도 또는 수율이 증가될 수 있다.
- [0138] 타이밍 제어 회로(5305)는 예를 들면 제 1 주사선 구동 회로 시작 신호(GSP1)(시작 신호는 또한 시작 펄스라고도 칭해짐) 및 주사선 구동 회로 클럭 신호(GCK1)를 제 1 주사선 구동 회로(5302)에 공급하는 것을 유념한다. 또한, 타이밍 제어 회로(5305)는 예를 들면 제 2 주사선 구동 회로 시작 신호(GSP2) 및 주사선 구동 회로 클럭 신호(GCK2)를 제 2 주사선 구동 회로(5303)에 공급한다. 타이밍 제어 회로(5305)는 신호선 구동 회로 시작 신호(SSP), 신호선 구동 회로 클럭 신호(SCK), 비디오 신호 데이터(DATA), 또한 간단히 비디오 신호라고도 칭해짐) 및 래치 신호(LAT)를 신호선 구동 회로(5304)에 공급한다. 각각의 클럭 신호는 편이된 위상들을 가진 복수의 클럭 신호들일 수 있거나, 클럭 신호를 반전함으로써 획득되는 신호(CKB)와 함께 공급될 수 있다. 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303) 중 하나를 생략하는 것이 가능하다는 것을 유념한다.
- [0139] 도 14b는 저 구동 주파수를 가진 회로들(예를 들면, 제 1 주사선 구동 회로(5302) 및 제 2 주사선 구동 회로(5303))이 화소부(5301)가 형성되는 기관(5300) 위에 형성되고, 화소부(5301)가 형성되는 기관(5300)과는 상이한 기관 위에 신호선 구동 회로(5304)가 형성되는 구성을 도시한다. 이 구성으로, 기관(5300) 위에 형성된 구동 회로들은 전계 효과 이동도가 단결정 반도체를 각각 이용한 트랜지스터들의 이동도보다 낮은 트랜지스터들에 의해 구성될 수 있다. 따라서, 표시 장치의 크기의 증가, 단계들의 수의 감소, 비용의 감소, 수율의 증가 등이 달성될 수 있다.
- [0140] 실시형태들 1 및 2에 설명된 트랜지스터는 n-채널 트랜지스터이다. 다음에, n-채널 트랜지스터들에 의해 구성된 신호선 구동 회로의 구성 및 동작에는 도 15a 및 도 15b를 참조하여 설명될 것이다.
- [0141] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로들(5602_1 내지 5602_N)(N은 자연수)에 의해 구성된다. 스위칭 회로들(5602_1 내지 5602_N)은 복수의 트랜지스터들(5603_1 내지 5603_k)(k는 자연수)에 의해 각각 구성된다. 여기서, 트랜지스터들(5603_1 내지 5603_k)이 n-채널 트랜지스터들인 경우가 설명된다.
- [0142] 신호선 구동 회로에서의 접속 관계는 예로서 스위칭 회로(5602_1)를 이용하여 설명된다. 트랜지스터들(5603_1 내지 5603_k)의 제 1 단자들은 배선들(5604_1 내지 5604_k)에 각각 접속된다. 트랜지스터들(5603_1 내지 5603_k)의 제 2 단자들은 신호선들(S1 내지 Sk)에 각각 접속된다. 트랜지스터들(5603_1 내지 5603_k)의 게이트들은 배선(5605_1)에 접속된다.
- [0143] 시프트 레지스터(5601)는 배선들(5605_1 내지 5605_N)에 H-레벨 신호들(또한 H 신호들 또는 고전원 전위 레벨의 신호들이라고도 칭해짐)을 순차적으로 출력함으로써 스위칭 회로들(5602_1 내지 5602_N)을 순차적으로 선택하는 기능을 가진다.
- [0144] 스위칭 회로(5602_1)는 배선들(5604_1 내지 5604_k)과 신호선들(S1 내지 Sk) 사이의 도통 상태(제 1 단자들과 제 2 단자들 사이의 도통)를 제어하는 기능, 즉 배선들(5604_1 내지 5604_k)의 전위들이 신호선들(S1 내지 Sk)에 공급되는지의 여부를 제어하는 기능을 가진다. 이러한 방식으로, 스위칭 회로(5602_1)는 선택기로서 기능한

다. 또한, 트랜지스터들(5603_1 내지 5603_k)은 배선들(5604_1 내지 5604_k)과 신호선들(S1 내지 Sk) 사이의 도통 상태들을 각각 제어하는 기능, 즉 배선들(5604_1 내지 5604_k)의 전위들이 각각 신호선들(S1 내지 Sk)에 공급되는지의 여부를 제어하는 기능을 가진다. 이러한 방식으로, 트랜지스터들(5603_1 내지 5603_k)의 각각은 스위치로서 기능한다.

- [0145] 비디오 신호 데이터(DATA)는 배선들(5604_1 내지 5604_k)의 각각에 입력된다. 비디오 신호 데이터(DATA)는 흔히 화상 데이터에 대응하는 아날로그 신호 또는 화상 신호이다.
- [0146] 다음에, 도 15a에서 신호선 구동 회로의 동작은 도 15b의 타이밍 차트를 참조하여 설명된다. 도 15b는 신호들(Sout_1 내지 Sout_N) 및 신호들(Vdata_1 내지 Vdata_k)의 예들을 도시한다. 신호들(Sout_1 내지 Sout_N)은 시프트 레지스터(5601)로부터 출력 신호들의 예들이다. 신호들(Vdata_1 내지 Vdata_k)은 배선들(5604_1 내지 5604_k)에 입력된 신호들의 예들이다. 신호선 구동 회로의 일 동작 기간은 표시 장치의 일 게이트 선택 기간에 대응하는 것을 유념한다. 예를 들면, 일 게이트 선택 기간은 기간들(T1 내지 TN)로 나누어진다. 기간들(T1 내지 TN)의 각각은 선택된 행에 속하는 화소에 비디오 신호 데이터(DATA)를 기록하기 위한 기간이다.
- [0147] 이 실시형태에서 도면들 등에 도시된 각각의 구조에서의 신호 파형 왜곡 등은 어떤 경우들에 간략히 하기 위해 확대되는 것을 유념한다. 따라서, 이 실시형태는 도면에 도시된 크기에 반드시 제한될 필요가 없다.
- [0148] 기간들(T1 내지 TN)에서, 시프트 레지스터(5601)는 배선들(5605_1 내지 5605_N)에 순차적으로 H-레벨 신호들을 출력한다. 예를 들면, 기간(T1)에서, 시프트 레지스터(5601)는 배선(5605_1)에 하이-레벨 신호를 출력한다. 이 때, 트랜지스터들(5603_1 내지 5603_k)은 턴 온되어, 배선들(5604_1 내지 5604_k) 및 신호선들(S1 내지 Sk)이 도통된다. 그 후에, 데이터(S1) 내지 데이터(Sk)는 배선들(5604_1 내지 5604_k)에 각각 입력된다. 데이터(S1) 내지 데이터(Sk)는 트랜지스터들(5603_1 내지 5603_k)을 통해 선택된 행에서의 제 1 내지 제 k 열들에서의 화소들에 기록된다. 이러한 방식으로, 기간들(T1 내지 TN)에서, 비디오 신호 데이터(DATA)는 k 열들에 의해 선택된 행에서의 화소들에 순차적으로 기록된다.
- [0149] 비디오 신호 데이터(DATA)는 상술된 바와 같이 복수의 열들에 의해 화소들에 기록되고, 그에 의해 비디오 신호 데이터(DATA)의 수 또는 배선들의 수가 감소될 수 있다. 결과적으로, 외부 회로와의 접속들의 수가 감소될 수 있다. 또한, 비디오 신호 데이터(DATA)가 복수의 열들에 의해 화소들에 기록될 때 기록을 위한 시간이 연장될 수 있다; 따라서, 비디오 신호 데이터(DATA)의 불충분한 기록이 방지될 수 있다.
- [0150] 실시형태들 1 및 2에서의 트랜지스터들에 의해 구성된 회로들 중 어느 것은 시프트 레지스터(5601) 및 스위칭 회로(5602)에 이용될 수 있음을 유념한다. 그 경우, 시프트 레지스터(5601)는 유니폴라 트랜지스터들에 의해서만 구성될 수 있다.
- [0151] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부에 이용되는 시프트 레지스터의 일 실시형태는 도 16a 내지 도 16d와 도 17a 및 도 17b를 참조하여 설명된다.
- [0152] 주사선 구동 회로는 시프트 레지스터를 포함한다. 또한, 주사선 구동 회로는 일부 경우들에서 레벨 시프터, 버퍼 등을 포함할 수 있다. 주사선 구동 회로에서, 클록 신호(CK) 및 시작 펄스 신호(SP)가 시프트 레지스터에 입력되어, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 버퍼링되어 증폭되고, 결과로서 생긴 신호는 대응하는 주사선에 공급된다. 일 라인의 화소들에서의 트랜지스터들의 게이트 전극들은 주사선에 접속된다. 일 라인의 화소들에서의 트랜지스터들이 한번에 모두 턴 온되어야 하기 때문에, 대량의 전류가 공급될 수 있는 버퍼가 이용된다.
- [0153] 시프트 레지스터는 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)(N은 3 이상의 자연수)을 포함한다(도 16a 참조). 16a에 도시된 시프트 레지스터에서, 제 1 클록 신호 CK1, 제 2 클록 신호 CK2, 제 3 클록 신호 CK3 및 제 4 클록 신호 CK4 가 제 1 배선(11), 제 2 배선(12), 제 3 배선(13) 및 제 4 배선(14)으로부터 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)로 각각 공급된다. 시작 펄스 SP1(제 1 시작 펄스)이 제 5 배선(15)으로부터 제 1 펄스 출력 회로(10_1)로 입력된다. 제 2 또는 후속 단의 제 n 펄스 출력 회로(10_n)(n은 2 이상 N 이하의 자연수)에 이전 단의 펄스 출력 회로로부터의 신호(이러한 신호는 이전-단 신호 OUT(n-1)라고 칭해짐)가 입력된다. 제 1 펄스 출력 회로(10_1)에, 다음 단 후에 있는 단의 제 3 펄스 출력 회로(10_3)로부터 신호가 입력된다. 유사한 방식으로, 제 2 또는 후속 단의 제 n 펄스 출력 회로(10_n)에, 다음 단 후에 있는 단의 제 (n+2) 펄스 출력 회로(10_(n+2))로부터 신호(이러한 신호는 후속-단 신호 OUT(n+2)라고 칭해짐)가 입력된다. 따라서, 각각의 단들의 펄스 출력 회로들은 후속 단들의 펄스 출력 회로들 및/또는 이전 단들의 펄스 출력 회로들에 입력될 제 1 출력 신호들(OUT(1)(SR) 내지 OUT(N)(SR))과, 상이한 회로들 등에 입력될 제 2 출력 신호들(OUT(1)

내지 OUT(N))을 출력한다. 후속-단 신호 OUT(n+2)가 도 16a에 도시된 바와 같이 시프트 레지스터의 최종 2개의 단들에 입력되지 않기 때문에, 예를 들면 제 2 시작 펄스 SP2 및 제 3 시작 펄스 SP3이 최종 단 이전의 단 및 최종 단에 각각 부가적으로 입력될 수 있음을 유념한다.

[0154] 클록 신호(CK)가 일정한 간격들로 H-레벨과 L-레벨 사이에서 교호하는 신호임(또한 L 신호 또는 저전원 전위 레벨에서의 신호라고도 칭해짐)을 유념한다. 여기서, 제 1 클록 신호(CK1) 내지 제 4 클록 신호(CK4)는 1/4 사이클 만큼 순차적으로 지연된다. 이 실시형태에서, 펄스 출력 회로의 구동은 제 1 내지 제 4 클록 신호들(CK1) 내지 (CK4)로 제어된다. 클록 신호는 또한 클록 신호가 입력되는 구동 회로에 의존하여 일부 경우들에서 GCK 또는 SCK라고 칭해지고, 클록 신호가 다음의 기술에서 CK라고 칭해지는 것을 유념한다.

[0155] 제 1 입력 단자(21), 제 2 입력 단자(22) 및 제 3 입력 단자(23)는 제 1 내지 제 4 배선들(11 내지 14) 중 어느 것에 전기적으로 접속된다. 예를 들면, 도 16a의 제 1 펄스 출력 회로(10_1)에서, 제 1 입력 단자(21)는 제 1 배선(11)과 전기적으로 접속되고, 제 2 입력 단자(22)는 제 2 배선(12)과 전기적으로 접속되고, 제 3 입력 단자(23)는 제 3 배선(13)과 전기적으로 접속된다. 제 2 펄스 출력 회로(10_2)에서, 제 1 입력 단자(21)는 제 2 배선(12)과 전기적으로 접속되고, 제 2 입력 단자(22)는 제 3 배선(13)과 전기적으로 접속되고, 제 3 입력 단자(23)는 제 4 배선(14)과 전기적으로 접속된다.

[0156] 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)의 각각은 제 1 입력 단자(21), 제 2 입력 단자(22), 제 3 입력 단자(23), 제 4 입력 단자(24), 제 5 입력 단자(25), 제 1 출력 단자(26) 및 제 2 출력 단자(27)를 포함하도록 가정된다(도 16b 참조). 제 1 펄스 출력 회로(10_1)에서, 제 1 클록 신호 CK1은 제 1 입력 단자(21)에 입력되고; 제 2 클록 신호 CK2는 제 2 입력 단자(22)에 입력되고; 제 3 클록 신호 CK3은 제 3 입력 단자(23)에 입력되고; 시작 펄스는 제 4 입력 단자(24)에 입력되고; 후속-단 신호 OUT(3)는 제 5 입력 단자(25)에 입력되고; 제 1 출력 신호 OUT(1)(SR)은 제 1 출력 단자(26)로부터 출력되고; 제 2 출력 신호 OUT(1)은 제 2 출력 단자(27)로부터 출력된다.

[0157] 제 1 내지 제 N 펄스 출력 회로들(10_1 내지 10_N)에서, 3개의 단자들을 가진 트랜지스터 외에도, 상기 실시형태들에 도시된 4개의 단자들을 가진 트랜지스터가 이용될 수 있다. 도 16c는 상기 실시형태에 설명된 4개의 단자들을 가진 트랜지스터(28)의 심볼을 도시한다. 도 16c에 도시된 트랜지스터(28)의 심볼은 4개의 단자들을 가진 트랜지스터를 표현하고 도면들 등에 이용된다. 트랜지스터(28)는 제 1 게이트 전극에 입력되는 제 1 제어 신호 G1과 제 2 게이트 전극에 입력된 제 2 제어 신호 G2로 IN 단자와 OUT 단자 사이에서 전기 제어를 수행할 수 있는 소자이다.

[0158] 산화물 반도체가 트랜지스터에서의 채널층에 이용될 때, 임계 전압은 때때로 제작 공정에 의존하여 양 또는 음의 방향으로 시프트한다. 그러한 이유로, 산화물 반도체가 채널층에 이용되는 트랜지스터는 임계 전압이 제어될 수 있는 구성을 가지는 것이 바람직하다. 게이트 전극들은 도 16c에서의 트랜지스터(28)의 채널 형성 영역 위와 아래에 게이트 절연막을 개재시켜 제공된다. 상부 게이트 전극 및/또는 하부 게이트 전극의 전위를 제어함으로써, 트랜지스터(28)의 임계 전압이 원하는 값이 되도록 제어될 수 있다.

[0159] 다음에, 도 16b에 도시된 펄스 출력 회로의 특정 회로 구성예가 도 16d를 참조하여 설명될 것이다.

[0160] 도 16d에 도시된 펄스 출력 회로는 제 1 내지 제 13 트랜지스터들(31 내지 43)을 포함한다. 제 1 내지 제 13 트랜지스터들(31 내지 43)은 제 1 내지 제 5 입력 단자들(21 내지 25), 제 1 고전원 전위 VDD가 공급되는 전원선(51), 제 2 고전원 전위 VCC가 공급되는 전원선(52), 및 저전원 전위 VSS가 공급되는 전원선(53)에 접속된다. 신호 또는 전원 전위는, 제 1 내지 제 5 입력 단자들(21 내지 25), 제 1 출력 단자(26) 및 제 2 출력 단자(27) 외에도, 제 1 고전원 전위 VDD가 공급되는 전원선(51), 제 2 고전원 전위 VCC가 공급되는 전원선(52), 및 저전원 전위 VSS가 공급되는 전원선(53)으로부터 제 1 내지 제 13 트랜지스터들(31 내지 43)로 공급된다. 도 16d의 전원선들의 전원 전위들의 관계는 다음과 같다: 제 1 고전원 전위 VDD는 제 2 고전원 전위 VCC 이상이고, 제 2 고전원 전위 VCC는 저전원 전위 VSS 이상이다. 제 1 내지 제 4 클록 신호들(CK1) 내지 (CK4) 각각은 일정한 간격들에서 H-레벨과 L-레벨 사이에서 교호하고; 예를 들면, H 레벨에서의 클록 신호는 VDD이고 L 레벨에서의 클록 신호는 VSS임을 유념한다. 전원선(51)의 전위 VDD를 전원선(52)의 전위 VCC보다 높게 만듦으로써, 트랜지스터의 게이트 전극에 인가되는 전위는 낮아질 수 있고, 트랜지스터의 임계 전압의 시프트가 감소될 수 있고, 트랜지스터의 동작에 대한 악영향없이 트랜지스터의 열화가 억제될 수 있다. 도 16d에 도시된 바와 같이, 도 16c에서 4개의 단자들을 가진 트랜지스터(28)는 제 1 내지 제 13 트랜지스터들(31 내지 43) 중에서 제 1 트랜지스터(31)와 제 6 내지 제 9 트랜지스터들(36 내지 39)의 각각으로서 이용되는 것이 바람직하다. 제 1 트랜지스터(31)와 제 6 내지 제 9 트랜지스터들(36 내지 39)의 각각의 소스 또는 드레인의 역할을 하는 하나의 전극이 접

속되는 노드의 전위는 제 1 트랜지스터(31)와 제 6 내지 제 9 트랜지스터들(36 내지 39)의 각각의 게이트 전극의 제어 신호로 스위칭되어야 한다. 또한, 제 1 트랜지스터(31)와 제 6 내지 제 9 트랜지스터들(36 내지 39) 각각은 게이트 전극에 입력된 제어 신호에 대한 응답이 고속이기(온-상태 전류의 증가가 급격하기) 때문에 펄스 출력 회로의 오동작을 감소시킨다. 따라서, 도 16c에 도시된 4개의 단자들을 가진 트랜지스터(28)를 이용함으로써, 임계 전압이 제어될 수 있고, 펄스 출력 회로의 오동작이 더욱 감소될 수 있다. 도 16d에서, 제 1 제어 신호 G1 및 제 2 제어 신호 G2는 동일한 제어 신호이지만; 상이한 제어 신호들이 입력될 수 있음을 유념한다.

[0161] 도 16d에서, 제 1 트랜지스터(31)의 제 1 단자는 전원선(51)에 전기적으로 접속되고, 제 1 트랜지스터(31)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터(31)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)은 제 4 입력 단자(24)에 전기적으로 접속된다. 제 2 트랜지스터(32)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 2 트랜지스터(32)의 제 2 단자는 제 9 트랜지스터(39)의 제 1 단자에 전기적으로 접속되고, 제 2 트랜지스터(32)의 게이트 전극은 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제 3 트랜지스터(33)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되고, 제 3 트랜지스터(33)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속된다. 제 4 트랜지스터(34)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 4 트랜지스터(34)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속된다. 제 5 트랜지스터(35)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 5 트랜지스터(35)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 5 트랜지스터(35)의 게이트 전극은 제 4 입력 단자(24)에 전기적으로 접속된다. 제 6 트랜지스터(36)의 제 1 단자는 전원선(52)에 전기적으로 접속되고, 제 6 트랜지스터(36)의 제 2 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 6 트랜지스터(36)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)은 제 5 입력 단자(25)에 전기적으로 접속된다. 제 7 트랜지스터(37)의 제 1 단자는 전원선(52)에 전기적으로 접속되고, 제 7 트랜지스터(37)의 제 2 단자는 제 8 트랜지스터(38)의 제 2 단자에 전기적으로 접속되고, 제 7 트랜지스터(37)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)은 제 3 입력 단자(23)에 전기적으로 접속된다. 제 8 트랜지스터(38)의 제 1 단자는 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되고, 제 8 트랜지스터(38)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)은 제 2 입력 단자(22)에 전기적으로 접속된다. 제 9 트랜지스터(39)의 제 1 단자는 제 1 트랜지스터(31)의 제 2 단자 및 제 2 트랜지스터(32)의 제 2 단자에 전기적으로 접속되고, 제 9 트랜지스터(39)의 제 2 단자는 제 3 트랜지스터(33)의 게이트 전극 및 제 10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되고, 제 9 트랜지스터(39)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)은 전원선(52)에 전기적으로 접속된다. 제 10 트랜지스터(40)의 제 1 단자는 제 1 입력 단자(21)에 전기적으로 접속되고, 제 10 트랜지스터(40)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되고, 제 10 트랜지스터(40)의 게이트 전극은 제 9 트랜지스터(39)의 제 2 단자에 전기적으로 접속된다. 제 11 트랜지스터(41)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 11 트랜지스터(41)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되고, 제 11 트랜지스터(41)의 게이트 전극은 제 2 트랜지스터(32)의 게이트 전극 및 제 4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제 12 트랜지스터(42)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 12 트랜지스터(42)의 제 2 단자는 제 2 출력 단자(27)에 전기적으로 접속되고, 제 12 트랜지스터(42)의 게이트 전극은 제 7 트랜지스터(37)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)에 전기적으로 접속된다. 제 13 트랜지스터(43)의 제 1 단자는 전원선(53)에 전기적으로 접속되고, 제 13 트랜지스터(43)의 제 2 단자는 제 1 출력 단자(26)에 전기적으로 접속되고, 제 13 트랜지스터(43)의 게이트 전극은 제 7 트랜지스터(37)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)에 전기적으로 접속된다.

[0162] 도 16d에서, 제 3 트랜지스터(33)의 게이트 전극, 제 10 트랜지스터(40)의 게이트 전극 및 제 9 트랜지스터(39)의 제 2 단자가 접속되는 부분은 노드 A라고 칭해진다. 또한, 제 2 트랜지스터(32)의 게이트 전극, 제 4 트랜지스터(34)의 게이트 전극, 제 5 트랜지스터(35)의 제 2 단자, 제 6 트랜지스터(36)의 제 2 단자, 제 8 트랜지스터(38)의 제 1 단자 및 제 11 트랜지스터(41)의 게이트 전극이 접속되는 부분은 노드 B라고 칭해진다(도 17a 참조).

[0163] 도 17a는 도 16d에 도시된 펄스 출력 회로가 제 1 펄스 출력 회로(101)에 적용되는 경우에 제 1 내지 제 5 입력 단자들(21 내지 25)과 제 1 및 제 2 출력 단자들(26 및 27)에의 입력 또는 이들로부터의 출력인 신호들을 도시한다.

[0164] 특히, 제 1 클록 신호 CK1은 제 1 입력 단자(21)에 입력되고; 제 2 클록 신호 CK2는 제 2 입력 단자(22)에 입력되고; 제 3 클록 신호 CK3은 제 3 입력 단자(23)에 입력되고; 시작 펄스는 제 4 입력 단자(24)에 입력되고; 후

속-단 신호 OUT(3)는 제 5 입력 단자(25)에 입력되고; 제 1 출력 신호 OUT(1)(SR)는 제 1 출력 단자(26)로부터 출력되고; 제 2 출력 신호 OUT(1)이 제 2 출력 단자(27)로부터 출력된다.

- [0165] 트랜지스터는 게이트, 드레인 및 소스의 적어도 3개의 단자들을 갖는 소자임을 유념한다. 트랜지스터는 게이트와 중첩된 영역에서 채널 영역이 형성되는 반도체를 구비하고, 게이트의 전위를 제어하여 채널 영역을 통해 드레인과 소스 사이에 흐르는 전류가 제어될 수 있다. 여기서, 트랜지스터의 소스 및 드레인이 트랜지스터의 구조, 동작 조건 등에 의존하여 변할 수 있기 때문에, 어느 것이 소스 또는 드레인인지를 규정하기가 어렵다. 따라서, 소스 또는 드레인으로 기능하는 영역은 어떤 경우들에 소스 또는 드레인이라고 칭해지지 않는다. 그 경우, 예를 들면, 그러한 영역들은 제 1 단자 및 제 2 단자라고 칭해질 수 있다.
- [0166] 도 16d 및 도 17a에서, 노드 A를 플로팅 상태가 되게 함으로써 부트스트랩 동작을 수행하기 위한 용량소자가 또한 제어될 수 있다. 또한, 노드 B에 전기적으로 접속된 하나의 전극을 가진 용량소자가 또한 노드 B의 전위를 유지하기 위해 제공될 수 있다.
- [0167] 도 17b는 도 17a에 도시된 복수의 펄스 출력 회로들을 포함하는 시프트 레지스터의 타이밍 차트를 도시한다. 시프트 레지스터가 주사선 구동 회로 중 하나일 때, 도 17b에서의 기간(61)은 수직 귀선 기간에 대응하고 기간(62)은 게이트 선택 기간에 대응함을 유념한다.
- [0168] 도 17a에 도시된 바와 같이 제 2 전원 전위 VCC가 게이트 전극에 인가되는 제 9 트랜지스터(39)의 배치가 부트스트랩 동작 전과 후 다음의 이점들을 가지는 것을 유념한다.
- [0169] 제 2 전원 전위 VCC가 게이트 전극에 인가되는 제 9 트랜지스터(39) 없이, 부트스트랩 동작에 의해 노드 A의 전위가 상승되는 경우, 제 1 트랜지스터(31)의 제 2 단자인 소스의 전위가 제 1 전원 전위 VDD보다 높은 값으로 상승한다. 그 후에, 제 1 트랜지스터(31)의 소스는 제 1 단자, 즉 전원선(51)측 상의 단자로 스위칭한다. 결과적으로, 제 1 트랜지스터(31)에서, 고전압이 인가되고, 따라서 상당한 응력이 게이트와 소스 사이와 게이트와 드레인 사이에 적용되고, 이것은 트랜지스터의 열화를 유발할 수 있다. 한편, 제 2 전원 전위 VCC가 게이트 전극에 인가되는 제 9 트랜지스터(39)로, 노드 A의 전위가 부트스트랩 동작에 의해 상승되는 동안 제 1 트랜지스터(31)의 제 2 단자의 전위의 증가가 방지될 수 있다. 달리 말하면, 제 9 트랜지스터(39)의 배치는 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 음의 전압 레벨을 낮출 수 있다. 따라서, 이 실시형태에서의 회로 구성은 제 1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 음의 전압을 감소시킬 수 있어서, 응력으로 인한 제 1 트랜지스터(31)의 열화가 억제될 수 있다.
- [0170] 제 9 트랜지스터(39)의 제 1 단자 및 제 2 단자가 제 1 트랜지스터(31)의 제 2 단자와 제 3 트랜지스터(33)의 게이트 사이에 접속되도록 제 9 트랜지스터(39)가 제공될 수 있음을 유념한다. 주사선 구동 회로보다 다수의 단들을 가진 신호선 구동 회로에 이 실시형태에서의 복수의 펄스 출력 회로들을 포함하는 시프트 레지스터의 경우, 제 9 트랜지스터(39)가 생략될 수 있고, 이것은 트랜지스터들의 수가 감소된다는 점에서 유리하다는 것을 유념한다.
- [0171] 산화물 반도체가 제 1 내지 제 13 트랜지스터들(31 내지 43)의 각각의 반도체층에 이용되고, 그에 의해 트랜지스터들의 오프-상태 전류가 감소될 수 있고, 온-상태 전류 및 전계 효과 이동도가 증가될 수 있음을 유념한다. 그 외에도, 트랜지스터들의 열화 정도가 감소될 수 있고, 따라서, 회로의 오동작이 감소될 수 있다. 또한, 게이트 전극에 대한 고전위의 인가에 의한 산화물 반도체를 이용하여 형성되는 트랜지스터의 열화 정도는 비정질 실리콘을 이용하여 형성되는 트랜지스터의 정도보다 작다. 결과적으로, 제 2 전원 전위 VCC가 공급되는 전원선에 제 1 전원 전위 VDD가 공급되는 경우에도 유사한 동작이 얻어질 수 있고, 회로들 사이에 배치된 전원선들의 수가 감소될 수 있다; 따라서, 회로의 크기가 감소될 수 있다.
- [0172] 제 3 입력 단자(23)로부터 제 7 트랜지스터(37)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)에 공급되는 클록 신호와, 제 2 입력 단자(22)로부터 제 8 트랜지스터(38)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)에 공급되는 클록 신호가 제 2 입력 단자(22) 및 제 3 입력 단자(23)로부터 각각 공급되도록 접속 관계가 변경될 때에도 유사한 기능이 획득될 수 있음을 유념한다. 도 17a에 도시된 시프트 레지스터에서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 둘다가 온이 되고, 그 후에 제 7 트랜지스터(37)가 오프가 되고 제 8 트랜지스터(38)가 온이 되고, 그 후에 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 오프가 되도록 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)의 상태가 변경된다; 따라서, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위들에서의 하강으로 인한 노드 B의 전위의 하강은 제 7 트랜지스터(37)의 게이트 전극에 인가되는 전위의 하강과 제 8 트랜지스터(38)의 게이트 전극에 인가되는 전위의 하강에 의해 2회 발생된다. 한편, 도 17a에 도시된

시프트 레지스터에서, 제 7 트랜지스터(37) 및 제 8 트랜지스터(38) 둘다가 온이 되고, 그 후에 제 7 트랜지스터(37)가 온이 되고 제 8 트랜지스터(38)가 오프가 되고, 그 후에 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)가 오프가 되도록 제 7 트랜지스터(37) 및 제 8 트랜지스터(38)의 상태가 변경될 때, 제 2 입력 단자(22) 및 제 3 입력 단자(23)의 전위들의 하강으로 인한 노드 B의 전위의 하강은 한번만 발생하며, 이것은 제 8 트랜지스터(38)의 게이트 전극에 인가된 전위의 하강에 의해 유발된다. 결과적으로, 클록 신호 CK3이 제 3 입력 단자(23)로부터 제 7 트랜지스터(37)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)에 공급되고, 클록 신호 CK2가 제 2 입력 단자(22)로부터 제 8 트랜지스터(38)의 게이트 전극들(제 1 게이트 전극 및 제 2 게이트 전극)에 공급되는 접속 관계가 바람직하다. 이것은 노드 B의 전위의 변경의 횟수가 감소될 수 있고, 그에 의해 잡음이 감소될 수 있기 때문이다.

[0173] 이러한 방식으로, H-레벨 신호는 제 1 출력 단자(26) 및 제 2 출력 단자(27)가 L 레벨로 유지되는 기간에 노드 B에 정기적으로 공급된다; 따라서, 펄스 출력 회로의 오동작이 억제될 수 있다.

[0174] 이 실시형태에 설명된 구조는 다른 실시형태들에 설명된 구조 중 어느 것과 적합하게 조합하여 이용될 수 있음을 유념한다.

[0175] (실시형태 4)

[0176] 이 실시형태에서, 화소부 및 구동 회로에서 실시형태들 1 및 2에 설명된 트랜지스터들을 이용하여 형성될 수 있는 표시 기능을 가진 반도체 장치(또한, 표시 장치라고도 칭해짐)가 설명될 것이다. 또한, 실시형태들 1 및 2에 설명된 트랜지스터를 이용하여 구동 회로의 일부 또는 전부가 화소부와 동일한 기판 위에 형성될 수 있고, 그에 의해 시스템-온-패널이 획득될 수 있다.

[0177] 표시 장치는 표시 소자를 포함한다. 표시 소자로서, 액정 소자(또한 액정 표시 소자라고 칭해짐) 또는 발광 소자(또한 발광 표시 소자라고 칭해짐)가 이용될 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고, 특히 무기 EL(electroluminescent) 소자, 유기 EL 소자 등을 그 범주에 포함한다. 또한, 전자 잉크와 같이, 콘트라스트가 전기 효과에 의해 변하는 표시 매체가 이용될 수 있다.

[0178] 그 외에도, 표시 장치는 표시 소자가 밀봉되는 패널 및 제어기 등을 포함하는 IC가 패널 상에 실장되는 모듈을 포함한다. 또한, 표시 장치의 제작 공정에서 표시 소자가 완성되기 전에 일 실시형태에 대응하는 소자 기판에는 복수의 화소들의 각각에서 표시 소자에 전류를 공급하기 위한 수단이 구비된다. 특히, 소자 기판은 표시 소자의 화소 전극만이 형성되는 상태, 화소 전극이 될 도전막의 형성 후 및 화소 전극을 형성하기 위해 도전막을 에칭하기 전의 상태 또는 임의의 다른 상태들에 있을 수 있다.

[0179] 이 명세서에서의 표시 장치는 화상 표시 장치, 표시 장치 또는 광원(조명 장치를 포함)을 나타내는 것임을 유념한다. 또한, 표시 장치는 다음의 모듈들을 그 범주에 포함한다: FPC(flexible printed circuit), TAB(tape automated bonding) 테이프, 또는 TCP(tape carrier package)와 같은 접속기가 부착된 모듈; 인쇄 배선 회로가 그 단부에 구비된 TAB 또는 TCP를 가진 모듈; 및 칩 온 글래스(COG: chip on glass)법으로 표시 소자 상에 직접 실장된 집적 회로(IC)를 가진 모듈.

[0180] 이 실시형태에서, 반도체 장치의 일 실시형태인 액정 표시 패널의 외관 및 단면이 도 20a1, 도 20a2 및 도 20b를 참조하여 설명될 것이다. 도 20a1 및 도 20a2는 제 1 기판(4001) 위에 형성된 산화물 반도체층으로서 실시형태들 1 및 2에 설명된 In-Ga-Zn-O-계 막을 각각 포함하는 매우 신뢰 가능한 트랜지스터들(4010 및 4011) 및 액정 소자(4013)가 제 1 기판(4001)과 제 2 기판(4006) 사이에 쥘재(4005)로 밀봉되는 패널의 상면도들이다. 도 20b는 도 20a1 및 도 20a2의 라인 M-N을 따라 취해진 단면도이다.

[0181] 쥘재(4005)는 제 1 기판(4001) 위에 제공되는 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 제공된다. 제 2 기판(4006)은 화소부(4002) 및 주사선 구동 회로(4004) 위에 제공된다. 결과적으로, 화소부(4002) 및 주사선 구동 회로(4004)는 제 1 기판(4001), 쥘재(4005) 및 제 2 기판(4006)에 의해 액정층(4008)과 함께 밀봉된다. 단결정 반도체막 또는 다결정 반도체막을 이용하여 별도로 준비된 기판 위에 형성되는 신호선 구동 회로(4003)가 제 1 기판(4001) 위에 쥘재(4005)에 의해 둘러싸인 영역과 상이한 영역에 실장된다.

[0182] 별도로 형성된 구동 회로의 접속 방법에 대한 특별한 제한은 없고, COG법, 와이어 본딩법, TAB법 등이 이용될 수 있음을 유념한다. 도 20a1은 신호선 구동 회로(4003)가 COG법으로 실장되는 예를 도시한다. 도 20a2는 신호선 구동 회로(4003)가 TAB법으로 실장되는 예를 도시한다.

[0183] 제 1 기판(4001) 위에 제공된 화소부(4002) 및 주사선 구동 회로(4004)는 복수의 트랜지스터들을 포함한다. 도

20b는 예로서, 화소부(4002)에 포함된 트랜지스터(4010) 및 주사선 구동 회로(4004)에 포함된 트랜지스터(4011)를 도시한다. 절연층들(4020 및 4021)이 트랜지스터들(4010, 4011) 위에 제공된다.

- [0184] 산화물 반도체층들로서 실시형태들 1 및 2에 설명된 In-Ga-Zn-O-계 막을 포함하는 매우 신뢰 가능한 트랜지스터들 중 어느 것이 트랜지스터들(4010 및 4011)로서 이용될 수 있다. 이 실시형태에서, 트랜지스터들(4010 및 4011)은 n-채널 트랜지스터들이다.
- [0185] 도전층(4040)이 구동 회로를 위한 트랜지스터(4011)에서 산화물 반도체층의 채널 형성 영역과 중첩하는 절연층(4044)의 일부 위에 제공된다. 도전층(4040)은 산화물 반도체층의 채널 형성 영역과 중첩하는 부분에 제공되고, 그에 의해 BT 시험 전후의 트랜지스터(4011)의 임계 전압의 변화량이 감소될 수 있다. 도전층(4040)은 트랜지스터(4011)의 게이트 전극층의 전위와 동일한 전위를 가지거나 상이한 전위를 가질 수 있고 제 2 게이트 전극층으로 기능할 수 있다. 대안적으로, 도전층(4040)의 전위는 GND 또는 0V일 수 있거나, 도전층(4040)은 플로팅 상태일 수 있다.
- [0186] 액정 소자(4013)에 포함된 화소 전극층(4030)은 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4013)의 대향 전극층(4031)은 제 2 기판(4006) 상에 형성된다. 화소 전극층(4030), 대향 전극층(4031) 및 액정층(4008)이 서로 중첩하는 부분은 액정 소자(4013)에 대응한다. 화소 전극층(4030) 및 대향 전극층(4031)에는 배향막으로서 각각 기능하는 절연층(4032) 및 절연층(4033)이 각각 구비되고, 액정층(4008)은 절연층들(4032 및 4033)을 개재하여 화소 전극층(4030)과 대향 전극층(4031) 사이에 개재되는 것을 유념한다. 도시되지 않았지만, 컬러 필터가 제 1 기판(4001)측 또는 제 2 기판(4006)측에 제공될 수 있다.
- [0187] 유리, 금속(통상적으로 스테인레스 스틸), 세라믹들 또는 플라스틱들이 제 1 기판(4001) 및 제 2 기판(4006)으로 이용될 수 있음을 유념한다. 플라스틱들로서, FRP(fiberglass-reinforced plastics)판, 폴리비닐 PVF(polyvinyl fluoride)막, 폴리에스테르막, 또는 아크릴 수지막이 이용될 수 있다. 대안적으로, 알루미늄 포일이 PVF막들, 폴리에스테르막들 등 사이에 개재되는 구조를 가진 시트가 이용될 수 있다.
- [0188] 스페이서(4035)는 절연막의 선택적인 에칭에 의해 획득되는 원주형 스페이서이고, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해 제공된다. 대안적으로, 구형 스페이서도 또한 이용될 수 있다. 대향 전극층(4031)은 트랜지스터(4010)가 형성되는 기판 위에 형성된 공통 전위선에 전기적으로 접속된다. 대향 전극층(4031) 및 공통 전위선은 공통 접속부를 이용하여 기판들의 쌍 사이에 배치되는 도전성 입자들을 통해 서로 전기적으로 접속될 수 있다. 도전성 입자들은 셀재(4005)에 포함되는 것을 유념한다.
- [0189] 대안적으로, 배향막이 불필요한 블루 상을 발현하는 액정이 이용될 수 있다. 블루 상은 액정 상들 중 하나이며, 이것은 콜레스테릭 상이 등방성 상으로 변하기 직전에 생성되는 동안 콜레스테릭 액정의 온도가 증가된다. 블루 상이 협소한 온도 범위 내에서만 생성되기 때문에, 온도 범위를 개선하기 위하여 5wt% 이상의 키랄제를 함유한 액정 조성물이 액정층(4008)에 이용된다. 블루 상을 발현하는 액정 및 키랄제를 포함하는 액정 조성물은 10 μsec 이상 100 μsec 이하의 짧은 응답 시간을 가지고, 광학적으로 등방성이다; 따라서, 배향 처리는 불필요하고 시야각 의존도가 작다. 블루 상이 이용되는 경우에, 본 발명의 일 실시형태는 도 20a1, 도 20a2 및 도 20b의 구조에 제한되지 않고, 대향 전극층(4031)에 대응하는 전극층이 화소 전극층(4030)이 형성되는 기판측 상에 형성되는 소위 수평 전계 모드의 구조가 이용될 수 있다는 것을 유념한다.
- [0190] 이 실시형태는 투과형 액정 표시 장치의 예이고, 본 발명의 일 실시형태는 반사형 액정 표시 장치 및 반투과형 액정 표시 장치에도 또한 적용될 수 있음을 유념한다.
- [0191] 이 실시형태에 따른 액정 표시 장치의 예에서, 편광판이 기판(뷰어측)의 외면 상에 제공되고, 표시 소자에 이용되는 착색층(컬러 필터) 및 전극층은 기판의 내면 상에 순차적으로 제공된다; 대안적으로, 편광판은 기판의 내면 상에 제공될 수 있다. 편광판 및 착색층의 적층 구조는 이 실시형태의 구조에 제한되지 않고 편광판 및 착색층의 재료들 또는 제작 공정의 조건들 등에 의존하여 적합하게 설정될 수 있다. 또한, 블랙 매트릭스의 역할을 하는 차광막이 제공될 수 있다.
- [0192] 이 실시형태에서, 트랜지스터로 인한 표면 거칠기를 감소시키고 트랜지스터의 신뢰도를 개선하기 위하여, 실시 형태 2에서 획득된 트랜지스터는 보호막 및 평탄화 절연막의 역할을 하는 절연층들(절연층들(4020 및 4021))로 피복된다. 보호막은 대기에 존재하는 유기 물질, 금속 및 수분과 같은 오염 불순물들의 혼입을 방지하기 위해 제공되고, 조밀한 막이 바람직하다는 것을 유념한다. 보호막은 산화 실리콘막, 질화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 질화산화 알루미늄막 중 어느 적을 이용하여 단층 구조 또는 적층 구조로 형성될 수 있다. 이 실시형태는 보호막이 스퍼터링법으로 형성되

는 예를 기술하지만, 다른 방법도 이용될 수 있다.

- [0193] 이 실시형태에서, 적층 구조를 갖는 절연층(4020)이 보호막으로서 형성된다. 여기서 절연층(4020)의 제 1 층으로서, 산화 실리콘막이 스퍼터링법으로 형성된다. 보호막으로서 산화 실리콘막의 이용은 소스 및 드레인 전극층들로서 이용되는 알루미늄막의 힐록을 방지하는 효과를 가진다.
- [0194] 보호막의 제 2 층으로서, 절연층이 형성된다. 여기서, 절연층(4020)의 제 2 층으로서, 질화 실리콘막이 스퍼터링법으로 형성된다. 보호막으로서 질화 실리콘막의 이용은 나트륨 등의 가동 이온들이 반도체 영역에 혼입되는 것을 방지할 수 있어서, 트랜지스터의 전기 특성들의 변동이 억제될 수 있다.
- [0195] 보호막이 형성된 후, 산화물 반도체층의 어닐링(300℃ 이상 400℃ 이하)이 수행될 수 있다.
- [0196] 절연층(4021)은 평탄화 절연막으로 형성된다. 절연층(4021)은 아크릴 수지, 폴리이미드, 벤조사이클로부텐 수지, 폴리아미드 또는 에폭시 수지와 같은 내열성 유기 재료를 이용하여 형성될 수 있다. 이러한 유기 재료들 외에도, 저유전율 재료(low-k 재료), 실록산-계 수지, 인 유리(PSG), 인 붕소 유리(BPSG) 등을 이용하는 것도 또한 가능하다. 절연층(4021)은 이들 재료들 중 어느 것을 이용하여 형성된 복수의 절연막들을 적층하여 형성될 수 있음을 유념한다.
- [0197] 실록산-계 수지는 출발 재료로서 실록산-계 재료를 이용하여 형성된 Si-O-Si 결합을 포함하는 수지에 대응하는 것을 유념한다. 실록산-계 수지는 치환기로서 유기기(예를 들면, 알킬기 또는 아릴기) 또는 플루오로기를 포함할 수 있다. 또한, 유기기는 플루오로기를 포함할 수 있다.
- [0198] 절연층(4021)을 형성하는 방법에 대한 특별한 제한은 없고, 다음의 방법 또는 수단이 재료에 의존하여 채용될 수 있다: 스퍼터링법, SOG법, 스핀 코팅법, 디핑법, 스프레이 코팅법, 또는 액적도출법(예를 들면, 잉크-젯법, 화면 인쇄 또는 오프셋 인쇄)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터 또는 나이프 코터와 같은 도구. 액체 재료를 이용하여 절연층(4021)을 형성하는 경우, 산화물 반도체층의 어닐링(300℃ 이상 400℃ 이하)이 베이킹 단계와 동시에 수행될 수 있다. 절연층(4021)의 베이킹 단계는 또한 산화물 반도체층의 어닐링의 역할을 하고, 그에 의해 반도체 장치가 효율적으로 제작될 수 있다.
- [0199] 화소 전극층(4030) 및 대향 전극층(4031)은 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산화물(이후 ITO), 인듐 아연 산화물 또는 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전 재료를 이용하여 형성될 수 있다.
- [0200] 대안적으로, 도전성 고분자(또한 도전성 중합체라고도 칭해짐)를 함유한 도전성 조성물은 화소 전극층(4030) 및 대향 전극층(4031)에 이용될 수 있다. 도전성 조성물을 이용하여 형성된 화소 전극은 10000Ω/□ 이하의 시트 저항과 550nm 파장에서 70% 이상의 투광율을 가지는 것이 바람직하다. 또한, 도전성 조성물에 포함된 도전성 고분자의 저항은 0.1 Ω·cm 이하인 것이 바람직하다.
- [0201] 도전성 고분자로서, 소위 π-전자 공액계 도전성 중합체가 이용될 수 있다. 예를 들면 폴리아닐린 및 그 유도체, 폴리피롤 및 그 유도체, 폴리티오펜 및 그 유도체와, 이들 재료들 중 2 종류 이상의 공중합체이다.
- [0202] 또한, FPC(4018)로부터 별도로 형성되는 신호선 구동 회로(4003), 주사선 구동 회로(4004) 또는 화소부(4002)에 다양한 신호들 및 전위들이 공급된다.
- [0203] 이 실시형태에서, 접속 단자 전극(4015)은 액정 소자(4013)에 포함된 화소 전극층(4030)과 동일한 도전막을 이용하여 형성된다. 단자 전극(4016)은 트랜지스터들(4010 및 4011)의 소스 및 드레인 전극층들과 동일한 도전막을 이용하여 형성된다.
- [0204] 접속 단자 전극(4015)은 이방성 도전막(4019)을 통해 FPC(4018)에 포함된 단자에 전기적으로 접속된다.
- [0205] 도 20a1, 도 20a2 및 도 20b는 신호선 구동 회로(4003)가 별도로 형성되고 제 1 기관(4001)에 실장되는 예를 도시하지만, 이 실시형태는 이 구조에 제한되지 않음을 유념한다. 주사선 구동 회로가 별도로 형성된 후 실장될 수 있거나, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만이 별도로 형성된 후 실장될 수 있다.
- [0206] 도 21은 실시형태들 1 및 2에 설명된 트랜지스터가 형성되는 트랜지스터 기관(2600)을 이용하여 반도체 장치로서 형성되는 액정 표시 모듈의 예를 도시한다.
- [0207] 도 21은 액정 표시 모듈의 예를 도시하며, 여기서 트랜지스터 기관(2600) 및 대향 기관(2601)이 쉘재(2602)로

서로 고정되고, 트랜지스터 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604), 및 착색층(2605)이 표시 영역을 형성하기 위해 기관들 사이에 제공된다. 착색층(2605)은 컬러 표시를 수행하기 위해 필수적이다. RGB 시스템에서, 적색, 녹색 및 청색의 컬러들에 대응하는 착색층들이 화소들에 제공된다. 편광판들(2606 및 2607) 및 확산판(2613)이 트랜지스터 기관(2600) 및 대향 기관(2601) 외부에 제공된다. 광원은 냉음극관(2610) 및 반사판(2611)을 포함한다. 회로 기관(2612)은 플렉시블 배선 기관(2609)에 의해 트랜지스터 기관(2600)의 배선 회로부(2608)에 접속되고, 제어 회로 또는 전원 회로와 같은 외부 회로를 포함한다. 편광판 및 액정층은 이들 사이에 위상차판을 가지고 적층될 수 있다.

[0208] 액정 표시 모듈에 대해, TN(twisted nematic) 모드, IPS(in-plane-switching) 모드, FFS(fringe field switching) 모드, MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, AFLC(antiferroelectric liquid crystal) 모드 등이 이용될 수 있다.

[0209] 상기 단계들을 통해, 매우 신뢰 가능한 액정 표시 패널이 반도체 장치로서 형성될 수 있다.

[0210] 이 실시형태에 설명된 구성은 다른 실시형태들에 설명된 구성들 중 어느 것과 적합하게 조합하여 이용될 수 있음을 유념한다.

[0211] (실시형태 5)

[0212] 이 실시형태에서, 전자 페이퍼의 예가 실시형태들 1 및 2에 설명된 트랜지스터가 적용되는 반도체 장치로서 설명될 것이다.

[0213] 도 13은 반도체 장치의 예로서 액티브 매트릭스형 전자 페이퍼를 도시한다. 실시형태들 1 및 2에 설명된 트랜지스터는 반도체 장치에 이용되는 트랜지스터(581)로서 이용될 수 있다.

[0214] 도 13에 도시된 전자 페이퍼는 트위스팅 볼 표시 시스템을 이용한 반도체 장치의 예이다. 트위스팅 볼 표시 시스템은 흑색 및 백색으로 각각 착색된 구형 입자들이 표시 소자에 이용되는 전극층들인 제 1 전극층과 제 2 전극층 사이에 배치되고, 구형 입자들의 배향을 제어하기 위해 제 1 전극층과 제 2 전극층 사이에 전위차가 생성되어, 표시가 수행되는 방법을 나타낸다.

[0215] 기관(580) 위에 형성된 트랜지스터(581)는 소스 및 드레인 전극층이 절연층(583), 절연층(584) 및 절연층(585)에 형성된 개구부를 통해 제 1 전극층(587)에 전기적으로 접속되는 보텀 게이트 구조를 가진다. 구형 입자들(589)은 기관(596) 상에 형성된 제 1 전극층(587)과 제 2 전극층(588) 사이에 제공된다. 구형 입자들(589)의 각각은 흑색 영역(590a), 백색 영역(590b), 및 흑색 영역(590a)과 백색 영역(590b) 주위가 액체로 충전된 캐비티(594)를 포함한다. 구형 입자들(589) 주위의 공간은 수지와 같은 충전재(595)로 충전된다(도 13 참조). 이 실시형태에서, 제 1 전극층(587)은 화소 전극에 대응하고, 제 2 전극층(588)은 공통 전극에 대응한다. 제 2 전극층(588)은 트랜지스터(581)가 형성되는 기관 위에 제공된 공통 전위선에 전기적으로 접속된다. 공통 접속부를 이용하여, 제 2 전극층(588)은 기관들의 쌍 사이에 제공되는 도전성 입자들을 통해 공통 전위선에 전기적으로 접속될 수 있다.

[0216] 대안적으로, 트위스팅 볼 대신에 전기영동 소자를 이용하는 것이 가능하다. 투명 액체의 양으로 하전된 백색 미립자들 및 음으로 하전된 흑색 미립자들이 캡슐화되는 대략 10 μ m 이상 200 μ m의 직경을 가진 마이크로캡슐이 이용된다. 제 1 전극층과 제 2 전극층 사이에 제공되는 마이크로캡슐에서, 전계가 제 1 전극층 및 제 2 전극층에 의해 인가될 때, 백색 미립자들 및 흑색 미립자들은 반대 방향으로 이동하여, 백색 또는 흑색이 표시될 수 있다. 이 원리를 이용한 표시 소자가 전기영동 표시 소자이고, 전기영동 표시 소자를 포함하는 장치가 일반적으로 전자 페이퍼라고 칭해진다. 전기영동 표시 소자는 액정 표시 소자보다 높은 반사율을 가진다; 따라서, 보조 광이 불필요하고, 전력 소비가 낮고, 어두운 장소에서도 표시부가 인식될 수 있다. 또한, 전력이 표시부에 인가되지 않을 때에도, 한번 표시된 화상이 유지될 수 있다. 결과적으로, 표시 기능을 가진 반도체 장치(또한 표시 장치 또는 표시 장치가 구비된 반도체 장치라고도 칭해짐)가 전과 발신원으로부터 떨어지게 유지되는 경우에도 표시된 화상이 유지될 수 있다.

[0217] 이 공정을 통해, 매우 신뢰 가능한 전자 페이퍼가 반도체 장치로서 제작될 수 있다.

[0218] 이 실시형태에 설명된 구조는 다른 실시형태들에 설명된 구조들 중 어느 것과 적합하게 조합하여 이용될 수 있음을 유념한다.

- [0219] (실시형태 6)
- [0220] 이 실시형태에서, 발광 표시 장치의 예가 실시형태들 1 및 2에 설명된 트랜지스터가 적용되는 반도체 장치로서 설명될 것이다. 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네선스를 활용한 발광 소자가 여기에 설명된다. 일렉트로루미네선스를 활용한 발광 소자들은 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자는 유기 EL 소자라고 칭해지고, 후자는 무기 EL 소자라고 칭해진다.
- [0221] 유기 EL 소자에서, 발광 소자로의 전압의 인가에 의해, 전극들의 쌍에서 발광 유기 화합물을 포함하는 층으로 전자들 및 정공들이 별도로 주입되고 전류가 흐른다. 캐리어들(전자들 및 정공들)이 재결합되고, 따라서 발광 유기 화합물이 여기된다. 발광 유기 화합물은 여기된 상태에서 접지 상태로 돌아오고, 그에 의해 발광한다. 이러한 매커니즘으로 인해, 이 발광 소자는 전류-여기형 발광 소자라고 칭해진다.
- [0222] 무기 EL 소자들은 그들 소자 구조들에 따라 분산형 무기 EL 소자 및 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들이 바인더에서 분산되는 발광층을 가지고, 그 발광 매커니즘은 도너 레벨 및 억셉터 레벨을 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층이 유전체층들 사이에 개재되는 구조를 가지고, 유전체층들은 또한 전극들 사이에 개재되고, 그 발광 매커니즘은 금속 이온들의 내각 전자 전이를 이용하는 국제형 발광이다. 발광 소자로서 유기 EL 소자의 예가 여기에 기술됨을 유념한다.
- [0223] 도 18은 본 발명이 적용되는 반도체 장치의 예로서 디지털 시간 계조 구동이 적용될 수 있는 화소 구성의 예를 도시한다.
- [0224] 디지털 시간 계조 구동이 적용될 수 있는 화소의 구조 및 동작이 설명된다. 여기서, 실시형태들 1 및 2에 각각 이 기술되고 채널 형성 영역에 산화물 반도체층(In-Ga-Zn-O-계 막)을 각각이 포함하는 2개의 n-채널 트랜지스터들을 포함하는 화소의 예가 설명된다.
- [0225] 화소(6400)은 스위칭 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량소자(6403)를 포함한다. 스위칭 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되고, 스위칭 트랜지스터(6401)의 제 1 전극(소스 전극 및 드레인 전극 중 하나)이 신호선(6405)에 접속되고, 스위칭 트랜지스터(6401)의 제 2 전극(소스 전극 및 드레인 전극 중 다른 하나)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)의 게이트는 용량소자(6403)를 통해 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제 1 전극은 전원선(6407)에 접속되고, 구동용 트랜지스터(6402)의 제 2 전극은 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 대응한다. 공통 전극(6408)은 동일한 기판 위에 제공되는 공통 전위선에 전기적으로 접속된다.
- [0226] 발광 소자(6404)의 제 2 전극(공통 전극(6408))은 저전원 전위로 설정된다. 저전원 전위는 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여, 저전원 전위 < 고전원 전위를 만족하는 전위임을 유념한다. 저전원 전위로서, GND, 0V 등이 예를 들어 이용될 수 있다. 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)에 인가되고, 전류가 발광 소자(6404)에 공급되어, 발광 소자(6404)가 발광한다. 여기서, 발광 소자(6404)를 발광 시키기 위해, 고전원 전위와 저전원 전위 사이의 전위차가 발광 소자(6404)의 순방향 임계 전압 이상이 되도록 각각의 전위가 설정된다.
- [0227] 구동용 트랜지스터(6402)의 게이트 용량소자는 용량소자(6403)에 대한 대체물로서 이용될 수 있어서, 용량소자(6403)가 생략될 수 있음을 유념한다. 구동용 트랜지스터(6402)의 게이트 용량소자는 채널 형성 영역과 게이트 전극 사이에 형성될 수 있다.
- [0228] 전압-입력 전압 구동 방법의 경우, 구동용 트랜지스터(6402)의 게이트에 비디오 신호가 입력되어, 구동용 트랜지스터(6402)는 충분히 턴 온 또는 턴 오프되는 2개의 상태들이 된다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작한다. 구동용 트랜지스터(6402)가 선형 영역에서 동작하기 때문에, 전원선(6407)의 전압보다 높은 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. (전원선의 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 신호선(6405)에 인가되는 것을 유념한다.
- [0229] 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 수행하는 경우, 도 18과 동일한 화소 구성이 신호 입력을 변경하여 이용될 수 있다.
- [0230] 아날로그 계조 구동을 수행하는 경우, (발광 소자(6404)의 순방향 전압 + 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압이 구동용 트랜지스터(6402)의 게이트에 인가된다. 발광 소자(6404)의 순방향 전압은 원하는 휘도를 얻

는 전압을 나타내고, 적어도 순방향 임계 전압을 포함한다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호가 입력되어, 발광 소자(6404)에 전류가 공급될 수 있다. 구동용 트랜지스터(6402)가 포화 영역에서 동작하도록 하기 위해, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 아날로그 비디오 신호가 이용될 때, 비디오 신호에 따라 발광 소자(6404)에 전류를 공급하고 아날로그 계조 구동을 수행하는 것이 가능하다.

- [0231] 도 18에 도시된 화소 구성은 이에 제한되지 않음을 유념한다. 예를 들면, 스위치, 저항소자, 용량소자, 트랜지스터, 논리 회로 등이 도 18에 도시된 화소에 추가될 수 있다.
- [0232] 다음에, 발광 소자의 구성들이 도 19a 내지 도 19c를 참조하여 설명될 것이다. 여기서, 구동용 트랜지스터가 n-채널 트랜지스터인 경우가 도시되고, 화소들의 단면 구조들이 설명된다. 도 19a 내지 도 19c에 설명된 반도체 장치들에 이용되는 구동용 트랜지스터들(7001, 7011 및 7021)은 실시형태들 1 및 2에 설명된 트랜지스터의 방식과 유사한 방식으로 제작될 수 있고, 산화물 반도체층으로서 In-Ga-Zn-O-계 막을 각각 포함하는 매우 신뢰 가능한 박막 트랜지스터들이다.
- [0233] 발광 소자로부터 방출된 광을 추출하기 위해, 양극과 음극 중 적어도 하나는 광을 투과하도록 요구된다. 트랜지스터 및 발광 소자는 기판 위에 형성된다. 발광 소자는 발광이 기판측에 대향인 측 상의 면을 통해 추출되는 상면 사출 구조; 발광이 기판측 상의 표면을 통해 추출되는 하면 사출 구조; 또는 발광이 기판측에 대향인 측 상의 표면과 기판측 상의 표면을 통해 추출되는 양면 사출 구조를 가질 수 있다. 본 발명의 일 실시형태에 따른 화소 구성은 이들 사출 구조들 중 어느 것을 가진 발광 소자에 적용될 수 있다.
- [0234] 다음에, 하면 사출 구조를 가진 발광 소자는 도 19a를 참조하여 설명될 것이다.
- [0235] 도 19a는 구동용 트랜지스터(7011)가 n-채널 트랜지스터이고, 발광 소자(7012)에서 생성되는 광이 제 1 전극(7013)을 통과하도록 방출되는 경우의 화소의 단면도이다. 도 19a에서, 발광 소자(7012)의 제 1 전극(7013)은 구동용 트랜지스터(7011)의 드레인층에 전기적으로 접속되는 투광성 도전막(7017) 위에 형성되고, EL 층(7014) 및 제 2 전극(7015)이 제 1 전극(7013) 위에 그 순서로 적층된다.
- [0236] 투광성 도전막(7017)으로서, 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전막이 이용될 수 있다.
- [0237] 다양한 재료들 중 어느 것이 발광 소자의 제 1 전극(7013)에 이용될 수 있다. 특히, 제 1 전극(7013)은 Li 또는 Cs와 같은 알칼리 금속; Mg, Ca 또는 Sr과 같은 알칼리 토금속; 이들 금속들 중 어느 것을 함유한 합금(예를 들면, Mg:Ag 또는 Al:Li); 또는 Yb 또는 Er과 같은 희토류 금속과 같은 비교적 낮은 일함수를 가진 재료를 이용하여 형성되는 것이 바람직하다. 도 19a에서, 제 1 전극(7013)은 광을 투과하기에 충분한 두께를 가지도록 형성된다(바람직하게, 대략 5nm 내지 30nm). 예를 들면, 20nm의 두께를 가진 알루미늄막이 제 1 전극(7013)으로 이용된다.
- [0238] 대안적으로, 투광성 도전막 및 알루미늄막이 투광성 도전막(7017) 및 제 1 전극(7013)을 형성하도록 적층되어 선택적으로 에칭될 수 있다. 이 경우, 에칭은 동일한 마스크를 이용하여 수행될 수 있고, 이것이 바람직하다.
- [0239] 제 1 전극(7013)의 주연부는 격벽(7019)으로 커버된다. 격벽(7019)은 폴리이미드, 아크릴, 폴리이미드, 에폭시 등의 유기 수지막; 무기 절연막; 또는 유기 폴리실록산을 이용하여 형성될 수 있다. 개구부의 측벽이 연속하는 곡률을 가지고 기울어진 표면으로서 형성되도록 제 1 전극(7013) 위에 개구부를 가지기 위해 감광성 수지 재료를 이용하여 격벽(7019)이 형성되는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7019)에 이용되는 경우, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.
- [0240] 제 1 전극(7013) 및 격벽(7019) 위에 형성되는 EL층(7014)은 적어도 발광층을 포함할 수 있고, 단층 또는 적층된 복수의 층들을 이용하여 형성된다. EL층(7014)이 복수의 층들을 이용하여 형성될 때, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 음극으로 기능하는 제 1 전극(7013) 위에 이 순서로 적층되는 것을 유념한다. 발광층을 제외하고 이들 층들 모두가 제공되어야 하는 것은 아님을 유념한다.
- [0241] 적층 순서는 상기 적층 순서에 제한되지 않고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층이 양극으로 기능하는 제 1 전극(7013) 위에 이 순서로 적층될 수 있다. 그러나, 전력 소비가 비교될 때, 구동 회로부에서의 전압 상승이 억제될 수 있고 전력 소비가 감소될 수 있기 때문에, 제 1 전극(7013)은 음극으로 기능하고, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 제 1 전극(7013) 위에 이 순서로 적

층되는 것이 바람직하다.

- [0242] EL층(7014) 위에 형성되는 제 2 전극(7015)으로서, 다양한 재료들이 이용될 수 있다. 예를 들면, 제 2 전극(7015)이 양극으로 이용될 때, ZrN, Ti, W, Ni, Pt, Cr과 같은 높은 일함수를 갖는 재료, 또는 ITO, IZO 또는 ZnO의 투광성 도전 재료를 이용하는 것이 바람직하다. 또한, 예를 들면, 광을 차단하는 금속, 광을 반사하는 금속 등과 같은 차광막(7016)이 제 2 전극(7015) 위에 제공된다. 이 실시형태에서, ITO막은 제 2 전극(7015)으로 이용되고, Ti막이 차광막(7016)으로 이용된다.
- [0243] 발광 소자(7012)는 제 1 전극(7013) 및 제 2 전극(7015)이 발광층을 포함하는 EL층(7014)을 사이에 개재하는 영역에 대응한다. 도 19a에 도시된 소자 구조의 경우, 화살표에 의해 표시된 바와 같이 발광 소자(7012)에서 제 1 전극(7013)측으로 발광된다.
- [0244] 도 19a에서, 발광 소자(7012)로부터 방출된 광이 컬러 필터층(7033), 절연층(7032), 산화물 절연층(7031), 게이트 절연층(7030) 및 기판(7010)을 통과하여 방출되는 것을 유념한다.
- [0245] 컬러 필터층(7033)은 잉크젯법과 같은 액적 토출법, 인쇄법, 포토리소그래피 기술 등을 이용한 에칭법으로 형성된다.
- [0246] 컬러 필터층(7033)은 오버코트층(7034)으로 피복되고, 또한 보호 절연층(7035)으로 피복된다. 오버코트층(7034)이 도 19a에서 작은 두께를 가지도록 도시되었지만, 오버코트층(7034)은 아크릴 수지와 같은 수지 재료를 이용하여 컬러 필터층(7033)에 의해 유발된 요철을 감소하는 기능을 가진다.
- [0247] 보호 절연층(7035), 오버코트층(7034), 컬러 필터층(7033), 절연층(7032) 및 산화물 절연층(7031)에 형성되고 드레인 전극층에 도달하는 콘택트 홀이 격벽(7019)과 중첩하는 부분에 제공된다.
- [0248] 다음, 양면 사출 구조를 가진 발광 소자는 도 19b를 참조하여 설명될 것이다.
- [0249] 도 19b에서, 발광 소자(7022)의 제 1 전극(7023)이 구동용 트랜지스터(7021)의 드레인 전극층에 전기적으로 접속되는 투광성 도전막(7027) 위에 형성되고, EL층(7024) 및 제 2 전극(7025)이 제 1 전극(7023) 위에 이 순서로 적층된다.
- [0250] 투광성 도전막(7027)으로서, 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전막이 이용될 수 있다.
- [0251] 다양한 재료들 중 어느 것이 제 1 전극(7023)에 이용될 수 있다. 예를 들면, 제 1 전극(7023)이 음극으로 기능할 때, 특히, 제 1 전극(7023)은 Li 또는 Cs와 같은 알칼리 금속; Mg, Ca 또는 Sr과 같은 알칼리 토금속; 이들 금속들 중 어느 것을 함유한 합금(예를 들면, Mg:Ag 또는 Al:Li); 또는 Yb 또는 Er과 같은 희토류 금속과 같은 비교적 낮은 일함수를 가진 재료를 이용하여 형성되는 것이 바람직하다. 이 실시형태에서, 제 1 전극(7023)은 음극으로 기능하고, 제 1 전극(7023)의 두께는 광을 투과하기에 충분한 두께를 가지도록 형성된다(바람직하게, 대략 5nm 내지 30nm). 예를 들면, 20nm의 두께를 가진 알루미늄막이 제 1 전극(7023)으로 이용될 수 있다.
- [0252] 대안적으로, 투광성 도전막 및 알루미늄막이 투광성 도전막(7027) 및 제 1 전극(7023)을 형성하도록 적층되어 선택적으로 에칭될 수 있다. 이 경우, 에칭은 동일한 마스크를 이용하여 수행될 수 있고, 이것이 바람직하다.
- [0253] 제 1 전극(7023)의 주연부는 격벽(7029)으로 커버된다. 격벽(7029)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막; 무기 절연막; 또는 유기 폴리실록산을 이용하여 형성될 수 있다. 개구부의 측벽이 연속하는 곡률을 가지고 기울어진 표면으로서 형성되도록 제 1 전극(7023) 위에 개구부를 가지기 위해 감광성 수지 재료를 이용하여 격벽(7029)이 형성되는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7029)에 이용되는 경우, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.
- [0254] 제 1 전극(7023) 및 격벽(7029) 위에 형성되는 EL층(7024)은 적어도 발광층을 포함할 수 있고, 단층 또는 적층된 복수의 층들을 이용하여 형성된다. EL층(7024)이 복수의 층들을 이용하여 형성될 때, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 음극으로 기능하는 제 1 전극(7023) 위에 이 순서로 적층되는 것을 유념한다. 발광층을 제외하고 이들 층들 모두가 제공되어야 하는 것은 아님을 유념한다.
- [0255] 적층 순서는 상기 적층 순서에 제한되지 않고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층이 양극으로 기능하는 제 1 전극(7023) 위에 이 순서로 적층될 수 있다. 전력 소비가 비교될 때, 구동 회로부에서 전압 상승이 억제될 수 있고 전력 소비가 감소될 수 있기 때문에, 제 1 전극(7023)은 음극으로 기능하고,

전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층을 음극 위에 이 순서로 적층하는 것이 전력 소비를 낮추고 따라서 더욱 바람직하다는 것을 유념한다.

- [0256] EL층(7024) 위에 형성되는 제 2 전극(7025)으로서, 다양한 재료들이 이용될 수 있다. 예를 들면, 제 2 전극(7025)이 양극으로 이용될 때, 비교적 높은 일함수를 갖는 재료, 예를 들어 ITO, IZO 또는 ZnO의 투광성 도전 재료를 이용하는 것이 바람직하다. 이 실시형태에서, 제 2 전극(7025)이 양극으로서 이용되고, 산화 실리콘을 함유하는 ITO 막이 형성된다.
- [0257] 발광 소자(7022)는 제 1 전극(7023) 및 제 2 전극(7025) 사이에 발광층을 포함하는 EL층(7024)이 개재되는 영역에 대응한다. 도 19b에 도시된 소자 구조의 경우, 화살표에 의해 표시된 바와 같이 발광 소자(7022)에서 방출된 광은 제 2 전극(7025)측 및 제 1 전극(7023)측 둘다로부터 사출된다.
- [0258] 도 19b에서, 발광 소자(7022)로부터 제 1 전극(7023)으로 방출된 광이 컬러 필터층(7043), 절연층(7042), 산화물 절연층(7041), 제 1 게이트 절연층(7040) 및 기판(7020)을 통과하여 방출되는 것을 유념한다.
- [0259] 컬러 필터층(7043)은 잉크젯법과 같은 액적 토출법, 인쇄법, 포토리소그래피 기술 등을 이용한 에칭법으로 형성된다.
- [0260] 컬러 필터층(7043)은 오버코트층(7044)으로 피복되고, 또한 보호 절연층(7045)으로 피복된다.
- [0261] 보호 절연층(7045), 오버코트층(7044), 컬러 필터층(7043), 절연층(7042) 및 산화물 절연층(7041)에 형성되고 드레인 전극층에 도달하는 콘택트 홀이 격벽(7029)과 중첩하는 부분에 제공된다.
- [0262] 양면 사출 구조를 갖는 발광 소자가 이용되고 풀컬러 표시가 두 표시면들 상에서 수행되는 경우에, 제 2 전극(7025)측으로부터의 광이 컬러 필터층(7043)을 통과하지 않고; 따라서, 다른 컬러 필터층이 구비된 밀봉 기판이 제 2 전극(7025) 상에 제공되는 것이 바람직함을 유념한다.
- [0263] 다음에, 상면 사출 구조를 갖는 발광 소자가 도 19c를 참조하여 설명될 것이다.
- [0264] 도 19c는 구동용 트랜지스터(7001)가 n-채널 트랜지스터이고, 발광 소자(7002)에서 생성된 광이 제 2 전극(7005)을 통과하도록 방출되는 화소의 단면도이다. 도 19c에서, 발광 소자(7002)의 제 1 전극(7003)은 구동용 트랜지스터(7001)의 드레인 전극층에 전기적으로 접속되도록 형성되고, EL층(7004) 및 제 2 전극(7005)은 제 1 전극(7003) 위에 이 순서로 적층된다.
- [0265] 제 1 전극(7003)은 다양한 재료들 중 어느 것을 이용하여 형성될 수 있다; 예를 들면, 제 1 전극(7003)이 음극으로서 이용될 때, Li 또는 Cs와 같은 알칼리 금속; Mg, Ca 또는 Sr과 같은 알칼리 토금속; 이들 금속들 중 어느 것을 함유한 합금(예를 들면, Mg:Ag 또는 Al:Li); 또는 Yb 또는 Er과 같은 희토류 금속과 같은 비교적 낮은 일함수를 가진 재료를 이용하는 것이 바람직하다.
- [0266] 제 1 전극(7003)의 주연부는 격벽(7009)으로 커버된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막; 무기 절연막; 또는 유기 폴리실록산을 이용하여 형성될 수 있다. 개구부의 측벽이 연속하는 곡률을 가지고 기울어진 표면으로서 형성되도록 제 1 전극(7003) 위에 개구부를 갖도록 감광성 수지 재료를 이용하여 격벽(7009)이 형성되는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7009)에 이용되는 경우, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.
- [0267] 제 1 전극(7003) 및 격벽(7009) 위에 형성되는 EL층(7004)은 적어도 발광층을 포함할 수 있고, 단층 또는 적층된 복수의 층들을 이용하여 형성된다. EL층(7004)이 복수의 층들을 이용하여 형성될 때, EL층(7004)은 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층을 제 1 전극(7003) 위에 이 순서로 적층하여 형성된다. 발광층을 제외하고 이들 층들 모두가 제공되어야 하는 것은 아님을 유념한다.
- [0268] 적층 순서는 상기 적층 순서에 제한되지 않고, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층이 제 1 전극(7003) 위에 이 순서로 적층될 수 있다.
- [0269] 도 19c에서, 정공-주입층, 정공-수송층, 발광층, 전자-수송층 및 전자-주입층이 Ti막, 알루미늄막 및 Ti막이 이 순서로 적층되는 적층막 위에 이 순서로 적층되고, 그 위에 Mg:Ag 합금 박막 및 ITO의 적층이 형성된다.
- [0270] *트랜지스터(7001)가 n-채널 트랜지스터일 때, 구동 회로부에서의 전압 상승이 억제될 수 있고 전력 소비가 감소될 수 있기 때문에, 전자-주입층, 전자-수송층, 발광층, 정공-수송층 및 정공-주입층이 제 1 전극(7003) 위에 이 순서로 적층되는 것을 유념한다.

- [0271] 제 2 전극(7005)은, 산화 텅스텐을 함유한 인듐 산화물, 산화 텅스텐을 함유한 인듐 아연 산화물, 산화 티타늄을 함유한 인듐 산화물, 산화 티타늄을 함유한 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘이 첨가된 인듐 주석 산화물과 같은 투광성 도전 재료로 이루어진다.
- [0272] 발광 소자(7002)는 제 1 전극(7003) 및 제 2 전극(7005) 사이에 발광층을 포함하는 EL층(7004)이 개재되는 영역에 대응한다. 도 19c에 도시된 화소의 경우, 화살표에 의해 표시된 바와 같이 발광 소자(7002)에서 제 2 전극(7005)측으로 광이 방출된다.
- [0273] 도 19c에서, 트랜지스터(7001)의 드레인 전극층은 산화물 절연층(7051), 보호 절연층(7052) 및 절연층(7055)에 형성된 콘택트 홀을 통해 제 1 전극(7003)에 전기적으로 접속된다. 평탄화 절연층(7053)이, 폴리이미드, 아크릴, 벤조사이클로부텐, 폴리아미드 또는 에폭시와 같은 수지 재료를 이용하여 형성될 수 있다. 이러한 수지 재료들 외에도, 저유전율 재료(low-k 재료), 실록산-계 수지, 인 유리(PSG), 인 붕소 유리(BPSG) 등을 이용하는 것도 또한 가능하다. 평탄화 절연층(7053)은 이들 재료들 중 어느 것을 이용하여 형성된 복수의 절연막들을 적층하여 형성될 수 있음을 유념한다. 평탄화 절연층(7053)을 형성하는 방법에 대한 특별한 제한은 없고, 평탄화 절연층(7053)은 재료에 의존하여, 스퍼터링법, SOG법, 스핀 코팅법, 디핑법, 스프레이 코팅법, 또는 액적 토출법(예를 들면, 잉크-젯법, 화면 인쇄 또는 오프셋 인쇄)과 같은 방법, 또는 닥터 나이프, 롤 코터, 커튼 코터 또는 나이프 코터와 같은 도구(기기)를 이용하여 형성될 수 있다.
- [0274] 격벽(7009)은 제 1 전극(7003)과 인접 화소의 제 1 전극을 절연하도록 제공된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막; 무기 절연막; 또는 유기 폴리실록산을 이용하여 형성될 수 있다. 개구부의 측벽이 연속하는 곡률을 가지고 기울어진 표면으로서 형성되도록 제 1 전극(7003) 위에 개구부를 갖도록 감광성 수지 재료를 이용하여 격벽(7009)이 형성되는 것이 특히 바람직하다. 감광성 수지 재료가 격벽(7009)에 이용되는 경우, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.
- [0275] 도 19c에 도시된 구조에서, 풀-컬러 표시를 수행하기 위해, 발광 소자(7002), 발광 소자(7002)에 인접한 발광 소자들 중 하나, 및 발광 소자들 중 다른 하나는 각각 예를 들면, 녹색 발광 소자, 적색 발광 소자 및 청색 발광 소자이다. 대안적으로, 풀 컬러 표시를 할 수 있는 발광 표시 장치는 세 종류의 발광 소자들 외에도, 백색 발광 소자를 포함하는 네 종류의 발광 소자들을 이용하여 제작될 수 있다.
- [0276] 도 19c의 구조에서, 풀 컬러 표시를 할 수 있는 발광 표시 장치는, 배치되는 모든 복수의 발광 소자들이 백색 발광 소자들이고 컬러 필터 등을 가진 밀봉 기판이 발광 소자(7002) 상에 배치되도록 제작될 수 있다. 백색과 같은 단일 컬러를 표시하는 재료가 형성되어 컬러 필터 또는 컬러 변환층과 결합되고, 그에 의해 풀 컬러 표시가 수행될 수 있다.
- [0277] 말할 필요도 없이, 단색광의 표시도 또한 수행될 수 있다. 예를 들면, 조명 시스템이 백색 발광을 이용하여 형성될 수 있거나, 또는 에어리어-컬러 발광 장치(area-color light-emitting device)가 단일 컬러 발광을 이용하여 형성될 수 있다.
- [0278] 필요하다면, 원형 편광판을 포함하는 편광막과 같은 광학막이 제공될 수 있다.
- [0279] 유기 EL 소자들이 발광 소자로서 여기에 기술되지만, 무기 EL 소자도 또한 발광 소자로서 제공될 수 있음을 유념한다.
- [0280] 발광 소자의 구동을 제어하는 트랜지스터(구동용 트랜지스터)가 발광 소자에 전기적으로 접속되는 예가 기술되지만; 전류 제어를 위한 트랜지스터가 구동용 트랜지스터와 발광 소자 사이에 접속되는 구조가 이용될 수 있음을 유념한다.
- [0281] 이 실시형태에 설명된 반도체 장치의 구조는 도 19a 내지 도 19c에 도시된 구성들에 제한되지 않고, 본 발명의 일 실시형태의 구성들의 사상에 기초하여 다양한 방식들로 수정될 수 있다.
- [0282] 다음에, 실시형태들 1 및 2에 설명된 트랜지스터가 적용되는 반도체 장치의 일 실시형태에 대응하는 발광 표시 패널(또한 발광 패널이라고도 칭해짐)의 외관 및 단면이 도 22a 및 도 22b를 참조하여 설명된다. 도 22a는 트랜지스터 및 발광 소자가 제 1 기판과 제 2 기판 사이에서 절재로 밀봉되는 패널의 상면도이다. 도 22b는 도 22a의 라인 H-I를 따라 취해진 단면도이다.
- [0283] 절재(4505)는 제 1 기판(4501) 위에 제공되는 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)을 둘러싸도록 제공된다. 그 외에도, 제 2 기판(4506)이 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b) 위에 제공된다. 따라서, 화소부(4502),

신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은 제 1 기관(4501), 쉴재(4505) 및 제 2 기관(4506)에 의해 충전재(4507)로 함께 밀봉된다. 패널이 높은 기밀성 및 적은 탈기를 가진 보호막(적층막 또는 자외선 경화 수지막과 같이) 또는 커버재로 패키징(밀봉)되어, 이러한 방식으로 패널이 외부 공기에 노출되지 않는 것이 바람직하다.

- [0284] 제 1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동 회로들(4503a 및 4503b), 및 주사선 구동 회로들(4504a 및 4504b)은 각각 복수의 트랜지스터들을 포함하고, 화소부(4502)에 포함된 트랜지스터(4510) 및 신호선 구동 회로(4503a)에 포함된 트랜지스터(4509)가 도 22b에 예로서 도시된다.
- [0285] 트랜지스터들(4509 및 4510)의 각각에 대해, 실시형태들 1 및 2에 설명된 산화물 반도체층으로서 In-Ga-Zn-O-계막을 포함하는 매우 신뢰 가능한 트랜지스터가 적용될 수 있다. 이 실시형태에서, 트랜지스터들(4509 및 4510)은 n-채널 트랜지스터들이다.
- [0286] 절연층(4544) 위에, 구동 회로에 이용되는 트랜지스터(4509)의 산화물 반도체층의 채널 형성 영역과 중첩하는 위치에 도전층(4540)이 제공된다. 산화물 반도체층의 채널 형성 영역과 중첩하도록 도전층(4540)을 제공함으로써, BT 시험 전과 후 사이의 트랜지스터(4509)의 임계 전압의 변화량이 감소될 수 있다. 또한, 도전층(4540)의 전위는 트랜지스터(4509)의 게이트 전극층의 전위와 동일하거나 상이할 수 있다. 도전층(4540)은 또한 제 2 게이트 전극층으로 기능할 수 있다. 대안적으로, 도전층(4540)의 전위는 GND 또는 0V일 수 있거나, 도전층(4540)은 플로팅 상태일 수 있다.
- [0287] *또한, 참조 번호(4511)는 발광 소자를 표시한다. 발광 소자(4511)에 포함되는 화소 전극인 제 1 전극층(4517)은 트랜지스터(4510)의 소스 또는 드레인 전극층에 전기적으로 접속된다. 발광 소자(4511)의 구성은 제 1 전극층(4517), 전계발광층(4512) 및 제 2 전극층(4513)의 적층 구조지만, 구성에 대한 특별한 제한은 없음을 유념한다. 발광 소자(4511)의 구성은 광이 발광 소자(4511)로부터 추출되는 방향 등에 의존하여 적합하게 변경될 수 있다.
- [0288] 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 격벽(4520)이 형성된다. 개구부의 측벽이 연속하는 곡률을 가지고 기울어진 표면으로서 형성되도록 감광성 수지 재료를 이용하여 격벽(4520)이 형성되고 제 1 전극층(4517) 위에 개구부가 형성되는 것이 특히 바람직하다.
- [0289] 전계발광층(4512)은 단층 또는 적층된 복수의 층들로 형성될 수 있다.
- [0290] 산소, 수소, 수분, 이산화탄소 등의 발광 소자(4511)로의 혼입을 방지하기 위해 제 2 전극층(4513) 및 격벽(4520) 위에 보호막이 형성될 수 있다. 보호막으로서, 질화 실리콘막, 질화산화 실리콘막, DLC막 등이 형성될 수 있다.
- [0291] 그 외에도, FPC들(4518a 및 4518b)로부터 신호선 구동 회로들(4503a 및 4503b), 주사선 구동 회로들(4504a 및 4504b), 또는 화소부(4502)로 다양한 신호들 및 전위가 공급된다.
- [0292] 이 실시형태에서, 접속 단자 전극(4515)이 발광 소자(4511)에 포함된 제 1 전극층(4517)에 이용되는 동일한 도전막을 이용하여 형성된다. 단자 전극(4516)이 트랜지스터들(4509 및 4510)에 포함된 소스 및 드레인 전극층들에 이용되는 동일한 도전막을 이용하여 형성된다.
- [0293] 접속 단자 전극(4515)은 이방성 도전막(4519)을 통해 FPC(4518a)에 포함된 단자에 전기적으로 접속된다.
- [0294] 발광 소자(4511)로부터 광이 추출되는 방향에 위치되는 제 2 기관(4506)은 투광성을 가져야 한다. 그 경우, 유리판, 플라스틱판, 폴리에스테르막 또는 아크릴막과 같은 투광성 재료가 제 2 기관(4506)에 이용된다.
- [0295] 충전재(4507)로서, 질소 또는 아르곤과 같은 불활성 가스 외에도, 자외선 경화 수지 또는 열경화 수지가 이용된다. 예를 들면, PVC(polyvinyl chloride), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(polyvinyl butyral) 또는 EVA(ethylene vinyl acetate)가 이용될 수 있다. 이 실시형태에서, 질소가 충전재에 이용된다.
- [0296] 그 외에도, 필요하다면, 편광판, 원형 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판 또는 $\lambda/2$ 판) 또는 컬러 필터와 같은 광학막이 발광 소자의 발광 표면 상에 적합하게 제공될 수 있다. 또한, 편광판 또는 원형 편광판에는 반사 방지막이 구비될 수 있다. 예를 들면, 글레이어를 감소시키도록 표면 상에 요철에 의해 반사광이 확산될 수 있는 안티-글레이어 처리가 수행될 수 있다.
- [0297] 신호선 구동 회로들(4503a 및 4503b) 및 주사선 구동 회로들(4504a 및 4504b)은 별도로 제공된 기관 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 구동 회로들로서 실장될 수 있다. 그 외에도, 신호선 구

동 회로들 또는 그 일부만, 또는 주사선 구동 회로들 또는 그 일부만 별도로 형성되어 실장될 수 있다. 이 실시 형태는 도 22a 및 도 22b에 도시된 구성에 제한되지 않는다.

- [0298] 상기 공정을 통해, 반도체 장치로서 매우 신뢰 가능한 발광 표시 장치(표시 패널)가 제작될 수 있다.
- [0299] 이 실시형태에 설명된 구성은 다른 실시형태들에 설명된 구성들 중 어느 것과 적합하게 조합될 수 있음을 유념한다.
- [0300] (실시형태 7)
- [0301] 실시형태 1 및 실시형태 2 중 어느 것에 설명된 트랜지스터가 적용되는 반도체 장치가 전자 페이퍼로서 이용될 수 있다. 전자 페이퍼는 이들이 데이터를 표시할 수 있는 한 다양한 필드들의 전자 기기들에 이용될 수 있다. 예를 들면, 전자 페이퍼는 전자 서적(전자 북), 포스터, 기차와 같은 차량의 차내 광고, 또는 신용 카드와 같은 다양한 카드들의 표시들에 적용될 수 있다. 전자 기기들의 예들은 도 11a 및 도 11b 및 도 12에 설명된다.
- [0302] 도 11a는 전자 페이퍼를 이용한 포스터(2631)를 도시한다. 광고 매체가 종이 인쇄물인 경우, 광고는 손으로 교환된다; 그러나, 전자 페이퍼를 이용하여, 광고 표시가 단시간에 변경될 수 있다. 또한, 표시 결합들 없이 안정한 화상들이 얻어질 수 있다. 포스터는 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있음을 유념한다.
- [0303] 도 11b는 기차와 같은 차량의 차내 광고(2632)를 도시한다. 광고 매체가 종이인 경우, 광고는 손으로 교환되지만, 전자 페이퍼인 경우, 인력이 그다지 필요하지 않고 광고 표시가 단시간에 변경될 수 있다. 또한, 표시 결합들 없이 안정한 화상들이 얻어질 수 있다. 차내 광고는 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있음을 유념한다.
- [0304] 도 12는 전자 서적의 예를 도시한다. 예를 들면, 전자 서적(2700)은 2개의 하우스징들, 하우스징(2701) 및 하우스징(2703)을 포함한다. 하우스징(2701) 및 하우스징(2703)은 전자 서적(2700)이 축으로서 힌지(2711)로 개폐될 수 있도록 힌지(2711)와 결합된다. 이러한 구조로, 전자 서적(2700)은 종이 서적과 같이 동작할 수 있다.
- [0305] 표시부(2705) 및 표시부(2707)는 하우스징(2701) 및 하우스징(2703)에 각각 포함된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상들을 표시할 수 있다. 상이한 화상들이 상이한 표시부들에서 표시되는 구조에서, 예를 들면, 우측 표시부(도 12에서 표시부(2705))가 텍스트를 표시할 수 있고, 좌측 표시부(도 12에서 표시부(2707))가 화상을 표시할 수 있다.
- [0306] 도 12에 도시된 예에서, 하우스징(2701)에는 조작부 등이 구비된다. 예를 들면, 하우스징(2701)에는 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등이 구비된다. 조작 키(2723)로, 페이지가 넘겨질 수 있다. 키보드, 인쇄 장치 등이 하우스징의 표시부와 동일한 표면 상에 제공될 수 있음을 유념한다. 또한, 외부 접속 단자(이러폰 단자, USB 단자, AC 어댑터 및 USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 하우스징의 후면 또는 측면 상에 제공될 수 있다. 또한, 전자 서적(2700)은 전자 사전의 기능을 가질 수 있다.
- [0307] 전자 서적(2700)은 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 원하는 서적 데이터 등이 구매될 수 있거나 전자 서적 서버로부터 다운로드될 수 있다.
- [0308] 이 실시형태에 설명된 구성은 다른 실시형태들에 설명된 구성들 중 어느 것과 적합하게 조합될 수 있음을 유념한다.
- [0309] (실시형태 8)
- [0310] 실시형태들 1 및 2 중 어느 것에 설명된 트랜지스터를 이용한 반도체 장치가 다양한 전자 기기들(게임기를 포함함)에 적용될 수 있다. 전자 기기들의 예들은 텔레비전 장치(또한 텔레비전 또는 텔레비전 수신기라고도 칭해짐), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 휴대전화(또한 휴대전화 핸드셋 또는 휴대전화 장치라고도 칭해짐), 휴대용 게임기, 휴대 정보 단말기, 오디오 재생 장치, 파친코기와 같은 대형 게임기 등이다.
- [0311] 도 23a는 텔레비전 장치의 예를 도시한다. 텔레비전 장치(9600)에서, 표시부(9603)가 하우스징(9601)에 포함된다. 표시부(9603)는 화상들을 표시할 수 있다. 여기서, 하우스징(9601)은 스탠드(9605)에 의해 지지된다.
- [0312] 텔레비전 장치(9600)는 하우스징(9601)의 조작 스위치 또는 별도의 원격 제어기(9610)로 조작될 수 있다. 표시부(9603) 상에 표시된 화상이 제어될 수 있도록 원격 제어기(9610)의 조작 키(9609)로 채널들 및 볼륨이 제어될

수 있다. 또한, 원격 제어기(9610)에는 원격 제어기(9610)로부터 데이터 출력을 표시하기 위한 표시부(9607)가 구비될 수 있다.

- [0313] 텔레비전 장치(9600)에는 수신기, 모뎀 등이 구비될 수 있음을 유념한다. 수신기를 이용하여, 일반 텔레비전 방송이 수신될 수 있다. 또한, 표시 장치가 모뎀을 통해 유선으로 또는 무선으로 통신 네트워크에 접속될 때, 일방(송신기에서 수신기로) 또는 양방(송신기와 수신기 사이 또는 수신기들 사이) 정보 통신이 수행될 수 있다.
- [0314] 도 23b는 디지털 포토 프레임의 예를 도시한다. 예를 들면, 디지털 포토 프레임(9700)에서, 표시부(9703)가 하우징(9701)에 포함된다. 표시부(9703)는 다양한 화상들을 표시할 수 있다. 예를 들면, 표시부(9703)는 디지털 카메라 등으로 찍은 화상의 데이터를 표시할 수 있고 통상의 포토 프레임으로 기능할 수 있다.
- [0315] 디지털 포토 프레임(9700)에는 조작부, 외부 접속부(USB 단자, USB 케이블과 같은 다양한 케이블들에 접속될 수 있는 단자 등), 기록 매체 삽입부 등이 구비될 수 있음을 유념한다. 이들 부품들이 표시부가 제공되는 표면 상에 제공될 수 있지만, 디지털 포토 프레임(9700)의 디자인성을 위해 측면 또는 후면 상에 이들을 제공하는 것이 바람직하다. 예를 들면, 디지털 카메라로 찍은 화상의 데이터를 저장하는 메모리가 디지털 포토 프레임의 기록 매체 삽입부에 삽입되고, 그에 의해 화상 데이터가 표시부(9703)로 이전된 후 표시될 수 있다.
- [0316] 디지털 포토 프레임(9700)은 무선으로 데이터를 송수신하도록 구성될 수 있다. 원하는 화상 데이터가 무선으로 이전되어 표시되는 구조가 이용될 수 있다.
- [0317] 도 24a는 휴대용 게임기이고, 휴대용 게임기가 열리거나 접힐 수 있도록 연결부(9893)에 접속된 하우징(9881) 및 하우징(9891)의 2개의 하우징들에 의해 구성된다. 표시부(9882) 및 표시부(9883)는 각각 하우징(9881) 및 하우징(9891)에 포함된다. 그 외에도, 도 24a에 도시된 휴대용 게임기에는 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키들(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음향, 시간, 강도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새 또는 적외선을 측정하는 기능을 가짐) 등이 구비된다. 휴대용 게임기의 구성이 상기에 제한되지 않고 적어도 본 발명의 반도체 장치가 구비된 다른 구성들이 이용될 수 있음은 말할 필요도 없다. 휴대용 게임기는 다른 액세서리들을 적합하게 포함할 수 있다. 도 24a에 도시된 휴대용 게임기는 표시부 상에 이를 표시하기 위해 기록 매체에 저장된 프로그램 또는 데이터를 판독하는 기능과, 무선 통신에 의해 다른 휴대용 게임기와 정보를 공유하는 기능을 가진다. 도 24a에 도시된 휴대용 게임기의 기능은 상기에 제한되지 않고, 휴대용 게임기는 다양한 기능들을 가질 수 있음을 유념한다.
- [0318] 도 24b는 대형 게임기인 슬롯 머신의 예를 도시한다. 슬롯 머신(9900)에서, 표시부(9903)가 하우징(9901)에 포함된다. 그 외에도, 슬롯 머신(9900)은 시작 레버 또는 중단 스위치, 코인 슬롯, 스피커 등과 같은 조작 수단들을 포함한다. 슬롯 머신(9900)의 구성은 상기에 제한되지 않고, 적어도 본 발명의 반도체 장치가 구비되는 다른 구성들이 이용될 수 있음은 말할 필요도 없다. 슬롯 머신(9900)은 다른 액세서리들을 적합하게 포함할 수 있다.
- [0319] 도 25a는 휴대전화의 예를 도시한다. 휴대전화(1000)는 하우징(1001)에 포함된 표시부(1002), 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크로폰(1006) 등을 포함한다.
- [0320] 도 25a에 도시된 표시부(1002)가 손가락 등으로 터치될 때, 데이터가 휴대전화(1000)에 입력될 수 있다. 또한, 전화를 걸거나 메일들을 작성하는 동작들은 손가락 등으로 표시부(1002)를 터치하여 수행될 수 있다.
- [0321] 표시부(1002)의 주요 세 화면 모드들이 존재한다. 제 1 모드는 주로 화상들을 표시하기 위한 표시 모드이다. 제 2 모드는 주로 텍스트와 같은 데이터를 입력하기 위한 입력 모드이다. 제 3 모드는 표시 모드 및 입력 모드의 두 모드들이 조합된 표시+입력 모드이다.
- [0322] 예를 들면, 전화를 걸거나 메일을 작성하는 경우, 주로 텍스트를 입력하기 위한 텍스트 입력 모드가 표시부(1002)에 선택되어, 화면 상에 표시된 텍스트가 입력될 수 있다. 그 경우, 표시부(1002)의 화면의 거의 모든 영역상에 키보드나 숫자 버튼들을 표시하는 것이 가능하다.
- [0323] 자이로스코프 또는 가속 센서와 같이 기울기를 검출하기 위한 센서를 포함하는 검출 장치가 휴대전화(1000) 내부에 제공될 때, 휴대전화(1000)의 설치 방향(휴대전화(1000)가 배경 모드 또는 인물 모드에 대해 수평으로 또는 수직으로 배치되는지)을 결정함으로써 표시부(1002)의 화면에의 표시가 자동으로 전환될 수 있다.
- [0324] 화면 모드들은 표시부(1002)를 터치하거나 하우징(1001)의 조작 버튼(1003)을 조작함으로써 전환된다. 대안적으로, 화면 모드들은 표시부(1002) 상에 표시된 화상의 종류에 의존하여 전환될 수 있다. 예를 들면, 표시부 상에 표시된 화상의 신호가 동화상 데이터의 신호일 때, 화면 모드는 표시 모드로 전환된다. 신호가 텍스트 데이터의

신호일 때, 화면 모드는 입력 모드로 전환된다.

- [0325] 또한, 입력 모드에서, 표시부(1002)에서 광학 센서에 의해 검출된 신호가 검출되는 특정 기간 동안 표시부(1002)를 터치하는 것에 의한 입력이 수행되지 않을 때, 화면 모드는 입력 모드에서 표시 모드로 전환되도록 제어될 수 있다.
- [0326] 표시부(1002)는 화상 센서로서 기능할 수 있다. 예를 들면, 표시부(1002)가 손바닥 또는 손가락으로 터치될 때 장문, 지문 등이 촬상되고, 그에 의해 개인 식별이 수행될 수 있다. 또한, 표시부에 근적외선 광을 방출하는 센싱 광원 또는 백라이트를 제공함으로써, 손가락 정맥, 손바닥 정맥 등이 촬상될 수 있다.
- [0327] 도 25b는 또한 휴대전화의 예를 도시한다. 도 25b의 휴대전화는 표시부(9412) 및 조작 버튼(9413)이 하우징(9411)에 포함되는 표시 장치(9410), 및 조작 버튼들(9402), 외부 입력 단자(9403), 마이크로폰(9404), 스피커(9405) 및 착신시 발광하는 발광부(9406)가 하우징(9401)에 포함되는 통신 장치(9400)를 포함한다. 표시 기능을 갖는 표시 장치(9410)는 폰 기능을 가진 통신 장치(9400)로부터 화살표들로 표시된 바와 같이 두 방향으로 탈부착될 수 있다. 따라서, 표시 장치(9410)의 짧은 축은 통신 장치(9400)의 짧은 축에 부착될 수 있고, 표시 장치(9410)의 긴 축은 통신 장치(9400)의 긴 축에 부착될 수 있다. 그 외에도, 표시 기능만 필요할 때, 표시 장치(9410)는 통신 장치(9400)로부터 탈착되어 단독으로 이용될 수 있다. 화상들 또는 입력 정보가 통신 장치(9400)와 표시 장치(9410) 사이의 무선 또는 유선 통신에 의해 송신되거나 수신될 수 있고, 이들 각각은 재충전 가능한 배터리를 가진다.
- [0328] 이 실시형태에 설명된 구성은 다른 실시형태들에 설명된 구성들 중 어느 것과 적합하게 조합될 수 있음을 유념한다.
- [0329] (실시형태 9)
- [0330] 산화물 반도체층이 금속층 또는 산화물 절연층과 접촉할 때 산소가 이동하는 현상이 발생한다. 이 실시형태에서, 비정질 산화물 반도체층과 결정 산화물 반도체층 사이의 차이들이 현상에 대한 과학 계산을 이용하여 설명된다.
- [0331] 도 33은 본 발명의 일 실시형태인 트랜지스터의 구조에서, 산화물 반도체층이 소스 전극 및 드레인 전극으로 기능하는 금속층 및 산화물 절연층과 접촉하는 상태의 개략도이다. 화살표들의 방향들은 이들이 서로 접촉하는 상태 또는 이들이 가열되는 상태에서 산소의 이동 방향을 표시한다.
- [0332] 산소 결손이 발생할 때, i-형 산화물 반도체층은 n-형 도전성을 가지는 반면, 산소가 과잉공급될 때, 산소 결손에 의해 유발되는 n-형 산화물 반도체층이 i-형 산화물 반도체층이 된다. 이 효과는 실제 장치 공정에서 활용되고, 소스 전극 및 드레인 전극으로 기능하는 금속층과 접촉하는 산화물 반도체층에서, 산소는 금속층으로 당겨지고, 산소 결손이 금속층과 접촉하는 영역의 일부(작은 두께의 경우, 막 두께 방향의 전체 영역에서)에서 발생하고, 그에 의해 산화물 반도체층은 n-형 산화물 반도체층이 되고, 금속층과의 양호한 접촉이 얻어질 수 있다. 그 외에도, 산소가 산화물 절연층에서 산화물 절연층과 접촉된 산화물 반도체층에 공급되고, 산화물 절연층과 접촉된 산화물 반도체층이 영역의 일부(작은 두께의 경우, 막 두께 방향의 전체 영역에서)는 과잉 산소를 함유하여 i-형 영역이 되고, 그에 의해 산화물 반도체층은 i-형 산화물 반도체층이 되고 트랜지스터의 채널 형성 영역으로서 기능한다.
- [0333] 본 발명의 일 실시형태에서, 산화물 반도체층이 소스 전극 및 드레인 전극으로 기능하는 금속층 및 산화물 절연층과 접촉되는 영역에서, 침형 결정균을 포함하는 결정 영역, 및 비정질 상태와 산소가 이동하는 상태 사이의 차이들은 과학 계산에 의해 설명되었다.
- [0334] 과학 계산에 이용된 모델들은 In-Ga-Zn-O-계 비정질 구조 및 In-Ga-Zn-O-계 결정 구조를 가진다. 모델들의 각각에서, 직방체의 길이 방향의 영역들 중 하나는 다른 영역에 비해 산소가 10% 결손되었다(도 34a 및 도 34b 참조). 이 계산은 650°C의 가속 조건 하에서 10nsec 후의 In-Ga-Zn-O-계 비정질 구조 및 In-Ga-Zn-O-계 결정 구조에서의 산소의 분포를 비교하기 위한 것이다. 각각의 조건들이 표 1 및 표 2에 도시된다.

표 1

[0335]	구조의 조건
원자들의 수	317개의 원자들(192개의 산소들)
격자 상수	a=b=1.3196nm, c=2.6101nm, α=β=90°, γ=120°

밀도	6.23g/cm ³
----	-----------------------

표 2

	계산 조건
양상블	NTV(원자들의 수, 온도, 고정 부피)
온도	923K
시간 폭의 크기	0.2fs
총 계산 시간	10ns
포텐셜	Born-Mayer-Huggins형이 Metal-Oxygen 및 Oxygen-Oxygen에 적용됨
전하	In:+3, Ga:+3, Zn:+2, O:-2

[0336]

*상기 조건들 하에서의 계산 결과들로서, 비정질 산화물 반도체층을 이용하는 경우 산소의 분포는 도 35a에 도시되고, 결정 산화물 반도체층을 이용하는 경우 산소의 분포는 도 35b에 도시된다. 점선은 초기 상태(Initial)를 표시하고, 실선은 결과(10nsec 후)를 표시한다. 비정질 산화물 반도체층 또는 결정 산화물 반도체층이 이용되는지에 상관없이 산소가 이동하는 것을 알았다.

[0338]

산소 결손을 가진 영역에서 계산 전 및 후 사이의 산소 원자들의 증가 비율들은 비정질 산화물 반도체층의 경우 15.9%이고 결정 산화물 반도체층의 경우 11.3%이었다. 즉, 비정질 산화물 반도체층에서의 산소가 결정 산화물 반도체층에서의 산소보다 이동할 가능성이 많아서, 산소 결손을 쉽게 보상하는 결과를 보여주었다. 달리 말하면, 결정 산화물 반도체층에서의 산소는 비정질 산화물 반도체층에서의 산소보다 이동할 가능성이 비교적 적다.

[0339]

따라서, 비정질 산화물 반도체층의 경우의 방식과 유사하게, 또한 침형 결정균을 포함하는 결정 영역을 갖는 본 발명의 일 실시형태에서 산화물 반도체층에서 산소가 이동하는 것을 알았다. 비정질 산화물 반도체층에서보다 결정 산화물 반도체층에서 산소가 이동할 가능성이 비교적 적기 때문에, 또한 침형 결정균을 포함하는 결정 영역이 산화물 반도체층으로부터 산소의 제거가 억제될 수 있는 효과를 가지는 것을 알았다.

[0340]

(실시에 1)

[0341]

이 실시예에서, RTA법으로 단시간에 고온에서 탈수화 또는 탈수소화가 행해지는 산화물 반도체막의 상태가 TEM 분석, TEM-EDX 분석, X-선 회절 분석 및 SIMS 분석으로 분석되었고, 결과들이 설명된다.

[0342]

분석에 이용된 시료들은 In₂O₃ 대 Ga₂O₃ 대 ZnO의 몰수비가 1 : 1 : 1인 산화물 반도체 타겟을 이용하여 실시형태 2에 따라 각각 형성된 In-Ga-Zn-O-계 막들이다. 세 종류의 시료들이 존재한다: 비교 시료들인 시료 A, 및 시료 B 및 시료 C. 시료 A는 RTA 장치를 이용하여 6분 동안 650℃로 질소 가스 분위기에서 가열 단계가 수행되는 방식으로 형성된다. 시료 B는 전기로를 이용하여 1시간 동안 450℃로 질소 가스 분위기에서 가열 단계가 수행되는 방식으로 형성되고, 시료 C(as-depo)는 비가열 상태이다.

[0343]

먼저, 각각의 시료의 결정 상태를 설명하기 위해 각 시료의 결정 상태의 단면이 고분해능 투과 전자 현미경(Hitachi, Ltd.에 의해 제작된 "H9000-NAR": TEM)을 이용하여 300kV의 가속 전압으로 관찰되었다. 시료 A, 시료 B 및 시료 C의 단면 사진들이 도 26a 및 도 26b, 도 27a 및 도 27b, 및 도 28a 및 도 28b에 각각 도시된다. 도 26a, 도 27a 및 도 28a는 저배율 사진들(200만배)이고, 도 26b, 도 27b 및 도 28b는 고배율 사진들(400만배)임을 유념한다.

[0344]

도 26a 및 도 26b에서 RTA법으로 6분 동안 650℃로 가열되는 시료 A의 단면의 표층부에서 연속하는 격자 화상이 관찰되었다. 특히, 도 26b의 고배율 사진에서, 백색 프레임에 의해 둘러싸인 영역에서 선명한 격자 화상이 관찰되었고, 결정축들이 정렬되는 미결정들의 존재가 보인다. 따라서, In-Ga-Zn-O-계 막의 표층부가 RTA법으로 대략 6분 정도 동안 650℃로 가열을 수행함으로써 결정화되어 결정 영역이 제공되는 것을 알았다. 표층부를 제외한 영역에서, 선명한 연속 격자 화상이 관찰되지 않고, 비정질 영역 여기 저기에 미결정 입자들이 존재하는 상태가 발견됨을 유념한다. 미결정들은 소위 입자 크기가 2nm 이상 4nm 이하인 나노결정들이라고 칭해진다.

[0345]

한편, 도 27a 및 도 27b(시료 B)와 도 28a 및 도 28b(시료 C)의 단면 사진들로부터 두께 방향의 어떤 영역에서도 선명한 격자 화상이 관찰되지 않아서, 시료 B 및 시료 C가 비정질임을 알았다.

- [0346] RTA법으로 6분 동안 650℃로 가열되는 시료 A의 표층부의 확대사진 및 결정 영역의 회절 패턴이 도 29a 및 도 29b에 각각 도시된다. 격자 화상들이 정렬되는 방향들을 표시하는 방향 화살표들(1 내지 5)이 표층부의 확대 사진(도 29a)에 도시되고 침형 결정들이 막의 표면에 수직한 방향으로 성장한다. 도 29b에 도시된 전자 회절 패턴은 화살표(3)에 의해 표시된 위치에서 관찰되고, c-축 배향이 발견된다. 이 전자 회절 패턴과 알려진 격자 상수 사이의 비교 결과로서, 결정 구조가 도 36에 도시된 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 임이 명확해졌다.
- [0347] * $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 육방정계층의 화합물의 상면도 및 측면도가 도 36에 도시된다. 상면도는 a축 및 b축에 평행한 평면도이고, 측면도는 c축에 평행한 평면도이다. 여기서, c축은 a축 및 b축에 수직하고, a축과 b축 사이의 각도는 120도이다. 도 36에서, In 원자에 의해 점유될 수 있는 사이트(201)는 상면도에 도시되고, In 원자(202), Ga 원자(203), Ga 또는 Zn 원자(204) 및 O 원자(205)는 측면도에 도시된다. 도 36에 도시된 바와 같이, $\text{In}_2\text{Ga}_2\text{ZnO}_7$ 은 In 산화물층들 사이에 하나의 갈륨 산화물층과, In 산화물층들 사이에 있는 2개의 산화물 층들인 하나의 갈륨 산화물층 및 하나의 아연 산화물층을 포함시켜, 적층된 In 산화물층들 사이에서 교대로 제공되는 구조를 가진다.
- [0348] 도 30은 시료 A의 표층부의 단면의 TEM-EDX(에너지 분산형 X-선 분광법)으로의 분석 결과들을 도시한다. In_2O_3 대 Ga_2O_3 대 ZnO 의 몰수비가 1 : 1 : 1인 재료 타겟이 이용되었고, 표층부의 조성비에 대해, In 또는 Ga가 1인 반면, Zn은 0.3 이상 0.4 이하이어서, Zn이 약간 부족하다는 것을 알았다.
- [0349] 다음에, X-선 회절 분석으로 세 종류의 동일한 시료들의 결정 상태들의 분석 결과들이 도 31에 도시된다. 시료들의 차트에서, 2θ 가 30 내지 36° 일 때 보이는 피크가 In-Ga-Zn-O-계 재료로부터 도출된 데이터이고, 광범위하다; 따라서, 비정질 상태가 반영된다. 그러나, RTA법으로 6분 동안 650℃로 가열된 시료 A의 피크 위치는 시료 B 및 시료 C보다 낮은 각도측 상에 있어서, (009)면 또는 (101)면에서 획득되는 회절 피크의 존재를 나타내며, 이것은 In-Ga-Zn-O-계 결정 재료들에서 가장 강력한 회절 강도를 보인다. 따라서, 이것은 또한 시료 A가 결정 영역을 가지는 X-선 회절 분석으로 확인된다.
- [0350] 다음에, 시료 A 및 시료 C의 각각의 막에서 2차 이온 질량 분석법(SIMS)으로의 수소 농도, 탄소 농도 및 질소 농도의 분석 결과들이 도 32a 내지 도 32c에 도시된다. 수평축은 시료들의 표면들로부터 깊이를 나타내고, 깊이가 0nm인 좌단부는 시료들의 최표면들(산화물 반도체층들의 최표면들)에 대응하고, 분석은 표면층에서부터 수행된다.
- [0351] 도 32a는 수소 농도 프로파일을 도시한다. 이것은 시료 A의 프로파일의 수소 농도가 시료 C의 프로파일에 비해 한 자릿 수 이상 감소하는 것으로 판명되었고, 탈수화 또는 탈수소화가 RTA법으로 6분 동안 650℃로 효과적으로 수행되었다는 것이 확인되었다. 시료 A의 프로파일 및 시료 C의 프로파일은 시료들과 유사하게 In-Ga-Zn-O-계 산화물 반도체층을 이용하여 형성된 표준 시료를 이용하여 양자화됨을 유념한다.
- [0352] 시료의 표면의 주변 또는 SIMS 분석으로 상이한 재료들을 이용하여 형성된 적층막들 사이의 계면의 주변에서 데이터를 정확하게 획득하는 것은 실제로 어렵다고 알려져 있다. 이 분석에서, 대략 40nm의 두께의 깊이에서 15nm 이상 35nm 이하의 프로파일이 막에서 정확한 데이터를 획득하기 위한 평가 대상이었다.
- [0353] 시료 C의 프로파일로부터, 수소가 대략 3×10^{20} atoms/cm³ 이상 대략 5×10^{20} atoms/cm³ 이하에서 탈수소화가 행해지지 않는 산화물 반도체층에 함유되고, 대략 4×10^{20} atoms/cm³의 평균 수소 농도에 있다는 것이 밝혀졌다. 시료 A의 프로파일로부터, 산화물 반도체층의 평균 수소 농도가 탈수소화에 의해 대략 2×10^{19} atoms/cm³로 감소될 수 있다는 것이 밝혀졌다.
- [0354] 탄소 농도 프로파일이 도 32b에 도시되고, 질소 농도 프로파일이 도 32c에 도시된다. 수소 농도 프로파일과 달리, 탄소 농도 프로파일이나 질소 농도 프로파일 어느 것도 시료 A와 시료 C 사이에서 급격한 콘트라스트를 가지지 않고, RTA법으로 6분 동안 650℃로의 가열로 인해 탄소 성분 및 질소 성분의 혼입 또는 방출이 존재하지 않는다는 것이 확인되었다. H + O의 2차 이온 강도의 검출 결과들이 도 38a 내지 도 38c에 도시되고, H₂ + O의 결과들이 도 39a 내지 도 39c에 도시된다. 고온에서 처리된 시료들은 H + O 및 H₂ + O 둘다에서 낮은 강도를 가지고, 수분 또는 OH의 방출이 RTA법으로 6분 동안 650℃로 가열을 수행함으로써 효율적으로 수행된다는 것이 밝혀졌다.
- [0355] 분석 결과들로부터, RTA법으로 6분의 단시간에 650℃로 가열되는 시료의 표층부가 침형 결정군을 포함하는 결정

영역을 가지는 것이 밝혀졌다. 또한, 산화물 반도체층에서의 수소 농도는 1/10 이하로 감소될 수 있다는 것이 밝혀졌다.

- [0356] (실시예 2)
- [0357] 이 실시예에서, 실시형태 1에 설명된 트랜지스터를 형성하고 -BT 시험을 수행하여 획득된 결과들이 설명될 것이다.
- [0358] 트랜지스터들의 신뢰도를 시험하기 위한 방법들 중 하나는 바이어스-열 스트레스 시험(이후, BT 시험이라고 칭해짐)이다. BT 시험은 일종의 가속 시험이고, 트랜지스터들의 장기간 사용에 의해 유발된 특성들의 변화를 단시간에 평가할 수 있다. 특히, BT 시험 전과 후 사이에 트랜지스터의 임계 전압의 변화량은 신뢰도 조사를 위한 중요한 표시자이다. BT 시험 전과 후 사이에 트랜지스터의 임계 전압의 차가 작을 때, 트랜지스터는 더 높은 신뢰도를 가진다.
- [0359] 특히, 트랜지스터가 형성되는 기판의 온도(기판 온도)는 고정 온도로 설정되고, 트랜지스터의 소스 및 드레인은 동일한 전위로 설정되고, 게이트에는 일정 기간 동안 소스 및 드레인의 전위와 상이한 전위가 공급된다. 기판 온도는 시험 목적에 따라 적합하게 설정될 수 있다. 게이트에 인가된 전위가 소스 및 드레인의 전위보다 높은 경우의 시험은 +BT 시험이라고 칭해지고, 게이트에 인가된 전위가 소스 및 드레인의 전위보다 낮은 경우의 시험은 -BT 시험이라고 칭해진다.
- [0360] BT 시험에 대한 스트레스 조건들은 기판 온도, 게이트 절연막에 인가된 전계 강도, 또는 전계 강도의 인가의 시간 기간을 설정함으로써 결정될 수 있다. 게이트 절연막에 인가된 전계 강도는 게이트 전위와, 소스 및 드레인 전위 사이의 전위차를 게이트 절연막의 두께에 의해 나눔으로써 결정될 수 있다. 예를 들면, 100-nm-두께 게이트 절연막에 인가된 전계 강도가 2MV/cm으로 설정되는 경우, 전위차는 20V로 설정될 수 있다.
- [0361] "전압(voltage)"은 일반적으로 소정 지점들에서의 전위 사이의 차를 나타내고, "전위(potential)"는 전계에서 소정 지점에서의 단위 전하의 정전 에너지(전기적 위치 에너지)를 나타냄을 유념한다. 일반적으로, 한 지점의 전위와 기준 전위(예를 들면, 접지 전위) 사이의 차는 단순히 전위 또는 전압이라고 불리고, 전위 및 전압은 많은 경우들에서 동의어로서 이용됨을 유념한다. 따라서, 이 명세서에서, 다르게 명시되지 않는 한 전위는 전압으로서 바뀔 수 있고, 전압은 전위로서 바뀔 수 있다.
- [0362] -BT 시험은 기판 온도가 150°C이었고, 게이트 절연막에 인가된 전계 강도가 2MV/cm이었고, 인가 시간 기간이 1 시간인 조건들 하에서 수행되었다.
- [0363] 먼저, -BT 시험을 받은 트랜지스터의 초기 특성들을 측정하기 위해, 기판 온도가 40°C로 설정되었고, 소스와 드레인 사이의 전압(이후, 드레인 전압 또는 V_d)이 1V로 설정되었고, 소스와 게이트 사이의 전압(이후, 게이트 전압 또는 V_g)이 -20V 내지 +20V 범위에서 변화된 조건들 하에서, 소스-드레인 전류(이후, 드레인 전류 또는 I_d 라고 칭해짐)의 특성들의 변화가 측정되었다. 즉, V_d 가 1V인 V_g - I_d 특성들이 측정되었다. 여기서, 시료들의 표면들 상으로의 수분-흡수에 대한 대책으로서, 기판 온도는 40°C로 설정되었다. 그러나, 특별한 문제가 없다면, 실온(25°C) 이하에서 측정이 수행될 수 있다.
- [0364] 다음, V_d 가 10V로 설정되었을 때 유사한 측정이 행해졌고, V_d 가 10V일 때의 시간에서 V_g - I_d 특성들이 측정되었다.
- [0365] 다음, 기판 온도가 150°C까지 증가되었고, 그 후에 트랜지스터의 소스 및 드레인의 전위가 0V로 설정되었다. 그 후에, 게이트 절연막에 인가된 전계의 강도가 2MV/cm가 되도록 게이트에 전압이 인가되었다. 트랜지스터의 게이트 절연막의 두께가 100nm였기 때문에, -20V가 게이트에 인가되었고, 이 전압은 1시간 동안 유지되었다. 전압 인가 시간 기간은 여기서 1시간이었다; 그러나, 시간 기간은 목적에 따라 적합하게 변경될 수 있다.
- [0366] 다음, 게이트와 소스 및 드레인 사이에 전압이 인가될 때 기판 온도가 40°C로 감소되었다. 기판 온도가 40°C로 완전히 감소되기 전에 전압의 인가가 중단되는 경우, -BT 시험 동안 손상된 트랜지스터가 잔열의 영향으로 회복된다. 따라서, 전압이 인가될 때 기판 온도는 감소되어야 한다. 기판 온도가 40°C로 감소된 후, 전압의 인가는 종료되었다. 엄격히, 강온 시간은 전압 인가의 시간에 더해져야 한다; 그러나, 온도가 실제로 수분 내에 40°C로 감소될 수 있었기 때문에, 이것은 오차 범위로 간주되었고, 온도 감소의 시간은 인가의 시간에 더해지지 않았다.
- [0367] 그 후에, V_d 가 1V 및 10V일 때의 V_g - I_d 특성들이 초기 특성들의 측정을 위한 조건들과 동일한 조건들 하에서 측

정되었고, -BT 시험이 수행된 후의 Vg-Id 특성들이 획득되었다.

- [0368] 도 37a는 -BT 시험을 받지 않은 트랜지스터와 -BT 시험을 받은 트랜지스터의 Vg-Id 특성들을 도시한다. 도 37a에서, 수평축은 대수 단위로 도시된 게이트 전압(Vg)을 나타내고, 수직축은 대수 단위로 도시된 드레인 전류(Id)를 나타낸다.
- [0369] 도 37b는 도 37a에 도시된 부분(900)의 확대도이다. 초기 특성들(901)은 Vd가 1V인 경우에 -BT 시험을 받지 않은 트랜지스터의 Vg-Id 특성들을 나타내고, 초기 특성들(911)은 Vd가 10V인 경우에 -BT 시험을 받은 트랜지스터의 Vg-Id 특성들을 나타낸다. 또한, -BT(902)는 Vd가 1V인 경우에 -BT 시험을 받은 트랜지스터의 Vg-Id 특성들을 나타내고, -BT(912)는 Vd가 10V인 경우에 -BT 시험을 받은 트랜지스터의 Vg-Id 특성들을 나타낸다.
- [0370] 도 37a 및 도 37b로부터, 초기 특성들(901) 및 초기 특성들(911)에 비해, 전체 -BT(902) 및 전체 -BT(912)가 양의 방향으로 약간 시프트되는 것이 밝혀졌다. 그러나, 시프트량은 0.5V 이하 정도로 작고, 실시형태 1에서 형성된 트랜지스터가 -BT 시험에서 높은 신뢰도를 가지는 것이 밝혀졌다.
- [0371] 본 출원은 2009년 9월 24일 일본 특허청에 출원된 일본 특허 출원 번호 제2009-218877호에 기초하고, 그 전체 내용들은 본 명세서에서 참조로 포함되었다.

부호의 설명

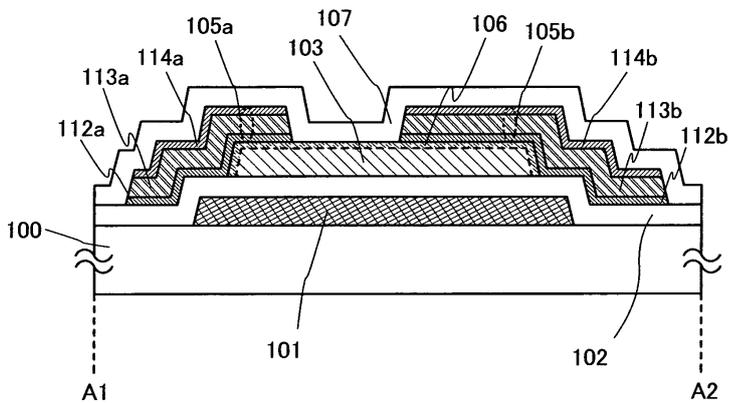
- [0372] 10: 회로, 11: 배선, 12: 배선, 13: 배선, 14: 배선, 15: 배선, 21: 입력 단자, 22: 입력 단자, 23: 입력 단자, 24: 입력 단자, 25: 입력 단자, 26: 출력 단자, 27: 출력 단자, 28: 트랜지스터, 31: 트랜지스터, 32: 트랜지스터, 33: 트랜지스터, 34: 트랜지스터, 35: 트랜지스터, 36: 트랜지스터, 37: 트랜지스터, 38: 트랜지스터, 39: 트랜지스터, 40: 트랜지스터, 41: 트랜지스터, 42: 트랜지스터, 43: 트랜지스터, 51: 전원선, 52: 전원선, 53: 전원선, 61: 기간, 62: 기간, 100: 기관, 101: 게이트 전극층, 102: 게이트 절연층, 103: 산화물 반도체층, 106: 침형 결정근, 107: 산화물 절연층, 108: 용량 배선, 110: 화소 전극층, 112: 도전층, 113: 도전층, 114: 도전층, 120: 접속 전극, 121: 단자, 122: 단자, 125: 콘택트 홀, 126: 콘택트 홀, 127: 콘택트 홀, 128: 투광성 도전막, 129: 투광성 도전막, 131: 레지스트 마스크, 150: 단자, 151: 단자, 152: 게이트 절연층, 153: 접속 전극, 154: 보호 절연막, 155: 투광성 도전막, 156: 전극, 170: 트랜지스터, 201: In 원자에 의해 점유된 사이트, 202: In 원자, 203: Ga 원자, 204: Ga 또는 Zn 원자, 205: O 원자, 580: 기관, 581: 트랜지스터, 583: 절연층, 584: 절연층, 585: 절연층, 587: 전극층, 588: 전극층, 589: 구형 입자, 594: 캐비티, 595: 충전재, 596: 기관, 900: 부분, 901: 초기 특성들, 902: -BT, 911: 초기 특성들, 912: -BT, 1000: 휴대전화, 1001: 하우징, 1002: 표시부, 1003: 조작 버튼, 1004: 외부 접속 포트, 1005: 스피커, 1006: 마이크로폰, 105a: 소스 전극층, 105b: 드레인 전극층, 112a: 도전층, 113a: 도전층, 114a: 도전층, 2600: 트랜지스터 기관, 2601: 대향 기관, 2602: 절재, 2603: 화소부, 2604: 표시 소자, 2605: 착색층, 2606: 편광판, 2607: 편광판, 2608: 배선 회로부, 2609: 플렉시블 배선 기관, 2610: 냉음극관, 2611: 반사판, 2612: 회로 기관, 2613: 확산판, 2631: 포스터, 2632: 차내 광고, 2700: 전자 서적, 2701: 하우징, 2703: 하우징, 2705: 표시부, 2707: 표시부, 2711: 힌지, 2721: 전원 스위치, 2723: 조작 키, 2725: 스피커, 4001: 기관, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 절재, 4006: 기관, 4008: 액정층, 4010: 트랜지스터, 4011: 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전막, 4020: 절연층, 4021: 절연층, 4030: 화소 전극층, 4031: 대향 전극층, 4032: 절연층, 4033: 절연층, 4035: 스페이서, 4040: 도전층, 4044: 절연층, 4501: 기관, 4502: 화소부, 4505: 절재, 4506: 기관, 4507: 충전재, 4509: 트랜지스터, 4510: 트랜지스터, 4511: 발광 소자, 4512: 전계발광층, 4513: 전극층, 4515: 접속 단자 전극, 4516: 단자 전극, 4517: 전극층, 4519: 이방성 도전막, 4520: 격벽, 4540: 도전층, 4544: 절연층, 5300: 기관, 5301: 화소부, 5302: 주사선 구동 회로, 5303: 주사선 구동 회로, 5304: 신호선 구동 회로, 5305: 타이밍 제어 회로, 5601: 시프트 레지스터, 5602: 스위칭 회로, 5603: 트랜지스터, 5604: 배선, 5605: 배선, 590a: 흑색 영역, 590b: 백색 영역, 6400: 화소, 6401: 스위칭 트랜지스터, 6402: 구동용 트랜지스터, 6403: 용량소자, 6404: 발광 소자, 6405: 신호선, 6406: 주사선, 6407: 전원선, 6408: 공통 전극, 7001: 트랜지스터, 7002: 발광 소자, 7003: 전극, 7004: EL층, 7005: 전극, 7009: 격벽, 7010: 기관, 7011: 구동용 트랜지스터, 7012: 발광 소자, 7013: 전극, 7014: EL층, 7015: 전극, 7016: 차광막, 7017: 투광성 도전막, 7019: 격벽, 7020: 기관, 7021: 구동용 트랜지스터, 7022: 발광 소자, 7023: 전극, 7024: EL층, 7025: 전극, 7027: 투광성 도전막, 7029: 격벽, 7030: 게이트 절연층, 7031: 산화물 절연층, 7032: 절연층, 7033: 컬러 필터층, 7034: 오버코트층, 7035: 보호 절연층, 7040: 게이트 절연층, 7041: 산화물 절연층, 7042: 절연층, 7043: 컬러 필터층, 7044: 오버코트층, 7045: 보호 절연층, 7051: 산화물 절연층, 7052: 보호 절연층, 7053: 평탄화 절연층, 7055: 절연층, 9400: 통신 장치, 9401: 하우

징, 9402: 조작 버튼, 9403: 외부 입력 단자, 9404: 마이크로폰, 9405: 스피커, 9406: 발광부, 9410: 표시 장치, 9411: 하우징, 9412: 표시부, 9413: 조작 버튼, 9600: 텔레비전 장치, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9607: 표시부, 9609: 조작 키, 9610: 원격 제어기, 9700: 디지털 포토 프레임, 9701: 하우징, 9703: 표시부, 9881: 하우징, 9882: 표시부, 9883: 표시부, 9884: 스피커부, 9885: 조작 키, 9886: 기록 매체 삽입부, 9887: 접속 단자, 9888: 센서, 9889: 마이크로폰, 9890: LED 램프, 9891: 하우징, 9893: 연결부, 9900: 슬롯 머신, 9901: 하우징, 9903: 표시부, 4503a: 신호선 구동 회로, 4503b: 신호선 구동 회로, 4504a: 주사선 구동 회로, 4504b: 주사선 구동 회로, 4518a: FPC, 4518b: FPC.

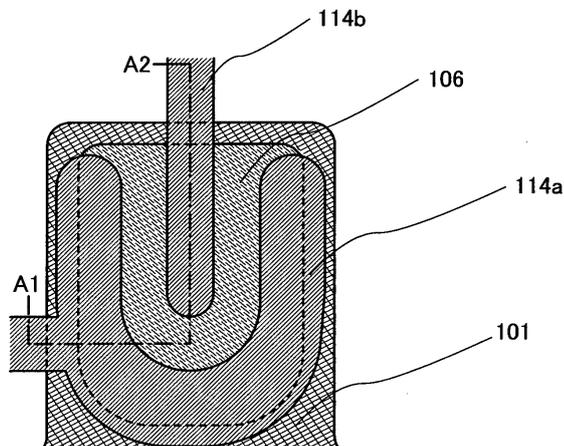
도면

도면1

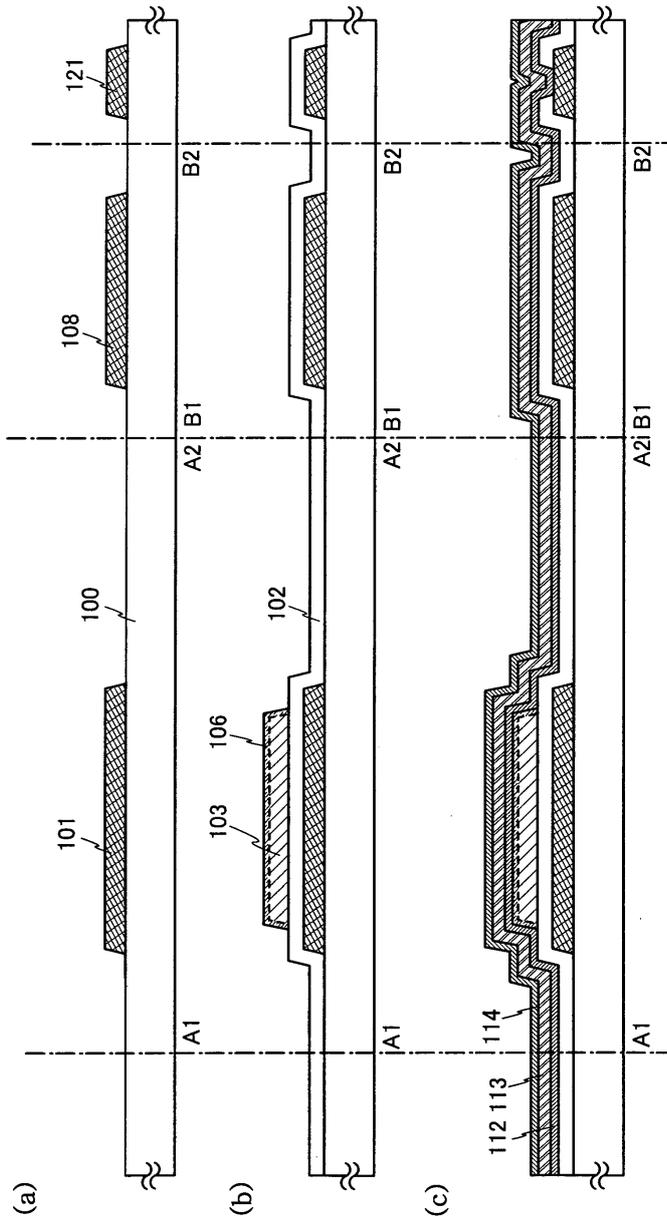
(a)



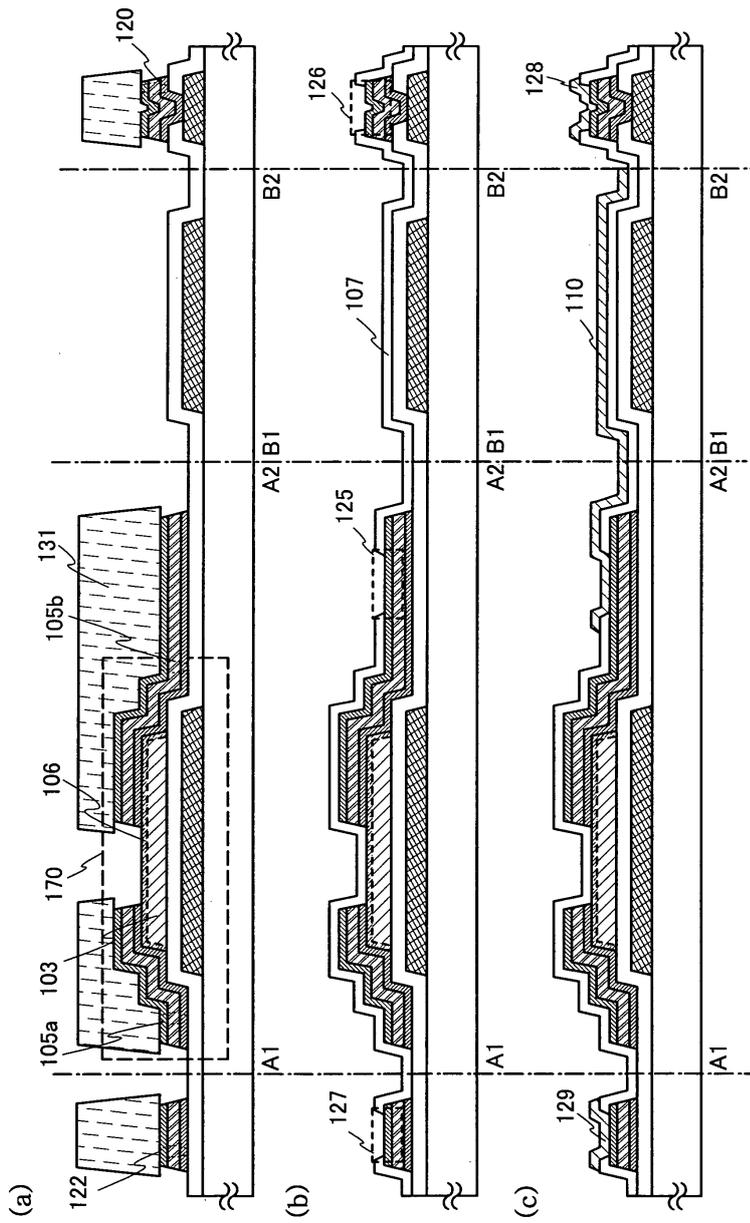
(b)



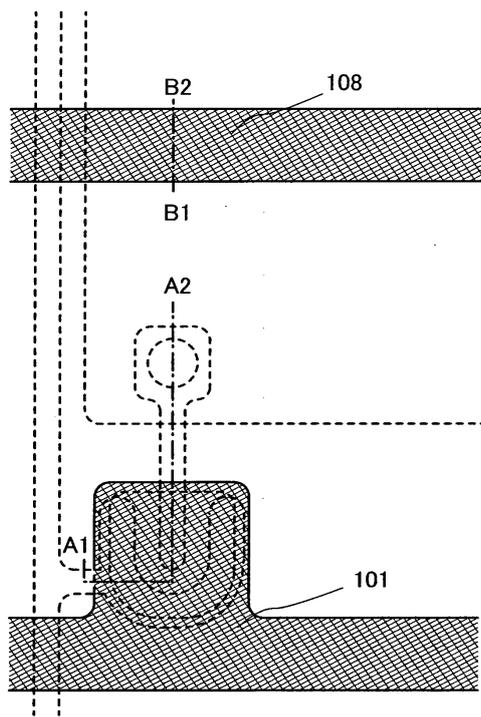
도면2



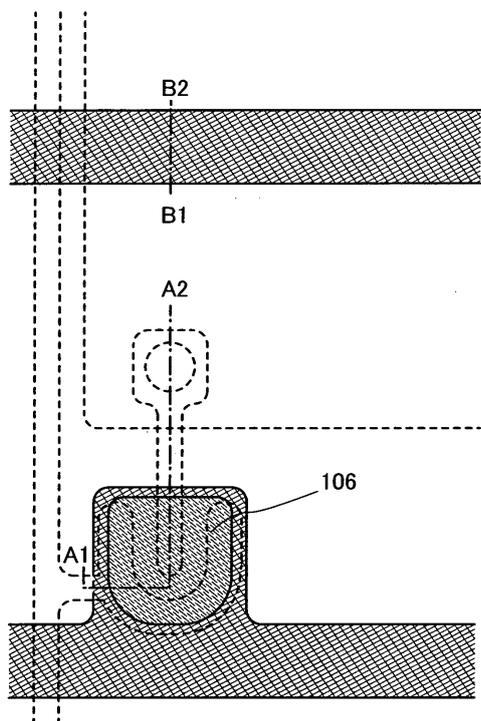
도면3



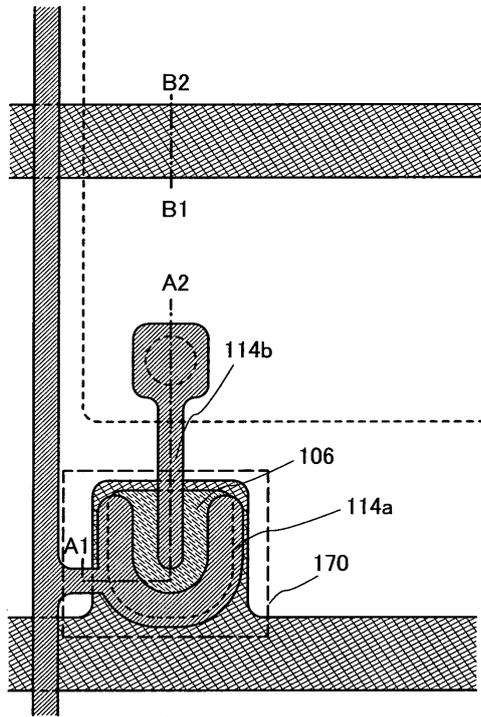
도면4



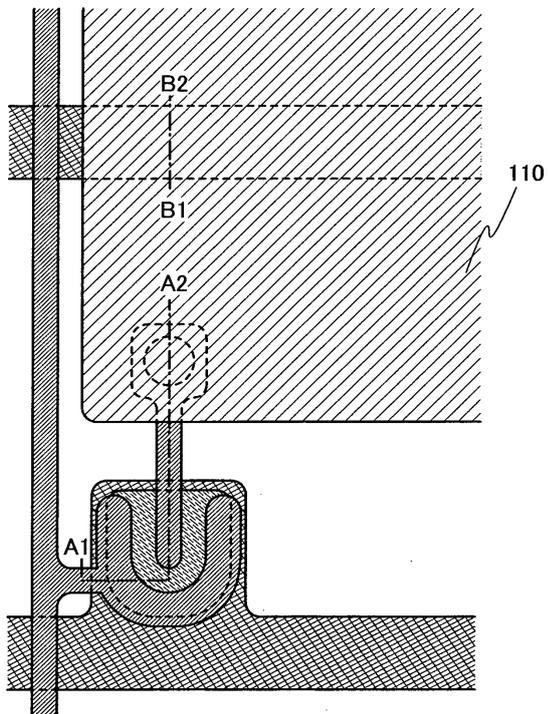
도면5



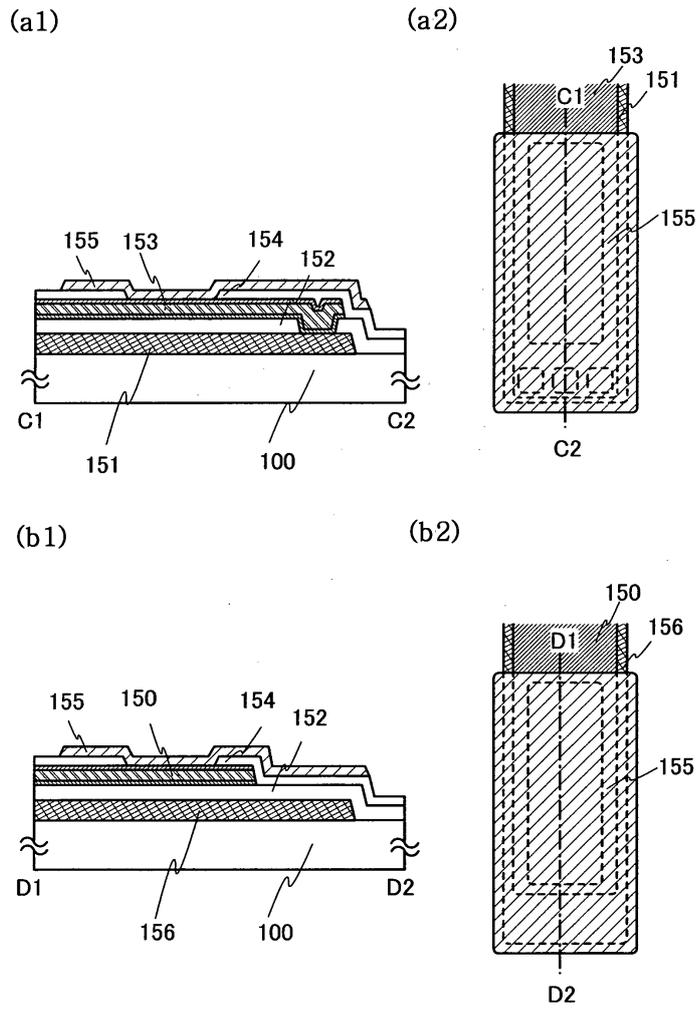
도면6



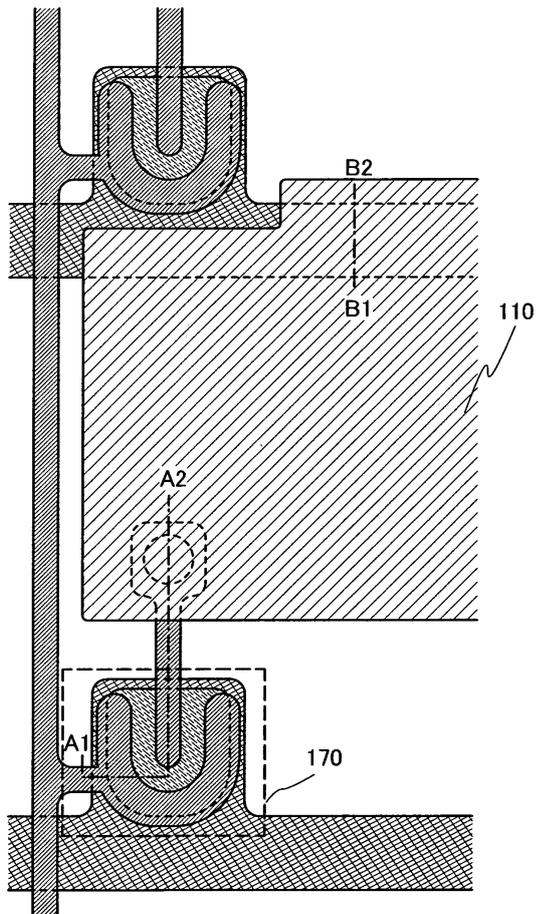
도면7



도면8

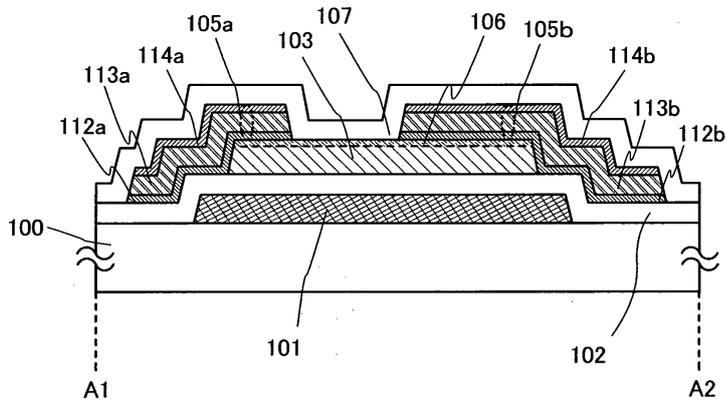


도면9

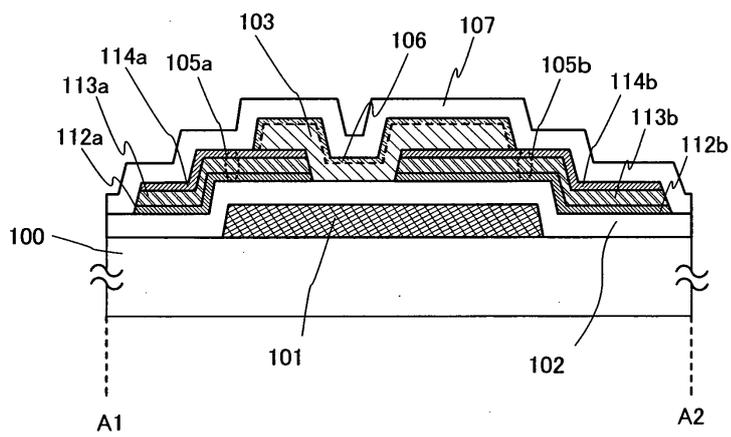


도면10

(a)

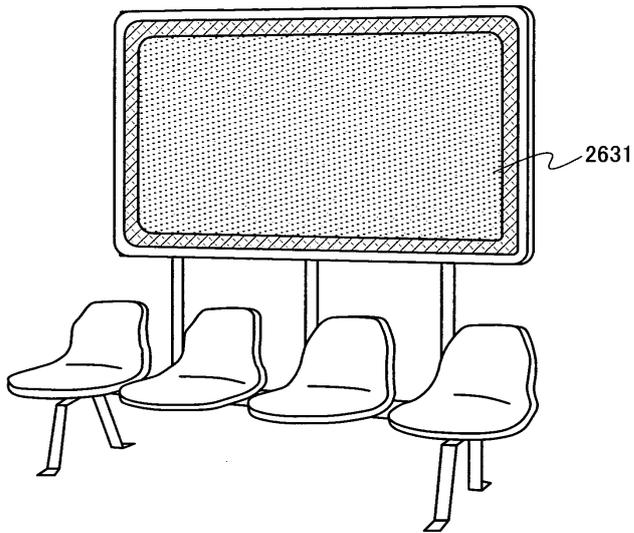


(b)

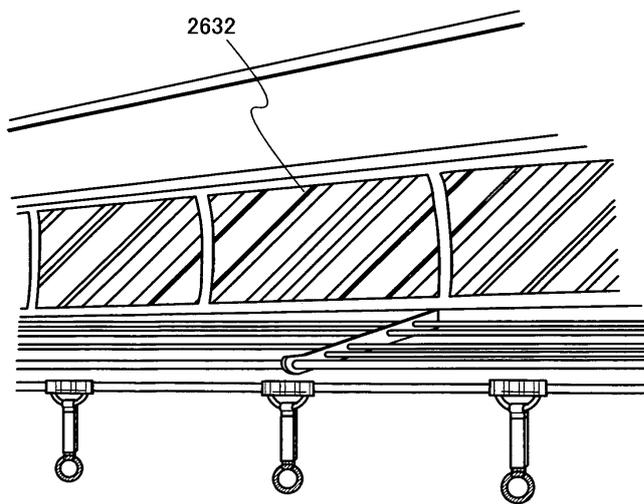


도면11

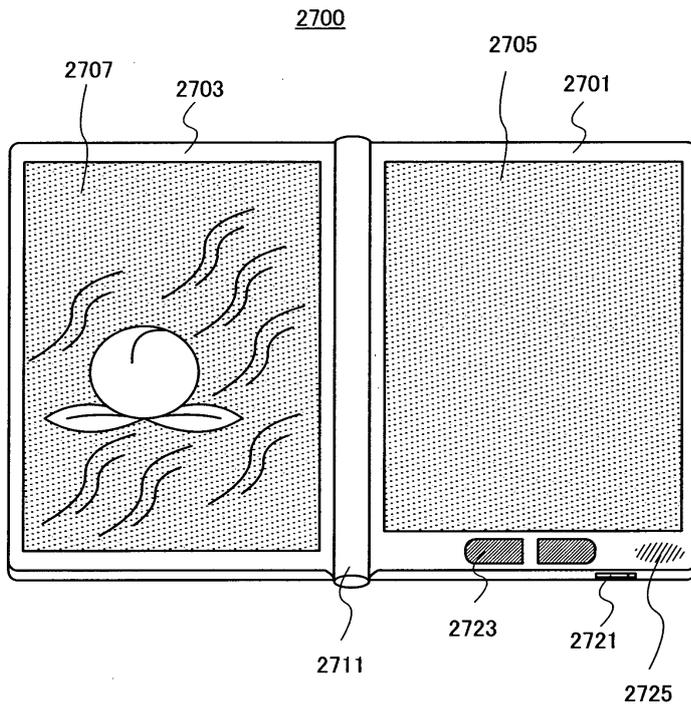
(a)



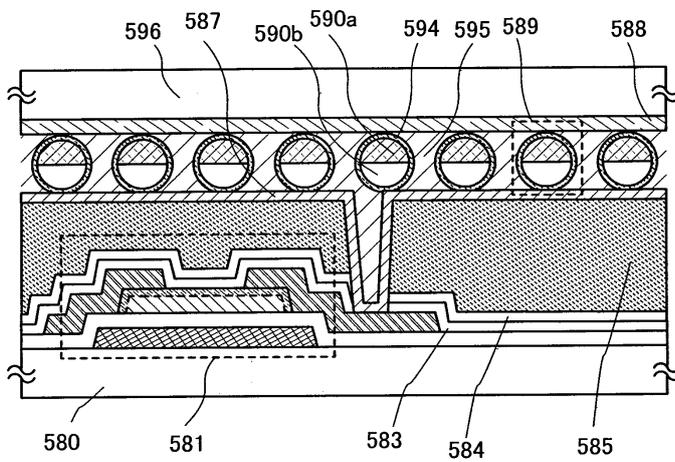
(b)



도면12

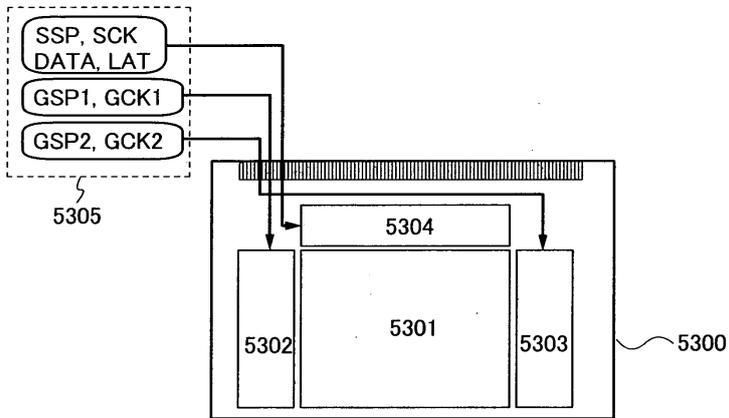


도면13

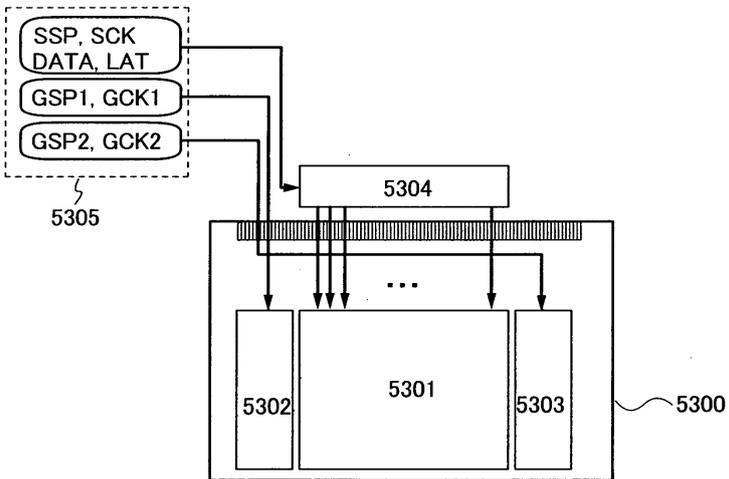


도면14

(a)

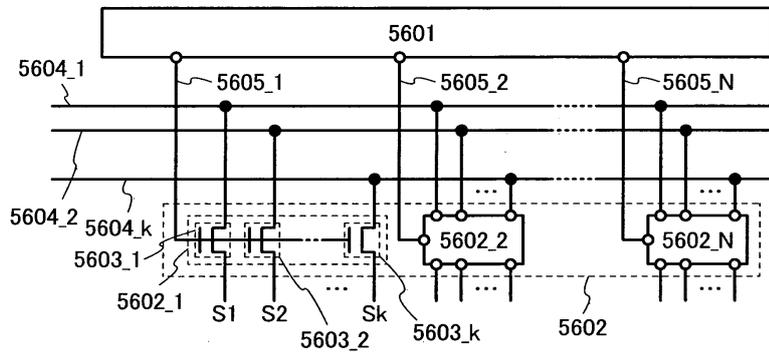


(b)

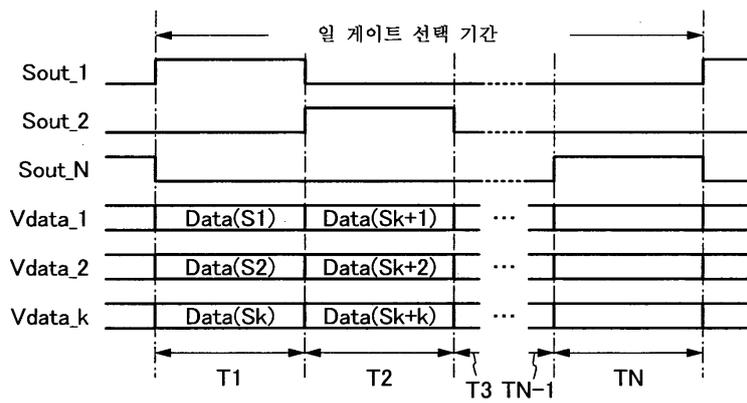


도면15

(a)

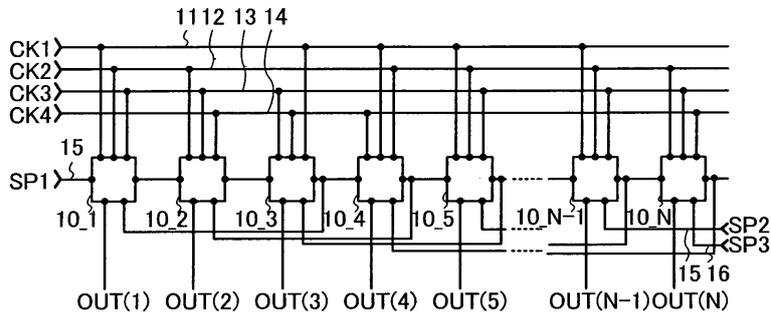


(b)

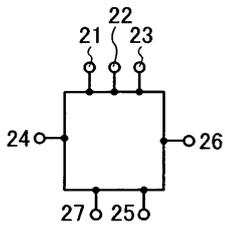


도면16

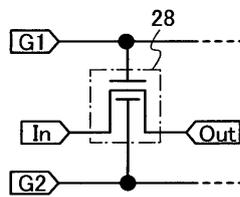
(a)



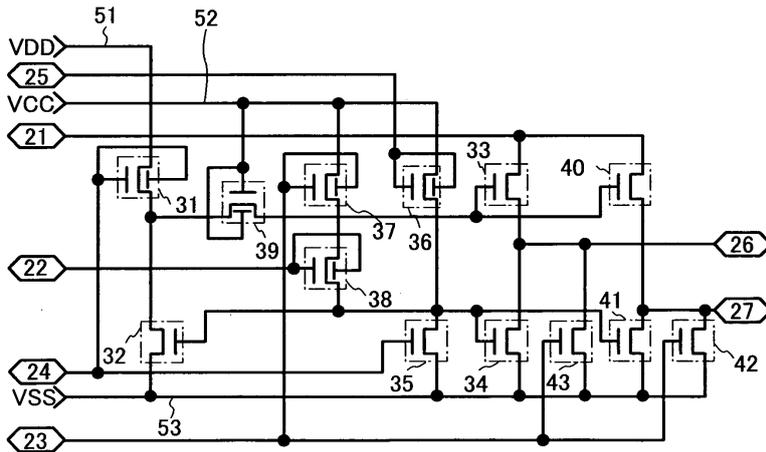
(b)



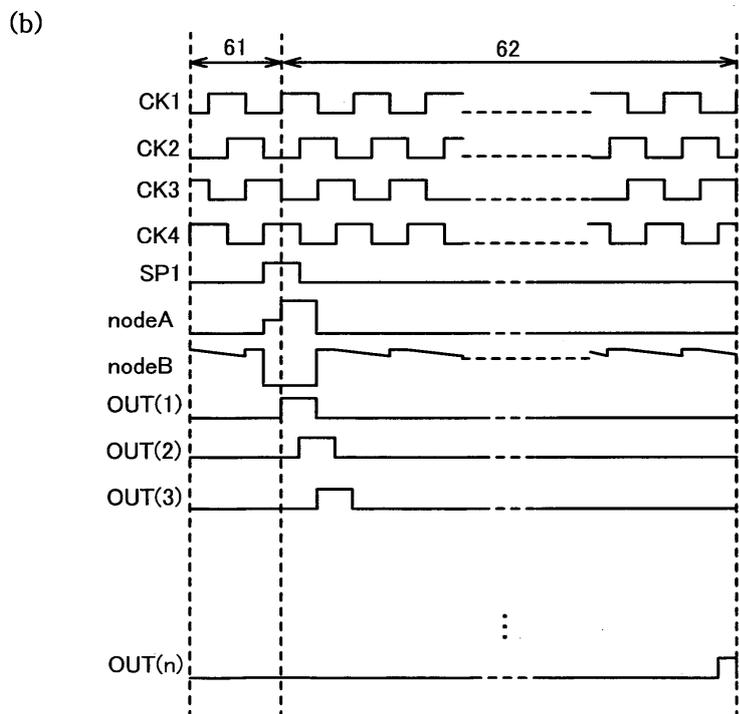
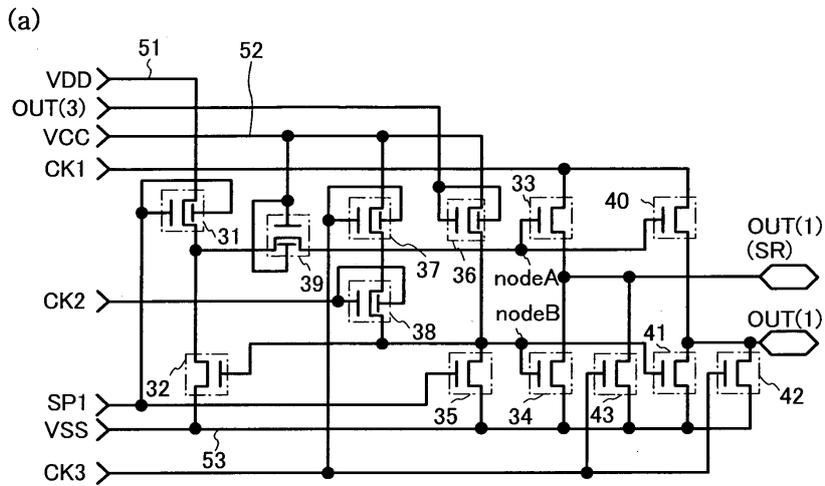
(c)



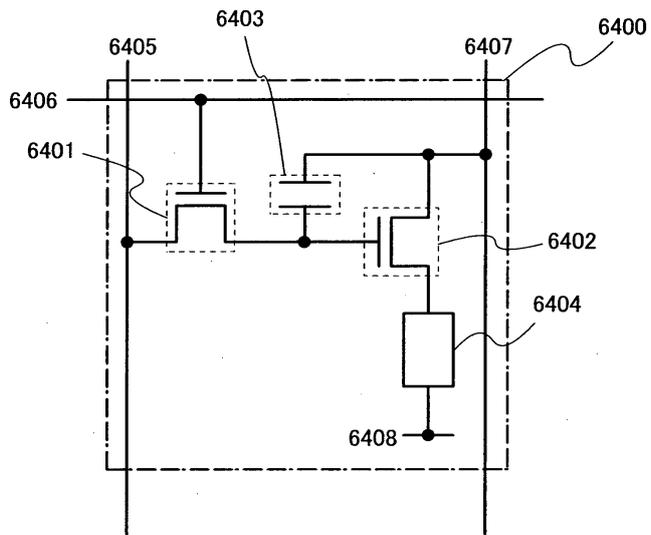
(d)



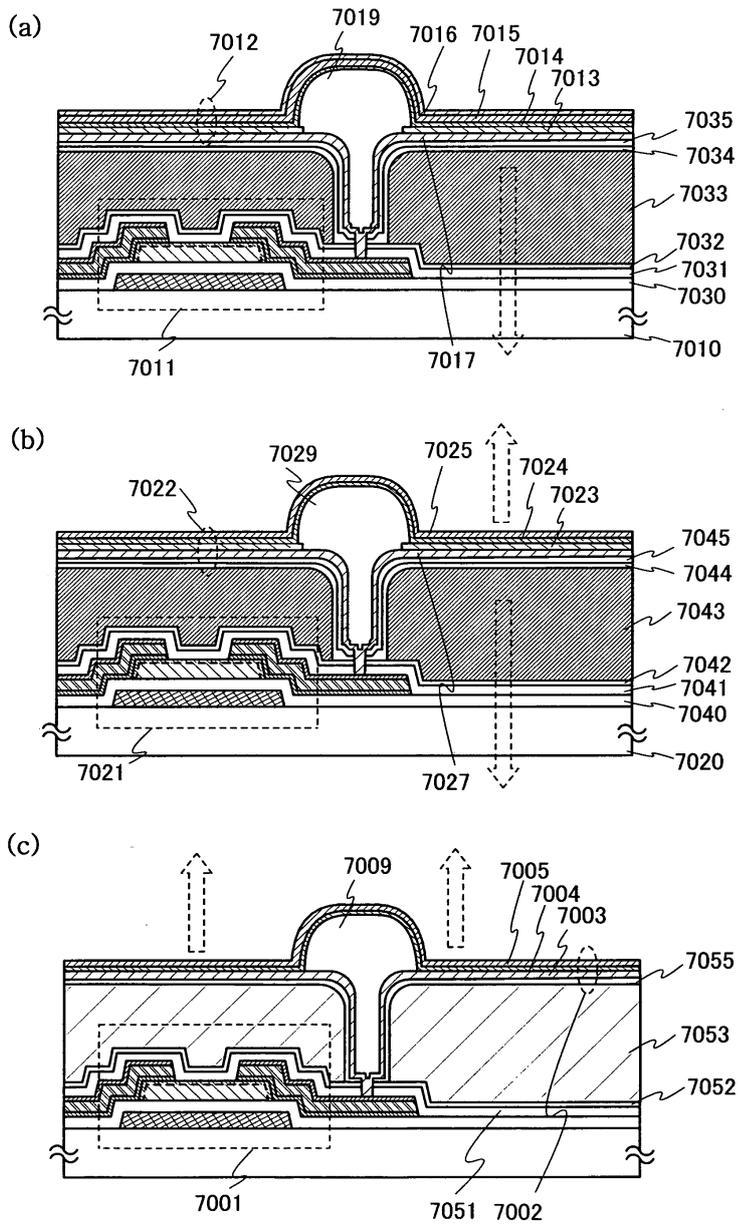
도면17



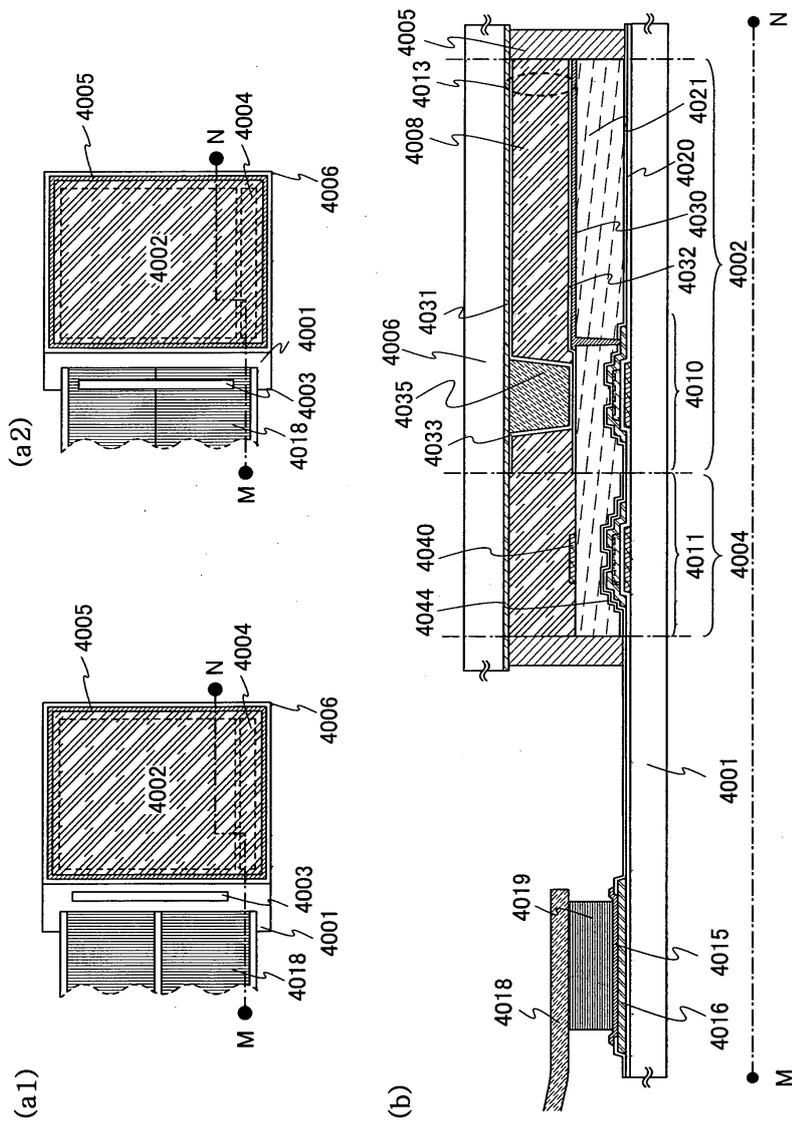
도면18



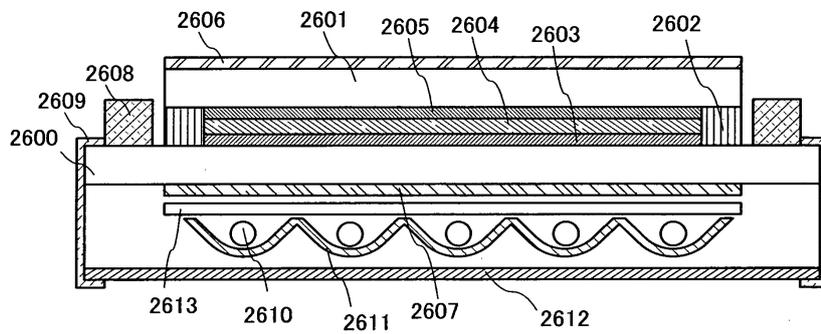
도면19



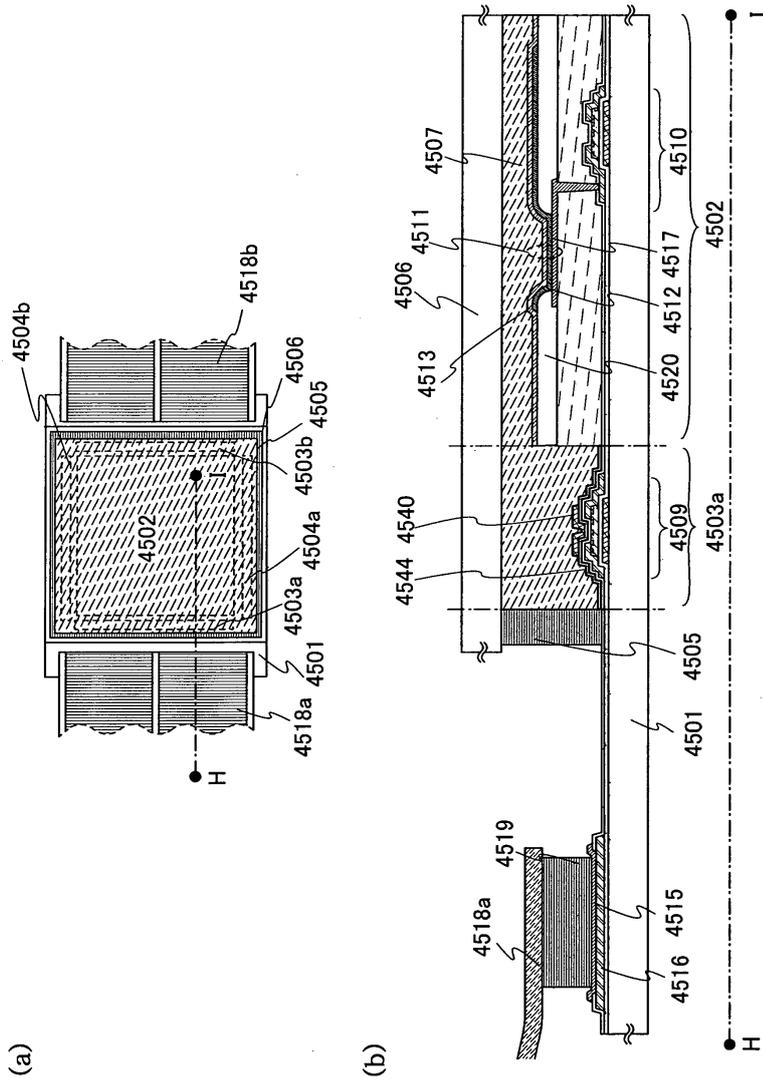
도면20



도면21

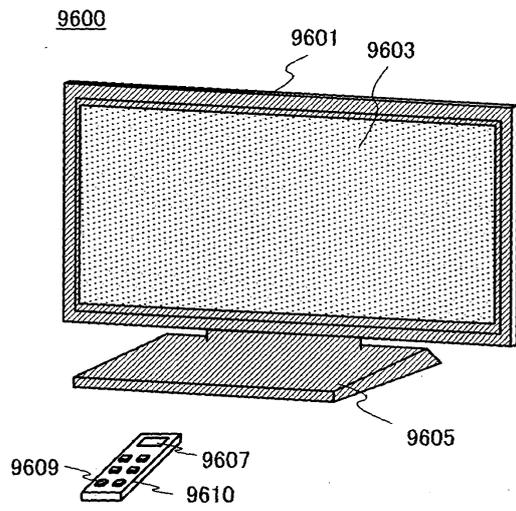


도면22

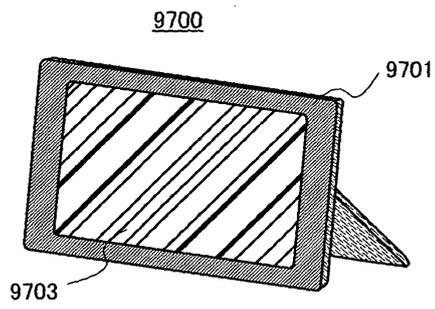


도면23

(a)

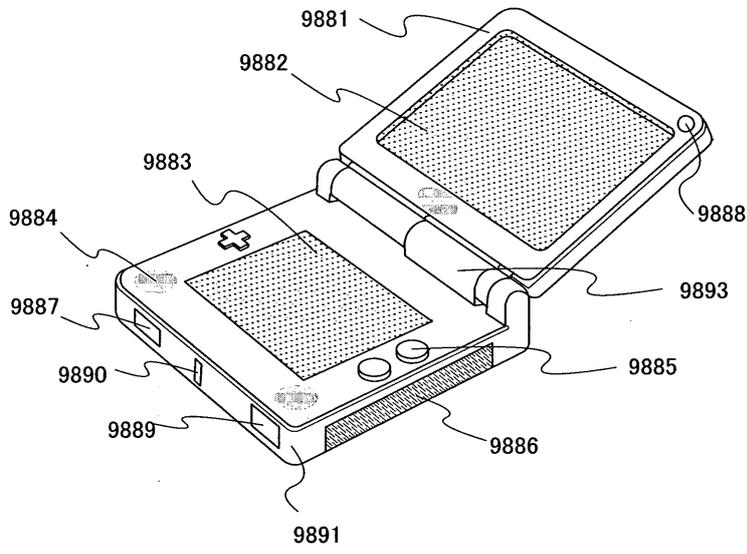


(b)

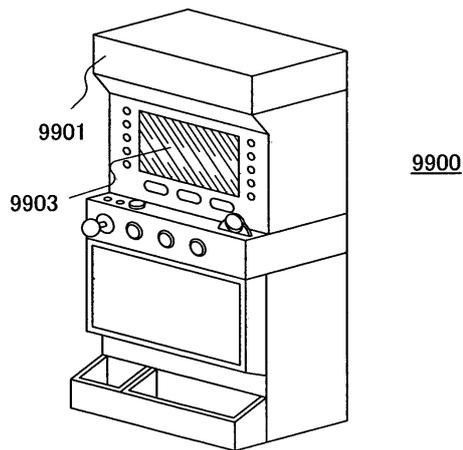


도면24

(a)

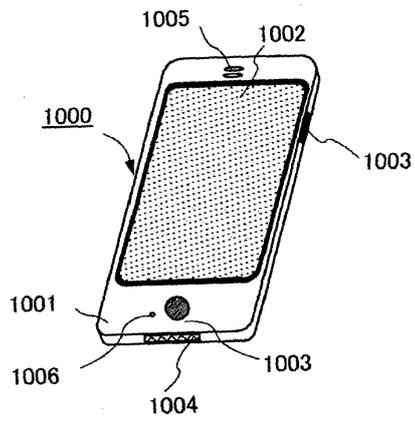


(b)

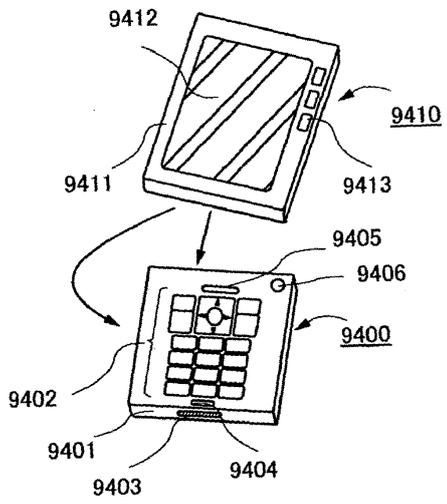


도면25

(a)

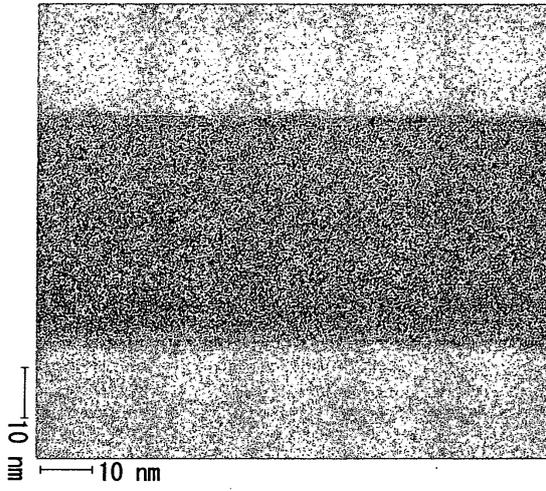


(b)

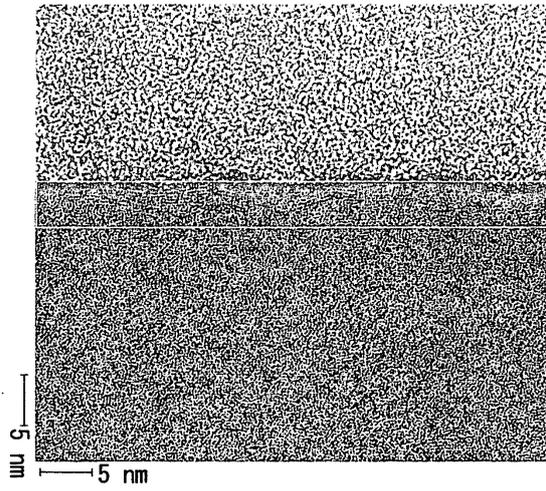


도면26

(a)

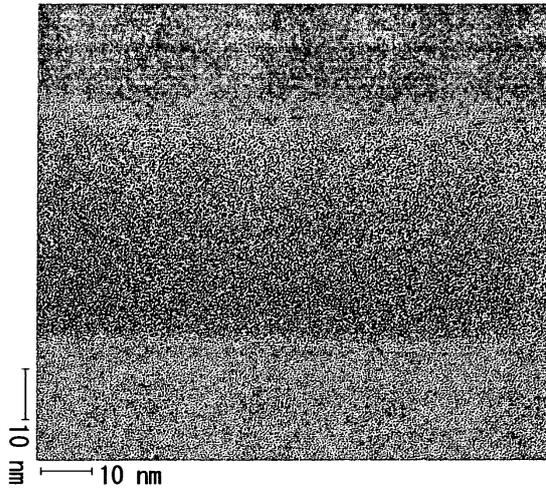


(b)

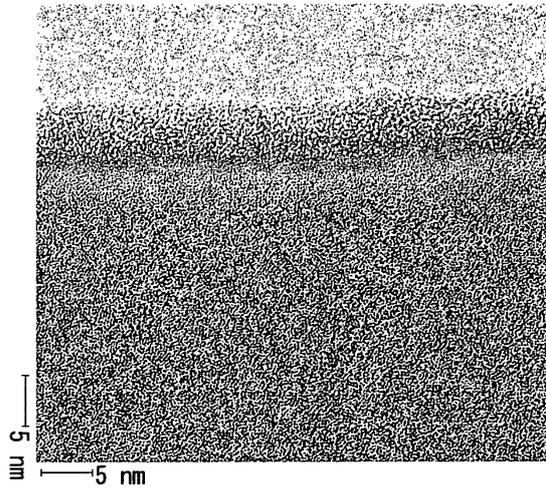


도면27

(a)

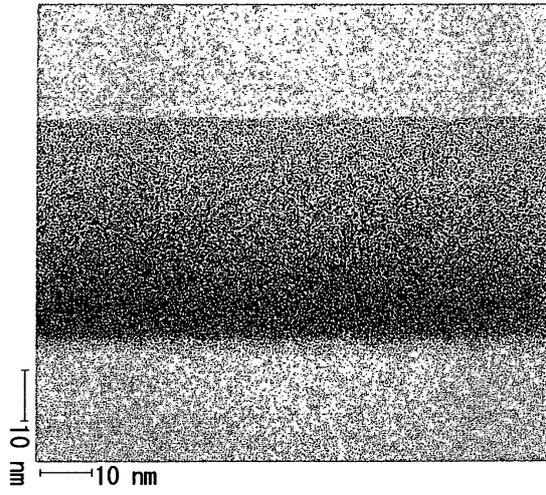


(b)

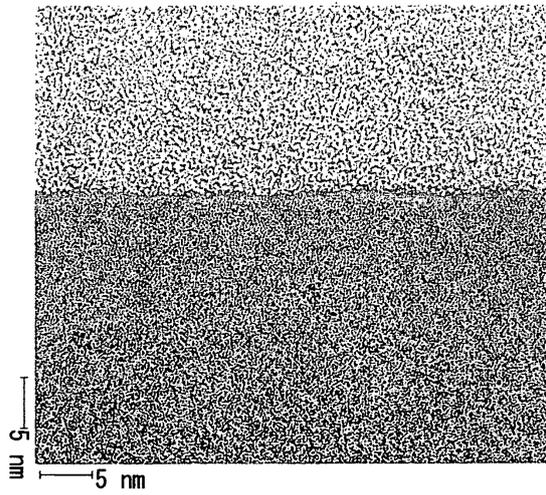


도면28

(a)

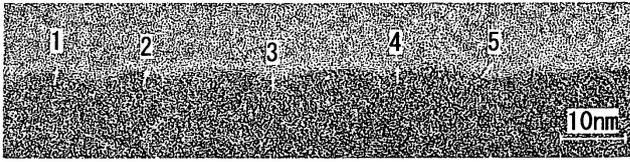


(b)

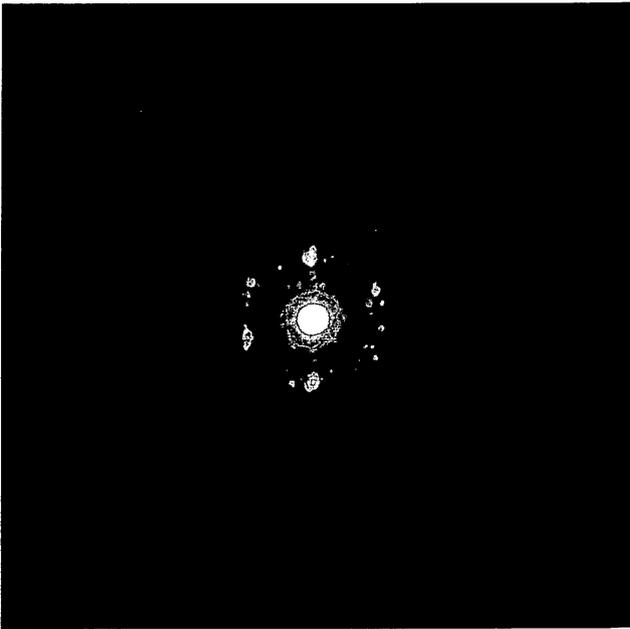


도면29

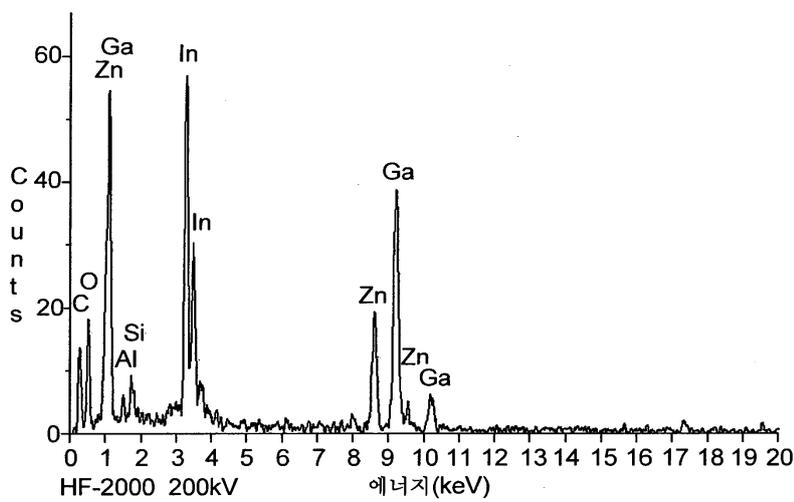
(a)



(b)

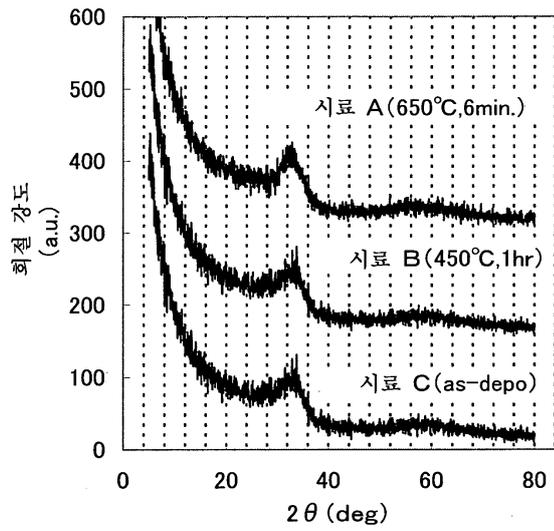


도면30



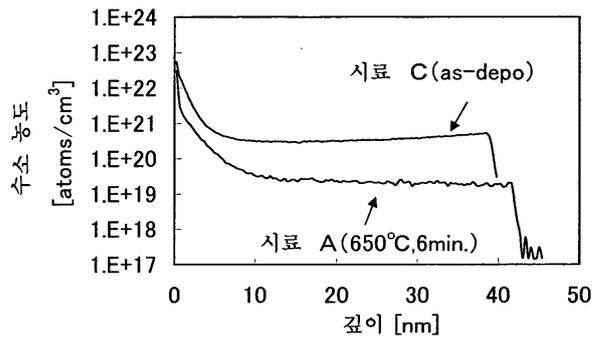
원소	Counts	K-Rel x, Si	K-Std x, Si	Wt %	Atom %
In-L	1085	1.718	---	47.88	21.51
Ga-K	731	1.425	---	26.76	19.80
Zn-K	283	1.303	---	9.47	7.47
O-K	154	4.018	4.239	15.89	51.23
Total				100.00	100.00

도면31

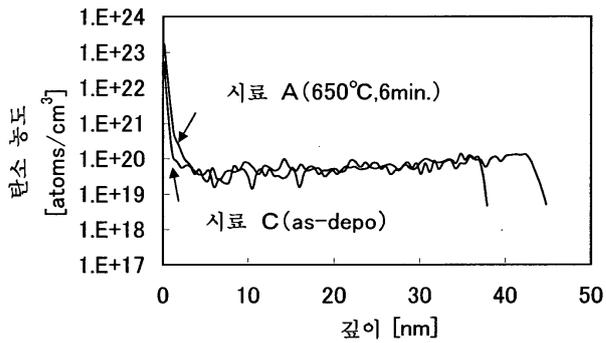


도면32

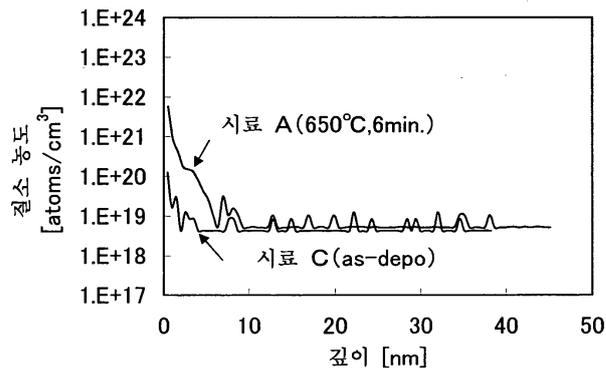
(a)



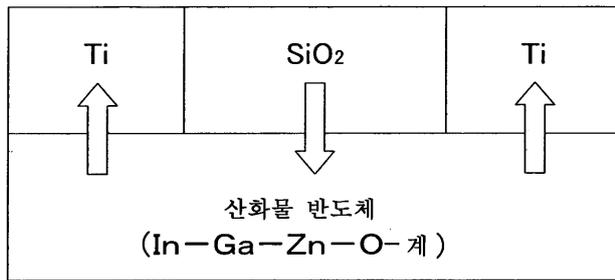
(b)



(c)

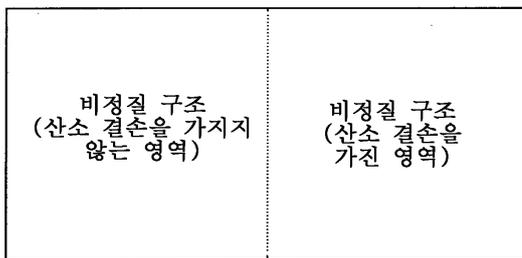


도면33

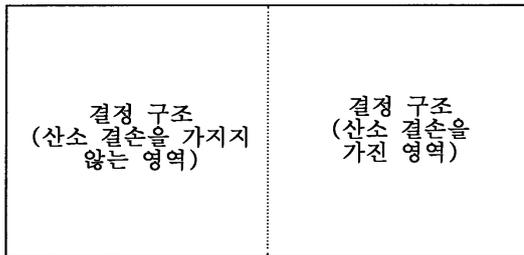


도면34

(a)

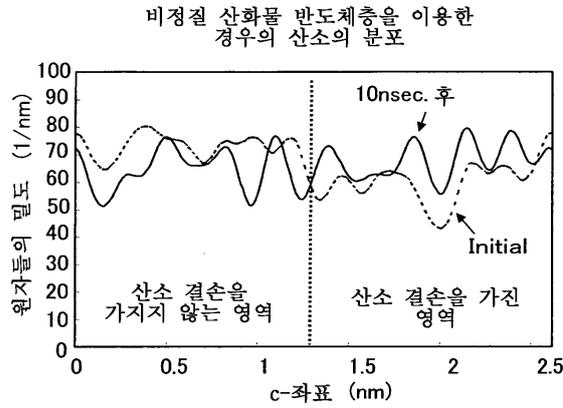


(b)

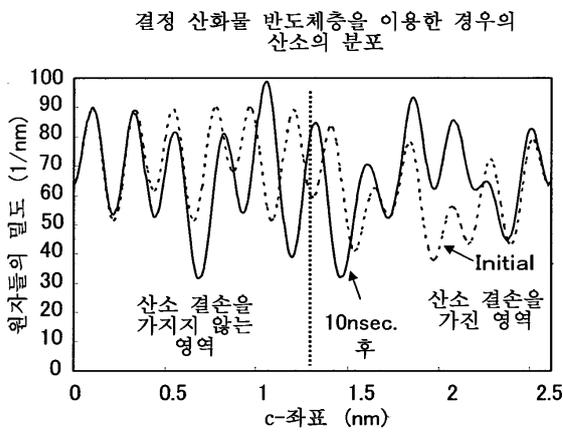


도면35

(a)

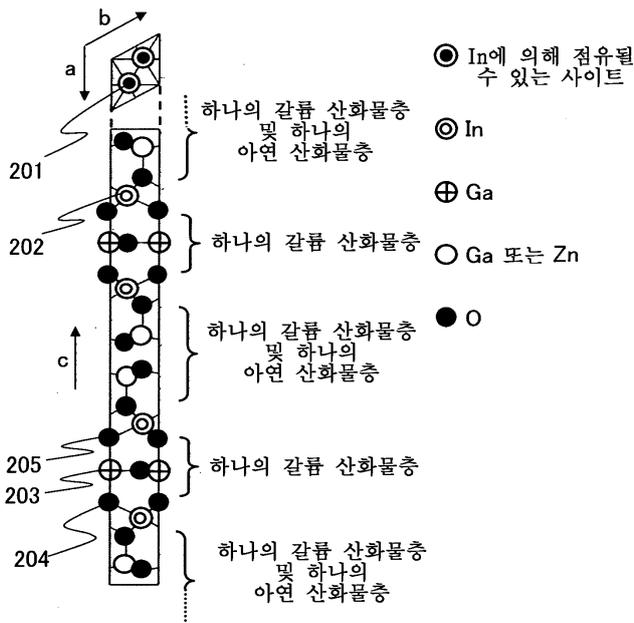


(b)



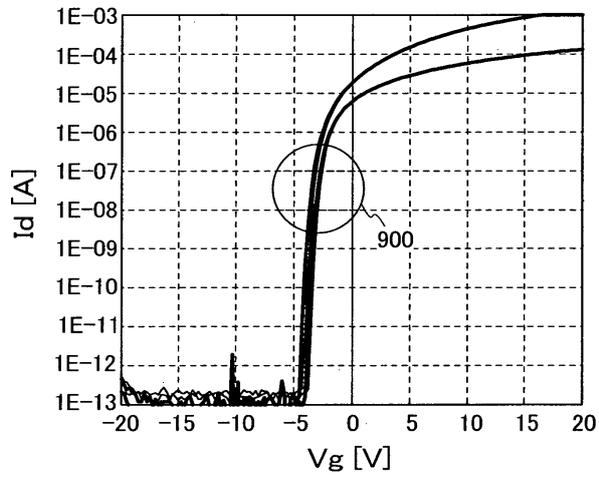
도면36

$\text{In}_2\text{Ga}_2\text{ZnO}_7$ 의 결정 구조

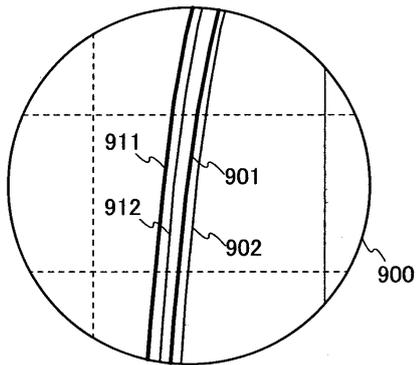


도면37

(a)

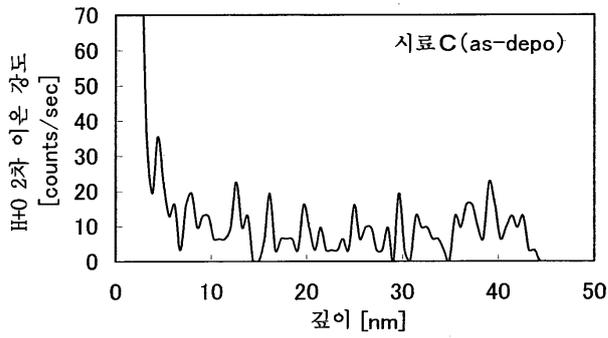


(b)

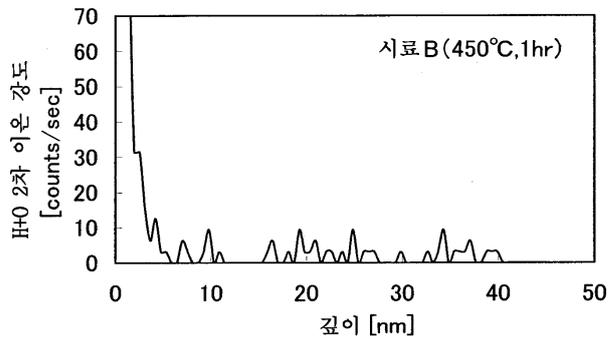


도면38

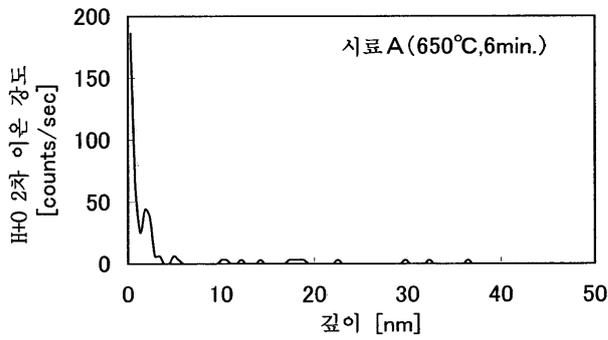
(a)



(b)

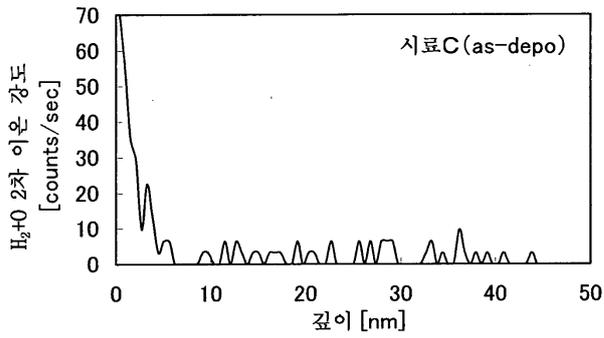


(c)

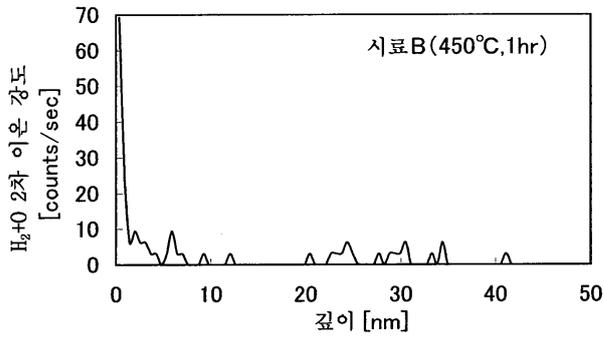


도면39

(a)



(b)



(c)

