



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0107204  
(43) 공개일자 2021년09월01일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1368 (2006.01) H01L 27/12 (2006.01)  
H01L 29/786 (2006.01)  
(52) CPC특허분류  
G02F 1/1368 (2013.01)  
H01L 27/1214 (2013.01)  
(21) 출원번호 10-2020-0021632  
(22) 출원일자 2020년02월21일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
박도영  
경기도 화성시 동탄반석로 264, 동탄 예당마을대  
우푸르지오아파트 104동 1302호 (석우동)  
(74) 대리인  
특허법인가산

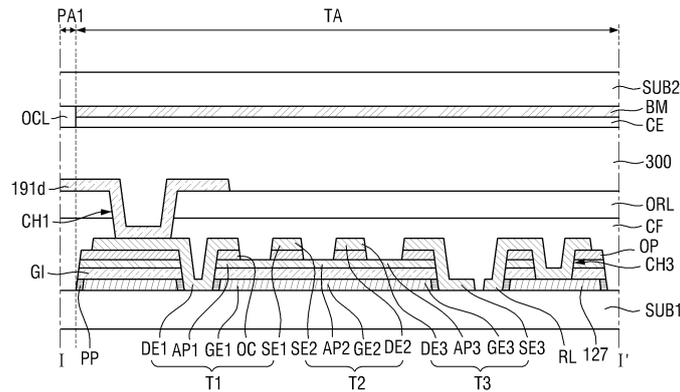
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 장치 및 그 제조방법

(57) 요약

표시 장치 및 그 제조방법이 제공된다. 일 실시예에 따른 표시 장치는 기관, 상기 기관 상에 배치되는 제1 금속층, 상기 기관 상에 배치되며, 상기 제1 금속층의 측면 외측에 위치하는 유기막 패턴, 상기 제1 금속층 및 상기 유기막 패턴 상에 배치되는 게이트 절연패턴, 및 상기 게이트 절연패턴 상에 배치되는 반도체 패턴을 포함하며, 상기 게이트 절연패턴의 측면은 상기 제1 금속층의 측면으로부터 외측으로 돌출되고, 상기 유기막 패턴은 상기 게이트 절연패턴과 적어도 일부 중첩할 수 있다.

대표도 - 도5



APP: AP1, AP2, AP3  
M1: GE1, GE2, GE3, 127  
M2: SE1, SE2, SE3, DE1, DE2, DE3, RL

(52) CPC특허분류  
*H01L 29/786* (2021.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 상에 배치되는 제1 금속층;

상기 기관 상에 배치되며, 상기 제1 금속층의 측면 외측에 위치하는 유기막 패턴;

상기 제1 금속층 및 상기 유기막 패턴 상에 배치되는 게이트 절연패턴; 및

상기 게이트 절연패턴 상에 배치되는 반도체 패턴을 포함하며,

상기 게이트 절연패턴의 측면은 상기 제1 금속층의 측면으로부터 외측으로 돌출되고,

상기 유기막 패턴은 상기 게이트 절연패턴과 적어도 일부 중첩하는 표시장치.

#### 청구항 2

제1 항에 있어서,

상기 유기막 패턴은 상기 제1 금속층의 측면에 접하는 표시장치.

#### 청구항 3

제2 항에 있어서,

상기 유기막 패턴의 외측면은 상기 게이트 절연패턴의 측면에 정렬되거나 그로부터 외측으로 돌출되는 표시장치.

#### 청구항 4

제2 항에 있어서,

상기 제1 금속층은 일측에 위치하는 제1 측면 및 타측에 위치하는 제2 측면을 포함하고,

상기 유기막 패턴 중 어느 하나는 상기 제1 금속층의 상기 제1 측면에 접하고, 상기 유기막 패턴 중 다른 하나는 상기 제1 금속층의 상기 제2 측면에 접하는 표시장치.

#### 청구항 5

제1 항에 있어서,

상기 유기막 패턴은 상기 제1 금속층의 일측에 접하며 상기 게이트 절연패턴의 하측에 접하는 표시장치.

#### 청구항 6

제1 항에 있어서,

상기 반도체 패턴 상에 배치되는 제2 금속층을 더 포함하며,

상기 제2 금속층의 일부는 상기 제1 금속층과 동일 레벨에 위치하되, 상기 유기막 패턴을 통해 상기 제1 금속층과 전기적으로 절연되는 표시장치.

#### 청구항 7

제6 항에 있어서,

상기 반도체 패턴 및 상기 게이트 절연패턴은 상기 제1 금속층을 노출하는 컨택홀을 포함하며,

상기 제2 금속층은 상기 컨택홀을 통해 상기 제1 금속층에 연결되는 표시장치.

**청구항 8**

제6 항에 있어서,

상기 제1 금속층은 게이트 전극 및 유지 라인을 포함하고, 상기 제2 금속층은 소스 전극, 드레인 전극 및 분압 기준 라인을 포함하는 표시장치.

**청구항 9**

기관;

상기 기관 상에 배치되는 제1 금속층;

상기 기관 상에 배치되며, 상기 제1 금속층의 측면 외측에 위치하는 유기막 패턴;

상기 제1 금속층 및 상기 유기막 패턴 상에 배치되는 게이트 절연패턴; 및

상기 게이트 절연패턴 상에 배치되는 반도체 패턴을 포함하며,

상기 게이트 절연패턴의 측면은 상기 제1 금속층의 측면으로부터 외측으로 돌출되고,

상기 유기막 패턴은 상기 게이트 절연패턴과 적어도 일부 중첩하며, 상기 게이트 절연패턴의 측면에 접하는 표시장치.

**청구항 10**

제9 항에 있어서,

상기 유기막 패턴은 상기 반도체 패턴의 측면에 접하는 표시장치.

**청구항 11**

제10 항에 있어서,

상기 유기막 패턴의 외측면은 상기 게이트 절연패턴의 측면 외측으로 돌출되는 표시장치.

**청구항 12**

제2 항에 있어서,

상기 제1 금속층은 일측에 위치하는 제1 측면 및 타측에 위치하는 제2 측면을 포함하고,

상기 유기막 패턴 중 어느 하나는 상기 제1 금속층의 상기 제1 측면에 접하고, 상기 유기막 패턴 중 다른 하나는 상기 제1 금속층의 상기 제2 측면에 접하는 표시장치.

**청구항 13**

제9 항에 있어서,

상기 유기막 패턴은 상기 제1 금속층의 일측에 접하며 상기 게이트 절연패턴의 하측에 접하는 표시장치.

**청구항 14**

제9 항에 있어서,

상기 반도체 패턴 상에 배치되는 제2 금속층을 더 포함하며,

상기 제2 금속층의 일부는 상기 제1 금속층과 동일 레벨에 위치하되, 상기 유기막 패턴을 통해 상기 제1 금속층과 전기적으로 절연되는 표시장치.

**청구항 15**

제14 항에 있어서,

상기 제2 금속층은 상기 유기막 패턴의 외측에 접하는 표시장치.

**청구항 16**

제14 항에 있어서,

상기 유기막 패턴은 상기 제1 금속층과 상기 제2 금속층 사이에 배치되며, 상기 유기막 패턴의 일측은 상기 제1 금속층의 측면에 접하고 상기 유기막 패턴의 타측은 상기 제2 금속층의 측면에 접하는 표시장치.

**청구항 17**

기관 상에 제1 금속 물질층, 게이트 절연 물질층 및 반도체 물질층을 적층하는 단계;

상기 제1 금속 물질층, 상기 게이트 절연 물질층 및 상기 반도체 물질층을 식각하여, 제1 금속층, 게이트 절연 패턴 및 반도체 패턴을 형성하는 단계;

상기 기관 상에 유기물을 코팅하여 상기 제1 금속층의 측면 외측에 유기막 패턴을 형성하는 단계; 및

상기 반도체 패턴 상에 제2 금속 물질층을 적층하고 패터닝하여 제2 금속층을 형성하는 단계를 포함하는 표시장치의 제조방법.

**청구항 18**

제17 항에 있어서,

상기 제1 금속층, 상기 게이트 절연패턴 및 상기 반도체 패턴을 형성하는 단계는,

상기 반도체 물질층 상에 포토레지스트 패턴을 형성하는 단계;

상기 제1 금속 물질층을 습식 식각하여 상기 제1 금속층을 형성하는 단계;

상기 게이트 절연 물질층 및 상기 반도체 물질층을 건식 식각하여, 상기 게이트 절연패턴 및 상기 반도체 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 포함하는 표시장치의 제조방법.

**청구항 19**

제18 항에 있어서,

상기 유기물은 감광성 유기물이며, 상기 게이트 절연패턴을 마스크로 하여 상기 감광성 유기물을 노광 및 현상하여 상기 유기막 패턴을 형성하는 표시장치의 제조방법.

**청구항 20**

제19 항에 있어서,

상기 유기물은 비 감광성 유기물이며, 상기 포토레지스트 패턴을 마스크로 하여 상기 비 감광성 유기물을 건식 식각하여 상기 유기막 패턴을 형성하는 표시장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시 장치 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[0003] 그 중 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극(field generating electrode)이 형성되어 있는 두 장의 기관과 그 사이에 들어 있는 액정층을 포함한다. 액정 표시 장치는 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고, 이를 통하여 액

정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] 액정 표시 장치는 박막 트랜지스터(thin film transistor)를 이용한 능동 매트릭스(active matrix) 방식으로, 박막 트랜지스터를 화소 전극에 연결하고 박막 트랜지스터의 커패시터 용량에 의해 유지된 전압에 따라 구동하는 방식이다. 액정 표시 장치를 구동하기 위한 박막 트랜지스터는 이동도(mobility), 누설전류(leakage current) 등과 같은 기본적인 박막 트랜지스터의 특성뿐만 아니라, 오랜 수명을 유지할 수 있는 내구성 및 전기적 신뢰성이 매우 중요하다. 따라서, 박막 트랜지스터의 내구성 및 전기적 신뢰성을 향상시키기 위한 연구가 계속되고 있다.

### 발명의 내용

#### 해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는 제1 금속층과 제2 금속층 간의 쇼트를 방지할 수 있는 표시 장치 및 그 제조 방법을 제공하고자 하는 것이다. 또한, 컨택홀의 면적을 줄여 개구율을 향상시킬 수 있는 표시 장치 및 그 제조 방법을 제공하고자 하는 것이다.

[0006] 본 발명의 과제들은 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

#### 과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 일 실시예에 따른 표시 장치는 기판, 상기 기판 상에 배치되는 제1 금속층, 상기 기판 상에 배치되며, 상기 제1 금속층의 측면 외측에 위치하는 유기막 패턴, 상기 제1 금속층 및 상기 유기막 패턴 상에 배치되는 게이트 절연패턴, 및 상기 게이트 절연패턴 상에 배치되는 반도체 패턴을 포함하며, 상기 게이트 절연패턴의 측면은 상기 제1 금속층의 측면으로부터 외측으로 돌출되고, 상기 유기막 패턴은 상기 게이트 절연패턴과 적어도 일부 중첩할 수 있다.

[0008] 상기 유기막 패턴은 상기 제1 금속층의 측면에 접할 수 있다.

[0009] 상기 유기막 패턴의 외측면은 상기 게이트 절연패턴의 측면에 정렬되거나 그로부터 외측으로 돌출될 수 있다.

[0010] 상기 제1 금속층은 일측에 위치하는 제1 측면 및 타측에 위치하는 제2 측면을 포함하고, 상기 유기막 패턴 중 어느 하나는 상기 제1 금속층의 상기 제1 측면에 접하고, 상기 유기막 패턴 중 다른 하나는 상기 제1 금속층의 상기 제2 측면에 접할 수 있다.

[0011] 상기 유기막 패턴은 상기 제1 금속층의 일측에 접하며 상기 게이트 절연패턴의 하측에 접할 수 있다.

[0012] 상기 반도체 패턴 상에 배치되는 제2 금속층을 더 포함하며, 상기 제2 금속층의 일부는 상기 제1 금속층과 동일 레벨에 위치하되, 상기 유기막 패턴을 통해 상기 제1 금속층과 전기적으로 절연될 수 있다.

[0013] 상기 반도체 패턴 및 상기 게이트 절연패턴은 상기 제1 금속층을 노출하는 컨택홀을 포함하며, 상기 제2 금속층은 상기 컨택홀을 통해 상기 제1 금속층에 연결될 수 있다.

[0014] 상기 제1 금속층은 게이트 전극 및 유지 라인을 포함하고, 상기 제2 금속층은 소스 전극, 드레인 전극 및 분압 기준 라인을 포함할 수 있다.

[0015] 또한, 일 실시예에 따른 표시 장치는 기판, 상기 기판 상에 배치되는 제1 금속층, 상기 기판 상에 배치되며, 상기 제1 금속층의 측면 외측에 위치하는 유기막 패턴, 상기 제1 금속층 및 상기 유기막 패턴 상에 배치되는 게이트 절연패턴, 및 상기 게이트 절연패턴 상에 배치되는 반도체 패턴을 포함하며, 상기 게이트 절연패턴의 측면은 상기 제1 금속층의 측면으로부터 외측으로 돌출되고, 상기 유기막 패턴은 상기 게이트 절연패턴과 적어도 일부 중첩하며, 상기 게이트 절연패턴의 측면에 접할 수 있다.

[0016] 상기 유기막 패턴은 상기 반도체 패턴의 측면에 접할 수 있다.

[0017] 상기 유기막 패턴의 외측면은 상기 게이트 절연패턴의 측면 외측으로 돌출될 수 있다.

[0018] 상기 제1 금속층은 일측에 위치하는 제1 측면 및 타측에 위치하는 제2 측면을 포함하고, 상기 유기막 패턴 중 어느 하나는 상기 제1 금속층의 상기 제1 측면에 접하고, 상기 유기막 패턴 중 다른 하나는 상기 제1 금속층의 상기 제2 측면에 접할 수 있다.

- [0019] 상기 유기막 패턴은 상기 제1 금속층의 일측에 접하며 상기 게이트 절연패턴의 하측에 접할 수 있다.
- [0020] 상기 반도체 패턴 상에 배치되는 제2 금속층을 더 포함하며, 상기 제2 금속층의 일부는 상기 제1 금속층과 동일 레벨에 위치하되, 상기 유기막 패턴을 통해 상기 제1 금속층과 전기적으로 절연될 수 있다.
- [0021] 상기 제2 금속층은 상기 유기막 패턴의 외측에 접할 수 있다.
- [0022] 상기 유기막 패턴은 상기 제1 금속층과 상기 제2 금속층 사이에 배치되며, 상기 유기막 패턴의 일측은 상기 제1 금속층의 측면에 접하고 상기 유기막 패턴의 타측은 상기 제2 금속층의 측면에 접할 수 있다.
- [0023] 또한, 일 실시예에 따른 표시 장치의 제조방법은 기판 상에 제1 금속 물질층, 게이트 절연 물질층 및 반도체 물질층을 적층하는 단계, 상기 제1 금속 물질층, 상기 게이트 절연 물질층 및 상기 반도체 물질층을 식각하여, 제1 금속층, 게이트 절연패턴 및 반도체 패턴을 형성하는 단계, 상기 기판 상에 유기물을 코팅하여 상기 제1 금속층의 측면 외측에 유기막 패턴을 형성하는 단계, 및 상기 반도체 패턴 상에 제2 금속 물질층을 적층하고 패터닝하여 제2 금속층을 형성하는 단계를 포함할 수 있다.
- [0024] 상기 제1 금속층, 상기 게이트 절연패턴 및 상기 반도체 패턴을 형성하는 단계는, 상기 반도체 물질층 상에 포토레지스트 패턴을 형성하는 단계, 상기 제1 금속 물질층을 습식 식각하여 상기 제1 금속층을 형성하는 단계, 상기 게이트 절연 물질층 및 상기 반도체 물질층을 건식 식각하여, 상기 게이트 절연패턴 및 상기 반도체 패턴을 형성하는 단계, 및 상기 포토레지스트 패턴을 제거하는 단계를 포함할 수 있다.
- [0025] 상기 유기물은 감광성 유기물이며, 상기 게이트 절연패턴을 마스크로 하여 상기 감광성 유기물을 노광 및 현상하여 상기 유기막 패턴을 형성할 수 있다.
- [0026] 상기 유기물은 비 감광성 유기물이며, 상기 포토레지스트 패턴을 마스크로 하여 상기 비 감광성 유기물을 건식 식각하여 상기 유기막 패턴을 형성할 수 있다.
- [0027] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0028] 일 실시예에 따른 표시 장치에 의하면, 제1 금속층과 제2 금속층 사이에 유기막 패턴을 포함함으로써, 제1 금속층과 제2 금속층이 서로 접촉하여 쇼트되는 것을 방지할 수 있다. 또한, 제1 금속층과 제2 금속층 사이의 공극을 유기막 패턴으로 채움으로써, 공정 중에 제1 금속층에 부식이 발생하는 것을 방지할 수 있다.
- [0029] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0030] 도 1은 일 실시예에 따른 표시 장치를 나타낸 평면도.
- 도 2는 일 실시예에 따른 도 1의 화소를 나타낸 평면도.
- 도 3은 도 2의 절취선 I-I'에 따른 단면도.
- 도 4는 다른 실시예에 따른 도 1의 화소를 나타낸 평면도.
- 도 5는 다른 실시예에 따른 표시 장치의 화소를 나타낸 단면도.
- 도 6 내지 도 15는 일 실시예에 따른 표시 장치의 제조방법을 공정별로 나타낸 단면도.
- 도 16 및 도 17은 다른 실시예에 따른 표시 장치의 제조방법을 공정별로 나타낸 단면도.
- 도 18은 또 다른 실시예에 따른 표시 장치의 화소를 나타낸 단면도.
- 도 19 내지 도 23은 또 다른 실시예에 따른 표시 장치의 제조방법을 공정별로 나타낸 단면도.

**발명을 실시하기 위한 구체적인 내용**

- [0031] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는

기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0032] 소자(elements) 또는 층이 다른 소자 또는 층의 "상(on)"으로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 실시예들을 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다.
- [0033] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다.
- [0034] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0035] 본 명세서에서, 동일한 층에 위치한다는 의미는 각 구성의 바로 아래에 위치하는 층이 서로 동일하다는 의미 또는 각 구성이 동일 레벨에 위치한다는 의미를 포함한다. 본 명세서에서, "연결" 된다는 의미는 두개의 구성이 서로 물리적으로 연결되는 경우 또는 두개의 구성이 서로 물리적으로 접촉하는 경우를 의미한다. 또한 "전기적으로 연결" 된다는 의미는 두개의 구성이 물리적으로 연결되는 경우 뿐만 아니라 두개의 구성이 물리적으로 연결되지 않더라도 다른 도전체 등을 매개로 전기적으로 접속되는 경우를 포함한다. 이하 첨부된 도면을 참조하여 구체적인 실시예들에 대해 설명한다.
- [0036] 도 1은 일 실시예에 따른 표시 장치를 나타낸 평면도이고, 도 2는 일 실시예에 따른 도 1의 화소를 나타낸 평면도이며, 도 3은 도 2의 절취선 I-I'에 따른 단면도이고, 도 4는 다른 실시예에 따른 도 1의 화소를 나타낸 평면도이다.
- [0037] 도 1을 참조하면, 일 실시예에 따른 표시 장치는 제1 기관(SUB1) 상에 표시부(AA) 및 비표시부(NA)를 포함할 수 있다. 비표시부(NA)는 제1 기관(SUB1)의 좌우측에 각각 배치된 게이트 구동부(SD), 및 기관(SUB)의 상측에 배치된 정전기 방지부(ESP)를 포함할 수 있다.
- [0038] 표시부(AA)는 복수의 부화소(SP)를 포함할 수 있다. 복수의 부화소(SP)는 적색 부화소, 녹색 부화소 및 청색 부화소가 하나의 단위 화소를 구성하거나, 백색 부화소를 더 포함하여 하나의 단위 화소를 구성할 수 있다. 각 부화소(SP)는 동일한 면적으로 이루어지거나, 색에 따라 다른 면적으로 이루어질 수도 있다.
- [0039] 게이트 구동부(SD)는 표시부(AA)에 게이트 구동신호를 인가한다. 일 실시예에서는 게이트 구동부(SD)가 표시부(AA) 양측에 위치된 것으로 도시하였지만 이에 한정되지 않으며 표시부(AA) 일측에 하나로 위치할 수도 있다. 정전기 방지부(ESP)는 표시부(AA)의 일측 예를 들어 상측에 위치하여, 각 신호 배선들에 정전기가 유입되는 것을 방지할 수 있다. 일 실시예에서는 정전기 방지부(ESP)가 표시부(AA)의 상측에 위치된 것으로 도시하였지만 이에 한정되지 않으며 표시부(AA) 상하측에 위치할 수도 있다.
- [0040] 이하, 본 발명의 도 2 및 도 3을 참조하여, 표시 장치의 부화소(SP)의 평면 및 단면 구조를 살펴본다.
- [0041] 도 2 및 도 3을 참조하면, 단위 화소는 제1 부화소 영역(PA1), 제2 부화소 영역(PA2) 및 스위칭 소자 영역(TA)을 포함할 수 있다. 제1 부화소 영역(PA1)은 제1 부화소 전극(191)의 제1 줄기전극(191a) 및 제1 가지전극(191b)이 배치되는 영역으로 정의되고, 제2 부화소 영역(PA2)은 제2 부화소 전극(192)의 제2 줄기전극(192a) 및 제2 가지전극(192b)이 배치되는 영역으로 정의될 수 있다. 스위칭 소자 영역(TA)은 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3) 등이 배치되는 영역으로 정의될 수 있다. 스위칭 소자 영역(TA)은 제2 방향(DR2)에서 제1 부화소 영역(PA1)과 제2 부화소 영역(PA2) 사이에 위치할 수 있다.
- [0042] 제1 기관(SUB1)은 유리, 석영, 고분자 수지 등의 절연 물질을 포함할 수 있다. 고분자 물질은 폴리에테르술폰(polyethersulphone: PES), 폴리아크릴레이트(polyacrylate: PA), 폴리아릴레이트(polyarylate: PAR), 폴리에테르이미드(polyether imide: PEI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate: PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(polycarbonate: PC), 셀룰로오스 트리 아세테이트(cellulose triacetate: CAT), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate:

CAP) 또는 이들의 조합을 포함할 수 있다. 제1 기관(SUB1)은 금속 재질의 물질을 포함할 수도 있다.

- [0043] 제1 기관(SUB1) 상에 제1 금속층(M1)이 배치될 수 있다. 제1 금속층(M1)은 스캔 라인(SL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3)을 포함할 수 있다. 스캔 라인(SL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3)은 서로 동일한 층에 배치될 수 있고 동일한 물질을 포함할 수 있다. 스캔 라인(SL)은 제1 방향(DR1)을 따라 연장될 수 있다. 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)은 스캔 라인(SL)과 전기적으로 연결될 수 있다. 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)은 서로 연결될 수 있으나, 이에 한정되는 것은 아니다.
- [0044] 제1 금속층(M1)은 단층 또는 다층으로 이루어질 수 있다. 제1 금속층(M1)이 단층인 경우, 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W) 또는 구리(Cu) 중 선택된 어느 하나 또는 이들의 합금을 포함할 수 있다. 또한, 제1 금속층(M1)이 다층인 경우, 전술한 재료들로 이루어진 다층일 수 있다. 예를 들면, 제1 금속층(M1)은 몰리브덴/알루미늄-네오디뮴, 몰리브덴/알루미늄 또는 구리/티타늄의 2층일 수 있다.
- [0045] 스캔 라인(SL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3), 및 유지 라인(127) 상에 이들을 절연시키는 게이트 절연패턴(GI)이 배치될 수 있다. 게이트 절연패턴(GI)은 실리콘 화합물, 금속 산화물 등의 무기 절연물질을 포함할 수 있다. 예를 들어, 게이트 절연패턴(GI)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 알루미늄 산화물, 탄탈륨 산화물, hafnium 산화물, 지르코늄 산화물, 티타늄 산화물 또는 이들의 조합을 포함할 수 있다. 게이트 절연패턴(GI)은 단층 또는 서로 다른 물질의 다층으로 이루어질 수 있다.
- [0046] 게이트 절연패턴(GI)은 제1 금속층(M1) 상에 배치될 수 있다. 예를 들어, 게이트 절연패턴(GI)은 스캔 라인(SL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3) 및 유지 라인(127) 상에 패턴 형상으로 배치될 수 있다. 게이트 절연패턴(GI) 하부에 배치된 제1 금속층(M1) 즉 스캔 라인(SL), 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3) 및 유지 라인(127)은 게이트 절연패턴(GI)에 대해 언더컷(under-cut) 형상으로 이루어질 수 있다.
- [0047] 게이트 절연패턴(GI) 상에 반도체 패턴(APP)이 배치될 수 있다. 반도체 패턴(APP)은 제1 반도체 영역(AP1), 제2 반도체 영역(AP2) 및 제3 반도체 영역(AP3)을 포함할 수 있다.
- [0048] 제1 반도체 영역(AP1)은 제1 게이트 전극(GE1)과 중첩하고, 제2 반도체 영역(AP2)은 제2 게이트 전극(GE2)과 중첩하며, 제3 반도체 영역(AP3)은 제3 게이트 전극(GE3)과 중첩할 수 있다. 본 실시예에서 제1 내지 제3 게이트 전극(GE1, GE2, GE3)과 중첩하는 반도체 패턴(APP) 영역은 제1 반도체 영역(AP1), 제2 반도체 영역(AP2) 및 제3 반도체 영역(AP3)일 수 있다. 제1 내지 제3 반도체 영역(AP1, AP2, AP3)을 제외한 나머지 반도체 패턴(APP)의 영역은 반도체 패턴(APP)으로 설명한다. 제1 반도체 영역(AP1), 제2 반도체 영역(AP2) 및 제3 반도체 영역(AP3) 각각은 중첩하는 게이트 전극에 의해 전기장이 가해지는 경우 소스 전극과 드레인 전극 사이에서 도전성이 반전되어 채널이 형성되는 영역(또는, 채널 영역)일 수 있다. 제1 반도체 영역(AP1), 제2 반도체 영역(AP2), 및 제3 반도체 영역(AP3)은 하나의 패턴으로 형성될 수 있다.
- [0049] 일 실시예에서, 반도체 패턴(APP)은 비정질 실리콘, 다결정 실리콘 또는 단결정 실리콘 등 실리콘계 반도체 물질을 포함할 수 있다. 다른 실시예에서, 반도체 패턴(APP)은 단결정 실리콘, 저온 다결정 실리콘, 비정질 실리콘 등을 포함할 수도 있다. 또한, 반도체 패턴(APP)은 산화물 반도체를 포함할 수도 있다. 예를 들어, 반도체 패턴(APP)은 인듐(In), 아연(Zn), 갈륨(Ga), 주석(Sn), 티타늄(Ti), 알루미늄(Al), hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(AB<sub>x</sub>), 삼성분계 화합물(AB<sub>x</sub>C<sub>y</sub>), 사성분계 화합물(AB<sub>x</sub>C<sub>y</sub>D<sub>z</sub>)을 포함할 수도 있다. 반도체 패턴(APP)은 ITZO(인듐, 주석, 티타늄을 포함하는 산화물)나 IGZO(인듐, 갈륨, 주석을 포함하는 산화물)를 포함할 수도 있다.
- [0050] 반도체 패턴(APP) 상에 오믹 패턴(OP)이 배치될 수 있다. 오믹 패턴(OP)은 오믹 콘택층(OC)을 포함할 수 있다. 오믹 콘택층(OC)은 후술하는 소스 및 드레인 전극과 반도체 패턴 사이에 위치하여, 금속과 실리콘 사이의 쇼트키 배리어(shottky barrier) 즉 일함수를 낮춰 접촉 저항을 낮출 수 있다. 본 실시예에서 오믹 패턴(OP)은 반도체 패턴(APP) 상에 배치될 수 있으며, 소스 및 드레인 전극과 반도체 영역들(AP1, AP2, AP3)에 중첩되는 오믹 패턴(OP)은 오믹 콘택층(OC)일 수 있다. 오믹 콘택층(OC)을 제외한 나머지 오믹 패턴(OP)의 영역은 오믹 패턴(OP)으로 설명한다.
- [0051] 오믹 패턴(OP)은 n형 불순물이 고농도로 도핑된 비정질 실리콘을 포함할 수 있다. 오믹 콘택층(OC)은 제1 반도체 영역(AP1), 제2 반도체 영역(AP2), 및 제3 반도체 영역(AP3) 상에 배치될 수 있다. 오믹 콘택층(OC)은 제1

반도체 영역(AP1), 제2 반도체 영역(AP2), 및 제3 반도체 영역(AP3) 상에서 서로 분리되어 이격될 수 있다. 오믹 컨택층(OC)이 이격된 간격에 대응하는 반도체 패턴(APP)의 영역은 채널로 작용할 수 있다.

- [0052] 본 실시예에서는 제1 금속층(M1) 상에 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)이 배치될 수 있다. 후술하는 제조방법에서 제1 금속층(M1), 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)은 하나의 마스크로 동시에 패터닝됨으로써, 제1 금속층(M1) 상에 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)이 배치될 수 있다.
- [0053] 제1 기판(SUB1) 및 오믹 패턴(OP) 상에 제2 금속층(M2)이 배치될 수 있다. 제2 금속층(M2)은 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제3 소스 전극(SE3), 제3 드레인 전극(DE3) 및 분압 기준 라인(RL)을 포함할 수 있다. 제1 데이터 라인(DL1), 제2 데이터 라인(DL2), 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제3 소스 전극(SE3), 제3 드레인 전극(DE3) 및 분압 기준 라인(RL)은 서로 동일한 물질질을 포함할 수 있으며, 서로 동일한 층에 배치될 수 있다.
- [0054] 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)은 제2 방향(DR2)을 따라 연장될 수 있으며, 제1 방향(DR1)을 따라 서로 이격되어 배치될 수 있다. 제1 데이터 라인(DL1)은 제1 화소(PX1)의 제1 스위칭 소자(T1)와 제2 스위칭 소자(T2)에 전기적으로 연결되며, 제2 데이터 라인(DL2)은 인접한 화소의 스위칭 소자들에 전기적으로 연결될 수 있다.
- [0055] 분압 기준 라인(RL)에는 전압 분배를 위한 기준 전압이 인가될 수 있다. 분압 기준 라인(RL)에 인가되는 기준 전압은 후술하는 공통 전극에 인가되는 공통전압과 다를 수 있다. 예를 들어, 분압 기준 라인(RL)에 인가되는 기준 전압의 전압 레벨은 공통 전압의 전압 레벨보다 높거나 클 수 있다.
- [0056] 분압 기준 라인(RL)은 적어도 일부가 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)과 평행하게 배치될 수 있다. 분압 기준 라인(RL)은 제1 부화소 전극(191) 및 제2 부화소 전극(192)과 중첩하도록 배치될 수 있으며, 평면 상에서 바라보았을 때 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2) 사이에 배치될 수 있다. 제1 데이터 라인(DL1), 제2 데이터 라인(DL2) 및 분압 기준 라인(RL)은 각각 제1 기판(SUB1) 상에 위치하거나 일부에서 오믹 패턴(OP)과 접촉하는 부분을 포함할 수 있다. 분압 기준 라인(RL)은 스캔 라인(SL)과 교차할 수 있다.
- [0057] 제1 스위칭 소자(T1)에서, 제1 소스 전극(SE1)은 제1 데이터 라인(DL1)과 전기적으로 연결될 수 있다. 제1 소스 전극(SE1)의 일측은 오믹 컨택층(OC) 상에 배치되며, 반도체 패턴(APP)의 제1 반도체 영역(AP1)과 전기적으로 연결될 수 있다. 제1 소스 전극(SE1)의 타측은 후술하는 제2 소스 전극(SE2)과 연결되고, 제1 소스 전극(SE1)은 “U” 자 형태로 구부러진 형상을 가질 수 있다. 제1 드레인 전극(DE1)은 오믹 컨택층(OC) 상에 배치되며, 반도체 패턴(APP)의 제1 반도체 영역(AP1)과 전기적으로 연결될 수 있다. 제1 소스 전극(SE1)과 제1 드레인 전극(DE1)은 서로 이격될 수 있다. 따라서, 제1 스위칭 소자(T1)는 제1 게이트 전극(GE1), 제1 반도체 영역(AP1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함할 수 있다.
- [0058] 제2 스위칭 소자(T2)에서, 제2 소스 전극(SE2)의 일측은 제1 데이터 라인(DL1)과 전기적으로 연결되고, 제1 소스 전극(SE1)과 전기적으로 연결될 수 있다. 제2 소스 전극(SE2)은 반도체 패턴(APP)의 제2 반도체 영역(AP2) 상에 배치되며, 오믹 컨택층(OC)을 통해 제2 반도체 영역(SEM2)과 전기적으로 연결될 수 있다. 제2 소스 전극(SE2)의 타측은 제1 소스 전극(SE1)과 연결될 수 있다. 제2 드레인 전극(DE2)은 오믹 컨택층(OC) 상에 위치하며 반도체 패턴(APP)의 제2 반도체 영역(AP2)과 전기적으로 연결될 수 있다. 제2 소스 전극(SE2)과 제2 드레인 전극(DE2)은 서로 이격될 수 있다. 따라서, 제2 스위칭 소자(T2)는 제2 게이트 전극(GE2), 제2 반도체 영역(AP2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함할 수 있다.
- [0059] 제3 스위칭 소자(T3)에서, 제3 소스 전극(SE3)의 일측은 분압 기준 라인(RL)과 전기적으로 연결될 수 있다. 제3 소스 전극(SE3)은 오믹 컨택층(OC) 상에 배치되며, 반도체 패턴(APP)의 제3 반도체 영역(AP3)과 전기적으로 연결될 수 있다. 제3 소스 전극(SE3)은 분압 기준 라인(RL)의 일부일 수 있다. 제3 드레인 전극(DE3)은 오믹 컨택층(OC) 상에 위치하며 제3 반도체 영역(AP3)과 전기적으로 연결될 수 있다. 제3 드레인 전극(DE3)은 제2 드레인 전극(DE2)과 실질적으로 동일하거나, 제2 드레인 전극(DE2)의 일부일 수 있다. 제3 소스 전극(SE3)과 제3 드레인 전극(DE3)은 서로 이격될 수 있다. 따라서, 제3 스위칭 소자(T3)는 제3 게이트 전극(GE3), 제3 반도체 영역(AP3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함할 수 있다.
- [0060] 제2 금속층(M2)은 단층 또는 다층으로 이루어질 수 있다. 제2 금속층(M2)이 단층인 경우, 몰리브덴(Mo), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬

(Cr), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W) 또는 구리(Cu) 중 선택된 어느 하나 또는 이들의 합금을 포함할 수 있다. 또한, 제2 금속층(M2)이 다층인 경우, 구리/티타늄 또는 몰리브덴/알루미늄-네오디뮴의 2층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3층으로 이루어질 수 있다.

- [0061] 제1 금속층(M1)은 제2 금속층(M2)과 이격되어 배치될 수 있다. 전술한 것처럼, 제1 금속층(M1)은 게이트 절연패턴(GI)에 대해 언더컷 형상으로 이루어지기 때문에 제1 금속층(M1)과 동일한 층에 연장되어 배치되는 제2 금속층(M2)은 서로 이격되어 배치될 수 있다. 예를 들어, 제1 드레인 전극(DE1)과 제1 게이트 전극(GE1) 사이에 공극(pore)이 존재하여 제1 드레인 전극(DE1)과 제1 게이트 전극(GE1)은 서로 이격될 수 있다.
- [0062] 한편, 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3)가 형성된 제1 기판(SUB1) 상에 패시베이션층(ORL)이 배치될 수 있다. 패시베이션층(ORL)은 평탄화 특성이 우수하며, 감광성(photosensitivity)을 가지는 물질을 포함할 수 있다. 제2 금속층(M2)과 패시베이션층(ORL) 사이에는 컬러필터(CF)가 위치한다. 컬러필터(CF)의 색상은 적색, 녹색 및 청색 중 어느 하나일 수 있으나, 이에 한정되는 것은 아니다.
- [0063] 컬러필터(CF) 및 패시베이션층(ORL)은 제1 드레인 전극(DE1)의 일부를 노출하는 제1 콘택홀(CH1) 및 제2 드레인 전극(DE2)의 일부를 노출하는 제2 콘택홀(CH2)을 포함할 수 있다.
- [0064] 패시베이션층(ORL) 상에 제1 부화소 전극(191) 및 제2 부화소 전극(192)이 배치될 수 있다. 제1 부화소 전극(191)은 대부분 제1 부화소 영역(PA1)에 배치될 수 있으며, 제2 부화소 전극(192)은 대부분 제2 부화소 영역(PA2)에 배치될 수 있다. 제1 부화소 전극(191)은 제1 콘택홀(CH1)을 통해 제1 드레인 전극(DE1)과 콘택하여 전기적으로 연결될 수 있다. 제2 부화소 전극(192)은 제2 콘택홀(CH2)을 통해 제2 드레인 전극(DE2)과 콘택하여 전기적으로 연결될 수 있다.
- [0065] 제1 부화소 전극(191)은 제1 부화소 영역(PA1)에 배치되는 제1 줄기부(191a), 제1 부화소 영역(PA1)에 배치되며 제1 줄기부(191a)로부터 바깥쪽으로 연장되고 슬릿(191c)을 사이에 두고 서로 이격된 복수의 제1 가지부(191b), 제1 부화소 영역(PA1)에서 스위칭 소자 영역(TA)으로 연장된 제1 연장부(191d)를 포함할 수 있다.
- [0066] 제1 줄기부(191a)는 제1 방향(DR1)으로 연장되는 가로 줄기부 및 제2 방향(DR2)으로 연장되는 세로 줄기부를 포함할 수 있다. 제1 줄기부(191a)는 제1 부화소 전극(191)을 부영역들, 즉 도메인들로 나눌 수 있다. 제1 줄기부(191a)는 예를 들어 십자 형상으로 이루어질 수 있다. 이 경우, 제1 부화소 전극(191)은 제1 줄기부(191a)에 의해 4개의 부영역들로 나뉠 수 있다. 부영역들 각각에 위치하는 제1 가지부(191b)는 서로 연장되는 방향이 다를 수 있다. 예를 들어, 도 2에 도시된 바와 같이, 우상 방향의 부영역에 위치하는 제1 가지부(191b)는 제1 줄기부(191a)로부터 우상 방향으로 비스듬하게 연장되고, 우하 방향의 부영역에 위치하는 제1 가지부(191b)는 제1 줄기부(191a)로부터 우하 방향으로 비스듬하게 연장될 수 있다. 또한 좌상 방향의 부영역에 위치하는 제1 가지부(191b)는 제1 줄기부(191a)로부터 좌상 방향으로 비스듬하게 연장되고, 좌하방향의 부영역에 위치하는 제1 가지부(191b)는 제1 줄기부(191a)로부터 좌하 방향으로 비스듬하게 연장될 수 있다. 제1 연장부(191d)는 제1 줄기부(191a) 또는 제1 가지부(191b)로부터 스위칭 소자 영역(TA)으로 연장되어 제1 콘택홀(CH1)을 통해 제1 드레인 전극(DE1)과 연결될 수 있다.
- [0067] 제2 부화소 전극(192)은 제2 부화소 영역(PA2)에 위치하는 제2 줄기부(192a), 제2 부화소 영역(PA2)에 위치하며 제2 줄기부(192a)로부터 바깥쪽으로 연장되고 슬릿(192c)을 사이에 두고 서로 이격된 복수의 제2 가지부(192b), 제2 부화소 영역(PA2)에서 스위칭 소자 영역(TA)으로 연장된 제2 연장부(192d)를 포함할 수 있다.
- [0068] 제2 줄기부(192a), 제2 가지부(192b) 및 제2 연장부(192d)는, 제1 줄기부(191a), 제1 가지부(191b) 및 제1 연장부(191d)와 각각 실질적으로 동일하거나 유사하므로, 중복되는 설명은 생략하기로 한다.
- [0069] 제1 부화소 전극(191) 및 제2 부화소 전극(192)은 빛이 투과될 수 있는 투명한 물질을 포함할 수 있다. 제1 부화소 전극(191) 및 제2 부화소 전극(192)은 인듐 틴 옥사이드(Indium Tin Oxide, ITO), 인듐 징크 옥사이드(Indium Zinc Oxide, IZO) 또는 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide, ITZO)로 이루어질 수 있으나 이에 한정되지 않으며 투명하면서 도전성을 가진 물질이라면 사용 가능하다.
- [0070] 한편, 제1 금속층(M1)은 유지 라인(127)을 포함할 수 있다. 유지 라인(127)은 유지 전압이 인가될 수 있으며, 유지 전압은 공통 전극에 인가되는 공통 전압과 동일할 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 유지 전압은 분압 기준 라인(RL)에 제공되는 전압과 동일한 전압 레벨을 가질 수 있다.
- [0071] 유지 라인(127)은 제1 방향(DR1)으로 연장되어 스캔 라인(SL)과 나란한 제1 부분(128), 및 제1 부분(128)에서

제2 방향(DR2)으로 연장되고 제1 부화소 전극(191)의 양측에 인접 배치된 제2 부분(129)을 포함할 수 있다.

- [0072] 유지 라인(127)의 제2 부분(129)은 제1 부화소 전극(191)과 중첩할 수 있으나 이에 한정되지 않으며 제1 부화소 전극(191)과 중첩하지 않을 수도 있다. 제2 부분(129)은 제1 부화소 전극(191)의 양측에서의 광투과를 막는 차광패턴으로 기능할 수 있다. 유지 라인(127)의 제1 부분(128)은 제1 드레인 전극(DE1)과 중첩하여, 제1 부화소 영역(PA1)에서 유지 커패시턴스를 형성할 수 있다.
- [0073] 유지 라인(127)은 분압 기준 라인(RL)과 전기적으로 연결될 수 있다. 일 실시예에서 분압 기준 라인(RL)은 유지 라인(127)과 전기적으로 연결되어, 인접한 화소들에 기준 전압을 공통적으로 분배할 수 있다. 예를 들어, 적색 부화소, 녹색 부화소 및 청색 부화소의 경우, 청색 부화소에 분압 기준 라인 (RL)이 구비되고 청색 부화소에서 분압 기준 라인(RL)과 연결된 유지 라인(127)을 통해 인접한 적색 부화소 및 녹색 부화소로 분배될 수 있다. 이를 위해, 분압 기준 라인 (RL)과 유지 라인(127)의 전압은 동일할 수 있다.
- [0074] 도 2 및 도 3에 도시된 바와 같이, 유지 라인(127)과 분압 기준 라인(RL)이 중첩되는 영역에서 제3 컨택홀(CH3)을 통해 서로 컨택할 수 있다. 제3 컨택홀(CH3)은 유지 라인(127)과 분압 기준 라인(RL) 사이에 배치되는 층들 예를 들어, 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)을 관통하는 홀일 수 있다. 유지 라인(127)과 분압 기준 라인(RL)은 제3 컨택홀(CH3)을 통해 부가적인 브릿지 패턴 없이 직접 연결될 수 있으므로, 브릿지 패턴의 사용 시 2개의 컨택홀 대신 1개의 컨택홀로 줄일 수 있어 컨택홀의 면적을 감소시킬 수 있다. 따라서, 화소의 개구율을 향상시킬 수 있다. 또한, 본 실시예에서는 제1 금속층인 유지 라인과 제2 금속층인 분압 기준 라인이 브릿지 패턴 없이 직접 연결된 것을 설명하였지만, 예를 들어, 게이트 구동부 또는 정전기 방지부에서도 제1 금속층과 제2 금속층이 직접 연결될 수 있으므로, 게이트 구동부 또는 정전기 방지부에서도 컨택홀의 면적을 감소시킬 수 있다.
- [0075] 한편, 제1 기관(SUB1)과 대향하는 제2 기관(SUB2)은 차광부재(BM), 오버코트층(OCL) 및 공통 전극(CE)을 포함할 수 있다.
- [0076] 제2 기관(SUB2)은 제1 기관(SUB1)과 유사하게 투명한 절연 기관일 수 있다. 또한, 제2 기관(SUB2)은 고내열성을 갖는 고분자 또는 플라스틱을 포함할 수도 있다. 제2 기관(SUB2)은 가요성을 가질 수도 있다.
- [0077] 제1 기관(SUB1)을 향하는 제2 기관(SUB2)의 일면에는 차광부재(BM)가 배치될 수 있다. 차광부재(BM)는 스위칭 소자 영역(TA)과 중첩할 수 있다. 차광부재(BM)는 카본 블랙(carbon black) 등의 차광성 안료 또는 크롬(Cr) 등의 불투명 물질을 포함할 수 있으며, 감광성 유기 물질을 포함할 수 있다. 그러나 이에 한정되는 것은 아니며, 예를 들어, 차광부재(BM)는 제1 기관(SUB1)에 배치될 수도 있다.
- [0078] 오버코트층(OCL)은 제2 기관(SUB2)의 일면 상에 형성되어 차광부재(BM)를 덮을 수 있다. 오버코트층(OCL)은 차광부재(BM)에 의해 형성된 단차를 평탄화 할 수 있으며, 오버코트층(OCL)은 생략될 수도 있다.
- [0079] 오버코트층(OCL) 상에는 공통 전극(CE)이 배치될 수 있다. 오버코트층(OCL)이 생략되는 경우, 공통 전극(CE)은 제2 기관(SUB2) 및 차광부재(BM) 상에 배치될 수 있다. 공통 전극(CE)은 전술한 부화소 전극과 동일하게 인듐틴 옥사이드(Indium Tin Oxide, ITO), 인듐 징크 옥사이드(Indium Zinc Oxide, IZO) 또는 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide, ITZO) 등의 투명 도전 물질을 포함할 수 있다. 공통 전극(CE)은 제2 기관(SUB2)의 전면에 걸쳐 전체적으로 형성될 수 있다. 공통 전극(CE)에는 공통 전압이 인가되어, 제1 부화소 전극(191) 및 제2 부화소 전극(192)과 함께 전계를 형성할 수 있다. 이 경우, 전계의 크기에 따라 액정층(300)내의 액정분자들의 배열이 변화되어 광 투과율이 제어될 수 있다.
- [0080] 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 액정층(300)이 배치될 수 있다. 액정층(300)은 유전율 이방성을 가지는 액정 분자들을 포함할 수 있다. 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 전계가 인가되는 경우, 액정 분자들은 제1 기관(SUB1)과 제2 기관(SUB2) 사이에서 특정 방향으로 회동함으로써 액정층(300)을 통과하는 광의 위상 지연값을 조절할 수 있다. 액정 분자들의 회동에 의해 위상 지연값이 얼마나 달라지느냐에 따라 편광된 빛 (예를 들어, 하부 편광 부재를 통과한 빛)이 상부 편광 부재(출사측에 배치되며, 예를 들어 제2 기관의 외측 표면에 부착될 수 있음)를 통과하는 양이 달라지며, 이를 통해 투과율을 제어할 수 있다.
- [0081] 한편, 도 4를 참조하면, 다른 실시예에 따른 화소는 전술한 도 2와 비교하여 제1 컨택홀(CH1), 제2 컨택홀(CH2) 및 제3 컨택홀(CH3)을 유지 라인(127)과 중첩되도록 배치되는 것에 차이가 있다. 이로써, 스위칭 소자 영역(TA)의 폭을 줄여 개구율을 향상시킬 수 있다. 부가적으로 제1 스위칭 소자(T1)가 제2 부화소 전극(192)에 연결되고 제2 스위칭 소자(T2)가 제1 부화소 전극(191)에 연결되는 차이가 있으나, 그 외의 구성은 전술한 도 2와 동

이하므로 중복되는 설명을 생략한다.

- [0082] 도 5는 다른 실시예에 따른 표시 장치의 화소를 나타낸 단면도이다. 도 5는 도 2의 절취선 I-I'에 따라 절취한 다른 실시예의 구조를 나타낸다. 하기에서는 도 3과 동일한 구성에 대해 동일한 도면부호를 붙이고 그 설명을 간략히 하기로 한다.
- [0083] 도 5를 참조하면, 제1 기관(SUB1) 상에 제1 금속층(M1)이 배치될 수 있다. 제1 금속층(M1)은 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3) 및 유지 라인(127)을 포함할 수 있다. 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3) 및 유지 라인(127)은 서로 동일한 층에 배치될 수 있고 동일한 물질을 포함할 수 있다. 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)은 스캔 라인과 전기적으로 연결될 수 있고, 유지 라인(127)은 분압 기준 라인(RL)과 전기적으로 연결될 수 있다. 제1 게이트 전극(GE1), 제2 게이트 전극(GE2) 및 제3 게이트 전극(GE3)은 서로 연결될 수 있으나, 이에 한정되는 것은 아니다.
- [0084] 제1 금속층(M1) 상에 게이트 절연패턴(GI)이 배치될 수 있다. 구체적으로, 제1 게이트 전극(GE1), 제2 게이트 전극(GE2), 제3 게이트 전극(GE3) 및 유지 라인(127) 상에 이들을 절연시키는 게이트 절연패턴(GI)이 배치될 수 있다. 게이트 절연패턴(GI) 상에 반도체 패턴(APP)이 배치될 수 있다. 반도체 패턴(APP)은 제1 반도체 영역(AP1), 제2 반도체 영역(AP2) 및 제3 반도체 영역(AP3)을 포함할 수 있다. 제1 반도체 영역(AP1)은 제1 게이트 전극(GE1)과 중첩하고, 제2 반도체 영역(AP2)은 제2 게이트 전극(GE2)과 중첩하며, 제3 반도체 영역(AP3)은 제3 게이트 전극(GE3)과 중첩할 수 있다.
- [0085] 반도체 패턴(APP) 상에 오믹 패턴(OP)이 배치될 수 있다. 오믹 패턴(OP)은 제1 반도체 영역(AP1), 제2 반도체 영역(AP2), 및 제3 반도체 영역(AP3) 상에 서로 분리된 오믹 컨택층(OC)을 포함할 수 있다.
- [0086] 제1 기관(SUB1) 및 오믹 패턴(OP) 상에 제2 금속층(M2)이 배치될 수 있다. 제2 금속층(M2)은 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제3 소스 전극(SE3), 제3 드레인 전극(DE3) 및 분압 기준 라인(RL)을 포함할 수 있다. 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제2 소스 전극(SE2), 제2 드레인 전극(DE2), 제3 소스 전극(SE3), 제3 드레인 전극(DE3) 및 분압 기준 라인(RL)은 서로 동일한 물질로 이루어질 수 있으며, 서로 동일한 층에 배치될 수 있다.
- [0087] 제1 스위칭 소자(T1)는 제1 게이트 전극(GE1), 제1 반도체 영역(AP1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함할 수 있다. 제2 스위칭 소자(T2)는 제2 게이트 전극(GE2), 제2 반도체 영역(AP2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함할 수 있다. 제3 스위칭 소자(T3)는 제3 게이트 전극(GE3), 제3 반도체 영역(AP3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함할 수 있다.
- [0088] 전술한 제1 스위칭 소자(T1), 제2 스위칭 소자(T2) 및 제3 스위칭 소자(T3)가 형성된 제1 기관(SUB1) 상에 컬러 필터(CF)가 배치되고 컬러필터(CF) 상에 패시베이션층(ORL)이 배치될 수 있다. 컬러필터(CF) 및 패시베이션층(ORL)은 제1 드레인 전극(DE1)의 일부를 노출하는 제1 컨택홀(CH1)을 포함할 수 있다.
- [0089] 패시베이션층(ORL) 상에 제1 부화소 전극(191)이 배치될 수 있다. 제1 부화소 전극(191)은 대부분 제1 부화소 영역(PA1)에 배치될 수 있다. 제1 부화소 전극(191)은 제1 컨택홀(CH1)을 통해 제1 드레인 전극(DE1)과 컨택하여 전기적으로 연결될 수 있다.
- [0090] 한편, 제1 내지 제3 스위칭 소자(T1, T2, T3)와 이격된 제1 기관(SUB1) 상에 유지 라인(127)이 배치될 수 있다. 유지 라인(127)은 분압 기준 라인(RL)과 전기적으로 연결될 수 있다. 유지 라인(127)은 분압 기준 라인(RL)은 이들 사이에 배치된 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP) 관통하는 제3 컨택홀(CH3)을 통해 컨택할 수 있다. 유지 라인(127)과 분압 기준 라인(RL)은 제3 컨택홀(CH3)을 통해 부가적인 브릿지 패턴 없이 직접적으로 연결될 수 있으므로, 브릿지 패턴의 사용 시 2개의 컨택홀 대신 1개의 컨택홀로 줄일 수 있어 컨택홀의 면적을 감소시킬 수 있다. 따라서, 화소의 개구율을 향상시킬 수 있다.
- [0091] 제1 기관(SUB1)과 대향하는 제2 기관(SUB2)은 차광부재(BM), 오버코트층(OCL) 및 공통 전극(CE)을 포함할 수 있다. 구체적으로, 제2 기관(SUB2)의 일면에 차광부재(BM)가 배치될 수 있다. 오버코트층(OCL)은 제2 기관(SUB2)의 일면 상에 형성되어 차광부재(BM)를 덮을 수 있다. 오버코트층(OCL) 상에는 공통 전극(CE)이 배치될 수 있다. 공통 전극(CE)은 제2 기관(SUB2)의 전면에 걸쳐 전체적으로 형성될 수 있다. 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 액정층(300)이 배치될 수 있다.
- [0092] 한편, 본 실시예에 따른 표시 장치는 제1 금속층(M1)의 측면 외측에 배치되는 유기막 패턴(PP)을 포함할 수 있

다.

- [0093] 구체적으로, 제1 금속층(M1)은 전술한 바와 같이 제1 내지 제3 게이트 전극(GE1, GE2, GE3) 및 유지 라인(127)을 포함할 수 있다. 유기막 패턴(PP)은 제1 금속층(M1)의 측면에 접할 수 있다. 예를 들어, 유기막 패턴(PP)은 제1 내지 제3 게이트 전극(GE1, GE2, GE3)의 적어도 일측, 및 유지 라인(127)의 적어도 일측에 접하여 배치될 수 있다. 본 실시예에서는 제1 내지 제3 게이트 전극(GE1, GE2, GE3)이 하나의 게이트 패턴으로 이루어져 있으므로 게이트 패턴의 적어도 일측에 유기막 패턴(PP)이 접하여 배치될 수 있다. 도시하지 않았지만 유기막 패턴(PP)은 스캔 라인의 적어도 일측에 접할 수 있다. 본 실시예에서는 유기막 패턴(PP)이 제1 금속층(M1)의 양측에 배치되는 것을 도시하여 설명한다.
- [0094] 제1 금속층(M1) 상에 배치된 게이트 절연패턴(GI)은 제1 금속층(M1)의 폭보다 크게 이루어진다. 따라서, 게이트 절연패턴(GI)의 측면은 제1 금속층(M1)의 측면으로부터 외측으로 돌출된다. 즉, 제1 금속층(M1)은 게이트 절연패턴(GI)에 대해 언더컷 형상으로 이루어질 수 있다. 따라서, 유기막 패턴(PP)은 제1 금속층(M1)과 게이트 절연패턴(GI) 간에 제1 금속층(M1)의 언더컷 형상으로 형성된 영역에 배치될 수 있다. 또한, 유기막 패턴(PP)의 외측면은 게이트 절연패턴(GI)의 측면에 정렬될 수 있다. 즉, 유기막 패턴(PP)의 외측면과 게이트 절연패턴(GI)의 측면이 일치되거나 동일선 상에 배치될 수 있다.
- [0095] 구체적으로, 유기막 패턴(PP) 중 어느 하나는 제1 금속층(M1)의 일측 즉 제1 측면에 접하고, 유기막 패턴(PP) 중 다른 하나는 제1 금속층(M1)의 타측 즉 제2 측면에 접할 수 있다. 예를 들어, 유기막 패턴(PP) 중 어느 하나는 제1 내지 제3 게이트 전극(GE1, GE2, GE3)의 양측에 각각 컨택하여 배치되고, 제1 내지 제3 게이트 전극(GE1, GE2, GE3) 상에 배치된 게이트 절연패턴(GI)의 하측에 접하여 배치될 수 있다. 또한, 유기막 패턴(PP) 중 어느 하나는 유지 라인(127)의 양측에 각각 접하여 배치되고, 유지 라인(127) 상에 위치한 게이트 절연패턴(GI)의 하측에 접하여 배치될 수 있다.
- [0096] 유기막 패턴(PP)은 제2 금속층(M2)의 일측에 접하여 배치될 수 있다. 제2 금속층(M2)은 오믹 패턴(OP) 상에 배치되고, 일부는 제1 금속층(M1)과 동일 레벨에 위치할 수 있다. 동일 레벨에 위치하는 제1 금속층(M1)과 제2 금속층(M2)은 유기막 패턴(PP)을 통해 전기적으로 절연될 수 있다. 제2 금속층(M2)은 전술한 바와 같이, 제1 내지 제3 소스 전극(SE1, SE2, SE3), 제1 내지 제3 드레인 전극(DE1, DE2, DE3), 분압 기준 라인(RL), 및 제1 데이터 라인(미도시)을 포함할 수 있다.
- [0097] 구체적으로, 제1 드레인 전극(DE1)은 오믹 컨택층(OC), 제1 내지 제3 반도체 영역(AP1, AP2, AP3)을 포함하는 반도체 패턴(APP), 게이트 절연패턴(GI) 및 어느 하나의 유기막 패턴(PP)의 일측에 접할 수 있다. 제1 드레인 전극(DE1)과 이격된 제3 소스 전극(SE3)은 오믹 컨택층(OC), 제1 내지 제3 반도체 영역(AP1, AP2, AP3)을 포함하는 반도체 패턴(APP), 게이트 절연패턴(GI) 및 다른 유기막 패턴(PP)의 일측에 접할 수 있다. 또한, 분압 기준 라인(RL)은 오믹 패턴(OP), 반도체 패턴(APP), 게이트 절연패턴(GI) 및 또 다른 유기막 패턴(PP)의 일측에 접할 수 있다.
- [0098] 유기막 패턴(PP)은 제1 금속층(M1)과 제2 금속층(M2) 사이에 배치될 수 있다. 구체적으로, 유기막 패턴(PP) 중 어느 하나는 제1 드레인 전극(DE1)과 제1 내지 제3 게이트 전극(GE1, GE2, GE3) 사이에 배치될 수 있다. 또한, 유기막 패턴(PP) 중 다른 하나는 제3 소스 전극(SE3)과 제1 내지 제3 게이트 전극(GE1, GE2, GE3) 사이에 배치될 수 있다. 또한, 유기막 패턴(PP) 중 또 다른 하나는 분압 기준 라인(RL)과 유지 라인(127) 사이에 배치될 수 있다.
- [0099] 유기막 패턴(PP)은 제1 금속층(M1)과 제2 금속층(M2) 사이에 배치됨과 아울러, 유기막 패턴(PP)의 일측은 제1 금속층(M1)과 접하고 유기막 패턴(PP)의 타측은 제2 금속층(M2)에 접할 수 있다. 제1 금속층(M1)과 제2 금속층(M2)은 유기막 패턴(PP)을 통해 전기적으로 절연될 수 있다.
- [0100] 구체적으로, 유기막 패턴(PP) 중 어느 하나는 일측이 제1 내지 제3 게이트 전극(GE1, GE2, GE3)의 일측에 접하고 타측이 제1 드레인 전극(DE1)에 접할 수 있다. 또한, 유기막 패턴(PP) 중 다른 하나는 일측이 제1 내지 제3 게이트 전극(GE1, GE2, GE3)의 타측에 접하고 타측이 제3 소스 전극(SE3)에 접할 수 있다. 또한, 유기막 패턴(PP) 중 또 다른 하나는 일측이 유지 라인(127)의 일측에 접하고 타측이 분압 기준 라인(RL)에 접할 수 있다. 여기서, 유지 라인(127)의 타측에도 유기막 패턴(PP)이 배치되나, 이 유기막 패턴(PP)은 제2 금속층(M2)과 접하지 않고 이격되어 배치될 수도 있다.
- [0101] 유기막 패턴(PP)은 감광성 유기물 또는 비 감광성 유기물로 이루어질 수 있다. 감광성 유기물은 예를 들어 포토 레지스트일 수 있다. 비 감광성 유기물은 예를 들어, 폴리에테르술폰(polyethersulphone: PES), 폴리아크릴레이

트(polyacrylate: PA), 폴리아릴레이트(polyarylate: PAR), 폴리에테르이미드(polyetherimide: PEI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate: PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(polycarbonate: PC), 셀룰로오스 트리 아세테이트(cellulose triacetate: CAT), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 또는 이들의 조합을 포함할 수 있다.

- [0102] 본 실시예에 따른 표시 장치는 제1 금속층과 제2 금속층 사이에 유기막 패턴을 포함함으로써, 제1 금속층과 제2 금속층이 서로 접하여 쇼트되는 것을 방지할 수 있다. 또한, 제1 금속층과 제2 금속층 사이의 공극을 유기막 패턴으로 채움으로써, 공정 중에 제1 금속층에 부식이 발생하는 것을 방지할 수 있다.
- [0103] 이하, 전술한 도 5에 도시된 표시 장치를 제조하기 위한 제조방법에 대해 설명하기로 한다. 하기에서는 실시예의 특징이 나타나는 제1 기관(SUB1)의 제조방법을 도시하고 설명하기로 한다.
- [0104] 도 6 내지 도 15는 일 실시예에 따른 표시 장치의 제조방법을 공정별로 나타낸 단면도이다.
- [0105] 도 6을 참조하면, 제1 기관(SUB1) 상에 제1 금속 물질층(110), 게이트 절연 물질층(115), 제1 반도체 물질층(120) 및 제2 반도체 물질층(130)을 순차적으로 적층한다.
- [0106] 이어, 도 7을 참조하면, 제2 반도체 물질층(130) 상에 포토레지스트를 스핀 코팅 등의 용액 도포법을 이용하여 포토레지스트층(미도시)을 형성한다. 이어, 제1 마스크를 이용하여 노광 및 현상하여 포토레지스트 패턴(PR)을 형성한다.
- [0107] 보다 자세하게, 포토레지스트층(미도시) 상에 하프톤 마스크(half-tone mask)인 제1 마스크(MS)를 정렬한다. 제1 마스크는 빛이 투과되는 투과영역(MS1), 빛이 차단되는 차단영역(MS2) 및 빛의 투과되는 양이 조절되는 반투과영역(MS3)이 구비된다. 이어, 제1 마스크(MS) 상에서 제1 기관(SUB1)을 향해 UV를 조사하는 노광 공정을 수행한다. 이때, 제1 마스크(MS)의 배치는 차단영역(MS2)이 게이트 전극, 반도체 패턴, 오믹 패턴 및 유지 라인이 형성될 부분에 대응되고, 반투과영역(MS3)이 유지 라인과 기준 전압 라인이 접하는 제3 컨택홀이 형성되는 부분에 대응되며, 투과영역(MS1)이 나머지 영역에 대응되도록 배치한다. 따라서, 차단영역(MS2)에 대응되는 영역은 UV가 조사되지 않고, 투과영역(MS1)에 대응되는 나머지 부분은 UV가 조사되고, 반투과영역(MS3)에 대응되는 영역은 UV의 양이 조절되어 조사된다.
- [0108] 다음, 노광된 포토레지스트층에 현상액을 도포하여 현상 공정을 수행함으로써, 포토레지스트 패턴(PR)을 형성한다. 현상 공정에 의하면, 제2 반도체 물질층(130) 상에 게이트 전극, 반도체 패턴, 오믹 패턴 및 유지 라인이 형성될 부분에는 제1 두께의 제1 포토레지스트 영역(PR1)이 형성되고, 제3 컨택홀이 형성될 부분에는 제1 두께보다 얇은 제2 두께의 제2 포토레지스트 영역(PR2)이 형성된다. 그 외의 나머지 부분에는 포토레지스트층이 완전히 제거되어 제2 반도체 물질층(130)이 노출된다.
- [0109] 이어, 도 8을 참조하면, 제1 포토레지스트 영역(PR1) 및 제2 포토레지스트 영역(PR2) 이외의 영역에 건식 식각을 수행하여 게이트 절연 물질층(115), 제1 반도체 물질층(120) 및 제2 반도체 물질층(130)을 제거한다. 이로써, 제1 포토레지스트 영역(PR1) 및 제2 포토레지스트 영역(PR2)과 대응되는 영역에 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)이 형성된다.
- [0110] 다음 도 9를 참조하면, 포토레지스트 패턴(PR)을 마스크로 제1 금속 물질층(110)을 습식 식각하여, 제1 금속층(M1)을 형성한다. 제1 금속층(M1)은 습식 식각 공정으로 인해 상부의 게이트 절연패턴(GI)에 대해 언더컷 형상으로 과식각된다.
- [0111] 이어 도 10을 참조하면, 포토레지스트 패턴(PR)이 형성된 제1 기관(SUB1) 상에 유기 코팅막(CTL)을 코팅한다. 유기 코팅막(CTL)은 감광성(photo sensitive) 유기물로 예를 들어 포토레지스트일 수 있다. 유기 코팅막(CTL)이 형성된 제1 기관(SUB1) 전면에 UV 노광을 수행한다.
- [0112] 다음 도 11을 참조하면, UV 노광된 유기 코팅막(CTL)을 현상하여 유기막 패턴(PP)을 형성한다. 구체적으로, 유기 코팅막(CTL)은 제1 금속층(M1) 상부에 배치된 게이트 절연패턴(GI), 반도체 패턴(APP), 오믹 패턴(OP) 및 포토레지스트 패턴(PR)이 마스크로 작용하여, UV 노광된다. 유기 코팅막(CTL)은 제1 금속층(M1)이 게이트 절연패턴(GI)에 대해 언더컷된 부분에 UV 노광되지 않는다. 따라서, UV 노광된 유기 코팅막(CTL)을 현상하면, 제1 금속층(M1) 양 측면에 유기막 패턴(PP)이 형성될 수 있다.
- [0113] 본 실시예에서는 감광성 유기물을 이용하여 유기막 패턴(PP)을 형성함으로써, 추가의 마스크를 생략하여 제조비

용을 절감할 수 있는 이점이 있다.

- [0114] 이어, 도 12를 참조하면, 제1 기판(SUB1) 상에 남아있는 포토레지스트 패턴(PR)에 애싱(ashing) 공정을 수행한다. 애싱은 제2 두께를 가진 제2 포토레지스트 영역(PR2)의 제거와 함께 제1 포토레지스트 영역(PR1)의 두께 및 면적을 줄이기 위해 수행된다. 따라서, 애싱 공정에 의해, 제2 두께를 가진 제2 포토레지스트 영역(PR2)이 제거되고, 제1 포토레지스트 영역(PR1)은 그 두께가 줄어들어 제3 두께의 제3 포토레지스트 영역(PR3)으로 형성될 수 있다. 제2 포토레지스트 영역(PR2)이 제거됨에 따라, 기존의 제2 포토레지스트 영역(PR2)에 대응되는 오믹 패턴(OP)이 노출될 수 있다.
- [0115] 다음, 도 13을 참조하면, 제1 기판(SUB1) 상에 포토레지스트 패턴(PR)의 제3 포토레지스트 영역(PR3)을 마스크로 건식 식각을 수행하여 제3 컨택홀(CH3)을 형성한다.
- [0116] 보다 자세하게, 포토레지스트 패턴(PR)의 제3 포토레지스트 영역(PR3)과 비중첩된 오믹 패턴(OP) 및 오믹 패턴(OP) 하부의 반도체 패턴(APP) 및 게이트 절연패턴(GI)을 건식 식각 공정으로 함께 제거함으로써, 제1 금속층(M1)을 노출하는 제3 컨택홀(CH3)을 형성한다.
- [0117] 이어, 도 14를 참조하면, 제1 기판(SUB1) 상에 잔존하는 포토레지스트 패턴(PR)을 스트립하여 모두 제거한다. 따라서, 제1 금속층(M1)은 제1 내지 제3 게이트 전극(GE1, GE2, GE3) 및 유지 라인(127)으로 형성되고, 반도체 패턴(APP)은 제1 내지 제3 반도체 영역(AP1, AP2, AP3)을 포함하는 반도체 패턴(APP)으로 형성되며, 오믹 패턴(OP)은 오믹 컨택층(OC)을 포함하여 형성될 수 있다.
- [0118] 다음, 제1 기판(SUB1) 상에 제2 금속 물질층을 적층하고 제2 마스크를 이용하여 식각하여 제2 금속층(M2)을 형성한다. 제2 금속층(M2)은 제1 내지 제3 소스 전극(SE1, SE2, SE3), 제1 내지 제3 드레인 전극(DE1, DE2, DE3), 및 분압 기준 라인(RL)을 포함할 수 있다.
- [0119] 구체적으로, 제1 드레인 전극(DE1)은 오믹 컨택층(OC) 상에 형성되어, 제1 반도체 영역(AP1)의 드레인 전극으로 작용할 수 있다. 제1 소스 전극(SE1)은 제1 반도체 영역(AP1) 및 제2 반도체 영역(AP2)의 사이에 형성된 오믹 컨택층(OC) 상에 형성되어, 제1 반도체 영역(AP1)의 제1 소스 전극(SE1)으로 작용하면서 제2 반도체 영역(AP2)의 제2 소스 전극(SE2)으로 작용할 수 있다. 제2 드레인 전극(DE2)은 제2 반도체 영역(AP2)과 제3 반도체 영역(AP3) 사이에 형성된 오믹 컨택층(OC) 상에 형성되어, 제2 반도체 영역(AP2)의 제2 드레인 전극(DE2)으로 작용하면서 제3 반도체 영역(AP3)의 제3 드레인 전극(DE3)으로 작용할 수 있다. 제3 소스 전극(SE3)은 제3 반도체 영역(AP3) 상에 형성된 오믹 컨택층(OC) 상에 형성되어 제3 반도체 영역(AP3)의 제3 소스 전극(SE3)으로 작용할 수 있다. 그리고 분압 기준 라인(RL)은 제3 컨택홀(CH3)을 통해 유지 라인(127)과 접할 수 있다.
- [0120] 따라서, 제1 스위칭 소자(T1)는 제1 게이트 전극(GE1), 제1 반도체 영역(AP1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함할 수 있다. 제2 스위칭 소자(T2)는 제2 게이트 전극(GE2), 제2 반도체 영역(AP2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함할 수 있다. 제3 스위칭 소자(T3)는 제3 게이트 전극(GE3), 제3 반도체 영역(AP3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함할 수 있다.
- [0121] 다음, 도 15를 참조하면, 제1 내지 제3 스위칭 소자(T1, T2, T3)가 형성된 제1 기판(SUB1) 상에 컬러필터(CF)와 패시베이션층(ORL)을 순차적으로 형성한다. 패시베이션층(ORL) 상에 제3 마스크를 정렬하고 컬러필터(CF)와 패시베이션층(ORL)을 패터닝하여 제1 드레인 전극(DE1)을 노출하는 제1 컨택홀(CH1)을 형성한다. 이때, 도 2에 도시된 제2 컨택홀(CH2)도 동시에 형성될 수 있다.
- [0122] 이어, 제1 기판(SUB1) 상에 도전 물질층을 형성하고 제4 마스크를 이용하여 패터닝하여, 제1 연장부(191d)를 포함하는 제1 부화소 전극(191)을 형성한다. 따라서, 일 실시예에 따른 표시 장치의 제1 기판(SUB1)을 제조할 수 있다.
- [0123] 상기와 같이, 일 실시예에 따른 표시 장치의 제조방법은 감광성 유기물을 이용하여 유기막 패턴을 형성함으로써, 추가의 마스크를 생략하여 제조비용을 절감할 수 있는 이점이 있다. 또한, 일 실시예에 따른 표시 장치는 제1 금속층과 제2 금속층 사이에 유기막 패턴을 포함함으로써, 제1 금속층과 제2 금속층이 서로 접하여 쇼트되는 것을 방지할 수 있다. 또한, 제1 금속층과 제2 금속층 사이의 공극을 유기막 패턴으로 채움으로써, 공정 중에 제1 금속층에 부식이 발생하는 것을 방지할 수 있다.
- [0124] 하기에서는 다른 실시예에 따른 표시 장치의 제조방법을 설명하기로 한다. 전술한 일 실시예와 중복되는 설명은 생략하기로 한다.
- [0125] 도 16 및 도 17은 다른 실시예에 따른 표시 장치의 제조방법을 공정별로 나타낸 단면도이다. 전술한 일 실시예

의 도 9까지의 제조방법은 동일하므로, 중복되는 설명은 생략하고 도 9 이후의 제조방법을 이어서 설명한다.

- [0126] 도 16을 참조하면, 포토레지스트 패턴(PR)이 형성된 제1 기판(SUB1) 상에 유기 코팅막(CTL)을 코팅한다. 유기 코팅막(CTL)은 비 감광성(non-photosensitive) 유기물로 예를 들어 폴리에테르술폰(polyethersulphone: PES), 폴리아크릴레이트(polyacrylate: PA), 폴리아릴레이트(polyarylate: PAR), 폴리에테르이미드(polyetherimide: PEI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate: PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET), 폴리페닐렌 설파이드(polyphenylene sulfide: PPS), 폴리알릴레이트(polyallylate), 폴리이미드(polyimide: PI), 폴리카보네이트(polycarbonate: PC), 셀룰로오스 트리 아세테이트(cellulose triacetate: CAT), 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propionate: CAP) 또는 이들의 조합을 포함할 수 있다.
- [0127] 이어, 유기 코팅막(CTL)이 형성된 제1 기판(SUB1) 전면에 건식 식각 공정을 수행한다.
- [0128] 도 17을 참조하면, 유기 코팅막(CTL)을 건식 식각하여 유기막 패턴(PP)을 형성한다. 구체적으로, 유기 코팅막(CTL)은 제1 금속층(M1) 상부에 배치된 게이트 절연패턴(GI), 반도체 패턴(APP), 오믹 패턴(OP) 및 포토레지스트 패턴(PR)이 마스크로 작용하여, 건식 식각된다. 유기 코팅막(CTL)은 제1 금속층(M1)이 게이트 절연패턴(GI)에 대해 언더컷된 부분에 식각이 이루어지지 않게 된다. 따라서, 유기 코팅막(CTL)을 건식 식각하면, 제1 금속층(M1) 양 측면에 유기막 패턴(PP)이 형성될 수 있다.
- [0129] 이후 공정은 전술한 일 실시예의 도 12 내지 도 15와 동일하므로 설명을 생략한다.
- [0130] 본 실시예에서는 비 감광성 유기물을 코팅하고 건식 식각 공정을 통해 유기막 패턴(PP)을 형성함으로써, 추가의 마스크를 생략하여 제조비용을 절감할 수 있는 이점이 있다.
- [0131] 도 18은 또 다른 실시예에 따른 표시 장치의 화소를 나타낸 단면도이며, 도 2의 절취선 I-I'에 따른 또 다른 실시예의 구조를 나타낸다. 하기 실시예에서는 전술한 도 5에서 유기막 패턴(PP)의 구성에서 차이를 나타내므로, 동일한 구성에 대해 중복되는 설명을 생략하고 유기막 패턴(PP)의 구성을 설명하기로 한다.
- [0132] 도 18을 참조하면, 본 실시예에 따른 표시 장치는 제1 금속층(M1), 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)의 적어도 일측에 접하는 유기막 패턴(PP)을 포함할 수 있다.
- [0133] 구체적으로, 제1 금속층(M1)은 제1 내지 제3 게이트 전극(GE1, GE2, GE3) 및 유지 라인(127)을 포함할 수 있다. 유기막 패턴(PP)은 제1 내지 제3 게이트 전극(GE1, GE2, GE3)의 적어도 일측, 및 유지 라인(127)의 적어도 일측에 접하여 배치될 수 있다. 본 실시예에서는 제1 내지 제3 게이트 전극(GE1, GE2, GE3)이 하나의 게이트 패턴으로 이루어져 있으므로 게이트 패턴의 적어도 일측에 유기막 패턴(PP)이 접하여 배치될 수 있다. 이하, 본 실시예에서는 유기막 패턴(PP)이 제1 금속층(M1)의 양측에 배치되는 것을 도시하여 설명한다.
- [0134] 제1 금속층(M1) 상에 배치된 게이트 절연패턴(GI)은 제1 금속층(M1)의 폭보다 크게 이루어진다. 따라서, 게이트 절연패턴(GI)의 측면은 제1 금속층(M1)의 측면으로부터 외측으로 돌출된다. 즉, 제1 금속층(M1)은 게이트 절연패턴(GI)에 대해 언더컷 형상으로 이루어질 수 있다. 따라서, 유기막 패턴(PP)은 제1 금속층(M1)과 게이트 절연패턴(GI) 간에 제1 금속층(M1)의 언더컷 형상으로 형성된 영역에 배치될 수 있다. 또한, 유기막 패턴(PP)의 외측면은 게이트 절연패턴(GI)의 측면보다 돌출될 수 있다.
- [0135] 구체적으로, 유기막 패턴(PP)은 제1 금속층(M1)의 양측에 접하며 게이트 절연패턴(GI)의 하측에 접할 수 있다. 예를 들어, 유기막 패턴(PP) 중 어느 하나는 제1 내지 제3 게이트 전극(GE1, GE2, GE3)의 양측에 각각 접하여 배치되고, 제1 내지 제3 게이트 전극(GE1, GE2, GE3) 상에 위치한 게이트 절연패턴(GI)의 하측에 접하여 배치될 수 있다. 또한, 유기막 패턴(PP) 중 어느 하나는 유지 라인(127)의 양측에 각각 접하여 배치되고, 유지 라인(127) 상에 위치한 게이트 절연패턴(GI)의 하측에 접하여 배치될 수 있다.
- [0136] 또한, 유기막 패턴(PP)은 게이트 절연패턴(GI)의 적어도 일측에 접하여 배치될 수 있다. 구체적으로, 유기막 패턴(PP) 중 어느 하나는 게이트 절연패턴(GI)의 일측에 접하여 배치되고, 유기막 패턴(PP) 중 다른 하나는 게이트 절연패턴(GI)의 타측에 접하여 배치될 수 있다.
- [0137] 유기막 패턴(PP)은 반도체 패턴(APP)의 적어도 일측에 접하여 배치될 수 있다. 구체적으로, 유기막 패턴(PP) 중 어느 하나는 제1 반도체 영역(AP1)의 일측에 접하여 배치되고, 유기막 패턴(PP) 중 다른 하나는 제3 반도체 영역(AP3)의 일측에 접하여 배치될 수 있다.
- [0138] 유기막 패턴(PP)은 오믹 패턴(OP)의 적어도 일측에 접하여 배치될 수 있다. 구체적으로, 유기막 패턴(PP) 중 어

느 하나는 제1 반도체 영역(AP1) 상에 배치된 오믹 컨택층(OC)의 일측에 접하여 배치되고, 유기막 패턴(PP) 중 다른 하나는 제3 반도체 영역(AP3) 상에 배치된 오믹 컨택층(OC)의 일측에 접하여 배치될 수 있다.

- [0139] 전술한 바와 같이, 유기막 패턴(PP)은 제1 금속층(M1), 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)의 일측에 접할 수 있다. 유기막 패턴(PP)은 제2 금속층(M2)의 일측에 접하여 배치될 수 있다. 제2 금속층(M2)은 오믹 패턴(OP) 상에 배치되되, 일부는 제1 금속층(M1)과 동일 레벨에 위치할 수 있다. 동일 레벨에 위치하는 제1 금속층(M1)과 제2 금속층(M2)은 유기막 패턴(PP)을 통해 전기적으로 절연될 수 있다.
- [0140] 유기막 패턴(PP)은 제1 금속층(M1)과 제2 금속층(M2) 사이에 배치됨과 아울러, 유기막 패턴(PP)의 일측은 제1 금속층(M1), 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)과 접하고, 유기막 패턴(PP)의 타측은 제2 금속층(M2)에 접할 수 있다. 제2 금속층(M2)은 전술한 바와 같이, 제1 내지 제3 소스 전극(SE1, SE2, SE3), 제1 내지 제3 드레인 전극(DE1, DE2, DE3) 및 분압 기준 라인(RL)을 포함할 수 있다.
- [0141] 구체적으로, 제1 드레인 전극(DE1)은 오믹 컨택층(OC) 상부에서 제1 기판(SUB1)으로 연장되어 배치될 수 있다. 유기막 패턴(PP) 중 어느 하나는 제1 드레인 전극(DE1)과 오믹 컨택층(OC) 사이, 제1 드레인 전극(DE1)과 반도체 패턴의 제1 반도체 영역(AP1) 사이, 제1 드레인 전극(DE1)과 게이트 절연패턴(GI) 사이, 및 제1 드레인 전극(DE1)과 제1 게이트 전극(GE1) 사이에 연속적으로 배치될 수 있다. 제3 소스 전극(SE3)은 전술한 오믹 컨택층(OC)과 이격된 오믹 컨택층(OC) 상부에서 제1 기판(SUB1)으로 연장되어 배치될 수 있다. 유기막 패턴(PP) 중 다른 하나는 제3 소스 전극(SE3)과 오믹 컨택층(OC) 사이, 제3 소스 전극(SE1)과 반도체 패턴(APP)의 제3 반도체 영역(AP3) 사이, 제3 소스 전극(SE3)과 게이트 절연패턴(GI) 사이, 및 제3 소스 전극(SE3)과 제3 게이트 전극(GE3) 사이에 연속적으로 배치될 수 있다. 또한, 분압 기준 라인(RL)은 오믹 패턴(OP) 상부에서 제1 기판(SUB1)으로 연장되어 배치될 수 있다. 유기막 패턴(PP) 중 또 다른 하나는 오믹 패턴(OP)과 분압 기준 라인(RL) 사이, 반도체 패턴(APP)과 분압 기준 라인(RL) 사이, 게이트 절연패턴(GI)과 분압 기준 라인(RL) 사이, 및 유기 라인(127)과 분압 기준 라인(RL) 사이에 연속적으로 배치될 수 있다.
- [0142] 전술한 도 5의 유기막 패턴은 제1 금속층과 제2 금속층 사이에 배치될 수 있다. 본 실시예의 유기막 패턴은 제1 금속층 뿐만 아니라 제1 금속층 상부의 게이트 절연패턴, 반도체 패턴 및 오믹 패턴과, 제2 금속층 사이에 배치될 수 있다. 따라서, 본 실시예의 유기막 패턴은 반도체 패턴 및 오믹 패턴의 측면을 절연시키고 후속 공정으로부터 보호함으로써, 소자의 특성이 저하되는 것을 방지할 수 있다.
- [0143] 이하, 전술한 도 18의 표시 장치의 제조방법에 대해 설명하기로 한다.
- [0144] 도 19 내지 도 23은 또 다른 실시예에 따른 표시 장치의 제조방법을 공정별로 나타낸 단면도이다. 전술한 실시예의 도 7까지의 제조방법은 동일하므로 중복되는 설명은 생략하고, 도 7 이후의 제조방법에 대해 이어서 설명한다.
- [0145] 도 19를 참조하면, 제1 포토레지스트 영역(PR1) 및 제2 포토레지스트 영역(PR2) 이외의 영역에 건식 식각을 수행하여 게이트 절연 물질층(115), 제1 반도체 물질층(120) 및 제2 반도체 물질층(130)을 제거한다. 이로써, 제1 포토레지스트 영역(PR1) 및 제2 포토레지스트 영역(PR2)과 대응되는 영역에 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)이 형성될 수 있다. 이때, 전술한 실시예와는 달리, 건식 식각 공정에서 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)이 과식각한다. 건식 식각 공정 조건 예를 들어, 파워 또는 시간을 증가시키면 과식각물이 과식각될 수 있다. 따라서, 본 실시예에서는 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP)이 과식각하여, 포토레지스트 패턴(PR)에 대해 언더컷 부분을 증가시킨다.
- [0146] 다음 도 20을 참조하면, 포토레지스트 패턴(PR)을 마스크로 제1 금속 물질층(110)을 습식 식각하여, 제1 금속층(M1)들을 형성한다. 제1 금속층(M1)은 습식 식각 공정으로 인해 상부의 게이트 절연패턴(GI)에 대해 언더컷 형상으로 과식각될 수 있다.
- [0147] 이어 도 21을 참조하면, 포토레지스트 패턴(PR)이 형성된 제1 기판(SUB1) 상에 유기 코팅막(CTL)을 코팅한다. 유기 코팅막(CTL)은 감광성(photo sensitive) 유기물 또는 비 감광성 유기물로 형성할 수 있다. 일례로, 유기 코팅막(CTL)을 감광성 유기물로 형성한 경우 제1 기판(SUB1) 전면에 UV 노광을 수행한다.
- [0148] 다음 도 22를 참조하면, UV 노광된 유기 코팅막(CTL)을 현상하여 유기막 패턴(PP)을 형성한다. 구체적으로, 유기 코팅막(CTL)은 포토레지스트 패턴(PR)이 마스크로 작용하여, UV 노광된다. 유기 코팅막(CTL)은 포토레지스트 패턴(PR)에 대해 언더컷된 부분에 UV 노광이 이루어지지 않게 된다. 따라서, UV 노광된 유기 코팅막(CTL)을 현상하면, 제1 금속층(M1), 게이트 절연패턴(GI), 반도체 패턴(APP) 및 오믹 패턴(OP) 양 측면에 유기막 패턴(P

P)이 형성된다.

[0149] 한편, 유기 코팅막(CTL)이 비 감광성 유기물로 형성되는 경우, 도 21에서 UV 노광하지 않고 바로 건식 식각 공정을 수행하면 도 22와 같이 동일한 형상의 유기막 패턴(PP)이 형성될 수 있다.

[0150] 이후 공정은 전술한 일 실시예의 도 12 내지 도 15와 동일한 공정을 수행하여 도 23과 같은 표시 장치를 제조한다.

[0151] 상기와 같이, 일 실시예에 따른 표시 장치는 제1 금속층, 게이트 절연패턴, 반도체 패턴 및 오믹 패턴과, 제2 금속층 사이에 유기막 패턴을 형성함으로써, 반도체 패턴 및 오믹 패턴의 측면을 절연시키고 후속 공정으로부터 보호함으로써, 소자의 특성이 저하되는 것을 방지할 수 있다.

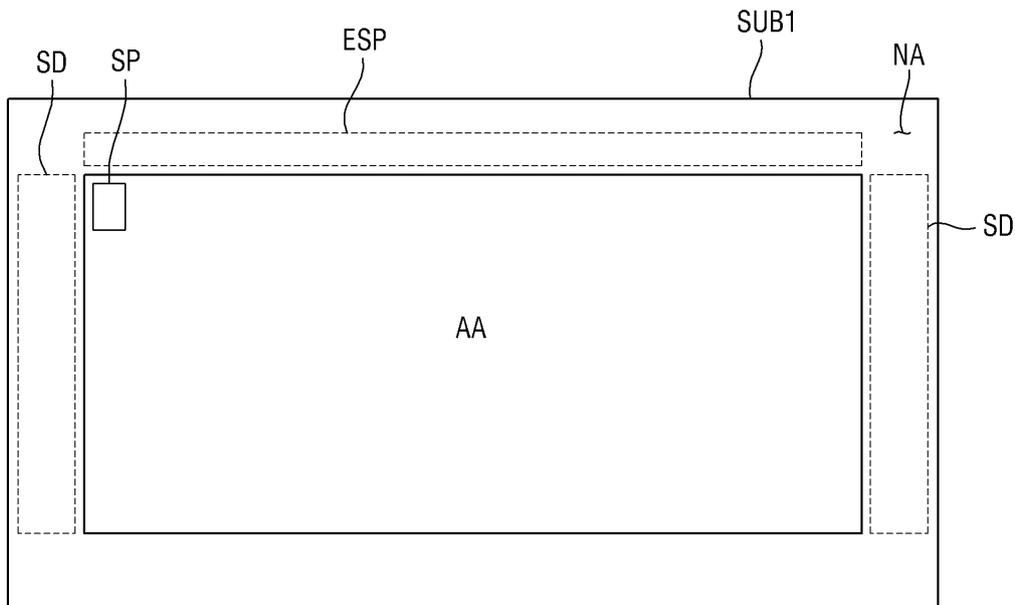
[0152] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**부호의 설명**

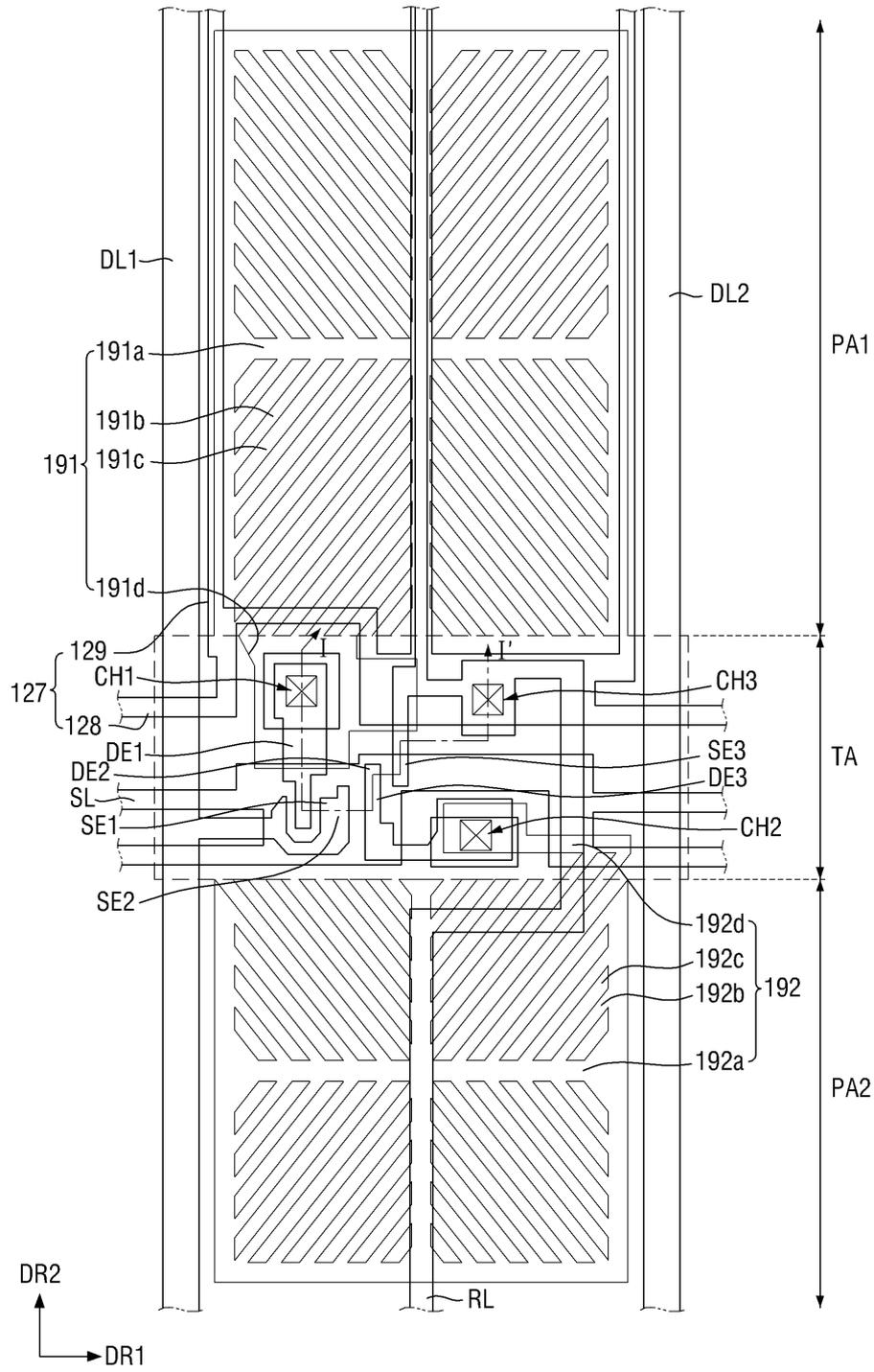
- [0153] SUB1 : 제1 기판 M1 : 제1 금속층
- M2 : 제2 금속층 GI : 게이트 절연패턴
- APP : 반도체 패턴 OP : 오믹 패턴
- CF : 컬러필터 ORL : 유기막
- SUB2 : 제2 기판 CE : 공통 전극
- PP : 유기막 패턴 300 : 액정층

**도면**

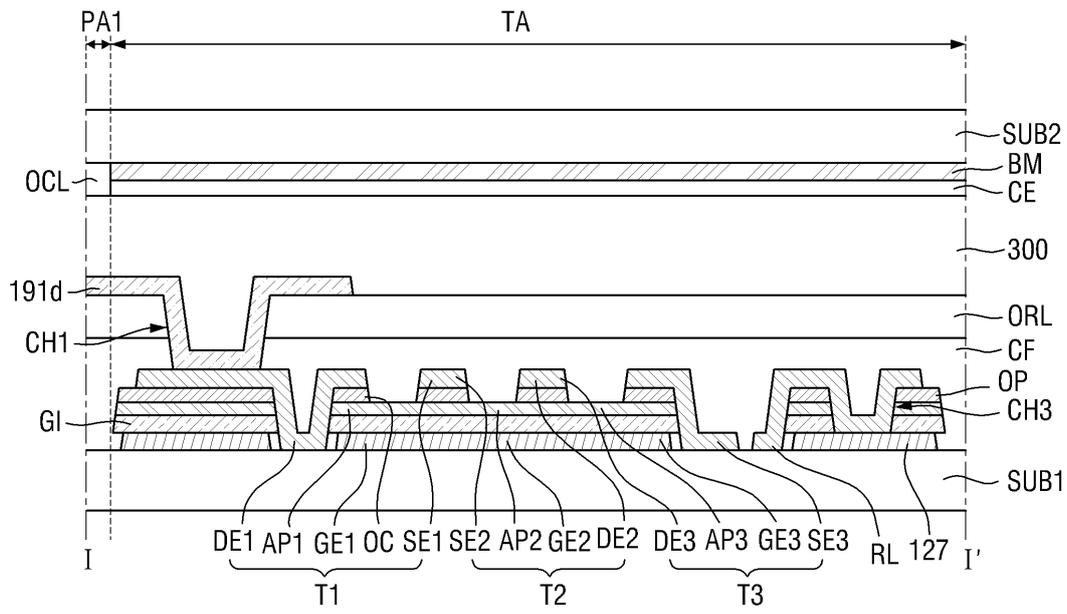
**도면1**



도면2



도면3

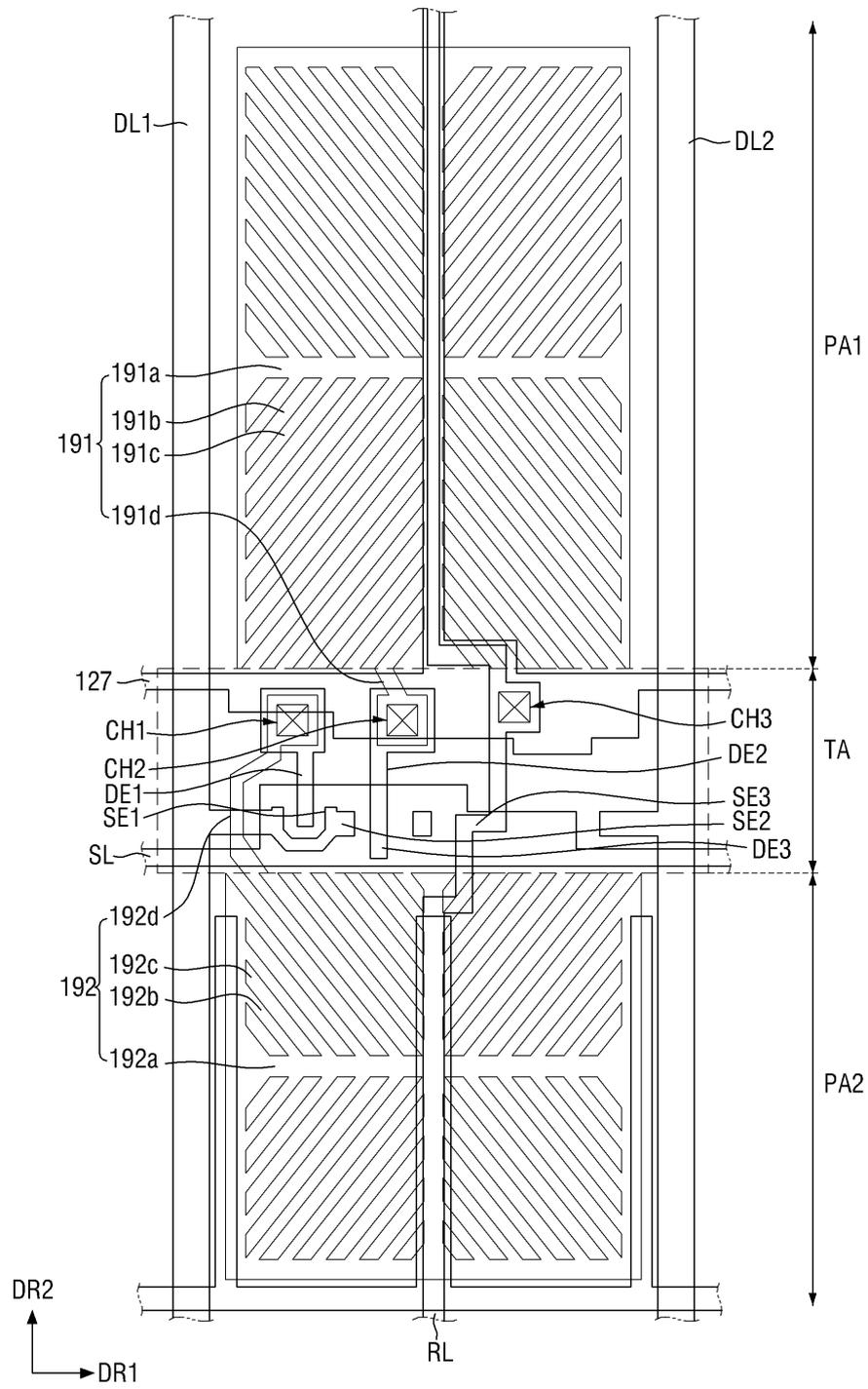


APP: AP1, AP2, AP3

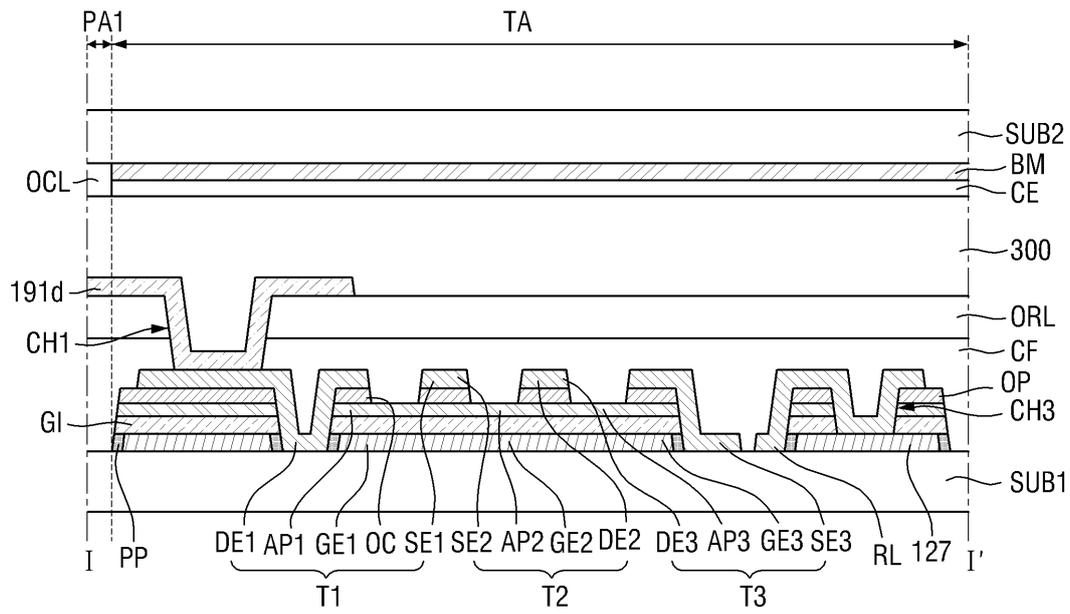
M1: GE1, GE2, GE3, 127

M2: SE1, SE2, SE3, DE1, DE2, DE3, RL

도면4

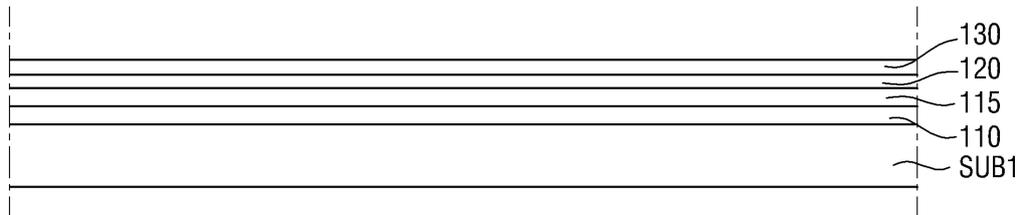


도면5

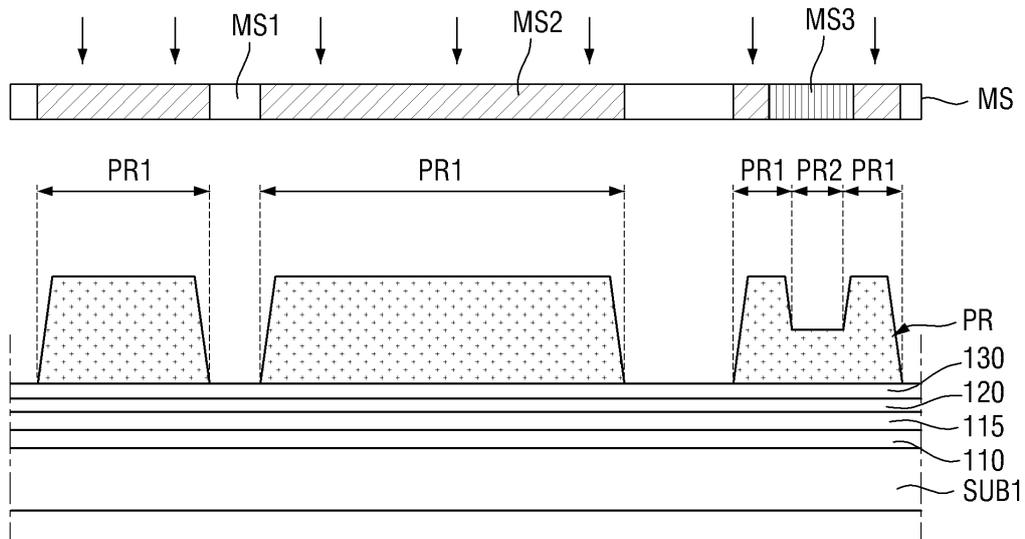


APP: AP1, AP2, AP3  
 M1: GE1, GE2, GE3, 127  
 M2: SE1, SE2, SE3, DE1, DE2, DE3, RL

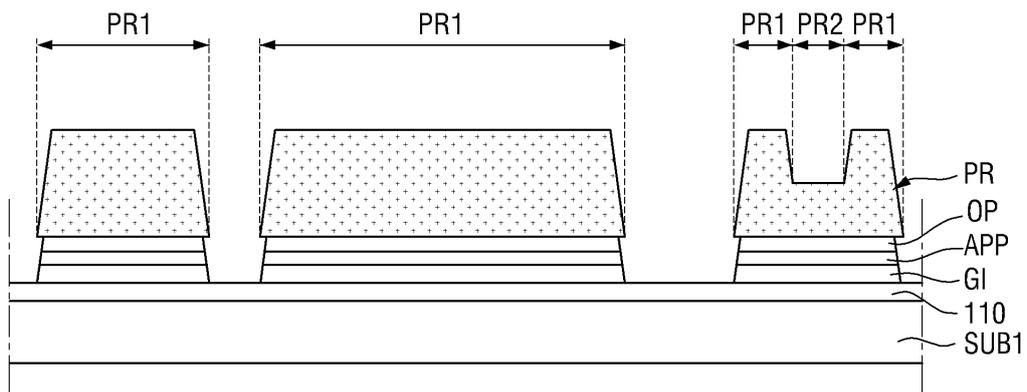
도면6



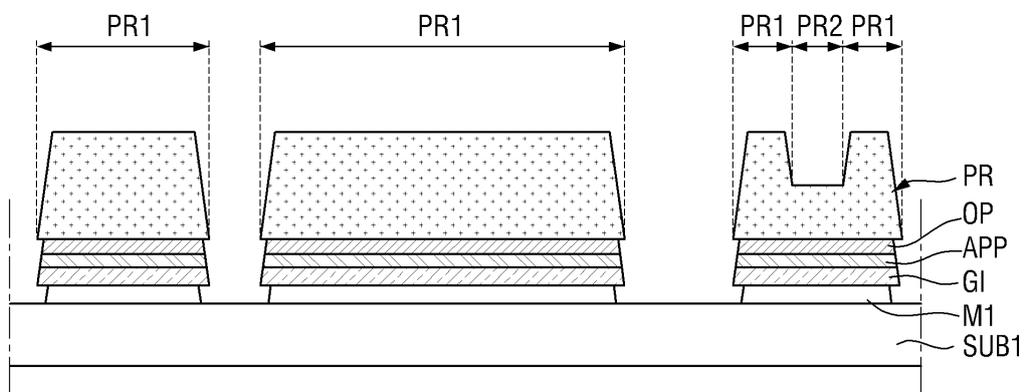
도면7



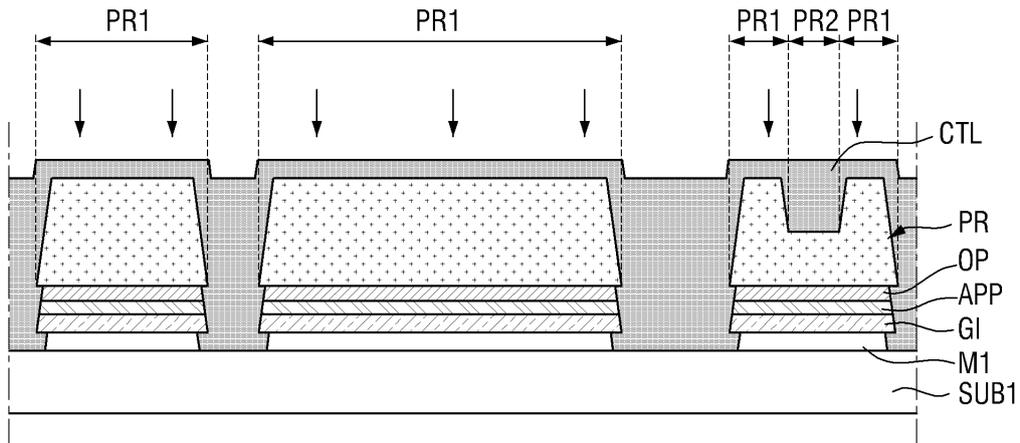
도면8



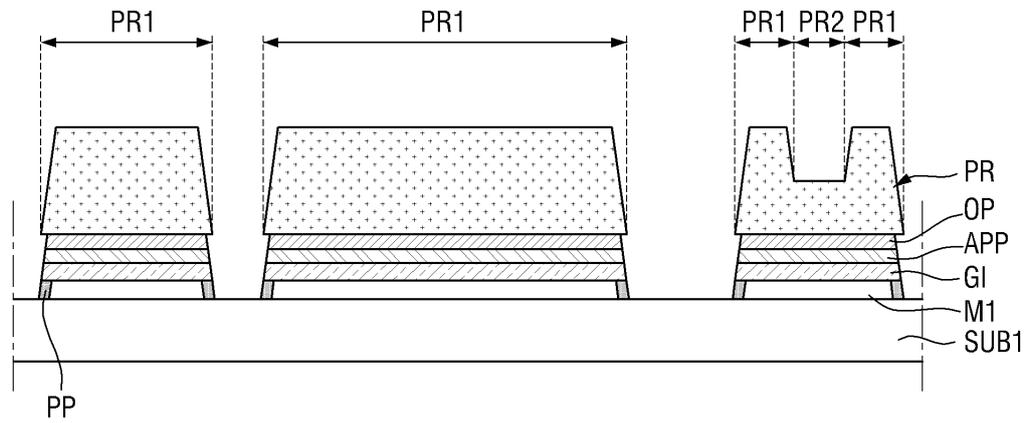
도면9



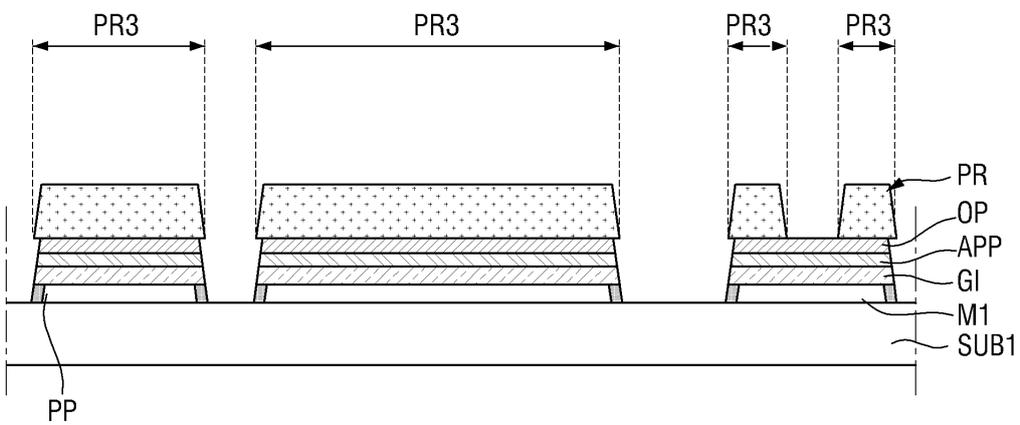
도면10



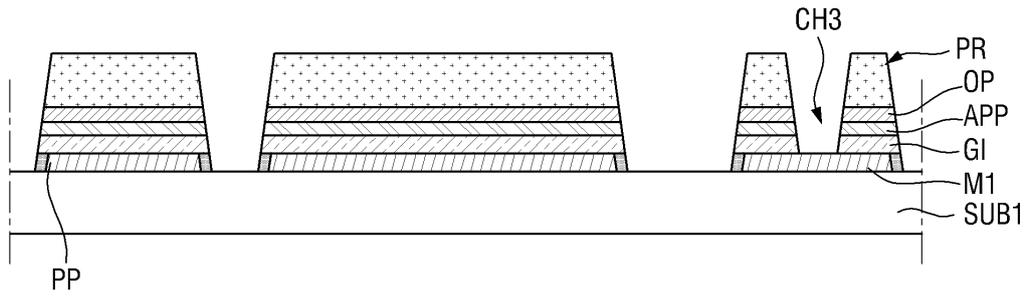
도면11



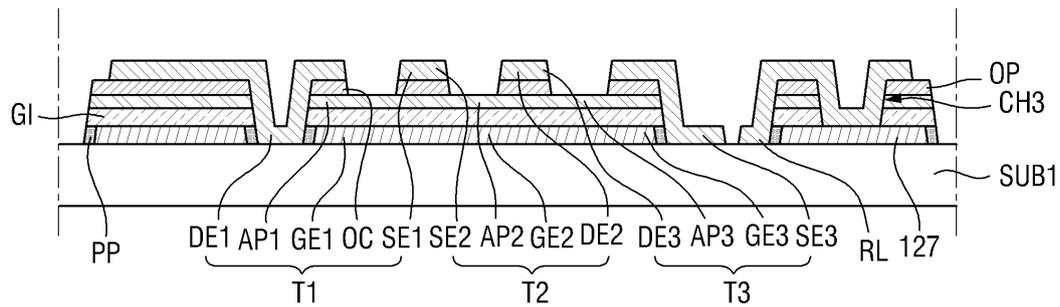
도면12



도면13

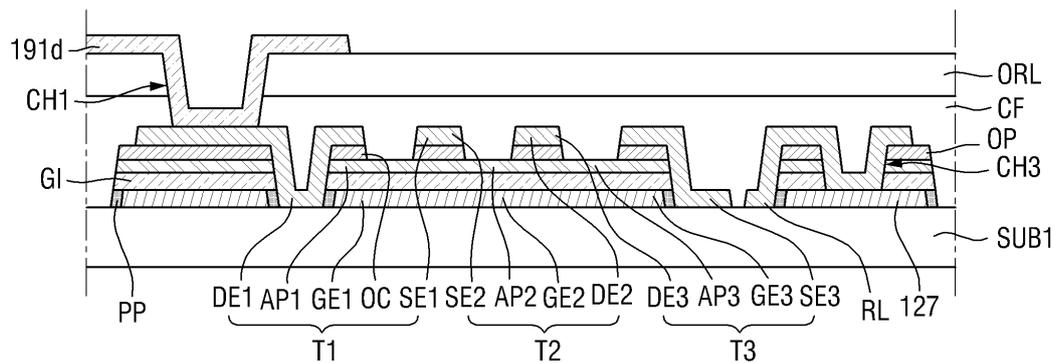


도면14



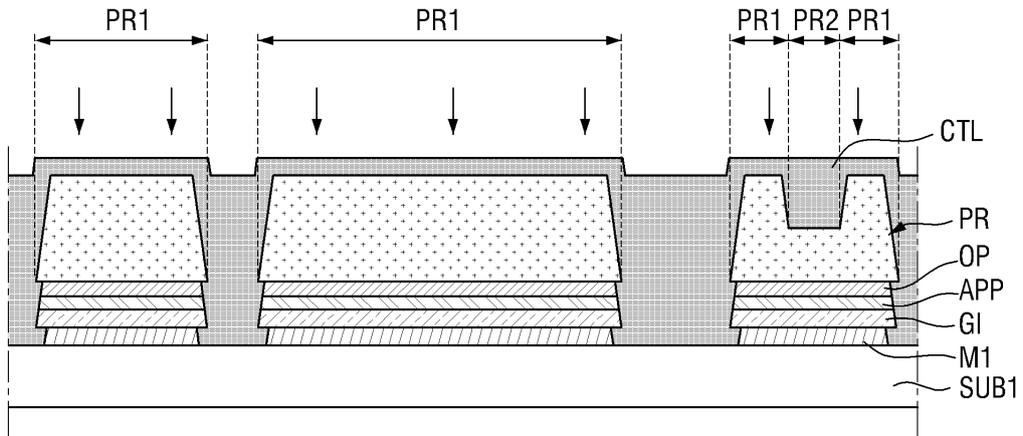
APP: AP1, AP2, AP3  
 M1: GE1, GE2, GE3, 127  
 M2: SE1, SE2, SE3, DE1, DE2, DE3, RL

도면15

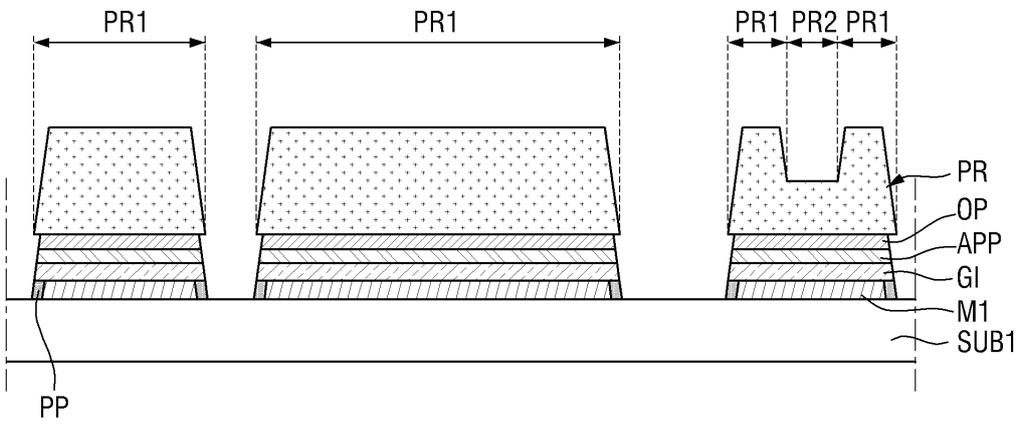


APP: AP1, AP2, AP3  
 M1: GE1, GE2, GE3, 127  
 M2: SE1, SE2, SE3, DE1, DE2, DE3, RL

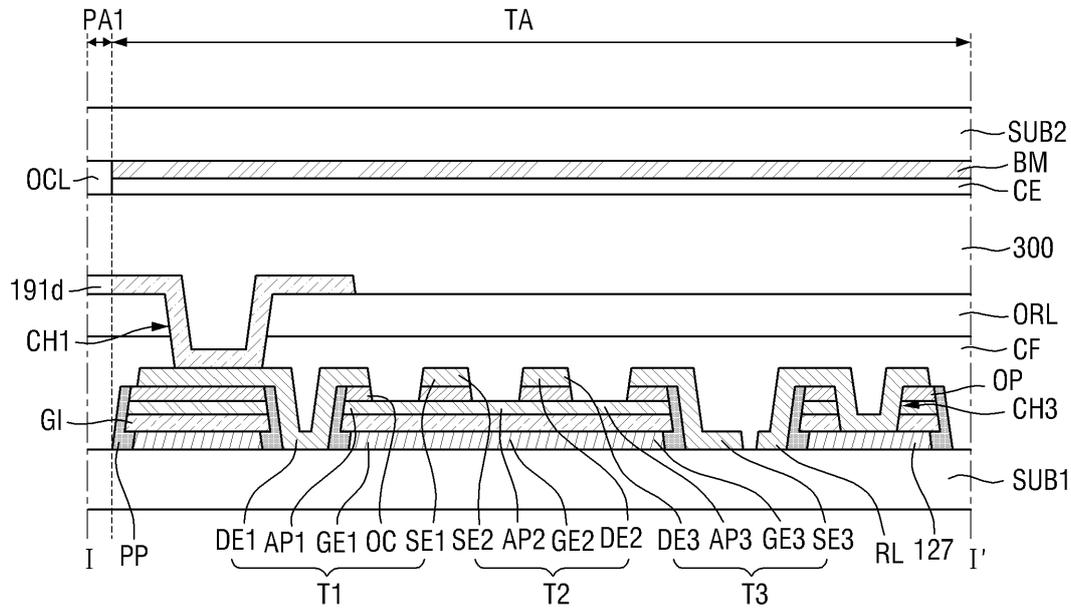
도면16



도면17

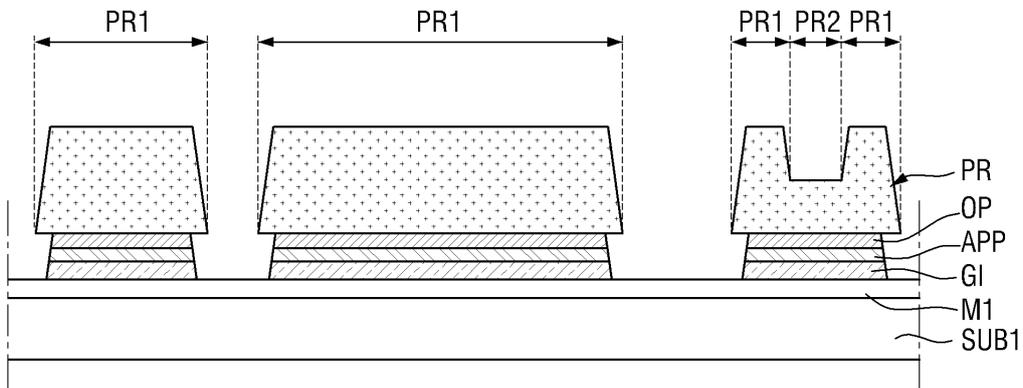


도면18

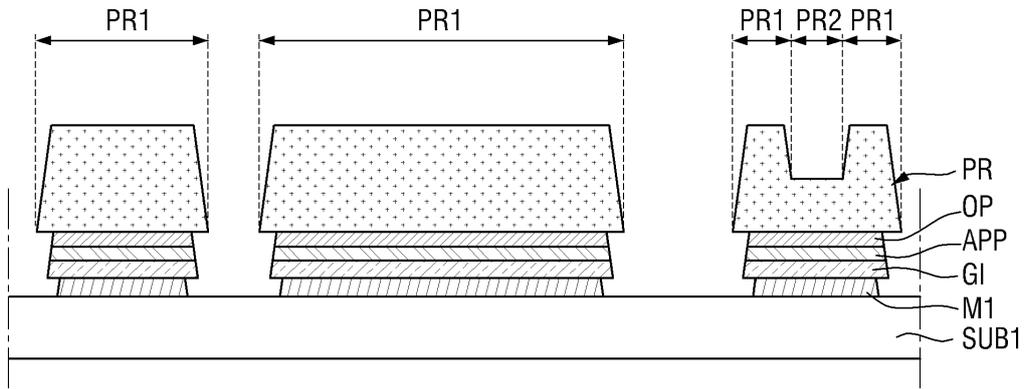


APP: AP1, AP2, AP3  
 M1: GE1, GE2, GE3, 127  
 M2: SE1, SE2, SE3, DE1, DE2, DE3, RL

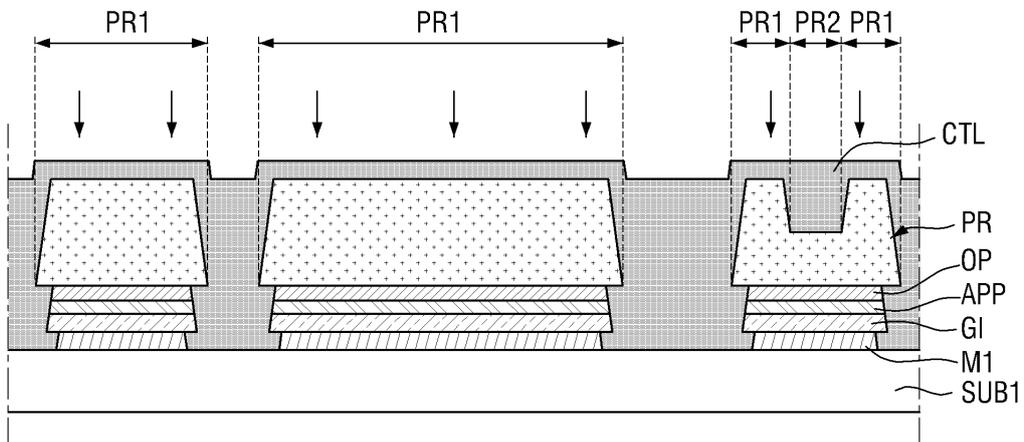
도면19



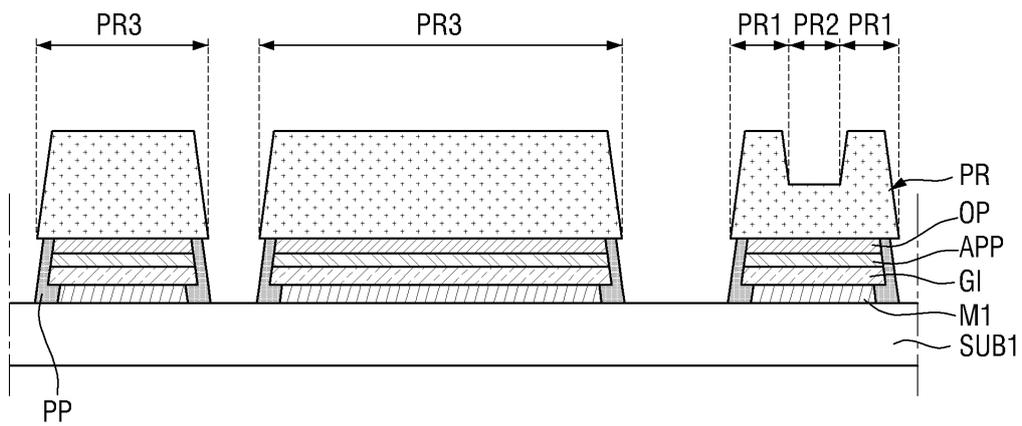
도면20



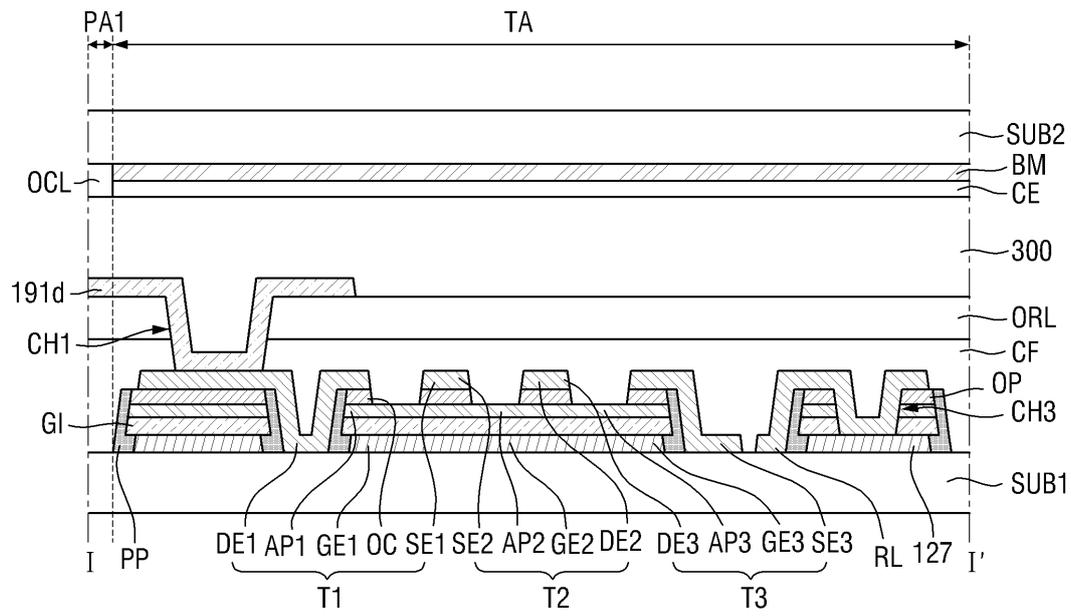
도면21



도면22



도면23



APP: AP1, AP2, AP3  
 M1: GE1, GE2, GE3, 127  
 M2: SE1, SE2, SE3, DE1, DE2, DE3, RL