



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0095502
(43) 공개일자 2007년10월01일

(51) Int. Cl.

H01L 23/12(2006.01)

(21) 출원번호 10-2005-0096659

(22) 출원일자 2005년10월13일

심사청구일자 2005년10월13일

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박상욱

경기 성남시 분당구 구미동 무지개마을주공12단지
아파트 1201동1209호

백형길

경기 수원시 영통구 망포동 늘푸른벽산아파트 11
0동 304호

(74) 대리인

윤동열

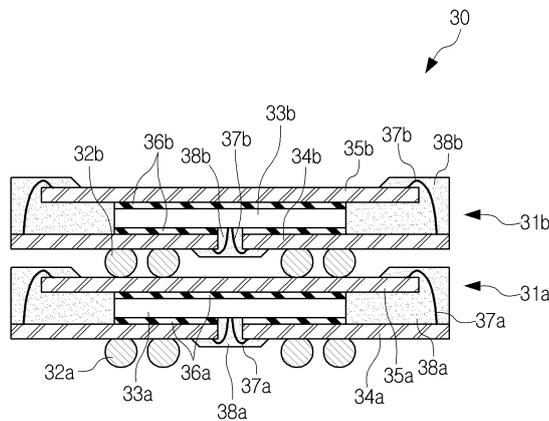
전체 청구항 수 : 총 17 항

(54) 볼 그리드 어레이 유형의 적층 패키지

(57) 요약

본 발명은 볼 그리드 어레이 유형의 적층 패키지에 관한 것으로, 단품 패키지 내부의 비대칭 구조로 인한 패키지 휨 현상, 반도체 칩 노출에 따른 칩 깨짐 불량, 볼 레이아웃 불일치에 따른 수율 감소 등을 방지하기 위한 것이다. 본 발명에 따르면, 각 단품 패키지는 반도체 칩의 아래위에 각각 배선기판이 배치되어 상하 대칭 구조를 가진다. 이 때, 본딩 와이어를 통하여 하부 배선기판은 반도체 칩과 전기적으로 연결되고, 상부 배선기판은 하부 배선기판과 전기적으로 연결된다. 한편, 상부의 단품 패키지는 솔더 볼을 통하여 하부 단품 패키지의 상부 배선기판과 기계적, 전기적으로 연결되어 적층 패키지를 구현한다. 반도체 칩은 상하부 배선기판과 몰딩 수지로 둘러싸이며, 모든 단품 패키지들은 동일한 표준 볼 레이아웃을 가진다.

대표도 - 도3



특허청구의 범위

청구항 1

제1 단품 패키지 및 그 위에 적층된 제2 단품 패키지를 포함하는 적층 패키지로서,
 상기 제1 단품 패키지와 상기 제2 단품 패키지 각각은,
 활성면과 그 반대쪽인 비활성면을 구비하는 반도체 칩;
 상기 반도체 칩의 활성면 쪽에 위치하는 제1 배선기판;
 상기 반도체 칩의 비활성면 쪽에 위치하는 제2 배선기판;
 상기 반도체 칩과 상기 제1 배선기판을 전기적으로 연결하는 제1 내부연결 수단;
 상기 제1 배선기판과 상기 제2 배선기판을 전기적으로 연결하는 제2 내부연결 수단; 및
 상기 제1 배선기판에 형성되는 외부접속 수단;
 을 포함하며, 상기 제2 단품 패키지의 제1 배선기판에 형성된 상기 외부접속 수단은 상기 제1 단품 패키지의 제2 배선기판과 접속되는 것을 특징으로 하는 적층 패키지.

청구항 2

제1항에 있어서, 상기 반도체 칩은 상기 활성면에 형성된 복수개의 칩 패드를 구비하는 것을 특징으로 하는 적층 패키지.

청구항 3

제2항에 있어서, 상기 제1 내부연결 수단은 복수개의 제1 본딩 와이어인 것을 특징으로 하는 적층 패키지.

청구항 4

제3항에 있어서, 상기 제1 배선기판은 칩 부착면의 반대쪽 면에 형성되는 복수개의 제1 본딩 패드를 구비하며, 상기 제1 본딩 와이어는 상기 칩 패드와 상기 제1 본딩 패드를 서로 연결하는 것을 특징으로 하는 적층 패키지.

청구항 5

제4항에 있어서, 상기 칩 패드는 상기 활성면의 중앙을 따라 형성되는 것을 특징으로 하는 적층 패키지.

청구항 6

제5항에 있어서, 상기 제1 배선기판은 상기 칩 패드와 대응하여 중앙을 따라 형성된 홈을 구비하는 것을 특징으로 하는 적층 패키지.

청구항 7

제6항에 있어서, 상기 제1 본딩 와이어를 덮는 제1 몰딩 수지를 더 포함하는 것을 특징으로 하는 적층 패키지.

청구항 8

제1항에 있어서, 상기 제2 내부연결 수단은 복수개의 제2 본딩 와이어인 것을 특징으로 하는 적층 패키지.

청구항 9

제8항에 있어서, 상기 제1 배선기판은 칩 부착면에 형성되는 복수개의 제2 본딩 패드를 구비하고, 상기 제2 배선기판은 칩 부착면의 반대쪽 면에 형성되는 복수개의 제3 본딩 패드를 구비하며, 상기 제2 본딩 와이어는 상기 제2 본딩 패드와 상기 제3 본딩 패드를 서로 연결하는 것을 특징으로 하는 적층 패키지.

청구항 10

제9항에 있어서, 상기 제1 배선기판은 상기 제2 배선기판보다 크기가 큰 것을 특징으로 하는 적층 패키지.

청구항 11

제9항에 있어서, 상기 제2 본딩 와이어를 덮는 제2 몰딩 수지를 더 포함하는 것을 특징으로 하는 적층 패키지.

청구항 12

제1항에 있어서, 상기 외부접속 수단은 복수개의 솔더 볼인 것을 특징으로 하는 적층 패키지.

청구항 13

제12항에 있어서, 상기 제1 단품 패키지의 솔더 볼과 상기 제2 단품 패키지의 솔더 볼은 서로 동일한 볼 레이어를 가지는 것을 특징으로 하는 적층 패키지.

청구항 14

제12항에 있어서, 상기 제1 배선기관은 칩 부착면의 반대쪽 면에 형성되는 복수개의 제1 볼 랜드를 구비하며, 상기 솔더 볼은 상기 제1 볼 랜드에 형성되는 것을 특징으로 하는 적층 패키지.

청구항 15

제14항에 있어서, 상기 제2 배선기관은 칩 부착면의 반대쪽 면에 형성되는 복수개의 제2 볼 랜드를 구비하며, 상기 제2 단품 패키지의 솔더 볼은 상기 제1 단품 패키지의 제2 볼 랜드에 접속되는 것을 특징으로 하는 적층 패키지.

청구항 16

제1항에 있어서, 상기 반도체 칩의 활성면과 상기 제1 배선기관의 칩 부착면 사이에 개재되는 제1 접촉층을 더 포함하는 것을 특징으로 하는 적층 패키지.

청구항 17

제1항에 있어서, 상기 반도체 칩의 비활성면과 상기 제2 배선기관의 칩 부착면 사이에 개재되는 제2 접촉층을 더 포함하는 것을 특징으로 하는 적층 패키지.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 반도체 패키지 기술에 관한 것으로서, 좀 더 구체적으로는 볼 그리드 어레이(ball grid array; BGA) 유형의 적층 패키지에 관한 것이다.
- <14> 근래 들어 각종 전자기기, 휴대용 정보통신기기 등의 폭발적인 성장에 따라 이들 제품에 데이터 저장매체로 사용되는 메모리 소자의 수요가 지속적으로 늘고 있다. 아울러, 메모리 소자의 메모리 용량 증대에 대한 시장의 요구 또한 급격히 높아지고 있는 추세이다.
- <15> 이에 따라 최근에는 패키지 조립 단계에서 집적도를 향상시킬 수 있는 방안으로 적층 기술(stacking technology)이 활발히 연구되고 있다. 적층 기술은 크게 칩 적층 방식과 패키지 적층 방식으로 구분될 수 있는데, 패키지 적층 방식은 패키지 상태에서 칩의 전기적 특성을 검사하고 신뢰성이 검증된 단품 패키지들을 적층하는 구조이기 때문에, 칩 적층 방식에 비하여 신뢰성과 수율 면에서 장점을 가지고 있다.
- <16> 도 1은 종래 기술에 따른 적층 패키지(10)의 한 예를 개략적으로 도시한 단면도로서, 볼 그리드 어레이(이하, BGA라 함) 유형의 단품 패키지를 패키지 적층 방식으로 적층한 구조를 나타낸다. 예시된 바와 같이, 패키지 적층 방식을 이용한 종래의 BGA 적층 패키지(10)는 단품 패키지(11a, 11b)의 가장자리에 위치하는 솔더 볼(12, solder ball)을 통하여 아래위 패키지(11a, 11b)간 적층을 구현하는 것이 일반적이다.
- <17> 종래의 적층 패키지(10)는 다음과 같은 문제점들을 가지고 있다. 도 2는 종래의 적층 패키지(10)에서 발생하는

불량 유형을 도시하고 있다.

- <18> 첫째, 단품 패키지(11a, 11b) 자체의 구조적 원인 때문에 종종 패키지 휨(warping)이 발생하며, 이로 인한 공정 불량, 신뢰성 저하 등의 문제가 발생한다. 부연하자면, 단품 패키지(11a, 11b)는 반도체 칩(13)의 한쪽 면에 배선기판(14)이 부착되는 구조이다. 즉, 구조 및 재질면에서 상하 비대칭을 이루기 때문에, 열을 수반한 각종 공정 중에 열팽창 계수 차이에 따른 휨이 발생한다. 패키지(11a, 11b)의 휨 현상은 솔더 볼(12)을 이용한 적층 공정의 불량(21)을 초래할 수 있고, 적층 후에도 솔더 접합의 깨짐(22, solder joint crack)과 같은 신뢰성 저하의 원인이 된다.
- <19> 둘째, 종래의 적층 패키지(10)는 반도체 칩(13)의 뒷면이 외부로 노출되는 구조이기 때문에, 외부의 충격에 의하여 반도체 칩(13)이 깨지는 불량(23)이 발생할 수 있다.
- <20> 셋째, 일반적인 BGA 패키지는 표준 볼 레이아웃(standard ball layout)이 어레이(array) 형태로 구성된다. 따라서 종래 기술과 같이 동종의 패키지들을 적층할 때 맨 하단의 패키지(11a)는 표준 볼 레이아웃에서 벗어나는 경우가 많다. 이를 배제하기 위하여 맨 하단의 패키지(11a)를 표준 볼 레이아웃으로 구성하면, 상단의 패키지(11b)와 서로 다른 이종 패키지끼리의 적층이 되어 수율 감소를 유발할 수 있다.

발명이 이루고자 하는 기술적 과제

- <21> 본 발명의 목적은 패키지 휨 및 그로 인한 적층 불량, 솔더 접합 깨짐 등을 방지할 수 있는 구조의 적층 패키지를 제공하고자 하는 것이다.
- <22> 본 발명의 다른 목적은 외부 충격으로 인한 반도체 칩의 깨짐 불량을 방지할 수 있는 구조의 적층 패키지를 제공하기 위한 것이다.
- <23> 본 발명의 또 다른 목적은 표준 볼 레이아웃을 사용하는 패키지끼리의 적층이 가능한 적층 패키지를 제공하기 위한 것이다.

발명의 구성 및 작용

- <24> 이러한 목적들을 달성하기 위하여, 본 발명은 반도체 칩의 아래위에 각각 배선기판이 배치되는 상하 대칭 구조의 적층 패키지를 제공한다.
- <25> 본 발명에 따른 적층 패키지는 제1 단품 패키지 및 그 위에 적층된 제2 단품 패키지를 포함하여 구성되며, 각각의 단품 패키지는 활성면과 그 반대쪽인 비활성면을 구비하는 반도체 칩과, 반도체 칩의 활성면 쪽에 위치하는 제1 배선기판과 반도체 칩의 비활성면 쪽에 위치하는 제2 배선기판을 포함한다. 또한, 각각의 단품 패키지는 반도체 칩과 제1 배선기판을 전기적으로 연결하는 제1 내부연결 수단과, 제1 배선기판과 제2 배선기판을 전기적으로 연결하는 제2 내부연결 수단과, 제1 배선기판에 형성되는 외부접속 수단을 더 포함한다. 제2 단품 패키지의 제1 배선기판에 형성된 외부접속 수단은 제1 단품 패키지의 제2 배선기판과 접속된다.
- <26> 본 발명에 따른 적층 패키지에 있어서, 반도체 칩은 활성면에 형성된 복수개의 칩 패드를 구비할 수 있다. 제1 내부연결 수단은 복수개의 제1 본딩 와이어일 수 있고, 제1 배선기판은 칩 부착면의 반대쪽 면에 형성되는 복수개의 제1 본딩 패드를 구비할 수 있다. 이 때, 제1 본딩 와이어는 칩 패드와 제1 본딩 패드를 서로 연결한다.
- <27> 칩 패드는 활성면의 중앙을 따라 형성될 수 있고, 제1 배선기판은 칩 패드와 대응하여 중앙을 따라 형성된 홈을 구비할 수 있다. 또한, 각각의 단품 패키지는 제1 본딩 와이어를 덮는 제1 몰딩 수지를 더 포함할 수 있다.
- <28> 제2 내부연결 수단은 복수개의 제2 본딩 와이어일 수 있다. 또한, 제1 배선기판은 칩 부착면에 형성되는 복수개의 제2 본딩 패드를 구비할 수 있고, 제2 배선기판은 칩 부착면의 반대쪽 면에 형성되는 복수개의 제3 본딩 패드를 구비할 수 있다. 이 때, 제2 본딩 와이어는 제2 본딩 패드와 제3 본딩 패드를 서로 연결한다.
- <29> 제1 배선기판은 제2 배선기판보다 크기가 큰 것이 바람직하다. 또한, 각각의 단품 패키지는 제2 본딩 와이어를 덮는 제2 몰딩 수지를 더 포함할 수 있다.
- <30> 본 발명의 적층 패키지에 있어서, 외부접속 수단은 복수개의 솔더 볼일 수 있다. 제1 단품 패키지의 솔더 볼과 제2 단품 패키지의 솔더 볼은 서로 동일한 볼 레이아웃을 가지는 것이 바람직하다.
- <31> 제1 배선기판은 칩 부착면의 반대쪽 면에 형성되는 복수개의 제1 볼 랜드를 구비할 수 있고, 이 때 솔더 볼은 제1 볼 랜드에 형성된다. 또한, 제2 배선기판은 칩 부착면의 반대쪽 면에 형성되는 복수개의 제2 볼 랜드를 구

비할 수 있고, 이 때 제2 단품 패키지의 솔더 볼은 제1 단품 패키지의 제2 볼 랜드에 접속된다.

- <32> 본 발명의 적층 패키지는 반도체 칩의 활성면과 제1 배선기판의 칩 부착면 사이에 개재되는 제1 접착층을 더 포함할 수 있고, 반도체 칩의 비활성면과 제2 배선기판의 칩 부착면 사이에 개재되는 제2 접착층을 더 포함할 수 있다.
- <33> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 보다 상세하게 설명하고자 한다.
- <34> 여기에 설명되는 실시예는 본 발명이 속하는 기술 분야의 당업자들이 본 발명을 충분히 실시할 수 있도록 예시 되는 것이지, 본 발명의 범위를 제한하고자 하는 것은 아니다. 실시예를 설명함에 있어, 일부 구조나 제조 공정에 대해서는 그 설명을 생략하거나 도면의 도시를 생략한다. 이는 본 발명의 특징적 구성을 보다 명확하게 보여 주기 위한 것이다. 마찬가지로 이유로 도면에 도시된 일부 구성요소들은 때론 과장되게 때론 개략적으로 나타내었고, 각 구성요소의 크기가 실제 크기를 전적으로 반영하는 것은 아니다.
- <35> 실시예
- <36> 도 3은 본 발명의 실시예에 따른 적층 패키지(30)의 단면도이다.
- <37> 도 3을 참조하면, 적층 패키지(30)는 아래쪽에 위치하는 제1 단품 패키지(31a, 이하 하부 패키지)와 위쪽에 위치하는 제2 단품 패키지(31b, 이하 상부 패키지)를 포함하여 구성된다. 이해를 돕기 위해 본 실시예는 두 개의 단품 패키지(31a, 31b) 만으로 이루어지는 적층 패키지(30)를 예로 들었으나, 본 발명이 이에 한정되는 것은 아니다. 상부 패키지(31b)가 하부 패키지(31a) 위에 적층되는 본 실시예의 방식을 따라 제3, 제4, ... 패키지가 상부 패키지(31b) 위에 더 적층될 수 있음은 물론이다.
- <38> 하부 패키지(31a)와 상부 패키지(31b)는 동일한 구조를 가진다. 각각의 단품 패키지(31a, 31b)는 활성면과 그 반대쪽인 비활성면을 구비하는 반도체 칩(33a, 33b)을 포함한다. 반도체 칩(33a, 33b)의 활성면 쪽에는 제1 배선기판(34a, 34b, 이하 하부 배선기판)이 위치하며, 비활성면 쪽에는 제2 배선기판(35a, 35b, 이하 상부 배선기판)이 위치한다. 반도체 칩(33a, 33b)과 배선 기판(34a, 34b, 35a, 35b)은 그 사이에 개재된 접착층(36a, 36b)을 통하여 서로 접합된다. 반도체 칩(33a, 33b)은 예컨대 메모리 칩이며, 상하부 배선기판(34a, 34b, 35a, 35b)은 예컨대 인쇄회로기판(PCB)이다. 접착층(36a, 36b)은 액상으로 도포되어 경화된 접착제 또는 테이프 형태로 부착된 접착제이다.
- <39> 반도체 칩(33a, 33b)의 아래위에 각각 배선기판(34a, 34b, 35a, 35b)이 배치되므로, 각각의 단품 패키지(31a, 31b)는 구조 및 재질면에서 상하 대칭이 된다. 따라서 소재간 열팽창 계수 차이에 따른 패키지 휨 현상이 최소화될 수 있는 장점이 있다.
- <40> 각각의 단품 패키지(31a, 31b)는 내부연결 수단(37a, 37b)과 외부접속 수단(32a, 32b)을 더 포함한다. 내부연결 수단(37a, 37b) 중에서 반도체 칩(33a, 33b)과 하부 배선기판(34a, 34b)을 전기적으로 연결하는 것을 제1 내부연결 수단이라 칭하고, 상하부 배선기판(34a, 34b, 35a, 35b)을 전기적으로 연결하는 것을 제2 내부연결 수단이라 칭한다. 외부접속 수단(32a, 32b)은 하부 배선기판(34a, 34b)에 형성된다. 특히, 하부 패키지(31a)의 외부접속 수단(32a)은 적층 패키지(30)의 최종 단자로서, 적층 패키지(30)가 외부 기판에 실장될 때 기계적, 전기적 접속 수단이 된다. 한편, 상부 패키지(31b)의 외부접속 수단(32b)은 하부 패키지(31a)의 상부 배선기판(35a)과 기계적, 전기적으로 접속된다.
- <41> 내부연결 수단(37a, 37b)은 예컨대 본딩 와이어(bonding wire)이고, 외부접속 수단(32a, 32b)은 예컨대 솔더 볼(solder ball)이다. 그러나 본 발명이 반드시 이에 한정되는 것은 아니다.
- <42> 반도체 칩(33a, 33b)은 활성면에 형성된 복수개의 칩 패드(chip pad, 도시되지 않음)를 구비한다. 칩 패드는 활성면의 중앙을 따라 형성되는 것이 바람직하지만, 반드시 이에 한정되는 것은 아니다. 상부 배선기판(34a, 34b)은 칩 패드와 대응하여 중앙을 따라 형성된 홈을 구비하며, 칩 부착면의 반대쪽 면에 형성된 복수개의 제1 본딩 패드(도 4의 41, bonding pad)를 구비한다. 따라서 본딩 와이어(37a, 37b)는 홈을 통하여 칩 패드와 제1 본딩 패드를 서로 연결할 수 있다. 이 본딩 와이어(37a, 37b)는 몰딩 수지(38a, 38b, molding resin)로 덮여 외부로부터 보호된다.
- <43> 도 4는 본 발명의 실시예에 따른 적층 패키지에 사용되는 단품 패키지 내부의 상하 배선기판(34a, 35a)간 연결 방식을 도시한 사시도이다.
- <44> 도 4를 참조하면, 하부 배선기판(34a)은 칩 부착면의 반대쪽 면에 형성되는 제1 본딩 패드(41)와, 칩 부착면에

형성되는 제2 본딩 패드(42)를 구비한다. 또한, 상부 배선기판(34b)은 칩 부착면의 반대쪽 면에 형성되는 제3 본딩 패드(43)를 구비한다. 도 3을 참조하여 기술한 바와 같이, 제1 본딩 패드(41)는 본딩 와이어를 통하여 반도체 칩의 칩 패드에 연결된다. 도 4 및 도 3에 도시된 바와 같이, 제2 본딩 패드(42)와 제3 본딩 패드(43)는 다른 본딩 와이어(37a)를 통하여 서로 연결된다. 따라서 하부 배선기판(34a)은 상부 배선기판(34b)보다 크기가 큰 것이 바람직하다. 제2, 제3 본딩 패드(42, 43)를 연결하는 본딩 와이어(37a) 또한 도 3에 도시된 바와 같이 몰딩 수지(38a)로 덮여 보호된다.

- <45> 상하부 배선기판(34a, 34b)은 볼 랜드(ball land) 및 비아(via)를 더 포함한다. 구체적으로, 하부 배선기판(34a)은 칩 부착면의 반대쪽 면에 형성되는 제1 볼 랜드(44)를 구비하며, 상부 배선기판(34b)은 칩 부착면의 반대쪽 면에 형성되는 제2 볼 랜드(45)를 구비한다. 또한, 하부 배선기판(34a)은 제2 본딩 패드(42)와 제1 볼 랜드(44)를 연결하는 비아(46)를 구비한다. 제1 볼 랜드(44)는 각 단품 패키지(31a, 31b)의 솔더 볼(32a, 32b)이 단품 패키지 제조 공정에서 형성되는 자리이고, 제2 볼 랜드(45)는 단품 패키지 적층 공정에서 상부쪽 단품 패키지(31b)의 솔더 볼(32b)이 접속되는 자리이다.
- <46> 한편, 하부 패키지(31a)의 솔더 볼(32a)과 상부 패키지(31b)의 솔더 볼(32b)은 서로 동일한 볼 레이아웃을 가지도록 한다. 칩 선택 핀(chip select pin) 또는 클럭 작동 핀(clock enable pin) 등은 각 단품 패키지(31a, 31b)에 따로 연결되어야 하지만, 본 발명이 속하는 기술 분야에 잘 알려진 바와 같이 배선기판(34a, 34b) 내부의 배선 설계를 적절하게 행함으로써 적층된 모든 단품 패키지들이 서로 동일한 표준 볼 레이아웃을 가지도록 할 수 있다.
- <47> 이상 설명한 적층 패키지는 다음과 같은 방법으로 제조할 수 있다. 도 5a 내지 도 5e는 본 발명의 실시예에 따른 적층 패키지의 제조 방법을 도시한 단면도이다.
- <48> 먼저, 도 5a에 도시된 바와 같이, 상부 배선기판(35a)에 반도체 칩(33a)을 부착한다. 이 때 이용되는 접착층(36a)은 상부 배선기판(35a)의 칩 부착면에 접착제를 도포하거나, 반도체 칩(33a)의 비활성면에 접착 테이프를 부착하여 형성할 수 있다.
- <49> 이어서, 도 5b에 도시된 바와 같이, 하부 배선기판(34a)에 반도체 칩(33a)을 부착한다. 이 때 이용되는 접착층(36a)은 하부 배선기판(34a)에 접착제를 도포하거나 접착 테이프를 부착하여 형성할 수 있다.
- <50> 이와 같이 반도체 칩(33a)의 상하부에 각각 배선기판(34a, 35a)을 부착하는 칩 부착 공정을 진행한 후, 도 5c에 도시된 바와 같이, 와이어 본딩 공정을 진행한다. 본딩 와이어(37a)는 반도체 칩(33a)과 하부 배선기판(34a)을 전기적으로 연결하며, 상하부 배선기판(34a, 35a)을 전기적으로 연결한다. 와이어 본딩은 일반적인 와이어 본딩 방식 또는 범프 리버스 본딩(bump reverse bonding) 방식 등이 가능하다.
- <51> 이어서, 도 5d에 도시된 바와 같이, 몰딩 공정과 솔더 볼 형성 공정을 진행한다. 몰딩 공정은 본딩 와이어(37a)를 보호하기 위한 것으로 에폭시 계통의 몰딩 수지(38a)로 본딩 와이어(37a)를 덮는 공정이며, 솔더 볼 형성 공정은 각 배선기판(34a, 35a)의 볼 랜드에 솔더 볼(32a)을 형성하는 공정이다.
- <52> 이상과 같이 단품 패키지의 제조 공정이 완료되면, 도 5e에 도시된 바와 같이, 하부 패키지(31a) 위에 상부 패키지(31b)를 적층하여 적층 패키지(30)를 제조한다. 이 때, 상부 패키지(31b)의 솔더 볼(32b)이 하부 패키지(31a)의 상부 배선기판(35a)에 부착됨으로써, 상하부 패키지(31a, 31b)간 기계적, 전기적 연결이 이루어진다.

발명의 효과

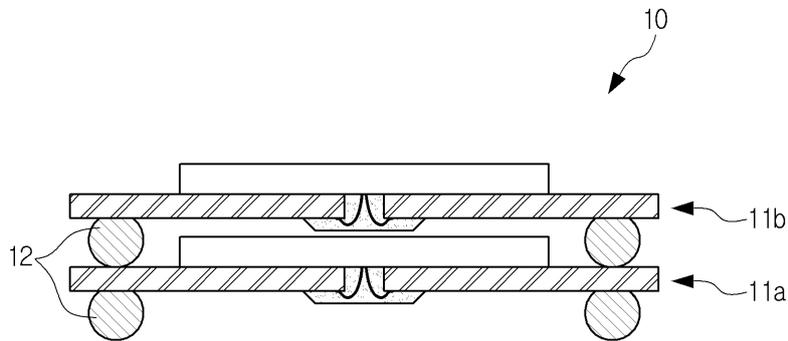
- <53> 지금까지 설명한 바와 같이, 본 발명에 따른 적층 패키지는 반도체 칩의 상하부에 각각 배선기판이 위치하므로, 구조 및 재질면에서 실질적으로 대형 구조를 이루는 단품 패키지를 구현할 수 있다. 따라서 소재간 열팽창 계수 차이로 인하여 발생하는 패키지 휨 현상을 효과적으로 방지할 수 있고, 패키지 휨으로 인하여 초래되는 여러 가지 불량들을 미연에 방지할 수 있다.
- <54> 또한, 본 발명의 적층 패키지는 반도체 칩이 상하부 배선기판과 몰딩 수지로 둘러싸이기 때문에, 외부 충격에 의하여 반도체 칩이 깨지는 불량을 방지할 수 있다.
- <55> 아울러, 본 발명의 적층 패키지는 적층을 이루는 단품 패키지들의 구조를 동일하게 구현할 수 있다. 즉, 모든 단품 패키지들이 표준 볼 레이아웃을 가지도록 하여 동종 패키지의 적층 구조를 실현할 수 있으므로, 이종 패키지 적층으로 인한 수율 감소를 방지할 수 있다.

도면의 간단한 설명

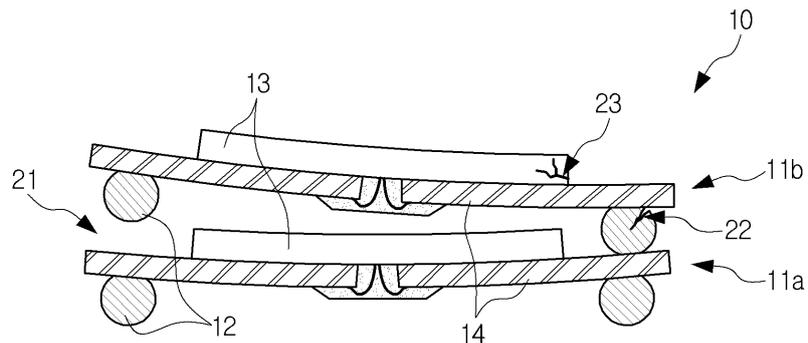
- <1> 도 1은 종래 기술에 따른 적층 패키지의 한 예를 개략적으로 도시한 단면도.
- <2> 도 2는 종래의 적층 패키지에서 발생하는 불량 유형을 도시한 단면도.
- <3> 도 3은 본 발명의 실시예에 따른 볼 그리드 어레이 유형의 적층 패키지를 도시한 단면도.
- <4> 도 4는 본 발명의 실시예에 따른 적층 패키지에 사용되는 단품 패키지 내부의 상하 배선기판간 연결 방식을 도시한 사시도.
- <5> 도 5a 내지 도 5e는 본 발명의 실시예에 따른 적층 패키지의 제조 방법을 도시한 단면도.
- <6> <도면에 사용된 주요 참조 번호의 설명>
- <7> 10, 30: 적층 패키지 11a, 11b, 31a, 31b: 단품 패키지
- <8> 12, 32a, 32b: 솔더 볼 13, 33a, 33b: 반도체 칩
- <9> 14, 34a, 34b, 35a, 35b: 배선기판
- <10> 36a, 36b: 접착층 37a, 37b: 본딩 와이어
- <11> 38a, 38b: 몰딩 수지 41, 42, 43: 본딩 패드
- <12> 44, 45: 볼 랜드 46: 비아

도면

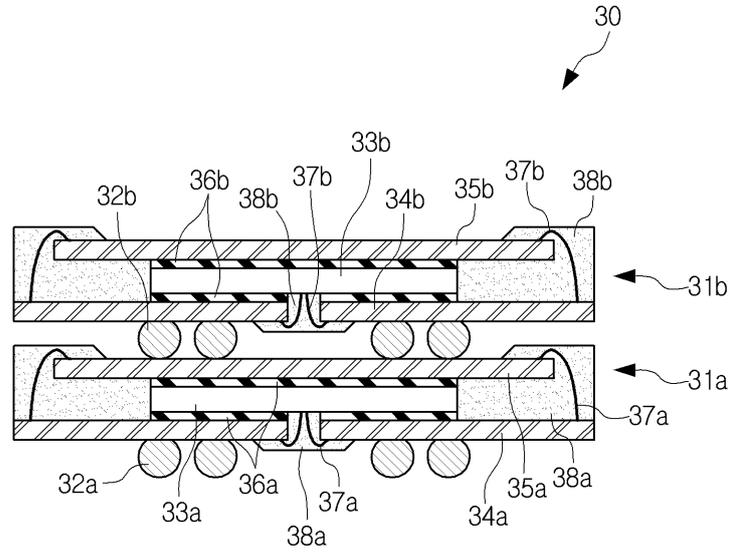
도면1



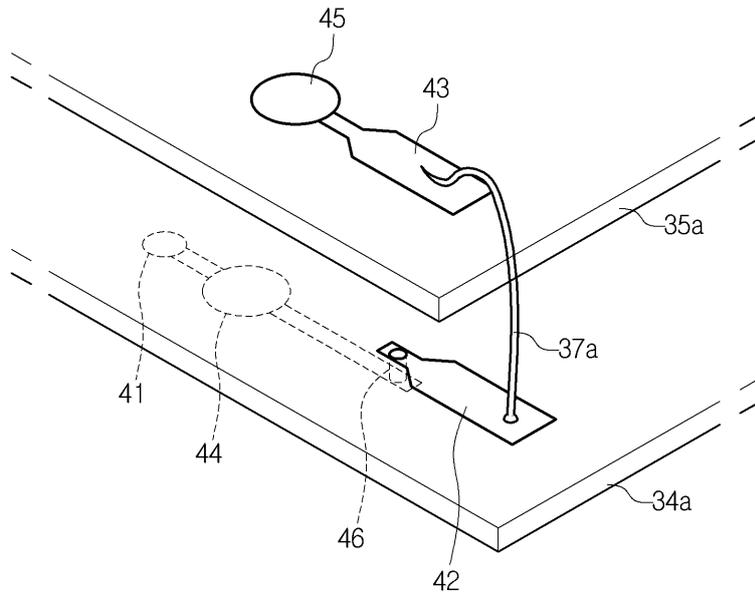
도면2



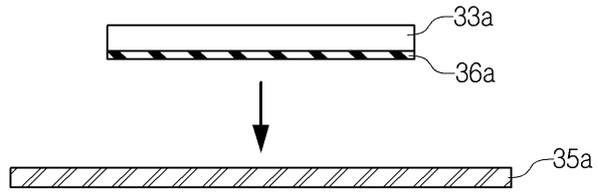
도면3



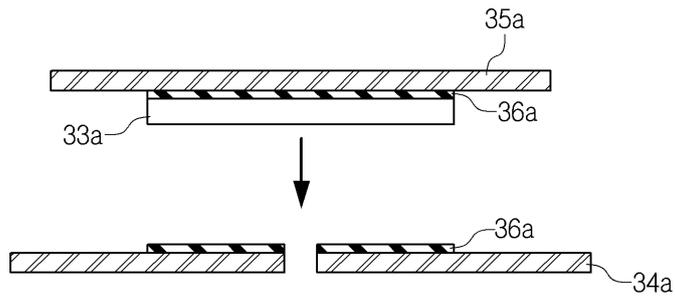
도면4



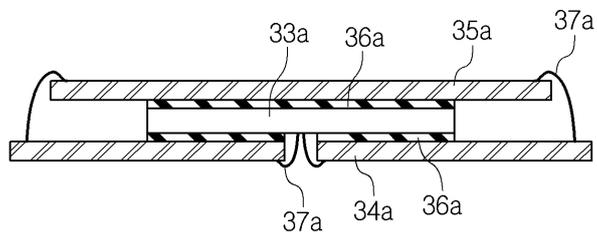
도면5a



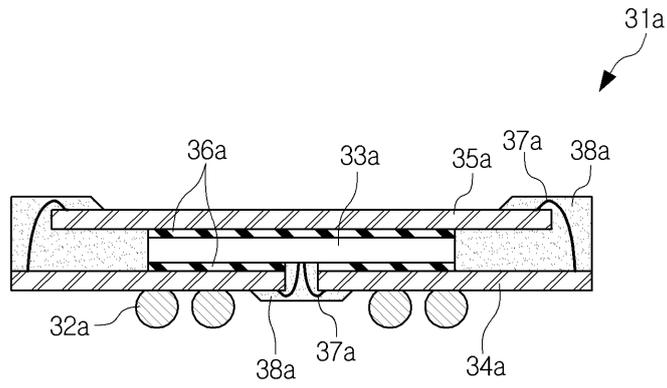
도면5b



도면5c



도면5d



도면5e

