



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년02월10일  
(11) 등록번호 10-2360010  
(24) 등록일자 2022년02월03일

(51) 국제특허분류(Int. Cl.)  
H01L 27/02 (2006.01) H01L 27/12 (2006.01)  
(52) CPC특허분류  
H01L 27/0288 (2013.01)  
H01L 27/124 (2013.01)  
(21) 출원번호 10-2015-0079795  
(22) 출원일자 2015년06월05일  
심사청구일자 2020년06월04일  
(65) 공개번호 10-2016-0143967  
(43) 공개일자 2016년12월15일  
(56) 선행기술조사문헌  
KR1020130016938 A  
US20070090345 A1  
US07102160 B1  
KR1020130115657 A

(73) 특허권자  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로1 (농서동)  
(72) 발명자  
이기창  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
왕인수  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
이용수  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(74) 대리인  
오중한, 문용호

전체 청구항 수 : 총 19 항

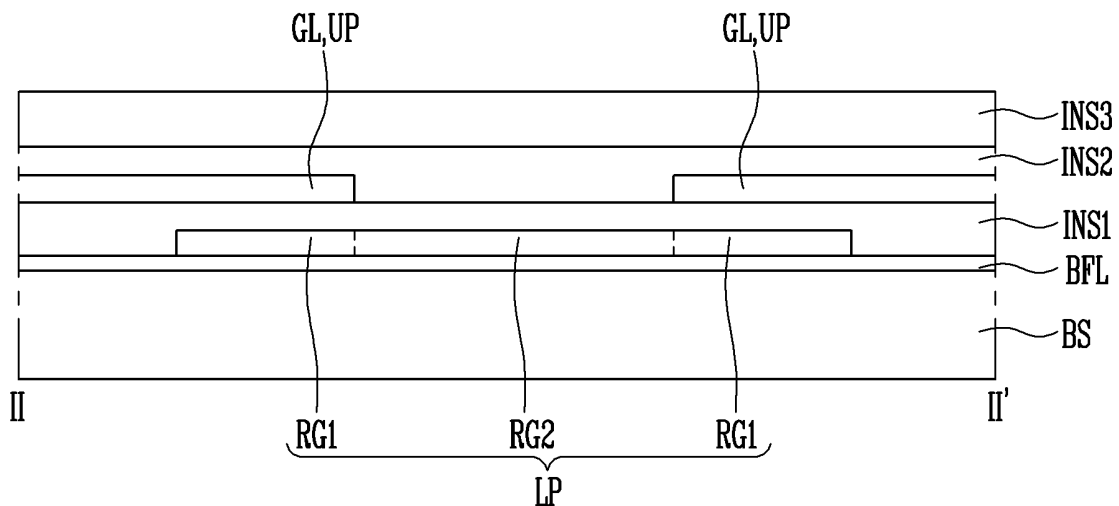
심사관 : 김재호

(54) 발명의 명칭 표시 장치 및 이의 제조 방법

(57) 요약

표시 장치는 표시 영역과 비표시 영역을 포함하는 기판, 상기 기판의 상기 표시 영역 상에 제공된 화소, 상기 기판 상에 제공되며 상기 화소에 신호를 제공하는 신호 배선, 및 상기 비표시 영역에 제공된 정전기 방지 커패시터를 포함한다. 상기 정전기 방지 커패시터는 평면상에서 볼 때 서로 다른 전기 전도도를 갖는 제1 영역과 제2 영역을 갖는 하부 패턴, 상기 하부 패턴 상에 제공된 절연막, 및 상기 하부 패턴의 상기 제1 영역과 중첩하며 상기 신호 배선의 일부를 이루는 상부 패턴을 포함한다.

대표도



## 명세서

### 청구범위

#### 청구항 1

표시 영역과 비표시 영역을 포함하는 기관;

상기 기관의 상기 표시 영역 상에 제공된 화소;

상기 기관 상에 제공되며 상기 화소에 신호를 제공하는 신호 배선; 및

상기 비표시 영역에 제공된 정전기 방지 커패시터를 포함하며,

상기 정전기 방지 커패시터는

평면상에서 볼 때 서로 다른 전기 전도도를 갖는 제1 영역과 제2 영역을 갖는 하부 패턴;

상기 하부 패턴 상에 제공된 절연막; 및

상기 하부 패턴의 상기 제1 영역과 중첩하며 상기 신호 배선의 일부를 이루는 상부 패턴을 포함하는 표시 장치.

#### 청구항 2

제1 항에 있어서,

상기 제1 영역은 진성(intrinsic) 반도체를 포함하며, 상기 제2 영역은 불순물로 도핑된 반도체를 포함하는 표시 장치.

#### 청구항 3

제2 항에 있어서,

상기 신호 배선은

제1 방향으로 연장된 게이트 라인; 및

상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 라인을 포함하는 표시 장치.

#### 청구항 4

제3 항에 있어서,

상기 하부 패턴과 상기 상부 패턴 사이에 제공된 플로팅 패턴을 더 포함하며,

상기 상부 패턴은 상기 데이터 라인의 일부인 표시 장치.

#### 청구항 5

제3 항에 있어서,

상기 상부 패턴은 상기 게이트 라인의 일부인 표시 장치.

#### 청구항 6

제3 항에 있어서,

상기 화소는

상기 게이트 라인 및 상기 데이터 라인에 연결된 박막 트랜지스터;

상기 박막 트랜지스터에 연결된 제1 전극;

상기 제1 전극 상에 제공된 발광층; 및

상기 발광층 상에 제공된 제2 전극을 포함하는 표시 장치.

#### 청구항 7

제6 항에 있어서,

상기 절연막은

상기 기판 상에 제공된 제1 절연막; 및

상기 제1 절연막 상에 제공된 제2 절연막을 포함하고,

상기 박막 트랜지스터는

상기 기판 상에 제공된 액티브 패턴;

상기 액티브 패턴 상에 제공된 게이트 전극; 및

상기 액티브 패턴에 각각 연결된 소스 전극 및 드레인 전극을 포함하고,

상기 제1 절연막은 상기 액티브 패턴과 상기 게이트 전극 사이에 제공되고,

상기 제2 절연막은 상기 게이트 전극과 상기 소스 및 드레인 전극들 사이에 제공되는 표시 장치.

#### 청구항 8

제7 항에 있어서,

상기 액티브 패턴은 평면 상에서 볼 때 상기 게이트 전극과 중첩하는 채널 영역과, 상기 채널 영역의 양 측에 제공되며, 상기 소스 전극과 연결된 소스 영역 및 상기 드레인 전극과 연결된 드레인 영역을 포함하며,

상기 액티브 패턴의 채널 영역은 상기 제1 영역과 동일한 물질로 제공되며, 상기 소스 영역과 상기 드레인 영역은 상기 제2 영역과 동일한 물질로 제공되는 표시 장치.

#### 청구항 9

삭제

#### 청구항 10

제7 항에 있어서,

상기 상부 패턴은

상기 데이터 라인의 일부; 및

상기 제1 절연막 상에 제공된 브릿지 패턴을 포함하며,

상기 브릿지 패턴은 상기 데이터 라인에 상기 제1 절연막을 사이에 두고 콘택홀을 통해 연결된 표시 장치.

#### 청구항 11

제10 항에 있어서,

상기 브릿지 패턴은 상기 게이트 라인과 동일한 물질로 제공된 표시 장치.

#### 청구항 12

제6 항에 있어서,

상기 신호 배선은

상기 기판 상에 제공되며 상기 데이터 라인과 평행한 전원 라인을 포함하며,

상기 박막 트랜지스터는

상기 게이트 라인과 상기 데이터 라인에 연결된 제1 박막 트랜지스터; 및

상기 제1 박막 트랜지스터와 상기 전원 라인에 연결된 제2 박막 트랜지스터를 포함하는 표시 장치.

**청구항 13**

제12 항에 있어서,  
 상기 하부 패턴과 상기 상부 패턴 사이에 제공된 플로팅 패턴(FP)을 더 포함하며,  
 상기 상부 패턴은 상기 전원 라인의 일부인 표시 장치.

**청구항 14**

표시 영역과 비표시 영역을 포함하는 기판을 준비하는 단계;  
 상기 기판의 표시 영역 상에 화소를 형성하는 단계;  
 상기 기판 상에 상기 화소에 신호를 제공하는 신호 배선을 형성하는 단계; 및  
 상기 비표시 영역에 정전기 방지 커패시터를 형성하는 단계를 포함하며,  
 상기 정전기 방지 커패시터를 형성하는 단계는:  
     상기 기판의 비표시 영역 상에 반도체 패턴을 형성하는 단계;  
     상기 반도체 패턴 상에 절연막을 형성하는 단계;  
     상기 절연막 상에 신호 배선을 형성하는 단계; 및  
     상기 신호 배선 중 일부를 마스크로 하여 상기 반도체 패턴을 도핑하여 제1 영역과 제2 영역을 갖는 하부 패턴을 형성하는 단계를 포함하는 표시 장치 제조 방법.

**청구항 15**

제14 항에 있어서,  
 상기 신호 배선은  
 제1 방향으로 연장된 게이트 라인; 및  
 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 라인을 포함하는 표시 장치 제조 방법.

**청구항 16**

제15 항에 있어서,  
 상기 하부 패턴을 형성하는 단계는 상기 게이트 라인을 마스크로 하는 표시 장치 제조 방법.

**청구항 17**

제15 항에 있어서,  
 상기 신호 배선은 상기 게이트 라인과 이격되어 절연된 플로팅 패턴을 더 포함하며,  
 상기 하부 패턴을 형성하는 단계는 상기 플로팅 패턴을 마스크로 하는 표시 장치 제조 방법.

**청구항 18**

제15 항에 있어서,  
 상기 화소는  
 상기 게이트 라인 및 상기 데이터 라인에 연결된 박막 트랜지스터;  
 상기 박막 트랜지스터에 연결된 제1 전극;  
 상기 제1 전극 상에 제공된 발광층; 및  
 상기 발광층 상에 제공된 제2 전극을 포함하는 표시 장치 제조 방법.

**청구항 19**

제18 항에 있어서,  
 상기 절연막은  
 상기 기판 상에 제공된 제1 절연막; 및  
 상기 제1 절연막 상에 제공된 제2 절연막을 포함하고,  
 상기 박막 트랜지스터는  
 상기 기판 상에 제공된 액티브 패턴;  
 상기 액티브 패턴 상에 제공된 게이트 전극; 및  
 상기 액티브 패턴에 각각 연결된 소스 전극 및 드레인 전극을 포함하고,  
 상기 제1 절연막은 상기 액티브 패턴과 상기 게이트 전극 사이에 제공되고, 상기 제2 절연막은 상기 게이트 전극과 상기 소스 및 드레인 전극들 사이에 제공되는 표시 장치 제조 방법.

**청구항 20**

제19항에 있어서,  
 상기 액티브 패턴과 상기 반도체 패턴은 단일 단계에서 형성되는 표시 장치 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 표시 장치 및 이의 제조 방법에 관한 것으로, 상세하게는 정전기에 강한 표시 장치 및 이의 제조 방법에 관한 것이다.

**배경 기술**

[0002] 평판 표시 장치는 크게 발광형과 수광형으로 분류할 수 있다. 발광형으로는 플라즈마 디스플레이 패널과 유기 발광 표시 장치 등이 있으며, 수광형으로는 액정 표시 장치, 전기 습윤 표시 장치 등이 있다.

[0003] 상기 평판 표시 장치는 그 내부에 많은 소자를 제공한다. 정전기는 순간적으로 국부적인 부분에 많은 전하가 발생하여 이것이 주변부와 전압차가 발생시키며, 이에 따라 전하가 급격하게 이동하는 현상이다. 상기 평판 표시 장치는 제조 공정 중이나, 제조 후 구동 중에 상기 정전기가 소자로 유입되는 경우, 소자의 파괴가 일어날 수 있으며, 그에 따라 불량 발생될 수 있다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명은 정전기에 강한 표시 장치를 제공하는 데 그 목적이 있다.

[0005] 본 발명은 또한 정전기에 강한 표시 장치를 제조하는 방법을 제공하는 데 그 목적이 있다.

**과제의 해결 수단**

[0006] 본 발명의 일 실시예에 따른 표시 장치는 표시 영역과 비표시 영역을 포함하는 기판, 상기 기판의 상기 표시 영역 상에 제공된 화소, 상기 기판 상에 제공되며 상기 화소에 신호를 제공하는 신호 배선, 및 상기 비표시 영역에 제공된 정전기 방지 커패시터를 포함한다. 상기 정전기 방지 커패시터는 평면상에서 볼 때 서로 다른 전기 전도도를 갖는 제1 영역과 제2 영역을 갖는 하부 패턴, 상기 하부 패턴 상에 제공된 절연막, 및 상기 하부 패턴의 상기 제1 영역과 중첩하며 상기 신호 배선의 일부를 이루는 상부 패턴을 포함한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제1 영역은 진성 반도체를 포함하며, 상기 제2 영역은 불순물로 도핑된 반

도체를 포함할 수 있다.

- [0008] 본 발명의 일 실시예에 있어서, 상기 신호 배선은 제1 방향으로 연장된 게이트 라인, 및 상기 제1 방향과 교차하는 제2 방향으로 연장된 데이터 라인을 포함할 수 있다.
- [0009] 본 발명의 일 실시예에 있어서, 상기 하부 패턴과 상기 상부 패턴 사이에 제공된 플로팅 패턴을 더 포함할 수 있으며, 이 경우, 상기 상부 패턴은 상기 데이터 라인의 일부일 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 상부 패턴은 상기 게이트 라인의 일부일 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 화소는 상기 게이트 라인 및 상기 데이터 라인에 연결된 박막 트랜지스터, 상기 박막 트랜지스터에 연결된 제1 전극, 상기 제1 전극 상에 제공된 발광층, 및 상기 발광층 상에 제공된 제2 전극을 포함할 수 있다. 상기 박막 트랜지스터는 상기 기판 상에 제공된 액티브 패턴, 상기 액티브 패턴 상에 제공된 게이트 전극, 및 상기 액티브 패턴에 각각 연결된 소스 전극 및 드레인 전극을 포함할 수 있다. 상기 절연막은 상기 액티브 패턴과 상기 게이트 전극 사이에 제공된 제1 절연막, 및 상기 게이트 전극과 상기 소스 및 드레인 전극들 사이에 제공된 제2 절연막을 포함할 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 액티브 패턴은 평면 상에서 볼 때 상기 게이트 전극과 중첩하는 채널 영역과, 상기 채널 영역의 양 측에 제공되며, 상기 소스 전극과 연결된 소스 영역 및 상기 드레인 전극과 연결된 드레인 영역을 포함할 수 있으며, 상기 액티브 패턴의 채널 영역은 상기 제1 영역과 동일한 물질로 제공되며, 상기 소스 영역과 상기 드레인 영역은 상기 제2 영역과 동일한 물질로 제공될 수 있다.
- [0013] 상기한 구조를 갖는 표시 장치의 제조 방법은 표시 영역과 비표시 영역을 포함하는 기판을 준비하는 단계, 상기 기판의 표시 영역 상에 화소를 형성하는 단계, 상기 기판 상에 상기 화소에 신호를 제공하는 신호 배선을 형성하는 단계, 및 상기 비표시 영역에 정전기 방지 커패시터를 형성하는 단계를 포함한다. 상기 정전기 방지 커패시터를 형성하는 단계는, 상기 기판의 비표시 영역 상에 반도체 패턴을 형성하는 단계, 상기 반도체 패턴 상에 절연막을 형성하는 단계, 상기 절연막 상에 신호 배선을 형성하는 단계, 및 상기 신호 배선 중 일부를 마스크로 하여 상기 반도체 패턴을 도핑하여 제1 영역과 제2 영역을 갖는 하부 패턴을 형성하는 단계를 포함한다.

**발명의 효과**

- [0014] 본 발명의 일 실시예에 따르면, 표시 장치에 정전기가 유입되더라도 정전기 방지 커패시터에 전하가 축적됨으로써 표시 장치 내 소자들에 대한 영향이 감소된다. 이에 따라, 표시 장치 내의 소자들의 결함이 방지되며, 이에 따라 표시 품질이 향상된다.
- [0015] 본 발명의 일 실시예에 따르면, 상기 정전기 방지 커패시터는 표시 영역 내 화소를 제조할 때 함께 제조될 수 있으며, 이에 따라 추가적으로 소요되는 공정이 없으며 용이하게 형성될 수 있다.

**도면의 간단한 설명**

- [0016] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.
- 도 2a는 도 1에 도시된 표시 장치에 있어서 P1으로 표시된 부분을 도시한 평면도이다.
- 도 2b는 도 2a의 I-I'선에 따른 단면도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시 장치의 화소의 등가회로도이다.
- 도 4a는 도 1의 P2에 해당하는 부분을 도시한 평면도로서, 제1 커패시터를 도시한 것이다.
- 도 4b는 도 4a의 II-II'선에 따른 단면도이다.
- 도 5a는 도 1의 P3에 해당하는 부분을 도시한 평면도로서, 제2 커패시터를 도시한 것이다.
- 도 5b는 도 5a의 III-III'선에 따른 단면도이다.
- 도 6은 상부 전극을 제1 전극과 동일한 층에 형성한 것을 도시한 단면도로서, 도 5a의 II-II'선에 대응하는 단면도이다.
- 도 7a는 절연막의 두께를 조절하기 위해 상부 전극이 브릿지를 갖는 경우를 도시한 평면도로서, 도 1의 P3에 대응하는 것이다.

도 7b는 도 7a의 IV-IV'선에 따른 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0017] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0018] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0019] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 본 명세서에 있어서, 어느 층, 막, 영역, 판 등의 부분이 다른 부분 상(on)에 형성되었다고 할 경우, 상기 형성된 방향은 상부 방향만 한정되지 않으며 측면이나 하부 방향으로 형성된 것을 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0020] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다. 도 2a는 도 1에 도시된 표시 장치에 있어서 P1으로 표시된 부분을 도시한 평면도이다. 도 2b는 도 2a의 I-I'선에 따른 단면도이다. 도 3는 본 발명의 일 실시예에 따른 표시 장치의 화소의 등가회로도이다.
- [0022] 도 1, 도 2a, 도 2b, 및 도3를 참조하면, 상기 표시 장치는 베이스 기판(BS), 신호 배선, 화소들(PXL), 및 정전기 방지 커패시터를 포함한다.
- [0023] 상기 베이스 기판(BS)은 서로 평행한 두 쌍의 변들을 가지는 직사각형의 판상으로 마련된다.
- [0024] 상기 베이스 기판(BS)은 상기 화소들(PXL)이 제공되어 영상을 표시하는 표시 영역(DP) 및 상기 표시 영역(DP)을 둘러싼 비표시 영역(NDP)을 포함한다.
- [0025] 상기 신호 배선은 각 화소(PXL)에 신호를 제공하며 게이트 라인(GL), 데이터 라인(DL), 및 구동 전압 라인(DVL)을 포함한다.
- [0026] 상기 게이트 라인(GL)은 제1 방향(D1)으로 연장된다. 상기 데이터 라인(DL)은 상기 게이트 라인(GL)과 교차하는 제2 방향(D2)으로 연장된다. 상기 구동 전압 라인(DVL)은 상기 데이터 라인(DL)과 실질적으로 동일한 방향, 즉 제2 방향(D2)으로 연장된다. 상기 게이트 라인(GL)은 상기 박막 트랜지스터에 주사 신호를 전달하고, 상기 데이터 라인(DL)은 상기 박막 트랜지스터에 데이터 신호를 전달하며, 상기 구동 전압 라인(DVL)은 상기 박막 트랜지스터에 구동 전압을 제공한다.
- [0027] 상기 게이트 라인(GL), 상기 데이터 라인(DL), 및 상기 구동 전압 라인(DVL)은 복수 개로 제공된다.
- [0028] 상기 신호 배선 각각은 상기 표시 영역(DP)과 상기 비표시 영역(NDP)에 걸쳐 제공되며, 상기 비표시 영역(NDP)에는 각 신호 배선의 단부가 배치된다. 상기 신호 배선 각각의 단부에는 패드가 제공된다. 즉, 상기 게이트 라인(GL)의 단부에는 게이트 패드(GP)가 제공되며, 상기 데이터 라인(DL)의 단부에는 데이터 패드(DP)가 제공되며, 상기 구동 전압 라인(DVL)의 단부에는 구동 전압 패드(DVP)가 제공된다. 상기 표시 영역(DP)과 상기 게이트 패드(GP) 사이, 상기 표시 영역(DP)과 상기 데이터 패드(DP) 및 구동 전압 패드(DVP) 사이는 편아웃부가 제공된다.
- [0029] 상기 패드가 제공된 영역에는 구동부(미도시)가 제공될 수 있다. 도시하지는 않았으나, 상기 데이터 패드(DP)가

제공된 영역에는 데이터 구동부가, 상기 게이트 패드(GP)가 제공된 영역에는 게이트 구동부가 제공될 수 있다.

- [0030] 상기 데이터 구동부는 상기 데이터 라인(DL)의 일 단부, 즉, 데이터 패드(DP)에 연결될 수 있다. 상기 데이터 구동부는 상기 데이터 라인들(DL)의 데이터 패드(DP)에 전기적으로 연결되어 데이터 신호를 제공한다. 상기 데이터 구동부(DIC)는 상기 표시 장치의 장변 방향을 따라 구비될 수 있다.
- [0031] 상기 게이트 구동부는 상기 게이트 라인들(GL)의 일 단부, 즉 게이트 패드(GP)에 연결될 수 있다. 상기 게이트 구동부는 상기 게이트 패드(GP)에 게이트 신호를 순차적으로 인가하여 상기 표시 장치의 단변을 따라서 다수의 화소행을 순차적으로 스캔한다. 상기 게이트 구동부는 상기 표시 장치의 단변 방향을 따라 구비될 수 있으며, 복수로 제공될 수 있다.
- [0032] 상기 화소(PXL)는 영상을 표시하며 상기 표시 영역(DP)에 제공된다. 상기 화소(PXL)는 복수 개로 제공되어 매트릭스 형태로 배열될 수 있다. 본 발명의 일 실시예에서는 도 2a 및 도 2b에서는 설명의 편의상 하나의 화소(PXL)만 도시하였다. 여기서, 상기 각 화소(PXL)는 직사각형 모양을 갖는 것으로 도시하였으나, 이에 한정되는 것은 아니며, 다양한 형상으로 변형될 수 있다. 또한, 상기 화소들(PXL)은 서로 다른 면적을 가지도록 제공될 수 있다. 예를 들어, 상기 화소들(PXL)은 색깔이 다른 화소들의 경우 각 색깔별로 다른 면적이나 다른 형상으로 제공될 수 있다.
- [0033] 상기 화소(PXL)는 상기 신호 배선에 연결된 박막 트랜지스터, 상기 박막 트랜지스터에 연결된 발광 소자(EL), 및 커패시터(Cst)를 포함한다.
- [0034] 상기 박막 트랜지스터는 상기 발광 소자를 제어하기 위한 구동 박막 트랜지스터(TR2)와, 상기 구동 박막 트랜지스터(TR2)를 스위칭 하는 스위칭 박막 트랜지스터(TR1)를 포함할 수 있다. 본 발명이 일 실시예에서는 한 화소(PXL)가 두 개의 박막 트랜지스터(TR1, TR2)를 포함하는 것을 설명하나, 이에 한정되는 것은 아니며, 하나의 화소(PXL)에 하나의 박막 트랜지스터와 커패시터, 또는 하나의 화소(PXL)에 셋 이상의 박막 트랜지스터와 둘 이상의 커패시터를 구비할 수 있다.
- [0035] 상기 스위칭 박막 트랜지스터(TR1)는 제1 게이트 전극(GE1)과 제1 소스 전극(SE1), 및 제1 드레인 전극(DE1)을 포함한다. 상기 제1 게이트 전극(GE1)은 상기 게이트 라인(GL)에 연결되며, 상기 제1 소스 전극(SE1)은 상기 데이터 라인(DL)에 연결된다. 상기 제1 드레인 전극(DE1)은 상기 구동 박막 트랜지스터(TR2)의 게이트 전극(즉, 제2 게이트 전극(GE2))에 연결된다. 상기 스위칭 박막 트랜지스터(TR1)는 상기 게이트 라인(GL)에 인가되는 주사 신호에 따라 상기 데이터 라인(DL)에 인가되는 데이터 신호를 상기 구동 박막 트랜지스터(TR2)에 전달한다.
- [0036] 상기 구동 박막 트랜지스터(TR2)는 제2 게이트 전극(GE2)과, 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함한다. 상기 제2 게이트 전극(GE2)은 상기 스위칭 박막 트랜지스터(TR1)에 연결되고 상기 소스 제2 전극(EL2)은 상기 구동 전압 라인(DVL)에 연결되며, 상기 제2 드레인 전극(DE2)은 상기 발광 소자(EL)에 연결된다.
- [0037] 상기 발광 소자(EL)는 발광층(EML)과, 상기 발광층(EML)을 사이에 두고 서로 대향하는 제1 전극(EL1) 및 제2 전극(EL2)을 포함한다. 상기 제1 전극(EL1)은 상기 구동 박막 트랜지스터(TR2)의 제2 드레인 전극(DE2)과 연결된다. 상기 제2 전극(EL2)에는 공통 전압이 인가되며, 상기 발광층(EML)은 상기 구동 박막 트랜지스터(TR2)의 출력 신호에 따라 발광함으로써 광을 출사하거나 출사하지 않음으로써 영상을 표시한다. 여기서, 상기 발광층(EML)으로부터 출사되는 광은 상기 발광층의 재료에 따라 달라질 수 있으며, 컬러광 또는 백색광일 수 있다.
- [0038] 상기 커패시터(Cst)는 구동 박막 트랜지스터(TR2)의 상기 제2 게이트 전극(GE2)과 상기 제2 소스 전극(SE2) 사이에 연결되며, 상기 구동 박막 트랜지스터(TR2)의 상기 제2 게이트 전극(GE2)에 입력되는 데이터 신호를 충전하고 유지한다.
- [0039] 이하, 본 발명의 일 실시예에 따른 표시 장치를 적층 순서에 따라 설명한다.
- [0040] 본 발명의 일 실시예에 따른 표시 장치는 박막 트랜지스터와 발광 소자가 적층되는 베이스 기관(BS)을 포함한다. 상기 베이스 기관(BS)은 유리, 플라스틱, 수정 등의 절연성 물질로 이루어질 수 있다.
- [0041] 상기 베이스 기관(BS) 상에는 버퍼층(BFL)이 형성된다. 상기 버퍼층(BFL)은 스위칭 및 구동 박막 트랜지스터들(TR1, TR2)에 불순물이 확산되는 것을 막는다. 상기 버퍼층(BFL)은 질화규소(SiNx), 산화규소(SiOx), 질산화규소(SiOxNy) 등으로 형성될 수 있으며, 상기 베이스 기관(BS)의 재료 및 공정 조건에 따라 생략될 수도 있다.
- [0042] 상기 버퍼층(BFL) 상에는 제1 액티브 패턴(ACT1)과 제2 액티브 패턴(ACT2)이 제공된다. 상기 제1 액티브 패턴(ACT1)과 상기 제2 액티브 패턴(ACT2)은 반도체 소재로 형성된다. 상기 제1 액티브 패턴(ACT1)과 제2 액티브 패



턴(ACT2)은 각각 소스 영역(SA), 드레인 영역(DA), 및 상기 소스 영역(SA)과 상기 드레인 영역(DA) 사이에 제공된 채널 영역(CA)을 포함한다. 상기 제1 액티브 패턴(ACT1)과 상기 제2 액티브 패턴(ACT2)은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등으로 이루어진 반도체 패턴일 수 있다. 특히, 상기 채널 영역(CA)는 불순물로 도핑되지 않은 반도체 패턴으로서, 진성 반도체일 수 있다. 상기 소스 영역(SA) 및 상기 드레인 영역(DA)은 불순물이 도핑된 반도체 패턴일 수 있다. 상기 불순물로는 n형 불순물, p형 불순물, 기타 금속과 같은 불순물이 도핑될 수 있다.

- [0043] 상기 제1 액티브 패턴(ACT1) 및 제2 액티브 패턴(ACT2) 상에는 제1 절연막(INS1)이 제공된다.
- [0044] 상기 제1 절연막(INS1) 상에는 게이트 라인(GL)과 연결된 제1 게이트 전극(GE1)과 제2 게이트 전극(GE2)이 제공된다. 상기 제1 게이트 전극(GE1)과 제2 게이트 전극(GE2)은 각각 상기 제1 액티브 패턴(ACT1)과 제2 액티브 패턴(ACT2)의 채널 영역(CA)에 대응되는 영역을 커버하도록 형성된다.
- [0045] 상기 제1 및 제2 게이트 전극들(GE1, GE2) 상에는 상기 제1 및 제2 게이트 전극들(GE1, GE2)을 덮도록 제2 절연막(INS2)이 제공된다.
- [0046] 상기 제2 절연막(INS2)의 상에는 제1 소스 전극(SE1)과 제1 드레인 전극(DE1), 제2 소스 전극(SE2)과 제2 드레인 전극(DE2)이 제공된다. 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1)은 상기 제1 절연막(INS1) 및 상기 제2 절연막(INS2)에 형성된 콘택홀에 의해 상기 제1 액티브 패턴(ACT1)의 소스 영역(SA)과 드레인 영역(DA)에 각각 접촉된다. 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2)은 상기 제1 절연막(INS1) 및 상기 제2 절연막(INS2)에 형성된 콘택홀에 의해 상기 제2 액티브 패턴(ACT2)의 소스 영역(SA)과 드레인 영역(DA)에 각각 접촉된다.
- [0047] 한편, 상기 제2 게이트 전극(GE)의 일부와 상기 구동 전압 라인(DVL)의 일부는 각각 제1 커패시터 전극(CE1) 및 제2 커패시터 전극(CE)이며, 상기 제2 절연막(INS2)을 사이에 두고 상기 커패시터(Cst)를 구성한다.
- [0048] 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1), 상기 제2 소스 전극(SE2)과 상기 제2 드레인 전극(DE2) 상에는 제3 절연막(INS3)이 제공된다. 상기 제3 절연막(INS3)은 상기 스위칭 및 구동 박막 트랜지스터들(TR1, TR2)를 보호하는 보호막의 역할을 할 수도 있고, 그 상면을 평탄화시키는 평탄화막의 역할을 할 수도 있다.
- [0049] 상기 제3 절연막(INS3) 상에는 발광 소자의 애노드로서 제1 전극(EL1)이 제공된다. 상기 제1 전극(EL1)은 상기 제3 절연막(INS3)에 형성된 콘택홀을 통해 상기 구동 박막 트랜지스터(TR2)의 제2 드레인 전극(DE2)에 연결된다. 여기서, 상기 제1 전극(EL1)은 캐소드로도 사용될 수 있으나, 이하 실시예에서는 애노드인 경우를 일례로서 설명한다.
- [0050] 상기 제1 전극(EL1)은, 높은 일함수를 갖는 물질로 형성될 수 있으며, 상기 도면에 있어서 상기 베이스 기판(BS)의 하부 방향으로 영상을 제공하고자 하는 경우, ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide) 등의 투명 도전성막으로 형성될 수 있다. 만약, 상기 도면에 있어서, 상기 베이스 기판(BS)의 상부 방향으로 영상을 제공하고자 하는 경우, 상기 제1 전극(EL1)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 등의 금속 반사막과 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide) 등의 투명 도전성막으로 이루어질 수 있다.
- [0051] 상기 제1 전극(EL1) 등이 형성된 베이스 기판(BS) 상에는 각 화소(PXL)에 대응하도록 화소 영역(PA)을 구획하는 화소 정의막(PDL)이 제공된다. 상기 화소 정의막(PDL)은 상기 제1 전극(EL1)의 상면을 노출하며 상기 화소(PXL)의 둘레를 따라 상기 베이스 기판(BS)으로부터 돌출된다.
- [0052] 상기 화소 정의막(PDL)에 의해 둘러싸인 화소 영역(PA)에는 발광층(EML)이 제공되며, 상기 발광층(EML) 상에는 제2 전극(EL2)이 제공된다.
- [0053] 상기 캐소드(CD) 상에는 상기 캐소드(CD)을 커버하는 봉지막(SL)이 제공된다.
- [0054] 한편, 상기 정전기 방지 커패시터는 외부에서 유입되는 정전기를 방지하기 위한 것으로서 비표시 영역(NDP)에 제공된다. 상기 정전기 방지 커패시터는 상기 비표시 영역(DNP) 중 신호 배선이 제공되는 곳에 형성될 수 있다. 예를 들어, 각 신호 배선의 패드가 제공된 영역과 상기 표시 영역(DP) 사이의 영역에 제공될 수 있다. 상기 정전기 방지 커패시터는 상기 게이트 패드(GP)와 상기 표시 영역(DP) 사이, 상기 데이터 패드(DP) 및/또는 구동 전압 패드(DVP)와 상기 표시 영역(DP) 사이 중 적어도 어느 한 곳에 제공된다.
- [0055] 본 발명의 일 실시예에서는 상기 표시 영역(DP)과 상기 게이트 패드(GP) 사이에 형성된 정전기 방지 커패시터가

형성된 것을 일 예로서 도 4에 표시하였다. 이하, 설명의 편의를 위해 상기 표시 영역(DP)과 상기 게이트 패드(GP) 사이에 형성된 정전기 방지 커패시터를 제1 커패시터라고 지칭한다.

- [0056] 도 4a는 도 1의 P2에 해당하는 부분을 도시한 평면도로서, 제1 커패시터를 도시한 것이다. 도 4b는 도 4a의 II-II'선에 따른 단면도이다.
- [0057] 도 1, 도 4a 및 도 4b를 참조하면, 상기 제1 커패시터는 비표시 영역(NDP) 중 게이트 라인(GL)의 팬아웃 부에 제공될 수 있다. 상기 제1 커패시터는, 반도체 패턴으로 이루어진 하부 패턴(LP)과, 상기 하부 패턴(LP) 상에 제공된 제1 절연막(INS1), 상기 제1 절연막(INS2) 상에 제공된 상부 패턴(UP)을 포함한다.
- [0058] 본 발명의 일 실시예에 있어서, 상기 하부 패턴(LP)은 상기 베이스 기판(BS) 상에 제공된다. 상기 베이스 기판(BS) 상에 버퍼층(BFL)이 제공되는 경우, 상기 하부 패턴(LP)은 버퍼층(BFL) 상에 제공된다.
- [0059] 상기 하부 패턴(LP)은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등으로 이루어진 반도체 패턴일 수 있다. 상기 하부 패턴(LP)은 접지될 수 있다.
- [0060] 상기 하부 패턴(LP)은 평면상에서 볼 때 전기 전도도에 따라 제1 영역(RG1)과 제2 영역(RG2)으로 나뉘어진다. 상기 제1 영역(RG1)은 전기 전도도가 낮은 영역이며, 상기 제2 영역(RG2)은 전기 전도도가 상기 제1 영역(RG1)보다 높은 영역이다. 상기 제1 영역(RG1)과 상기 제2 영역(RG2)의 전도도 차이는 상기 반도체 패턴의 불순물 도핑에 따라 달라질 수 있다. 예를 들어, 상기 하부 패턴(LP)의 제1 영역(RG1)은 불순물로 도핑되지 않은 반도체 패턴으로서, 진성 반도체일 수 있다. 상기 제2 영역(RG2)은 불순물이 도핑된 반도체 패턴으로서, 상기 불순물로는 n형 불순물, p형 불순물, 기타 금속을 들 수 있다.
- [0061] 상기 하부 패턴(LP)은 표시 영역(DP)의 화소의 제1 및 제2 액티브 패턴(ACT1, ACT2)과 동일 재료로 형성되며, 동일한 단계에서 형성될 수 있다.
- [0062] 상기 하부 패턴(LP) 상에는 제1 절연막(INS1)이 제공된다.
- [0063] 상기 제1 절연막(INS1) 상에는 상부 패턴(UP)이 제공된다. 상기 상부 패턴(UP)은 상기 게이트 라인(GL)의 일부에 해당한다. 상기 상부 패턴(UP)은 평면 상에서 볼 때 상기 하부 패턴(LP)의 제1 영역(RG1)과 중첩한다. 상기 상부 패턴(UP)은 상기 하부 패턴(LP)을 불순물 도핑으로 형성할 때 제1 영역(RG1)을 마스크로서 사용된다.
- [0064] 상기 하부 패턴(LP), 상기 제1 절연막(INS1), 및 상기 상부 패턴(UP)은 반도체층-유전체-금속으로 이루어진 커패시터로 작용한다. 상기 제1 절연막(INS1)의 두께는, 정상적인 신호 동작에서는 상기 하부 패턴(LP)의 제1 영역(RG1)이 절연체로 작용하고, 과도한 크기를 갖는 정전기에 대해서는 상기 하부 패턴(LP)의 제1 영역(RG1)이 도전체로 작용하도록 조절될 수 있다. 이에 따라, 상기 정전기 방지 커패시터는 정상적인 신호 동작에서는 커패시턴스가 작거나 없으며, 상기 게이트 라인(GL)에 정전기가 유입되는 경우에만 큰 커패시턴스를 갖는다. 이에 따라, 외부로부터 정전기가 유입된 경우, 상기 상부 패턴(UP), 하부 패턴(LP), 및 상기 제1 절연막(INS1)은, 상부 패턴(UP)과 하부 패턴(LP)을 두 전극으로, 제1 절연막(INS1)을 유전체로 하는 커패시터를 이루며, 상기 커패시터에 전하가 충전됨으로써, 상기 표시 영역(DP)의 화소 내로 정전기가 유입되는 것을 방지한다.
- [0065] 상기한 구조를 갖는 표시 장치는 하기한 방법으로 제조될 수 있다.
- [0066] 도 2a, 도 2b, 도 4a, 및 도 4b를 참조하면, 베이스 기판(BS) 상에 버퍼층(BFL)이 형성되고, 상기 버퍼층(BFL) 상에 반도체 패턴이 형성된다.
- [0067] 상기 반도체 패턴은 이후 제1 액티브층(ACT1), 제2 액티브층(ACT2), 및 제1 커패시터의 하부 패턴(LP)이 제공될 영역에 형성된다.
- [0068] 상기 반도체 패턴은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등을 상기 베이스 기판 상에 형성하고, 포토리소그래피를 이용하여 패터닝함으로써 형성될 수 있다. 상기 반도체 패턴은 진성 반도체로 형성될 수 있다.
- [0069] 상기 반도체 패턴 상에는 제1 절연막(INS1)이 형성된다.
- [0070] 상기 제1 절연막(INS1) 상에 게이트 전극(GE1, GE2), 게이트 라인(GL), 및 상기 게이트 라인(GL)의 일부인 상부 패턴(UP)이 형성된다. 상기 게이트 전극(GE1, GE2)과 게이트 라인(GL)은 분리되지 않은 일체로 형성될 수 있다.
- [0071] 상기 게이트 전극(GE1, GE2), 게이트 라인(GL), 및 상기 상부 패턴(UP)은 상기 제1 절연막(INS1) 상에 금속막을 형성하고 포토리소그래피로 패터닝하여 형성할 수 있다.

- [0072] 다음으로, 상기 게이트 전극(GE1, GE2), 및 상기 상부 패턴(UP)을 마스크로 하여 상기 반도체 패턴을 불순물로 도핑한다. 이에 따라, 상기 제1 및 제2 액티브 패턴(ACT1, ACT2)에는 각각 게이트 전극(GE1, GE2)에 의해 가려져 도핑되지 않은 채널 영역(CA)과, 게이트 전극(GE1, GE2)에 가려지지 않아 도핑된 소스 영역(SA)과 드레인 영역(DA)이 형성된다. 상기 제1 커패시터가 형성될 영역의 반도체 패턴은 상부 패턴(UP)(즉, 게이트 라인(GL))에 의해 가려져 도핑되지 않은 제1 영역(RG1)과, 상기 상부 패턴(UP)에 의해 가려지지 않아 도핑된 제2 영역(RG2)이 형성된다.
- [0073] 다음으로, 상기 베이스 기판(BS) 상에 제2 절연막(INS2)이 형성된다. 상기 제2 절연막(INS2) 형성시 포토리소그래피로 상기 소스 영역(SA) 및 상기 드레인 영역(DA)의 일부를 노출하는 컨택홀들이 형성된다.
- [0074] 이후, 상기 제2 절연막(INS2) 상에, 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2), 데이터 라인(DL), 및 구동 전압 라인(DVL)이 형성된다. 상기 소스 전극(SE1, SE2), 상기 드레인 전극(DE1, DE2), 상기 데이터 라인(DL), 및 상기 구동 전압 라인(DVL)은 상기 제2 절연막(INS2) 상에 금속막을 형성하고 포토리소그래피로 패터닝하여 형성할 수 있다. 상기 소스 전극(SE1, SE2)과 상기 드레인 전극(DE1, DE2)은 상기 컨택홀들을 통해 각각 소스 영역(SA)과 드레인 영역(DA)에 연결된다.
- [0075] 다음 상기 베이스 기판(BS) 상에 제3 절연막(INS3)이 형성된다. 상기 제3 절연막(INS3) 형성시 포토리소그래피로 상기 드레인 전극(DE1, DE2)의 일부를 노출하는 컨택홀이 형성된다.
- [0076] 이후, 상기 제3 절연막(INS3) 상에 제1 전극(EL1)이 형성된다. 상기 제1 전극(EL1)은 도전막을 형성한 후 포토리소그래피를 이용하여 패터닝함으로써 형성할 수 있다. 상기 제1 전극(EL1)은 상기 컨택홀을 통해 드레인 전극(DE1, DE2)에 연결된다.
- [0077] 상기 제1 전극(EL1) 상에는 포토 리소그래피를 이용하여 각 화소(PXL)를 분획하는 화소 정의막(PDL)이 형성되며, 상기 화소 정의막(PDL)에 의해 분획된 화소(PXL) 내에 발광층(EML)이 형성된다. 상기 발광층(EML) 상에는 제2 전극(EL2)이 형성되고, 상기 제2 전극(EL2) 상에는 상기 제2 전극(EL2)을 커버하는 봉지막(SL)이 형성된다.
- [0078] 상술한 방법으로 본 발명의 일 실시예에 따른 표시 장치를 제조할 수 있다. 본 발명의 일 실시예에 따르면, 추가적인 포토리소그래피와 같은 별도의 추가 공정 없이, 기존의 화소 형성 공정을 이용하여 정전기 방지 커패시터를 화소와 함께 형성할 수 있다. 그러나, 표시 장치 제조 방법은 이에 한정되는 것은 아니다. 예를 들어, 상기 게이트 전극(GE1, GE2), 게이트 라인(GL), 및 상기 상부 패턴(UP)은 포토리소그래피를 이용하여 단일 단계로 형성할 수 있으나, 필요에 따라 개별적으로 형성할 수 있음은 물론이다.
- [0079] 본 발명의 일 실시예에 따른 표시 장치는 표시 영역과 게이트 패드 사이뿐만 아니라, 팬아웃부가 제공되는 상기 표시 영역과 상기 데이터 패드 사이에도 정전기 방지 커패시터가 제공될 수 있는 바, 이를 제2 커패시터로 지칭한다.
- [0080] 도 5a는 도 1의 P3에 해당하는 부분을 도시한 평면도로서, 제2 커패시터를 도시한 것이다. 도 5b는 도 5a의 III-III'선에 따른 단면도이다.
- [0081] 도 1과 도 5a 및 도 5b를 참조하면, 상기 제2 커패시터는 비표시 영역(NDP) 중 데이터 라인(DL)의 팬아웃 부에 제공될 수 있다.
- [0082] 상기 제2 커패시터는 반도체 패턴으로 이루어진 하부 패턴(LP)과, 상기 하부 패턴(LP) 상에 제공된 제1 및 제2 절연막(INS1, INS2), 상기 제1 및 제2 절연막(INS1, INS2) 상에 제공된 상부 패턴(UP), 및 상기 하부 패턴(LP)과 상부 패턴(UP) 사이에 제공된 플로팅 패턴(FP)을 포함한다.
- [0083] 본 발명의 일 실시예에 있어서, 상기 하부 패턴(LP)은 상기 베이스 기판(BS) 상에 제공된다. 상기 베이스 기판(BS) 상에 버퍼층(BFL)이 제공되는 경우, 상기 하부 패턴(LP)은 버퍼층(BFL) 상에 제공된다.
- [0084] 상기 하부 패턴(LP)은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등으로 이루어진 반도체 패턴일 수 있다. 상기 하부 패턴(LP)은 접지될 수 있다.
- [0085] 상기 하부 패턴(LP)은 평면상에서 볼 때 전기 전도도에 따라 제1 영역(RG1)과 제2 영역(RG2)으로 나누어진다. 상기 제1 영역(RG1)은 전기 전도도가 낮은 영역이며, 상기 제2 영역(RG2)은 전기 전도도가 제1 영역(RG1)보다 높은 영역이다. 상기 제1 영역(RG1)과 상기 제2 영역(RG2)의 전도도 차이는 상기 반도체 패턴의 불순물 도핑에 따라 달라질 수 있다. 예를 들어, 상기 하부 패턴(LP)의 제1 영역(RG1)은 불순물로 도핑되지 않은 반도체 패턴

으로서, 진성 반도체일 수 있다. 상기 제2 영역(RG2)은 불순물이 도핑된 반도체 패턴으로서, 상기 불순물로는 n형 불순물, p형 불순물, 기타 금속을 들 수 있다.

- [0086] 상기 하부 패턴(LP) 상에는 제1 절연막(INS1)이 제공된다.
- [0087] 상기 제1 절연막(INS1) 상에는 플로팅 패턴(FP)이 제공된다. 상기 플로팅 패턴(FP)은 평면 상에서 볼 때 상기 제1 영역(RG1)과 중첩한다. 상기 플로팅 패턴(FP)은 상기 하부 패턴(LP)을 형성할 때 제1 영역(RG1)을 마스크하는 마스크로서 제공된 것이다. 상기 플로팅 패턴(FP)은 게이트 라인(GL)과 동일 물질로 동일 단계에서 형성될 수 있다.
- [0088] 상기 플로팅 패턴(FP) 상에는 제2 절연막(INS2)이 형성된다.
- [0089] 상기 제2 절연막(INS2) 상에는 상부 패턴(UP)이 제공된다.
- [0090] 상기 상부 패턴(UP)은 상기 데이터 라인(DL)의 일부에 해당한다. 상기 상부 패턴(UP)은 평면 상에서 볼 때 상기 하부 패턴(LP)의 제1 영역(RG1), 및 플로팅 패턴(FP)과 중첩한다.
- [0091] 상기 하부 패턴(LP), 상기 제1 및 제2 절연막(INS1, INS2), 및 상기 상부 패턴(UP)은 반도체층-유전체-금속으로 이루어진 커패시터로 작용한다. 상기 제1 및 제2 절연막(INS1, INS2)의 두께는, 정상적인 신호 동작에서는 하부 패턴(LP)의 제1 영역(RG1)이 절연체로 작용하고, 과도한 크기를 갖는 정전기에 대해서만 상기 하부 패턴(LP)의 제1 영역(RG1)이 도전체로 작용하도록 조절될 수 있다. 이에 따라, 상기 정전기 방지 커패시터는 정상적인 신호 동작에서는 커패시턴스가 작거나 없으며, 상기 게이트 라인(GL)에 정전기가 유입되는 경우에만 큰 커패시턴스를 갖는다. 즉, 외부로부터 정전기가 유입된 경우, 상기 하부 패턴(LP)은 도전체로 작용하며, 이 경우, 상기 상부 패턴(UP), 하부 패턴(LP), 및 상기 제1 및 제2 절연막(INS1, INS2)은, 상부 패턴(UP)과 하부 패턴(LP)을 두 전극으로, 제1 및 제2 절연막(INS1, INS2)을 유전체로 하는 커패시터로 동작한다. 이에 따라, 상기 커패시터에 전하가 충전됨으로써, 표시 영역의 화소 내로 정전기가 유입되는 것을 방지한다.
- [0092] 상기한 구조를 갖는 표시 장치는 하기와 같은 방법으로 제조될 수 있다. 이하, 설명의 중복을 피하기 위해, 상술한 실시예와 다른 부분을 중심으로 설명한다.
- [0093] 도 2a, 도 2b, 도 5a, 및 도 5b를 참조하면, 베이스 기판(BS) 상에 버퍼층(BFL)이 형성되고, 상기 버퍼층(BFL) 상에 반도체 패턴이 형성된다.
- [0094] 상기 반도체 패턴은 이후 제1 액티브층(ACT1), 제2 액티브층(ACT2), 및 제2 커패시터의 하부 패턴(LP)이 제공될 영역에 형성된다.
- [0095] 상기 반도체 패턴 상에는 제1 절연막(INS1)이 형성된다.
- [0096] 상기 제1 절연막(INS1) 상에 게이트 전극(GE1, GE2), 게이트 라인(GL), 및 플로팅 패턴(FP)이 형성된다. 상기 플로팅 패턴(FP)은 이후 데이터 라인(DL)이 형성될 영역에 중첩하도록 형성된다.
- [0097] 상기 게이트 전극(GE1, GE2), 게이트 라인(GL), 및 상기 플로팅 패턴(FP)은 상기 제1 절연막(INS1) 상에 금속막을 형성하고 포토리소그래피로 패터닝하여 형성할 수 있다.
- [0098] 다음으로, 상기 게이트 전극(GE1, GE2), 및 상기 플로팅 패턴(FP)을 마스크로 하여 상기 반도체 패턴을 불순물로 도핑한다. 이에 따라, 상기 제1 커패시터가 형성될 영역의 반도체 패턴은 플로팅 패턴(FP)에 의해 가려져 도핑되지 않은 제1 영역(RG1)과, 상기 플로팅 패턴(FP)에 의해 가려지지 않아 도핑된 제2 영역(RG2)이 형성된다.
- [0099] 다음으로, 상기 베이스 기판(BS) 상에 제2 절연막(INS2)이 형성된다.
- [0100] 이후, 상기 제2 절연막(INS2) 상에, 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2), 데이터 라인(DL), 구동 전압 라인(DVL), 및 데이터 라인(DL)의 일부인 상부 패턴(UP)이 형성된다. 상기 상부 패턴(UP)은 상기 플로팅 패턴(FP) 및 그 하부의 제1 영역(RG1)과 중첩하도록 형성된다.
- [0101] 상기 소스 전극(SE1, SE2), 상기 드레인 전극(DE1, DE2), 상기 데이터 라인(DL), 상기 구동 전압 라인(DVL), 및 상기 상부 패턴(UP)은 상기 제2 절연막(INS2) 상에 금속막을 형성하고 포토리소그래피로 패터닝하여 형성할 수 있다. 상기 소스 전극(SE1, SE2)과 상기 드레인 전극(DE1, DE2)은 상기 컨택홀들을 통해 각각 소스 영역(SA)과 드레인 영역(DA)에 연결된다.
- [0102] 다음 상기 베이스 기판(BS) 상에 제3 절연막(INS3)이 형성되며, 이후, 상기 제3 절연막(INS3) 상의 구성 요소는



화소는 상술한 실시예와 동일한 방식으로 형성될 수 있다.

- [0103] 상술한 방법으로 본 발명의 일 실시예에 따른 표시 장치를 제조할 수 있는 바, 본 발명의 일 실시예에 따르면, 추가적인 포토리소그래피와 같은 별도의 추가 공정 없이, 기존의 화소 형성 공정을 이용하여 정전기 방지 커패시터를 화소와 함께 형성할 수 있다.
- [0104] 여기서, 별도로 도시하지는 않았으나, 본 발명의 다른 실시예에 따르면 데이터 라인(DL) 대신 구동 전압 라인(DVL)을 상부 패턴(UP)으로 하여 정전기 방지 커패시터를 형성할 수 있다.
- [0105] 본 발명의 일 실시예에 따른 정전기 방지 커패시터는 상부 패턴(UP)의 형성 위치를 조절함으로써 커패시턴스를 조절할 수 있다. 즉, 상부 패턴(UP)의 위치에 따라 절연막의 두께가 달라질 수 있으며, 상기 절연막의 두께는 커패시터의 커패시턴스 차이로 이어진다.
- [0106] 도 6은 상부 전극을 제1 전극과 동일한 층에 형성한 것을 도시한 단면도로서, 도 5a의 II-II'선에 대응하는 단면도이다.
- [0107] 도 2a, 도 2b, 도 5a, 및 도 6을 참조하면, 상술한 도 5b와 다른 점은 상부 패턴(UP)의 위치이다. 도 5b의 실시예에서는 상부 패턴(UP)이 데이터 라인(DL)의 일부로서, 데이터 라인(DL), 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2) 등과 함께 제2 절연막(INS2) 상에 형성되었으나, 도 6의 상부 패턴(UP)은 제3 절연막(INS3) 상에 형성된다. 상기 상부 패턴(UP)은 게이트 라인(GL), 데이터 라인(DL), 또는 구동 전압 라인(DVL)에 연결될 수 있으며, 이 경우 도시되지는 않았으나, 상기 게이트 라인(GL), 데이터 라인(DL), 또는 구동 전압 라인(DVL)과 제1 절연막(INS1) 및/또는 제2 절연막(INS2)에 형성된 콘택홀을 통해 연결될 수 있다. 상기 상부 패턴(UP)은 제1 전극(EL1)과 동일 층 상에 동일 물질로 형성될 수 있다. 특히, 상기 상부 패턴(UP)은 표시 영역 내의 제1 전극(EL1)을 형성할 때 포토리소그래피로 동시에 형성될 수 있다.
- [0108] 이 경우, 상기 상부 패턴(UP), 하부 패턴(LP), 및 상기 제1 내지 제3 절연막(INS1, INS2, INS3)은, 상부 패턴(UP)과 하부 패턴(LP)을 두 전극으로, 제1 내지 제3 절연막(INS1, INS2, INS3)을 유전체로 하는 커패시터로 동작한다. 이에 따라, 상기 커패시터에 전하가 충전됨으로써, 표시 영역의 화소 내로 정전기가 유입되는 것을 방지한다. 여기서, 상부 패턴(UP)과 하부 패턴(LP) 사이의 절연막의 두께가 두껍기 때문에 다른 실시예 대비 커패시턴스가 클 수 있다.
- [0109] 본 발명의 일 실시예에 따르면, 정전기 방지 커패시터의 커패시턴스를 조절하기 위해 상부 전극은 다양한 형태로 제공될 수 있다. 도 7a는 절연막의 두께를 조절하기 위해 상부 전극이 브릿지를 갖는 경우를 도시한 평면도로서, 도 1의 P3에 대응하는 것이다. 도 7b는 도 7a의 IV-IV'선에 따른 단면도이다.
- [0110] 도 2a, 도 2b, 도 7a 및 도 7b를 참조하면, 베이스 기판(BS) 상에 버퍼층(BFL)이 형성되고, 상기 버퍼층(BFL) 상에 반도체 패턴이 형성된다.
- [0111] 상기 반도체 패턴은 이후 제1 액티브층(ACT1), 제2 액티브층(ACT2), 및 제2 커패시터의 하부 패턴(LP)이 제공될 영역에 형성된다.
- [0112] 상기 반도체 패턴 상에는 제1 절연막(INS1)이 형성된다.
- [0113] 상기 제1 절연막(INS1) 상에 게이트 전극(GE1, GE2), 게이트 라인(GL), 및 브릿지 패턴(BR)(BR)이 형성된다. 상기 브릿지 패턴(BR)은 양 단부가 이후 형성될 데이터 라인(DL)의 일부와 중첩하도록 형성된다.
- [0114] 상기 게이트 전극(GE1, GE2), 게이트 라인(GL), 및 상기 브릿지 패턴(BR)은 상기 제1 절연막(INS1) 상에 금속막을 형성하고 포토리소그래피로 패터닝하여 형성할 수 있다.
- [0115] 다음으로, 상기 게이트 전극(GE1, GE2), 및 상기 브릿지 패턴(BR)을 마스크로 하여 상기 반도체 패턴을 불순물로 도핑한다. 이에 따라, 상기 제1 커패시터가 형성될 영역의 반도체 패턴은 브릿지 패턴(BR)에 의해 가려져 도핑되지 않은 제1 영역(RG1)과, 상기 브릿지 패턴(BR)에 의해 가려지지 않아 도핑된 제2 영역(RG2)이 형성된다.
- [0116] 다음으로, 상기 베이스 기판(BS) 상에 제2 절연막(INS2)이 형성된다. 상기 제2 절연막(INS2)에는 상기 브릿지 패턴(BR)의 양 단부를 노출하는 콘택홀이 형성된다.
- [0117] 이후, 상기 제2 절연막(INS2) 상에, 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2), 데이터 라인(DL), 구동 전압 라인(DVL), 및 데이터 라인(DL)이 형성된다. 상기 데이터 라인(DL)은 상기 브릿지 패턴(BR)이 형성된 부분에서 일부가 제거된 형태로 형성될 수 있으며, 상기 브릿지 패턴(BR)의 양 단부와 콘택홀을 통해 연결된다. 상기

브릿지 패턴(BR)과 상기 데이터 라인(DL)의 일부는 함께 상부 패턴(UP)을 이룬다.

[0118] 상기 소스 전극(SE1, SE2), 상기 드레인 전극(DE1, DE2), 상기 데이터 라인(DL), 및 상기 구동 전압 라인(DVL)은 상기 제2 절연막(INS2) 상에 금속막을 형성하고 포토리소그래피로 패터닝하여 형성할 수 있다.

[0119] 다음 상기 베이스 기판(BS) 상에 제3 절연막(INS3)이 형성되며, 이후, 상기 제3 절연막(INS3) 상의 구성 요소는 화소는 상술한 실시예와 동일한 방식으로 형성될 수 있다.

[0120] 상술한 방법으로 본 발명의 일 실시예에 따른 표시 장치를 제조할 수 있는 바, 본 발명의 일 실시예에 따르면, 추가적인 포토리소그래피와 같은 별도의 추가 공정 없이, 기존의 화소 형성 공정을 이용하여 정전기 방지 커패시터를 화소와 함께 형성할 수 있다. 또한, 브릿지 패턴 등을 이용하여 정전기 방지 커패시터의 커패시턴스를 조절할 수 있다.

[0121] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

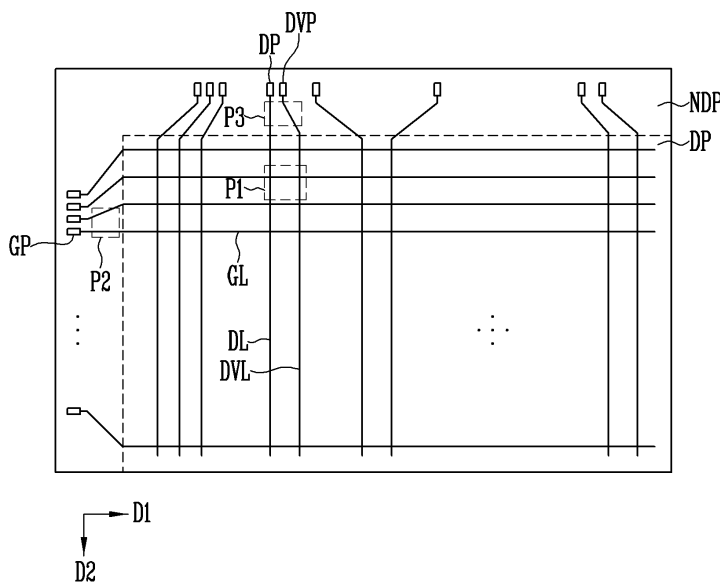
[0122] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

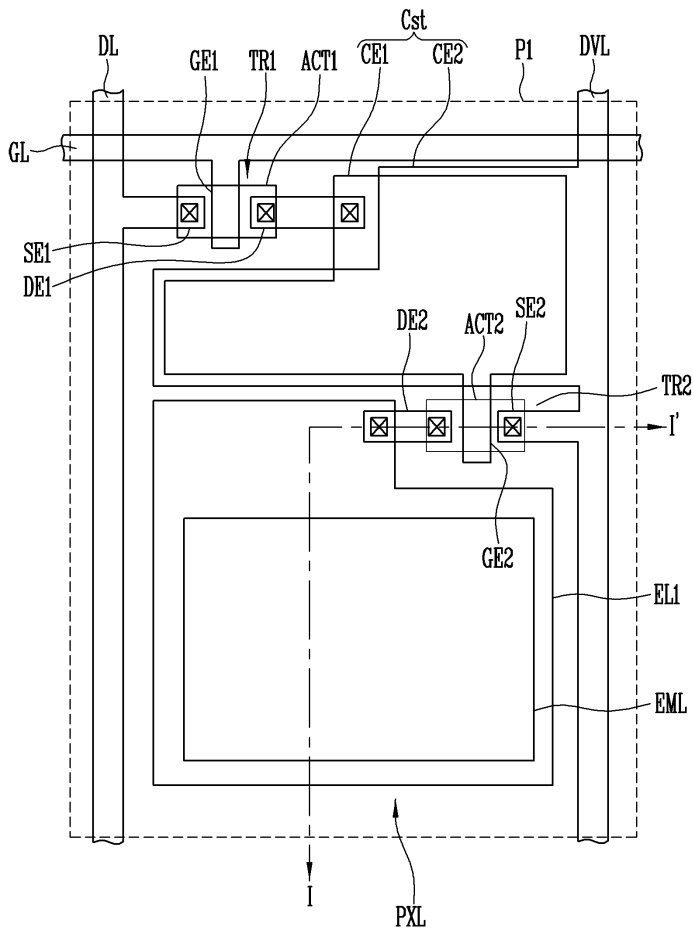
- [0123] DP : 표시 영역
- DL : 데이터 라인
- FP : 플로팅 패턴
- GL : 게이트 라인
- INS1, INS2, INS3 : 제1, 제2, 제3 절연막
- LP : 하부 패턴
- NDP : 비표시 영역
- RG1, RG2 : 제1, 제2 영역
- UP : 상부 패턴

**도면**

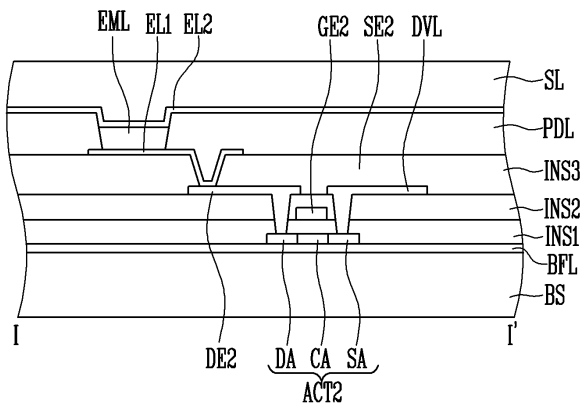
**도면1**



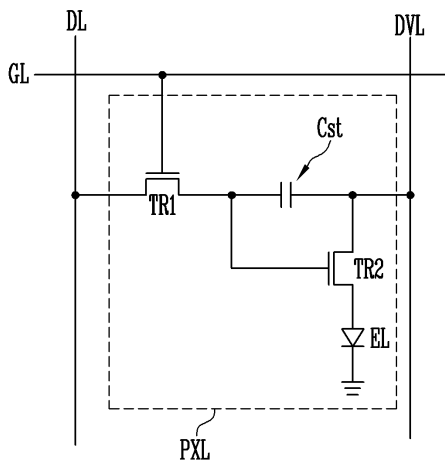
도면2a



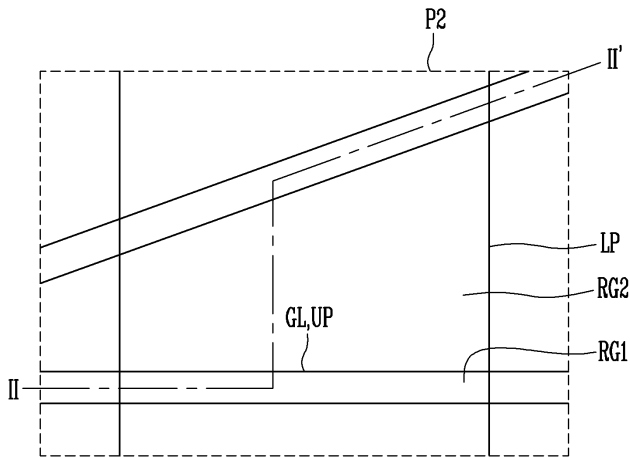
도면2b



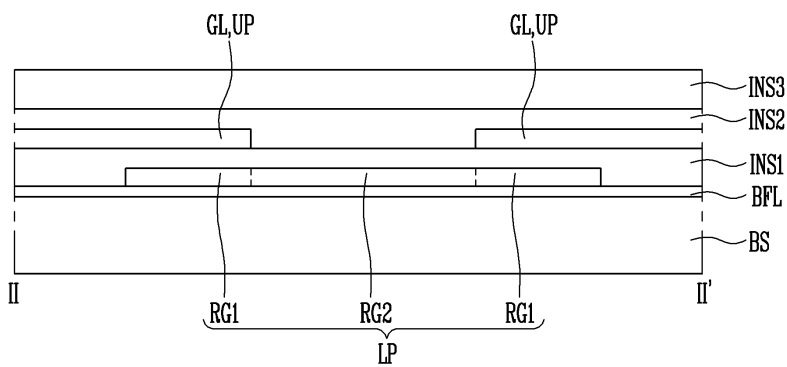
도면3



도면4a

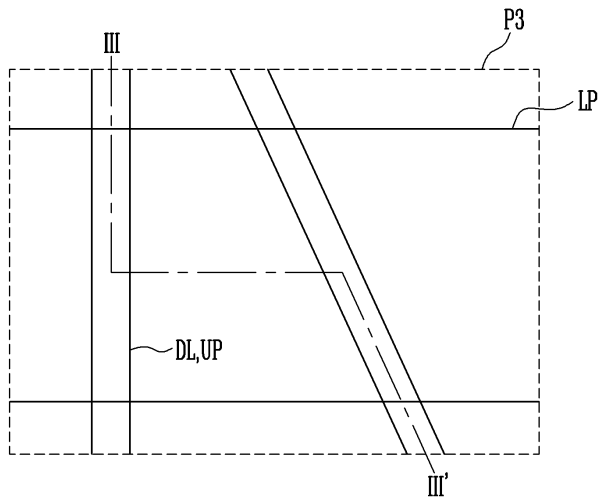


도면4b

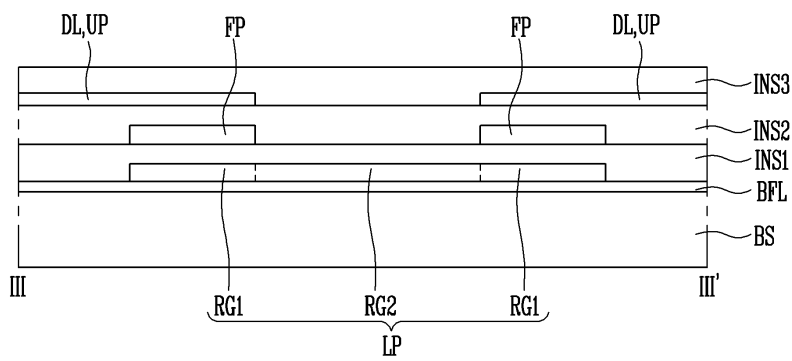




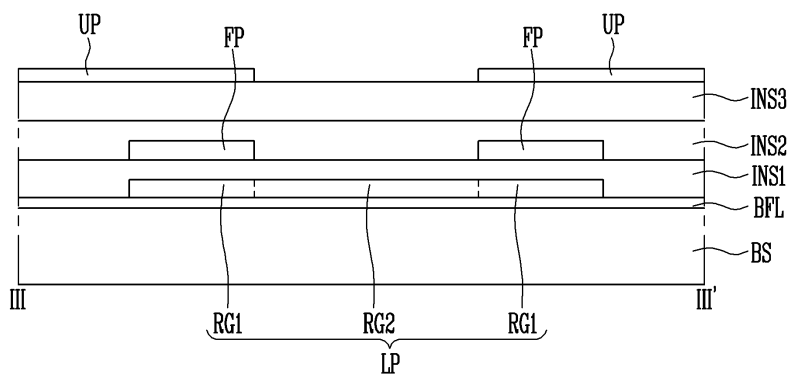
도면5a



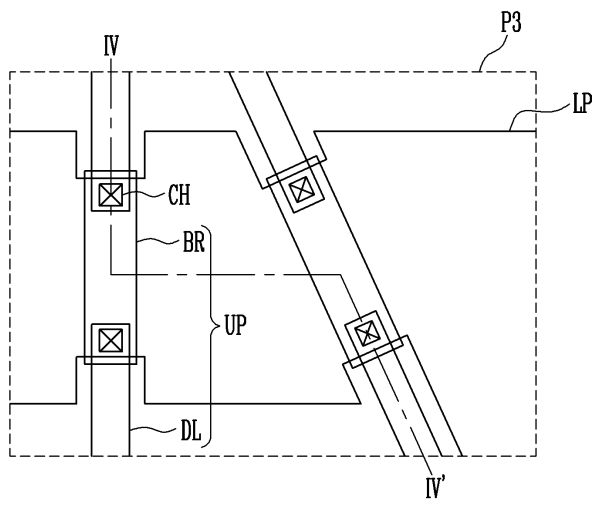
도면5b



도면6



도면7a



도면7b

