

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4091647号
(P4091647)

(45) 発行日 平成20年5月28日(2008.5.28)

(24) 登録日 平成20年3月7日(2008.3.7)

(51) Int.Cl. F I
 HO 1 S 5/042 (2006.01) HO 1 S 5/042 6 1 2
 HO 1 S 5/22 (2006.01) HO 1 S 5/22

請求項の数 8 (全 17 頁)

(21) 出願番号	特願2007-137581 (P2007-137581)	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成19年5月24日(2007.5.24)	(74) 代理人	100082175 弁理士 高田 守
(65) 公開番号	特開2008-47865 (P2008-47865A)	(74) 代理人	100106150 弁理士 高橋 英樹
(43) 公開日	平成20年2月28日(2008.2.28)	(72) 発明者	志賀 俊彦 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
審査請求日	平成19年9月25日(2007.9.25)	(72) 発明者	佐久間 仁 東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
(31) 優先権主張番号	特願2006-199574 (P2006-199574)	審査官	高橋 健司
(32) 優先日	平成18年7月21日(2006.7.21)		最終頁に続く
(33) 優先権主張国	日本国(JP)		
早期審査対象出願			

(54) 【発明の名称】 半導体光素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に第1導電型の第1の半導体層、活性層、第2導電型の第2の半導体層を順次積層し、半導体積層構造を形成する工程と、

この半導体積層構造の表面にレジストを塗布し、写真製版工程により導波路リッジに対応した幅を有するストライプ状レジスト膜部分を備えた第1のレジストパターンを形成する工程と、

この第1のレジストパターンをマスクとして、ドライエッチングにより第2の半導体層の上表面側の一部を除去しその底部に第2の半導体層の一部を残した凹部を形成することにより導波路リッジを形成する工程と、

第1のレジストパターンを除去した後、凹部を含む半導体積層構造の表面に第1の絶縁膜を形成する工程と、

導波路リッジ頂部に形成された第1の絶縁膜の表面が露呈するとともに、導波路リッジに隣接する凹部の第1の絶縁膜を、導波路リッジの第2の半導体層表面よりも高くかつ導波路リッジ頂部上の第1の絶縁膜表面よりも低い表面を有するレジスト膜により埋設する第2のレジストパターンを形成する工程と、

第2のレジストパターンをマスクとしてエッチングにより第1の絶縁膜を除去し、導波路リッジの第2の半導体層表面を露呈させる工程と、

露呈した導波路リッジの第2の半導体層の表面上に電極層を形成する工程と、を含む半導体光素子の製造方法。

【請求項 2】

第 2 のレジストパターンを形成する工程が、

第 1 の絶縁膜上にレジストを塗布するとともに、導波路リッジに隣接する凹部のレジスト膜の膜厚が導波路リッジ頂部のレジスト膜の膜厚さよりも厚いレジスト膜を形成する工程と、

このレジスト膜の表面から一様にレジストを除去し、導波路リッジに隣接する凹部のレジスト膜を残しながら導波路リッジ頂部の第 1 の絶縁膜を露呈させる工程と、

を含むことを特徴とした請求項 1 記載の半導体光素子の製造方法。

【請求項 3】

第 2 のレジストパターンを形成する工程が、

第 1 の絶縁膜上にレジストを塗布し第 1 の絶縁膜を覆い、導波路リッジに隣接する凹部において表面が導波路リッジの第 1 の絶縁膜の上面とほぼ同じ高さを有するレジスト膜を形成する工程と、

写真製版工程により、導波路リッジに隣接する凹部の底面の一部にレジスト膜を残して第 1 の絶縁膜を被覆するとともに導波路リッジ頂部における第 1 の絶縁膜を一様に露呈させたレジストパターンを形成する工程と、

加熱処理によりレジストパターンのレジストを流動化し、凹部の底面をレジスト膜により被覆する工程と、

を含むことを特徴とした請求項 1 記載の半導体光素子の製造方法。

【請求項 4】

半導体基板が GaN により、第 1 の半導体層が AlGaIn により、活性層が InGaIn により、第 2 の半導体層が GaN を含む半導体層によりそれぞれ形成されたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体光素子の製造方法。

【請求項 5】

基板上に第 1 導電型の第 1 の半導体層、活性層、第 2 導電型の第 2 の半導体層を順次積層した半導体積層構造の表面にレジストを塗布し、写真製版工程により導波路リッジに対応した形状を有するレジスト膜部分を備えた第 1 のレジストパターンを形成する工程と、

この第 1 のレジストパターンをマスクとして、エッチングにより第 2 の半導体層の上面側の一部を除去しその底部に第 2 の半導体層の一部を残した凹部を形成することにより導波路リッジを形成する工程と、

第 1 のレジストパターンを除去した後、凹部を含む半導体積層構造の表面に第 1 の絶縁膜を形成する工程と、

導波路リッジ頂部に形成された第 1 の絶縁膜の表面が露呈するとともに、導波路リッジに隣接する凹部の第 1 の絶縁膜を、導波路リッジの第 2 の半導体層表面よりも高くかつ導波路リッジ頂部上の第 1 の絶縁膜表面よりも低い表面を有するレジスト膜により埋設する第 2 のレジストパターンを形成する工程と、

第 2 のレジストパターンをマスクとしてエッチングにより第 1 の絶縁膜を除去し、導波路リッジの第 2 の半導体層表面を露呈させる工程と、

第 2 のレジストパターンをマスクとして第 1 の絶縁膜を除去した後、露呈した導波路リッジの第 2 の半導体層の表面上に電極層を形成する工程と、

を含む半導体光素子の製造方法。

【請求項 6】

第 2 のレジストパターンを形成する工程が、

第 1 の絶縁膜上にレジストを塗布し第 1 の絶縁膜を覆い、導波路リッジに隣接する凹部において表面が導波路リッジの第 1 の絶縁膜の上面とほぼ同じ高さを有するレジスト膜を形成する工程と、

写真製版工程により、導波路リッジに隣接する凹部の底面の一部にレジスト膜を残して第 1 の絶縁膜を被覆するとともに導波路リッジ頂部における第 1 の絶縁膜を一様に露呈させたレジストパターンを形成する工程と、

加熱処理によりレジストパターンのレジストを流動化し、凹部の底面の全域をレジスト

10

20

30

40

50

膜により被覆する工程と、
を含むことを特徴とした請求項 5 記載の半導体光素子の製造方法。

【請求項 7】

半導体基板が GaN により、第 1 の半導体層が AlGaInN により、活性層が InGaInN により、第 2 の半導体層が GaN を含む半導体層によりそれぞれ形成されたことを特徴とする請求項 5 または 6 に記載の半導体光素子の製造方法。

【請求項 8】

導波路リッジの第 2 の半導体層表面を露呈させる工程において、ウエットエッチングにより第 1 の絶縁膜を除去することを特徴とした請求項 1 乃至 7 のいずれか 1 項に記載の半導体光素子の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体光素子の製造方法に係り、特に導波路リッジ頂部に電極を備えた半導体光素子の製造方法に関する。

【背景技術】

【0002】

近年、光ディスクの高密度化に必要である青色領域から紫外線領域におよぶ発光が可能な半導体レーザとして、AlGaInN などの窒化物系 III-V 族化合物半導体を用いた窒化物系半導体レーザの研究開発が盛んに行われ、既に実用化している。

20

このような青紫色 LD (以下レーザダイオードを LD と記載する) は GaN 基板上に化合物半導体を結晶成長させて形成される。

【0003】

代表的な化合物半導体には III 族元素と V 族元素とが結合した III-V 族化合物半導体があり、複数の III 族原子や V 族原子が結合することにより様々な組成比を有する混晶化合物半導体が得られる。青紫色 LD に使用される化合物半導体としては、例えば、GaN, GaPN, GaNAs, InGaInN, AlGaInN などがある。

導波路リッジ型の LD は、通常導波路リッジの頂部に電極層を設ける。この電極層と導波路リッジの最上層であるコンタクト層との接続は、導波路リッジを覆う絶縁膜において導波路リッジ頂部に開口を設け、この開口を介して行われる。この開口を有する絶縁膜は、導波路リッジを形成するときに使用されたレジストマスクを用いリフトオフ法を用いて形成される。このためにコンタクト層と接着しているレジストマスクは、コンタクト層との接合部においてコンタクト層の表面に沿って凹んでいるために、リフトオフ後も導波路リッジを覆う絶縁膜の一部がこの窪みの部分に残留し、その残留した絶縁膜分だけコンタクト層の表面を覆うことになり、電極層とコンタクト層の接触面積がコンタクト層の全表面積よりも小さくなる。

30

【0004】

従来の赤色 LD において使用されるコンタクト層の材料、例えば GaAs 等では、コンタクト抵抗が比較的低いので、リフトオフ法によって生じる接触面積の減少がコンタクト抵抗を大きく増加させることはなく、LD の動作電圧の上昇に大きな影響することはなかった。

40

しかしながら青紫色 LD の場合コンタクト層に使用される材料が、GaN 等であり、材料のコンタクト抵抗が比較的高く、このために電極とコンタクト層との接触面積の低下が、電極とコンタクト層とのコンタクト抵抗を高め、青紫色 LD の動作電圧を高める結果となっていた。

【0005】

電極とコンタクト層との接触面積の減少を防止するための、LD の製造方法の公知例には次のようなものがある。

窒化物半導体レーザ素子を形成する場合において、まず複数の半導体層を含むウエハの p 型コンタクト 111 層上にパラジウム / モリブデン / 金からなる p 型電極層 112 が形

50

成される。次にp型電極層112の上にストライプ状のレジストマスク(図示せず)を形成し、RIE(反応性イオンエッチング)によってリッジストライプ114を形成する。すなわちArガスによってp型電極112をエッチングにより形成し、さらにArとCl₂とSiCl₄の混合ガスによってP型コンタクト層111とp型クラッド層110の途中までエッチング、またはpガイド層109の途中までエッチングすることによりリッジストライプが形成される。さらにリッジストライプ114のレジストを残したままで、ウエハの上面を覆うように、絶縁膜115(主としてZrO₂からなるZr酸化物)が厚さ0.5μmに形成される。その後レジストを除去することによりリッジストライプ114の上辺が露出される。さらにp型電極112と少なくともその両側近傍の絶縁膜115を覆うようにモリブデンと金からなるp型パッド電極116が形成される。(例えば、特許文献1、第9頁、42-50行、及び図1参照)。

10

【0006】

またもう一つの公知例では二つの異なるフォトレジスト層を積層するステップを含むリッジ導波管半導体LDを製造するための自己整合法を開示している。この製造方法は次のような方法である。

下側のフォトレジスト層は300nm未満の波長を有する光だけに反応し、上側のフォトレジスト層は300nmより長い波長を有する光だけに反応する。第2被覆導波層406とこの上にキャップ層408が形成された半導体積層構造において、キャップ層408と第2被覆導波層406の一部が除去されリッジ構造414とダブルチャネル412が形成される。さらにリッジ構造414とダブルチャネル412の表面に第2絶縁膜416が形成される。この第2絶縁膜の上に下層の第1フォトレジスト層420と上層の第2フォトレジスト層422が形成される。リッジ構造414近傍の第1フォトレジスト層420を露出するために第2フォトレジスト層422がパターン化される。次にリッジ構造414上の第2絶縁膜416を露出させるために第1フォトレジスト層420に対してRIEプロセスが行われる。次にリッジ414の外側の第2絶縁膜416を除去するためにRIEプロセスを含むエッチングプロセスが実行される。次に残存している第1フォトレジスト層420および第2フォトレジスト層422が除去され、第1金属層424が電極として蒸着される(例えば、特許文献2、段落番号[0024]から[0034]、及び図7乃至図18参照)。

20

【0007】

さらに別の公知例では、Alのメタルマスクを用いてウエットエッチングによりコンタクト層をエッチングし、さらにメタルマスクを残したままコンタクト層をマスクとしてウエットエッチングを行うことにより、リッジとチャネルを形成するとともに、プラズマCVDにより絶縁膜を全面に形成し、次いでAlパターンとその上に堆積した絶縁膜をリフトオフで除去する。次いで通常のリソグラフィプロセスによりp側電極の部分が露出するレジストパターンを形成し、このレジストパターンをマスクとして電極材料を真空蒸着し、レジストパターンとその上の電極材料をリフトオフで除去しリッジのコンタクト層に密着する電極を形成することが開示されている(例えば、特許文献3、段落番号[0025]から[0034]、及び図1参照)。

30

【0008】

さらに別の公知例では次のような工程が開示されている。コンタクト層13の表面のほぼ全面に第1の保護膜61を形成し、この第1の保護膜61の上にストライプ状の第3の保護膜63を形成する。第3の保護膜63をつけたまま第1の保護膜61をエッチングした後、第3の保護膜63を除去し、ストライプ状の第1の保護膜61を形成する。ついで第1の保護膜をマスクとしてp側コンタクト層13とコンタクト層の下層、例えばp側クラッド層12の途中、までエッチングすることによりストライプ状の導波路を形成する。次に第1の保護膜61と異なる材料で絶縁性のある第2の保護膜62をストライプ状の導波路の側面とエッチングされて露出した窒化物半導体層、先のエッチングではp側クラッド層12の平面に形成し、リフトオフ法により第1の保護膜61のみを除去し第2の保護膜とp側コンタクト層13の上に、そのp側コンタクト層13と電氣的に接続したp電

40

50

極を形成する（例えば、特許文献4、段落番号[0020]から[0027]、及び図1参照）。

【0009】

【特許文献1】再公表特許(A1) JP WO2003/085790 公報

【特許文献2】特開2000-22261号公報

【特許文献3】特開2000-340880号公報

【特許文献4】特開2003-142769号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

従来の方法でも導波路リッジのコンタクト層と電極層との接触面積は確保されるとしても、金属膜と金属膜の下層の半導体層とを同時にエッチングする工程や、2層のレジストを使用する場合に下層のレジストを安定して所定の厚みを残してエッチングを停止する工程や、金属膜をマスクとしたり複数の保護膜を使用する場合のリフトオフを行う工程等を含むなど、安定的に特性の揃ったデバイスを製造する上での問題点があった。また複数のレジストや保護膜を使用する場合の工程の自由度の低下などの問題点もあった。

【0011】

この発明は上記の問題点を解決するためになされたもので、第1の目的は簡単な工程により、導波路リッジの上表面において半導体層と電極層との接触面積の減少を安定的に防止することが可能で、歩留まりの高い製造方法を提供することである。

【課題を解決するための手段】

【0012】

この発明に係る半導体光素子の製造方法は、半導体基板上に第1導電型の第1の半導体層、活性層、第2導電型の第2の半導体層を順次積層し、半導体積層構造を形成する工程と、この半導体積層構造の表面にレジストを塗布し、写真製版工程により導波路リッジに対応した幅を有するストライプ状レジスト膜部分を備えた第1のレジストパターンを形成する工程と、この第1のレジストパターンをマスクとして、ドライエッチングにより第2の半導体層の上表面側の一部を除去しその底部に第2の半導体層の一部を残した凹部を形成することにより導波路リッジを形成する工程と、第1のレジストパターンを除去した後、凹部を含む半導体積層構造の表面に第1の絶縁膜を形成する工程と、導波路リッジ頂部に形成された第1の絶縁膜の表面が露呈するとともに、導波路リッジに隣接する凹部の第1の絶縁膜を、導波路リッジの第2の半導体層表面よりも高くかつ導波路リッジ頂部上の第1の絶縁膜表面よりも低い表面を有するレジスト膜により埋設する第2のレジストパターンを形成する工程と、第2のレジストパターンをマスクとしてエッチングにより第1の絶縁膜を除去し、導波路リッジの第2の半導体層表面を露呈させる工程と、露呈した導波路リッジの第2の半導体層の表面上に電極層を形成する工程と、を含むものである。

【発明の効果】

【0013】

この発明に係る半導体光素子の製造方法においては、導波路リッジに隣接する凹部に形成された第2のレジストパターンが、導波路リッジの第2の半導体層表面よりも高くかつ導波路リッジ頂部上の第1の絶縁膜表面よりも低い表面を有するので、この第2のレジストパターンを用いてエッチングにより第1の絶縁膜を除去すると、導波路リッジの側面及び凹部の第1の絶縁膜を残しながら、導波路リッジ頂部の第2の半導体層は露呈されるので、簡単な工程により第2の半導体層と電極層とが接触面積の減少がなく接合される。

【発明を実施するための最良の形態】

【0014】

以下の実施の形態においては、半導体光素子として、例えば青紫色LDを例にして説明するが、青紫色LDに限らず、赤色LDなど半導体光素子全般に適用して同様の効果を奏する。したがって、半導体積層構造を形成する各材料は、窒化物系半導体に限らず、InP系材料やGaAs系材料も含まれる。また、基板はGaN基板に限らず、InP, Ga

10

20

30

40

50

As, Si, SiCなどのその他の半導体基板や、サファイア基板などの絶縁基板であってもよい。

【0015】

実施の形態1.

図1は、この発明の一実施の形態に係る半導体LDの断面図である。なお各図において同じ符号は同じものかまたは相当のものを示す。

図1において、このLD10は導波路リッジ型の青紫色LDで、n型GaN基板12(以下、“n型”を“n-”と、また“p型”を“p-”、特に不純物がドーピングされていないアンドープの場合は“i-”と表記する)の一方主面であるGa面上にn-GaNで形成されたバッファ層14、このバッファ層14の上にn-AlGaNで形成された第1の半導体層としての、例えば第1n-クラッド層16、第2n-クラッド層18、および第3n-クラッド層20が形成され、この第3nクラッド層20の上にn-GaNで形成されたn側光ガイド層22、InGaNで形成されたn側SCH(Separate Confinement Heterostructure)層24、および活性層26が順次積層されている。

【0016】

この活性層26の上にInGaNで形成されたp側SCH層28、p-AlGaNで形成された電子障壁層30、p-GaNで形成されたp側光ガイド層32、p-AlGaNで形成されたp-クラッド層34、及びp-GaNで形成されたコンタクト層36が順次積層されている。第2の半導体層としては、この実施の形態では、p-クラッド層34とコンタクト層36とを含んでいる。しかし場合によって第2の半導体層は1層であっても3層以上であってもかまわない。

コンタクト層36およびp-クラッド層34に凹部としてのチャンネル38を形成することにより、コンタクト層36およびコンタクト層36と接する側のp-クラッド層34の一部が導波路リッジ40を形成している。

導波路リッジ40はLD10の共振器端面となる劈開端面の幅方向の中央部分に配設され、共振器端面となる両端面の間に延在している。この導波路リッジ40はその長手方向の寸法、即ち共振器長は1000 μ mで、その長手方向に直交する方向のリッジ幅が数 μ m~数十 μ mで、例えばこの実施の形態では1.5 μ mである。

またチャンネルの幅はこの実施の形態では10 μ mである。チャンネル38を介して導波路リッジ40の両外側に形成された台状部は、例えば電極パッド基台42である。

また導波路リッジ40の深さ、即ちチャンネル38の底面からの高さは、たとえば0.5 μ mである。

【0017】

導波路リッジ40の側壁および電極パッド基台42の側壁を含むチャンネル38の両側面及び底面は、第1の絶縁膜としての第1シリコン絶縁膜44により被覆されている。この第1シリコン絶縁膜44は、例えば膜厚が200nmのSiO₂膜で形成されている。またこの第1シリコン絶縁膜44はコンタクト層36の上表面には形成されておらず、第1シリコン絶縁膜44が有する開口部44aはコンタクト層36の上表面全体を露呈させている。

コンタクト層36の上表面にはコンタクト層36と接して電氣的に接続されたp側電極46が配設されている。p側電極46は真空蒸着法により白金(Pt)およびAuを順次積層することにより形成される。このp側電極46はコンタクト層44の上表面からさらに導波路リッジ40の側壁およびチャンネル38底部の一部上の第1シリコン絶縁膜44まで延在している。

また、電極パッド基台42上表面上、およびチャンネル38内の電極パッド基台42側面とチャンネル38底部の一部との上に配設された第1シリコン酸化膜44表面上には、例えばSiO₂で形成された第2シリコン絶縁膜48が配設されている。

p側電極46の表面上にはp側電極46と密着してパッド電極50が配設されこの電極パッド50は、両側のチャンネル38内部のp側電極46、第1シリコン絶縁膜44、および第2シリコン絶縁膜48の上に配設され、さらに電極パッド基台42上表面に配設され

10

20

30

40

50

ている第2シリコン絶縁膜48の上にまで延在している。

さらにn-GaN基板12の裏面には、真空蒸着法によりTiおよびAu膜を順次積層することにより形成されたn側電極52が配設されている。

【0018】

このLD10においては、n型不純物としてシリコン(Si)が、p型不純物としてはマグネシウム(Mg)がドーピングされている。

n-GaN基板12は層厚が500-700nm程度である。またバッファ層14は層厚が1 μ m程度である。第1n-クラッド層16は層厚が400nm程度で、例えばn-Al_{0.07}Ga_{0.93}Nにより形成され、第2n-クラッド層18は層厚が1000nm程度で、例えばn-Al_{0.045}Ga_{0.955}Nにより形成され、第3n-クラッド層20は層厚が300nm程度で、例えばn-Al_{0.015}Ga_{0.985}N層により形成される。

n側光ガイド層22の層厚は、例えば80nmである。n側SCH層24は膜厚は30nmでi-In_{0.02}Ga_{0.98}Nにより形成される。

【0019】

活性層26は、n側SCH層24に接して配設されたi-In_{0.12}Ga_{0.88}Nからなる層厚が5nmのウエル層26aとウエル層26aの上に配設されたi-In_{0.02}Ga_{0.98}Nのからなる層厚が8nmのバリア層26bとこのバリア層26bの上に配設されたi-In_{0.12}Ga_{0.88}Nからなる層厚が5nmのウエル層26cとから構成される2重量子井戸構造である。

活性層26のウエル層26cの上に、これと接して配設されたp側SCH層28は膜厚は30nmで、i-In_{0.02}Ga_{0.98}Nにより形成される。

電子障壁層30は層厚が20nm程度で、p-Al_{0.2}Ga_{0.8}Nにより形成される。p側光ガイド層32は層厚が100nm、p-クラッド層34は層厚が500nm程度でp-Al_{0.07}Ga_{0.93}Nにより形成され、コンタクト層36の層厚は20nmである。

【0020】

次にLD10の製造方法について説明する。

図2~図13はこの発明に係る半導体LDの製造方法の各製造工程を示す半導体LDの一部断面図である。

この製造工程においては、n-GaN基板12とこの上に順次積層されたp側光ガイド層32までの各層は製造工程において特に変化がないので、各図から省略され、p側光ガイド層32の一部を含むそれより上層の各層について断面が示されている。

まず、予めサーマルクリーニングなどにより表面を洗浄したGaN基板12上に有機金属化学気相成長法(以下、MOCVD法という)により、例えば1000の成長温度でバッファ層14としてのn-GaN層を形成する。

次いで、第1n-クラッド層16としてのn-Al_{0.07}Ga_{0.93}N層、第2n-クラッド層18としてのn-Al_{0.045}Ga_{0.955}N層、第3n-クラッド層20としてのn-Al_{0.015}Ga_{0.985}N層、n側光ガイド層22としてのi-In_{0.02}Ga_{0.98}N層、n側SCH層24としてのi-In_{0.02}Ga_{0.98}N層とが順次形成され、この上に活性層26を構成するウエル層26aとしてのi-In_{0.12}Ga_{0.88}N層とバリア層26bとしてのi-In_{0.02}Ga_{0.98}N層とウエル層26cとしてのi-In_{0.12}Ga_{0.88}N層とが順次形成される。

次いで活性層26の上にp側SCH層28としてのi-In_{0.02}Ga_{0.98}N層、電子障壁層30としてのp-Al_{0.2}Ga_{0.8}N層、p側光ガイド層32としてのp-Al_{0.2}Ga_{0.8}N層70、p-クラッド層34としてのp-Al_{0.07}Ga_{0.93}N層72、およびコンタクト層36としてのp-GaN層74が順次積層され、このような半導体積層構造を有するウエハが形成される。

図2はこの工程の結果を示している。

【0021】

10

20

30

40

50

次に図3を参照して、結晶成長が終了したウエハ全面に、レジストを塗布し、写真製版工程により、導波路リッジ40の形状に対応した部分76aにレジストを残し、チャンネル38の形状に対応した部分76bのレジストを除去した第1のレジストパターンとしてのレジストパターン76を形成する。この結果が図3である。この実施の形態では導波路リッジ40の形状に対応した部分76aの幅は $1.5\mu\text{m}$ 、チャンネル38の形状に対応した部分76bの幅は $10\mu\text{m}$ である。

【0022】

次に図4を参照して、レジストパターン76をマスクとして、RIE (Reactive Ion Etching) により、 p-GaN 層74と $\text{p-Al}_{0.07}\text{Ga}_{0.93}\text{N}$ 層72の p-GaN 層74と接する側の一部をエッチングし、 $\text{p-Al}_{0.07}\text{Ga}_{0.93}\text{N}$ 層72の一部を残して底部としたチャンネル38を形成する。この場合のエッチング深さaはこの実施の形態では $a = 500\text{nm}$ ($0.5\mu\text{m}$) である。チャンネル38を形成することにより、導波路リッジ40および電極パッド基台42が形成される。図4はこの工程の結果を示している。

【0023】

次に図5を参照して、先のエッチングに使用したレジストパターン76を有機溶剤等を用いて除去する。このときのチャンネル38の深さ、即ち導波路リッジ40の高さはエッチング深さaに等しく、 500nm ($0.5\mu\text{m}$) である。またこの工程で電極パッド基台42となる部分も形成される。図5はこの工程の結果を示している。

【0024】

次に、図6を参照して、次にウエハ全面にCVD法、あるいは真空蒸着法、あるいはスパッタリング法等を使用し、例えば膜厚が $0.2\mu\text{m}$ の第1の絶縁膜としての第1シリコン絶縁膜44となる SiO_2 膜78を形成する。 SiO_2 膜78は導波路リッジ40の上表面、チャンネル38の内部の表面、および電極パッド基台42の上表面を覆う。図6はこの工程の結果を示している。

【0025】

次に図7を参照して、ウエハ全面にフォトリソを塗布し、導波路リッジ40の頂部及び電極パッド基台42の頂部におけるレジスト膜の膜厚cよりもチャンネル38におけるレジスト膜の膜厚bが厚くなるようにレジスト膜80を形成する。例えば $b = 0.8\mu\text{m}$ 、 $c = 0.4\mu\text{m}$ 程度になるようにレジスト膜80を形成する。

図7においては、チャンネル38上のレジスト膜80の表面が導波路リッジ40の頂部及び電極パッド基台42の頂部におけるレジスト膜80の表面より凹んでいるように記載しているが、レジスト膜の表面が一様に平らに形成できれば、必ずと $b > c$ が満足される。

しかし図7に描くようにチャンネル38上のレジスト膜80の表面が導波路リッジ40の頂部及び電極パッド基台42の頂部におけるレジスト膜80の表面より凹んでいたとしても、 $b > c$ が満足されていれば、レジスト膜80の表面の形状はどのようであってもかまわない。

【0026】

通常フォトリソはスピンコート法を用いて塗布する。すなわちレジストをウエハ上に滴下し、ウエハを自転させることにより均一な膜厚にする。

そしてフォトリソの粘度および滴下量、ウエハ回転時の回転数及び回転時間を適切な値にすることにより、レジスト膜の膜厚を制御することができる。

図7に示されたようにウエハの表面に段差或いは凹部が形成されている場合は突出している部分、すなわちこの場合では導波路リッジ40の頂部及び電極パッド基台42の頂部で薄く、凹んでいる部分、この場合ではチャンネル38のところ厚くなるが、その膜厚の差の大小は、フォトリソの粘度に影響される。

【0027】

図7に示されているようなウエハの場合では、チャンネル38の底部と導波路リッジ40の頂部あるいは電極パッド基台42の頂部における SiO_2 膜78の膜厚が等しいとした場合、粘度が小さいと、チャンネル38のエッチング深さa、チャンネル38におけるレジス

10

20

30

40

50

ト膜 80 の膜厚 b 、および導波路リッジ 40 の頂部または電極パッド基台 42 の頂部におけるレジスト膜 80 の膜厚 c との関係は、 $b = c + a$ に近くなる。これはレジスト膜 80 の表面が一様にほぼ平らにすることができることを意味する。

また、レジスト膜 80 の表面が一様にほぼ平らにならずに、チャンネル 38 のところでレジストの表面が凹む場合においては、フォトリソの粘度が大きくなると $b = c$ に近くなる。これはチャンネル 38 におけるレジスト膜 80 の膜厚が導波路リッジ 40 の頂部または電極パッド基台 42 の頂部におけるレジスト膜 80 の膜厚とほぼ等しくなることを意味している。

またレジスト膜 80 の表面が一様にほぼ平らにならずに、チャンネル 38 のところでレジストの表面が凹む場合においては、よほどレジストの粘度が低くない限り、 $b > c$ 、すなわちチャンネル 38 部分におけるレジスト膜 80 の膜厚が導波路リッジ 40 の頂部または電極パッド基台 42 の頂部におけるレジスト膜 80 の膜厚よりも厚くなる。

このように、レジストの粘度とウエハ回転時の回転数を適切に設定することにより、チャンネル 38 部分におけるレジスト膜 80 の膜厚 b と導波路リッジ 40 の頂部または電極パッド基台 42 の頂部におけるレジスト膜 80 の膜厚 c との関係を所望の関係、すなわち $b > c$ 、に設定することができる。図 7 はこの工程の結果を示している。

【 0 0 2 8 】

次に図 8 を参照して、レジスト膜 80 の表面から一様にレジストを除去し、チャンネル 38 のレジスト膜 80 は残しながら導波路リッジ 40 の頂部および電極パッド基台 42 の頂部におけるレジスト膜 80 を完全に除去し、導波路リッジ 40 の頂部および電極パッド基台 42 の頂部を露呈させたレジストパターン 82 を形成する。

例えば O_2 プラズマを用いたドライエッチングにより所定の厚さ分、即ち導波路リッジ 40 の頂部および電極パッド基台 42 の頂部の SiO_2 膜 78 が完全に露呈し、しかもチャンネル 38 にレジスト膜 80 の表面が $p-GaN$ 層 74 の上面よりも高く残る程度に、この実施の形態では例えば 400 nm 分エッチングする。

レジスト膜 80 は、チャンネル 38 におけるレジスト膜 80 の膜厚が 800 nm 程度に、また導波路リッジ 40 の頂部および電極パッド基台 42 の頂部のレジスト膜 80 の膜厚が 400 nm 程度に形成されている。このためレジスト膜 80 の表面から 400 nm だけエッチングでレジストを除去すると、導波路リッジ 40 の頂部および電極パッド基台 42 の頂部のレジスト膜 80 は除去され、 SiO_2 膜 78 の上面が露呈されるとともに、チャンネル 38 におけるレジスト膜 80 の表面は SiO_2 膜 78 の膜厚の半分の高さ位置に形成されることになり、この残留したレジスト膜が第 2 のレジストパターンとしてのレジストパターン 82 になる。

【 0 0 2 9 】

レジスト膜 80 の表面から一様にエッチングを行なう場合のエッチングの停止は次のようにして正確に行われる。

例えば O_2 プラズマを用いたドライエッチングによりレジスト膜を除去するときのエッチング量の制御は次のように行うことができる。

O_2 プラズマを用いたドライエッチングによりレジスト膜を除去するとき、 O_2 プラズマ中の酸素とフォトリソ中の炭素が反応して生成される CO がプラズマ中で励起されて波長 451 nm の励起光を発する。この励起光の強度をエッチング室の外部から観察しながらドライエッチングを行う。

ドライエッチングが進行し、導波路リッジ 40 の頂部および電極パッド基台 42 の頂部のフォトリソが除去されて、エッチング対象であるレジスト膜 80 の表面積が減少すると波長 451 nm の励起光の強度が低下する。

この光強度の低下を観測してエッチングの停止時期とすればよい。従ってエッチングの停止を精度良く制御することができる。

もちろん実際には、導波路リッジ 40 の高さや、導波路リッジ 40 の頂部および電極パッド基台 42 の頂部のレジスト膜 80 の厚みやフォトリソのエッチング速度等がウエハ全面内で分布を持っているために、ウエハ全面において確実に導波路リッジ 40 の頂部お

10

20

30

40

50

よび電極パッド基台42の頂部のレジスト膜80を除去するためには、発光強度の低下が検出された時点からさらに所定の一定時間エッチングを継続した後に停止するなどの配慮が必要であることは云うまでもない。

【0030】

またもう一つのエッチング停止時点の検出法として次のような方法がある。

すなわち、ドライエッチング中に導波路リッジ40の頂部および電極パッド基台42の頂部に向けて、単一波長の光、例えばレーザー光、をウエハの対向位置から入射させ、導波路リッジ40の頂部および電極パッド基台42の頂部で反射させる。

この反射光の光強度は導波路リッジ40の頂部および電極パッド基台42の頂部に存在するレジスト膜80の残存厚みによって変化する。この反射光の光強度を観測することにより導波路リッジ40の頂部および電極パッド基台42の頂部に存在するレジスト膜80の残存厚みを把握することができ、この残存厚みが0になった時点で、エッチングの停止を指令すればよい。

10

これらいずれの方法においても、レジスト膜80のエッチング量を精度良く検出しながら、エッチングができるので、チャンネル38内のレジスト膜を残しながら導波路リッジ40の頂部および電極パッド基台42の頂部におけるレジスト膜80を除去したレジストパターン82の形成が可能となる。図8はこの工程の結果を示している。

【0031】

次に図9を参照して、レジストパターン82をマスクとして、露呈したSiO₂膜78を表面から一様にエッチングし、チャンネル38の側面及び底部に形成したSiO₂膜78を残しつつ、導波路リッジ40の頂部および電極パッド基台42の頂部に形成されたSiO₂膜78を完全に除去する。導波路リッジ40の頂部においてはSiO₂膜78に確実に開口部44aを形成する。

20

この場合のエッチングは、反応性イオンエッチング法等のドライエッチングやバッファードフッ酸等によるウエットエッチング法を使用することができる。

これらの場合も正確なエッチング量を次のような方法で制御することが可能となる。

例えば、SiO₂膜78をCF₄ガスなどのフッ素を含むガスを用いてドライエッチングする場合、SiO₂膜78中のSiとエッチングガス中のFとにより発生するSiF₂から発する波長約390nmの光の強度を観測することにより、光の強度の変化から導波路リッジ40の頂部および電極パッド基台42の頂部に形成されたSiO₂膜78が消失したことを観測することができ、この光の強度低下を確認してエッチングを停止すればよい。

30

またSiO₂膜78をバッファードフッ酸等によるウエットエッチングを行う場合、導波路リッジ40の頂部および電極パッド基台42の頂部に形成されたSiO₂膜78にウエハ表面の対向位置から単一波長のレーザー光を入射し、反射された光の強度を観測することにより、導波路リッジ40の頂部および電極パッド基台42の頂部に残存するSiO₂膜78の膜厚を計測することができる。この計測されるSiO₂膜78の残存厚みが0になったことを確認してエッチングを停止すればよい。図9はこの工程の結果を示している。

【0032】

40

次に図10を参照して、レジストパターン82を有機溶剤を用いたウエットエッチングにより、除去する。図10はこの工程の結果を示している。

【0033】

次に、図11を参照して、導波路リッジ40の頂部にp側電極46を形成する。

まずウエハ全面にレジストを塗布し、写真製版工程により導波路リッジ40の最上層であるp-GaN層74の上表面、導波路リッジ40の側壁およびチャンネル38底部の一部を開口したレジストパターン(図示せず)を形成し、このレジストパターン上にPtとAuの積層構造からなる電極層を、例えば真空蒸着法により成膜した後、レジスト膜とこのレジスト膜の上に形成された電極層とをリフトオフ法を用いて除去することにより、p側電極46を形成する。

50

導波路リッジ40の頂部のp-GaN層74の上表面はSiO₂膜78に覆われることなく全上表面を開口部44aにより露呈しているため、このp側電極46とp-GaN層74との接触面積は開口部44aの形成に際して減少することはない。

従って、p側電極46とp-GaN層74との接触面積の減少に基づくコンタクト抵抗の増加を防止することができる。図11はこの工程の結果を示している。

【0034】

次に、図12を参照して、第2シリコン絶縁膜48を形成する。

まずウエハ全面にレジストを塗布し、写真製版工程によりp側電極46上を除く部分、すなわち電極パッド基台42上表面、およびチャンネル38内の電極パッド基台42側面とチャンネル38底部の一部に開口を有するレジストパターン(図示せず)を形成し、ウエハ全面に厚みが100nmのSiO₂膜を蒸着により形成し、リフトオフ法によりp側電極46上に形成されたレジスト膜とこのレジスト膜の上に形成されたSiO₂膜とを除去することにより、SiO₂膜で形成された第2シリコン絶縁膜48を形成する。図12はこの工程の結果を示している。

10

【0035】

最後に、図13を参照して、p側電極46、チャンネル38及び第2シリコン絶縁膜48上に真空蒸着法によりTi、Pt、及びAuからなる金属膜を積層し、パッド電極50が形成される。

【0036】

変形例1

20

図14~16はこの発明に係るもう一つの半導体LDの製造方法の各製造工程を示す半導体LDの一部断面図である。

先に説明した半導体LDの各製造工程のうち、図1~図6までの工程は、この変形例においても同じである。先の説明の図7及び図8の工程の代替として図14~図16の工程が使用される。

先の図6の工程において、SiO₂膜78により導波路リッジ40の上表面、チャンネル38の内部の表面、および電極パッド基台42の上表面が覆われた後、図14を参照して、ウエハ全面にノボラック樹脂を主成分とするフォトリソレジストを塗布し、導波路リッジ40に隣接するチャンネル38においてレジスト膜90の表面が導波路リッジ40頂部のSiO₂膜78の上面とほぼ同じ高さを有するレジスト膜90を形成する。

30

この実施の形態ではチャンネル38におけるレジスト膜90の層厚d、すなわちチャンネル38の底部に配設されたSiO₂膜78の表面からレジスト膜90の表面までの高さdが500nm(0.5μm)である。

この場合、チャンネル38におけるレジスト膜90の層厚dを正確に制御したレジスト膜90の製造方法は、既に説明した図7におけるレジスト膜80の形成方法と同様に、レジストの粘度とウエハ回転時の回転数を適切に設定することにより、チャンネル38部分におけるレジスト膜90の膜厚dを所望の値に設定することができる。図14はこの工程の結果を示している。

【0037】

次に、図15を参照して、レジスト膜90に写真製版工程を用いて、チャンネル38の底面のSiO₂膜78上の一部にレジスト膜90を残し、チャンネル38内においてレジスト膜90と導波路リッジ40の側壁上のSiO₂膜78との間およびレジスト膜90と電極パッド基台42の側壁上のSiO₂膜78との間に、所定の間隔eを設定して離隔するとともに、導波路リッジ40頂部および電極パッド基台42頂部におけるSiO₂膜78表面を一様に露呈させたレジストパターン92を形成する。図15はこの工程の結果を示す。

40

【0038】

次に、図16を参照して、ウエハを熱処理、例えば大気中で140℃の温度を保持して10分間加熱することにより、フォトリソレジストが流動化し、チャンネル38内においてレジスト膜90と導波路リッジ40の側壁上のSiO₂膜78との間およびレジスト膜90と電

50

極パッド基台 4 2 の側壁上の SiO_2 膜 7 8 との間の所定の間隔 e をなくすることにより、すなわちレジスト膜とチャンネル 3 8 内の側壁上の SiO_2 膜 7 8 とを密着させることにより、チャンネル 3 8 内にレジスト膜は残しながら導波路リッジ 4 0 の頂部および電極パッド基台 4 2 の頂部を露呈させたレジストパターン 8 2 を形成する。

レジストパターン 8 2 のチャンネル 3 8 内に配設されたレジスト膜表面の高さ位置 f は、導波路リッジ 4 0 頂部および電極パッド基台 4 2 頂部における SiO_2 膜 7 8 表面よりも低く、導波路リッジ 4 0 頂部および電極パッド基台 4 2 頂部における p-GaN 層 7 4 の上面よりも高く残る程度に設定される。この実施の形態においては $f = 400 \text{ nm}$ に設定される。

そして、このためには、この工程における熱処理の前後において、レジスト膜の体積変化がないとした場合には、図 1 5 及び図 1 6 の断面におけるレジストパターン 9 2 の断面積とレジストパターン 8 2 の断面積が等しいとして、所望の f 値が得られるように間隔 e を設定する必要がある。

なお、図 1 5 においてレジストパターン 9 2 の間隔 e をチャンネル 3 8 内のレジスト膜の両側に設けているが、所望の f 値が得られるように間隔 e が設定されるのであれば、間隔が片側に設けられてもかまわない。図 1 6 はこの工程の結果を示している。

この工程以降の工程は、先に説明した図 9 以降の工程と同じである。

【 0 0 3 9 】

この実施の形態 1 の LD 1 0 の製造方法においては、半導体層を積層したウエハにチャンネル 3 8 を形成することにより、導波路リッジ 4 0 および電極パッド基台 4 2 を形成し、ウエハ全面に SiO_2 膜 7 8 を形成する。

次いでウエハ全面にレジストを塗布し導波路リッジ 4 0 の頂部及び電極パッド基台 4 2 の頂部におけるレジスト膜 8 0 の膜厚よりもチャンネル 3 8 におけるレジスト膜の膜厚が厚くなるようにレジスト膜 8 0 を形成する。

次いでレジスト膜 8 0 の表面から一様にレジストを除去し、チャンネル 3 8 のレジスト膜 8 0 は残しながら導波路リッジ 4 0 の頂部および電極パッド基台 4 2 の頂部におけるレジスト膜 8 0 を除去し、導波路リッジ 4 0 の頂部および電極パッド基台 4 2 の頂部を露呈させたレジストパターン 8 2 を形成する。

次いでレジストパターン 8 2 をマスクとして、露呈した SiO_2 膜 7 8 を表面から一様にエッチングし、チャンネル 3 8 の側面及び底部に形成した SiO_2 膜 7 8 を残しつつ、導波路リッジ 4 0 の頂部および電極パッド基台 4 2 の頂部に形成された SiO_2 膜 7 8 を除去し、導波路リッジ 4 0 の頂部においては SiO_2 膜 7 8 に確実に開口部 4 4 a を形成する。

次いでレジストパターン 8 2 を除去した後、導波路リッジ 4 0 の頂部に p 側電極 4 6 を形成する。

【 0 0 4 0 】

この LD の製造方法においては、 p 側電極 4 6 と接触する半導体層、この場合はコンタクト層 3 6 となる p-GaN 層 7 4、の上表面が SiO_2 膜 7 8 の開口部 4 4 a により確実に露呈され、 p-GaN 層 7 4 の上表面上に SiO_2 膜 7 8 が残留することがない。このために p 側電極 4 6 とコンタクト層 3 6 との接触面積が減少されることはなく、接触抵抗の増大や動作電圧が増加しない。

また、フォトリソの粘度およびウエハ回転時の回転数を制御することにより、導波路リッジ 4 0 の頂部及び電極パッド基台 4 2 の頂部におけるレジスト膜 8 0 の膜厚よりもチャンネル 3 8 におけるレジスト膜 8 0 の膜厚が厚くなるようにレジスト膜 8 0 を形成することが可能である。

さらにこのレジスト膜 8 0 の表面から一様にレジストを除去し、チャンネル 3 8 のレジスト膜 8 0 は残しながら導波路リッジ 4 0 の頂部および電極パッド基台 4 2 の頂部におけるレジスト膜 8 0 を除去し、導波路リッジ 4 0 の頂部および電極パッド基台 4 2 の頂部を露呈させたレジストパターン 8 2 を形成する工程では、 O_2 プラズマ中の CO の励起光を観測することや、ウエハの対向位置から入射させたレーザ光の反射光の光強度を観測するこ

10

20

30

40

50

となどにより、エッチングの停止を精度良く制御すること可能となる。

さらに同様に方法を用いることにより、導波路リッジ40の頂部および電極パッド基台42の頂部に形成されたSiO₂膜78を確実に除去し、開口部44aを形成することができる。従って簡単な工程で歩留まりよくLD10を製造することができる。

【0041】

さらに、チャンネル38のレジスト膜80は残しながら導波路リッジ40の頂部および電極パッド基台42の頂部におけるレジスト膜80を除去し、導波路リッジ40の頂部および電極パッド基台42の頂部を露呈させたレジストパターン82を形成するもう一つの方法として次の方法がある。

半導体層を積層したウエハにチャンネル38を形成することにより、導波路リッジ40および電極パッド基台42を形成し、ウエハ全面にSiO₂膜78を形成する。次いでウエハ全面にノボラック樹脂を主成分とするレジストを塗布し、チャンネル38におけるレジスト膜90の表面が導波路リッジ40頂部のSiO₂膜78の上面とほぼ同じ高さを有するレジスト膜90を形成する。次いでレジスト膜90に写真製版工程を用いて、チャンネル38の底面のSiO₂膜78上の一部にレジスト膜90を残し、チャンネル30内のレジスト膜90とチャンネル30内の側壁上のSiO₂膜78との間を、所定の間隔eで離隔するとともに、導波路リッジ40頂部および電極パッド基台42頂部におけるSiO₂膜78表面を一様に露呈させたレジストパターン92を形成する。ついでウエハを熱処理し、フォトレジストが流動化させ、チャンネル30内においてレジスト膜90とチャンネル30内側壁上のSiO₂膜78とを密着させることにより、レジストパターン82を形成する。

この製造方法においても、導波路リッジ40の頂部および電極パッド基台42の頂部に形成されたSiO₂膜78を確実に除去し、開口部44aを形成することができる。従って簡単な工程で歩留まりよくLD10を製造することができる。

【0042】

以上のように、この発明に係る半導体光素子の製造方法は、半導体基板上に第1導電型の第1の半導体層、活性層、第2導電型の第2の半導体層を順次積層し、半導体積層構造を形成する工程と、この半導体積層構造の表面にレジストを塗布し、写真製版工程により導波路リッジに対応した幅を有するストライプ状レジスト膜部分を備えた第1のレジストパターンを形成する工程と、この第1のレジストパターンをマスクとして、ドライエッチングにより第2の半導体層の上表面側の一部を除去しその底部に第2の半導体層の一部を残した凹部を形成することにより導波路リッジを形成する工程と、第1のレジストパターンを除去した後、凹部を含む半導体積層構造の表面に第1の絶縁膜を形成する工程と、導波路リッジ頂部に形成された第1の絶縁膜の表面が露呈するとともに、導波路リッジに隣接する凹部の第1の絶縁膜を、導波路リッジの第2の半導体層表面よりも高くかつ導波路リッジ頂部上の第1の絶縁膜表面よりも低い表面を有するレジスト膜により埋設する第2のレジストパターンを形成する工程と、第2のレジストパターンをマスクとしてエッチングにより第1の絶縁膜を除去し、導波路リッジの第2の半導体層表面を露呈させる工程と、露呈した導波路リッジの第2の半導体層の表面上に電極層を形成する工程と、を含むもので、導波路リッジに隣接する凹部に形成された第2のレジストパターンが、導波路リッジの第2の半導体層表面よりも高くかつ導波路リッジ頂部上の第1の絶縁膜表面よりも低い表面を有するので、この第2のレジストパターンを用いてエッチングにより第1の絶縁膜を除去すると、導波路リッジの側面及び凹部の第1の絶縁膜を残しながら、導波路リッジ頂部の第2の半導体層は露呈されるので、簡単な工程により第2の半導体層と電極層とが接触面積の減少がなく接合される。延いては簡単な工程で歩留まりよく半導体光素子を製造することができる。

【産業上の利用可能性】

【0043】

以上のように、この発明に係る半導体光素子の製造方法は、導波路リッジ頂部に電極を備えた半導体光素子の製造方法に適している。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 4 4 】

【図 1】この発明の一実施の形態に係る半導体 L D の断面図である。

【図 2】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 3】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 4】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 5】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

10

【図 6】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 7】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 8】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 9】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 10】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

20

【図 11】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 12】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 13】この発明に係る半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 14】この発明に係るもう一つの半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【図 15】この発明に係るもう一つの半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

30

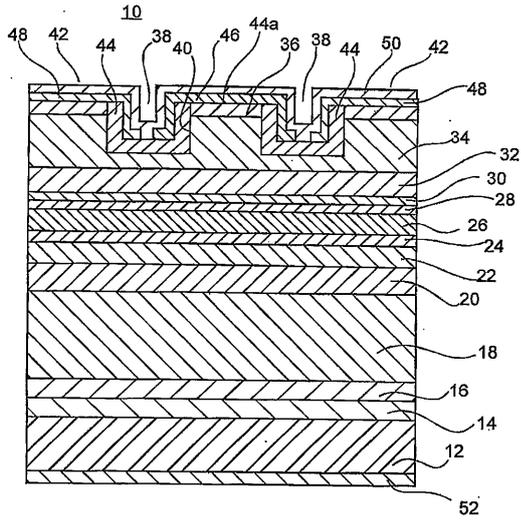
【図 16】この発明に係るもう一つの半導体 L D の製造方法の各製造工程を示す半導体 L D の一部断面図である。

【符号の説明】

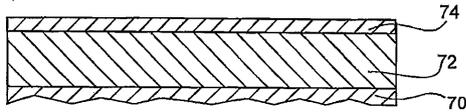
【 0 0 4 5 】

16 第 1 n - クラッド層、 18 第 2 n - クラッド層、 20 第 3 n - クラッド層、 26 活性層、 34 p - クラッド層、 36 コンタクト層、 76 レジストパターン、 40 導波路リッジ、 78 SiO₂ 膜、 82 レジストパターン、 46 p 側電極。

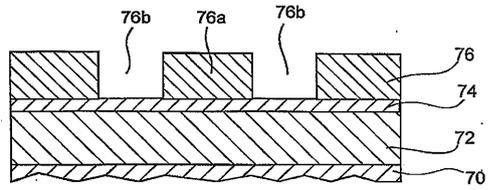
【図1】



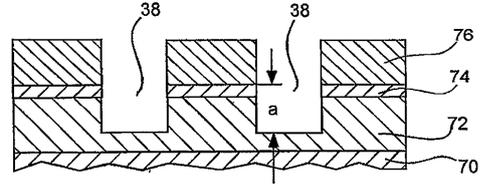
【図2】



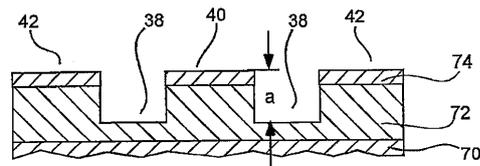
【図3】



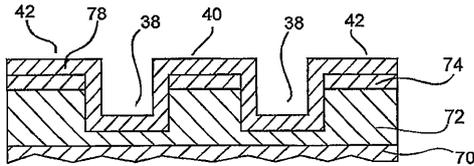
【図4】



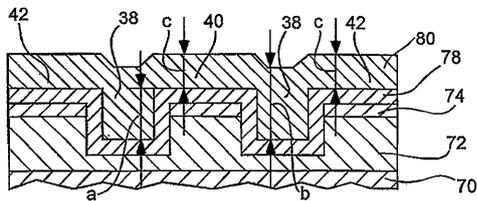
【図5】



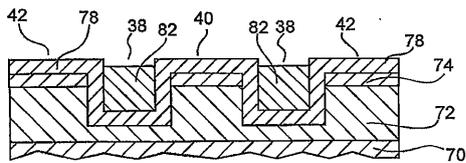
【図6】



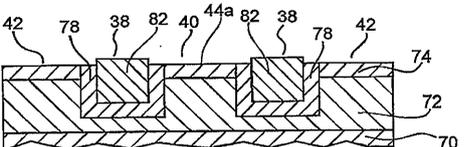
【図7】



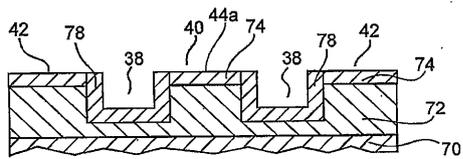
【図8】



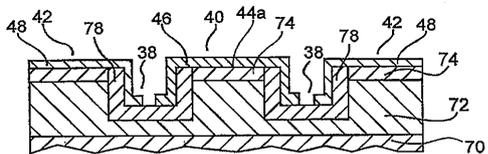
【図9】



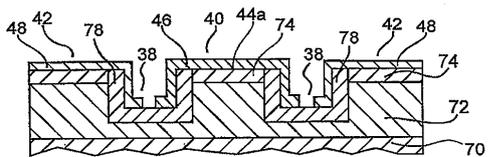
【図10】



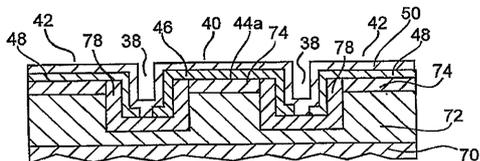
【図11】



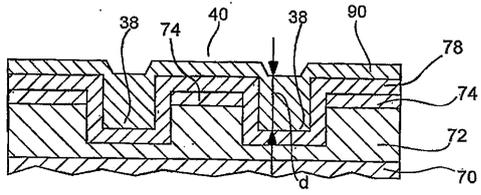
【図12】



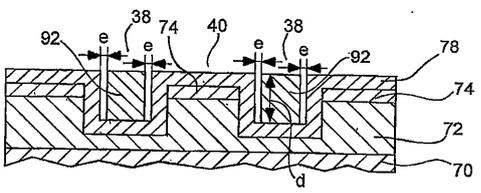
【図13】



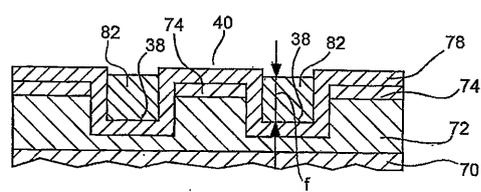
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(56)参考文献 特開2006-093379(JP,A)
特開2005-347630(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01S 5/00-5/50