

【特許請求の範囲】

【請求項 1】

1つのアクセストランジスタと1つの可変抵抗体とを含んで構成される単位セルを複数個備えるメモリセルアレイを有する半導体メモリにおけるデータリード回路であって、印加されるアドレス信号に応じて前記メモリセルアレイ内の単位セルを選択する選択部と、

前記単位セルが連結されたビットラインとセンシングノードとの間に連結され、クランピング制御信号に応じて前記選択された単位セルのビットラインに一定レベルのクランピング電圧を供給するクランピング部と、

プリチャージモードの間は、印加される第1状態の制御信号に応じて前記センシングノードを一定レベルの電圧でプリチャージさせ、データセンシング動作モードの間は、印加される第2状態の制御信号に応じて前記選択された単位セルに連結されたビットラインの電流減少分を前記センシングノードを通じて補償するためのプリチャージ部と、

前記プリチャージ部に前記第2状態の制御信号が印加されるとき、前記センシングノードのレベルと基準レベルとを比較して、前記選択された単位セルに保持されたデータをセンシングするセンスアンプ部と、

を備えることを特徴とする半導体メモリでのデータリード回路。

10

【請求項 2】

前記プリチャージ部がP型MOSトランジスタを含んで構成される場合において、前記第2状態の制御信号は前記第1状態の制御信号よりも高いレベルを有することを特徴とする請求項1に記載の半導体メモリでのデータリード回路。

20

【請求項 3】

前記プリチャージ部に印加される第2状態の制御信号のレベルは、前記P型MOSトランジスタが微弱にターンオンされる程度のしきい電圧に近接した電圧レベルであることを特徴とする請求項2に記載の半導体メモリでのデータリード回路。

【請求項 4】

前記プリチャージ部は、プリチャージモードの間は前記第1状態であり、センシング動作モードの間は前記第2状態である1つの制御信号により制御されるトランジスタを含むことを特徴とする請求項3に記載の半導体メモリでのデータリード回路。

【請求項 5】

前記プリチャージ部は、プリチャージモード時に前記第1状態を有する独立的な制御信号に応答するように構成され、前記センシングノードと電源電圧との間に連結されたプリチャージ用トランジスタと、

センシング動作モード時に前記第2状態を有する独立的な制御信号に応答するように構成され、前記センシングノードを共有する補償用トランジスタと、

を有することを特徴とする請求項3に記載の半導体メモリでのデータリード回路。

30

【請求項 6】

前記プリチャージ部の制御信号はパルス形態であることを特徴とする請求項4または5に記載の半導体メモリでのデータリード回路。

40

【請求項 7】

前記補償用トランジスタに印加される制御信号は所定の直流レベルを有することを特徴とする請求項4または5に記載の半導体メモリでのデータリード回路。

【請求項 8】

前記クランピング制御信号は所定の直流レベルまたはパルス形態を有することを特徴とする請求項4または5に記載の半導体メモリでのデータリード回路。

【請求項 9】

前記センスアンプ部は電圧センスアンプまたは電流センスアンプ部を含むことを特徴とする請求項4または5に記載の半導体メモリでのデータリード回路。

【請求項 10】

50

1つのアクセストラジスタと1つの可変抵抗体とを含んで構成された単位セルを複数個備えるメモリセルアレイと、前記メモリセルアレイに保持されたデータをセンシングするセンスアンプと、前記センスアンプのセンシングノードと電源電圧との間に連結されたトラジスタと、を備えた半導体メモリ装置において前記センシングノードを制御するための方法であって、

前記トラジスタをプリチャージモード及びセンシング動作モードに関係なくターンオン状態で継続的に動作させることにより、前記センシングノードが前記トラジスタから継続的に電位を印加される状態を維持することを特徴とする半導体メモリ装置におけるデータセンシングノード制御方法。

【請求項11】

10

前記トラジスタを、プリチャージモードの間は前記センスアンプのセンシングノードを一定レベルにプリチャージさせ、データセンシング動作モードの間は単位セルに連結されたビットラインの電流減少分を補償するバイアス電流を前記センシングノードに供給するように動作させることを特徴とする請求項10に記載の半導体メモリ装置におけるデータセンシングノード制御方法。

【請求項12】

前記制御信号はパルス形態であることを特徴とする請求項10に記載の半導体メモリ装置におけるデータセンシングノード制御方法。

【請求項13】

1つのアクセストラジスタと1つの可変抵抗体とを含んで構成される単位セルを複数備えるメモリセルアレイを有する半導体メモリにおいてデータをリードする方法であって

20

、
印加される第1状態の制御信号にตอบสนองしてセンシングノードを一定レベルにプリチャージさせる段階と、

印加されるアドレス信号にตอบสนองして前記メモリセルアレイ中の単位セルを選択する段階と、

前記プリチャージ終了と同時に印加されるクランピング制御信号にตอบสนองして、前記選択された単位セルのビットラインのレベルを予め設定された任意のクランプレベルにクランピングし、プリチャージ終了と同時に印加される第2状態の制御信号に応じて、前記選択された単位セルに連結されたビットラインの電流減少分を補償するためにバイアス電流をセンシングノードに供給する段階と、

30

前記センシングノードレベルと基準レベルを比較することにより、前記選択されたセルのデータをセンシングして出力する段階と、

を含むことを特徴とする半導体メモリにおけるデータリード方法。

【請求項14】

前記第1状態及び第2状態の制御信号にตอบสนองするトラジスタがP型MOSトラジスタを含んで構成される場合において、前記第2状態の制御信号は前記第1状態の制御信号よりも高いレベルを有することを特徴とする請求項13に記載の半導体メモリにおけるデータリード方法。

【請求項15】

40

前記第2状態のレベルは前記トラジスタが微弱にターンオンされる程度のしきい電圧に近接した電圧レベルであることを特徴とする請求項14に記載の半導体メモリにおけるデータリード方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリにおけるデータリード回路及びデータリード方法に係るもので、詳しくは、一つのアクセストラジスタと一つの可変抵抗体とを含んで構成される単位セルが複数個配列されたメモリセルアレイにおいてデータをリードする場合に単位セルの内部に流れる電流を補償するためにバイアス電流供給部を備えたデータリード回路及びデ

50

ータリード方法に関する。

【背景技術】

【0002】

半導体メモリ装置の高性能化及び低電力化の趨勢に合わせて、たいていの半導体メモリ製造業者は次世代記憶素子の一つとして相変換物質を用いたPRAM (Phase change Random Access Memory) を開発しつつある。PRAMは温度変化に従って相が変換され抵抗が変化する GeSbTe_2 (以下 'GST') のような物質を用いてデータを保持する不揮発性メモリ素子である。

【0003】

図7に示すように、PRAMの単位セルは、一つのトランジスタM1と一つの可変抵抗体とを含んで構成される。可変抵抗体は、上部電極12、上部電極12の下部と下部電極10に連結された下部電極コンタクト16の上部との間に位置する相変化膜14、及び下部電極10を含んで構成され、相変化膜14は、温度に従って抵抗が変化する物質、例えば、GSTで構成される。

【0004】

PRAMは、相変化膜14の相が温度に従って非晶質化(amorphous)状態または結晶化(crystalline)状態に変わることを応用したもので、非晶質状態の抵抗値は高抵抗状態となり、結晶化状態の抵抗値は低抵抗状態となる。従って、相変化膜14が結晶化状態から非晶質化状態に変わることがリセット(RESET)と定義されると、相変化膜14が非晶質化状態から結晶化状態に変わるとはセット(SET)と定義されることになる。

【0005】

相変化膜14の温度を変化させる手段には、レーザービームを用いる方法と、ヒーターに電流を加えて発生するジュール(joule)熱を用いる方法とがある。電流を用いる方法は、ヒーターに加えられる電流量及び電流の印加時間に従ってヒーターの温度及び加熱時間が異なっていくことを用いて相変化膜14を結晶化または非晶質化させるものである。これにより情報を保持可能なメモリ素子としてのメカニズムを有することになる。

【0006】

図8はPRAMを構成する単位セルの等価回路図を示す。図8に示すように、ワードラインWLにN型トランジスタM1のゲートが連結され、可変抵抗体Cの上部電極はビットラインBLと連結され、下部電極はアクセストランジスタM1のドレインに連結される。また、トランジスタM1のソースは接地される。ここで、可変抵抗体CにはアクセストランジスタM1のソース上部電極が連結され、下部電極は接地されて構成されることもできる。

【0007】

図9はPRAMにおけるリード及びライト動作を具体的に説明する図で、相変化膜の温度の時間的な変化を示したグラフである。まず、PRAMでのライト動作を説明する。グラフ1のように、相変化膜を溶融点(melting temperature; T_m)以上に加熱した後に特定時間 t_1 内に急速に冷却すると、相変化膜が非晶質化状態に変化して高抵抗状態を有する。このような状態をリセット状態またはデータ "1" と定義することができる。一方、グラフ2のように、変化膜を溶融点 (T_m) より低く、結晶化温度 (crystallization temperature; T_x) より高い温度で加熱して一定時間 t_2 だけ経過した後に冷却すると、相変化膜は結晶化状態に変化して低抵抗状態を保持する。このような状態をセット状態またはデータ "0" と定義することができる。

【0008】

次いで、リード動作を説明する。リード動作は、ビットラインとワードラインをイネーブルして特定メモリセルを選択した後、外部から電流を印加すると、相変化膜の抵抗に依存するセル貫通電流が発生する。リード動作では、基準電流と比較して選択されたセルのビットラインを通じた電流変化を感知する電流センスアンプを駆動させるか、または基準電圧と比較して、ビットラインの電圧変化を感知する電圧センスアンプを駆動させることにより、データ "1" とデータ "0" を区分する。

【0009】

10

20

30

40

50

図10はPRAMの単位セル内部の相変化膜の電流対電圧の特性曲線を示す。図10に示すように、グラフSETは、セット状態における電流と電圧に従う相変化膜の抵抗値を示し、グラフRESETは、リセット(RESET)状態における電流と電圧に従う相変化膜の抵抗値を示す。図10に示すように、リード領域Aは、セット状態とリセット状態の抵抗差が大きい領域、即ち、相変化膜の臨界電圧 V_{th} 領域内である。大略的に相変化膜の臨界電圧は1.2V程度に設定される。通常は、ビットラインレベルがリード領域Aの電圧レベルよりも高いため、リード動作は、ビットラインレベルを所定のレベルにクラッピングして行うことになる。

【0010】

図11は従来技術によるデータリード回路の回路図であり、図12は図11によるデータリード回路の動作タイミング図である。以下、図12を参照して図11の動作を説明する。

10

【0011】

図11に示すように、従来技術によるデータリード回路はプリチャージ制御信号VPREをゲートで受け、ソースが電源電圧に連結され、ドレインがセンスアンプVSAの入力端及びクラッピング用トランジスタMN1のドレインに連結されるプリチャージ用p型トランジスタMP1と、プリチャージ用トランジスタMP1のドレイン及びセンスアンプVSAの入力端にドレインが連結され、セレクトトランジスタMN2のドレインにソースが連結され、ゲートでクラッピング制御信号CCMPを受けるクラッピング用N型トランジスタMN1と、ドレインがクラッピング用トランジスタMN1のソースに連結され、ソースが単位セルのビットラインBLに連結され、ゲートでセレクト信号を受けるN型セレクトトランジスタMN2と、ビットラインBLがセレクトトランジスタMN2のソースと連結され、ワードラインアドレス信号VWLをアクセストランジスタのゲートで受ける単位セルと、を備えて形成される。

20

【0012】

このようなデータリード回路は、メモリセルアレイ内の単位セルからデータをリードするために以下のような動作をする。図12に示すように、リード命令信号READが印加される前にプリチャージ用トランジスタMP1がターンオンされてセンシングノードVDLを電源電圧VCCにプリチャージさせる。アドレス信号VWL、VYにより単位セルが選択され、リード命令信号READが印加されると、プリチャージ制御信号VPREがローからハイに遷移する。プリチャージ制御信号VPREがローからハイに遷移すると、プリチャージトランジスタMP1がター

オンオフされる。従って、プリチャージ用トランジスタMP1によりセンシングノードVDLを電源電圧にプリチャージさせる動作が停止される。これと同時にクランプ用トランジスタMN1のゲートに一定の直流レベルを有するクランプ制御信号VCMPが印加される。クランプ制御信号VCMPにより相変化膜の臨界電圧 V_{th} を超えない範囲内でリード動作に適合するように一定したレベルでビットラインBLレベルがクラッピングされる。よって、供給された電流は単位セル内部の相変化膜を通じて流れる。即ち、相変化膜に依存する貫通電流(ICELL)が流れる。貫通電流ICELLは、単位セルの状態、即ち、セット状態またはリセット状態に応じた異なった量の電流となる。単位セル内部の相変化膜がリセット状態であれば、単位セルは高抵抗値を有して、一定したレベルのビットラインBLから少量の貫通電流ICELLが流れ、反対にセット状態であれば、単位セルは低抵抗値を有して、相対的に多量の貫通電流ICELLが発生する。従って、センスアンプVSAの入力端のセンシングノードVDLも単位セルの状態に応じた相異なるレベルとなる。センスアンプVSAは、入力端VDLのレベルと基準電圧VREFとを比較して、単位セルの状態がハイ状態であるかロー状態であるかを判別する。センスアンプVSAの入力端のセンシングノードVDLの電圧が基準電圧VREFよりも高いと、ハイとして判定されて出力され、センシングノードVDLの電圧が基準電圧VREFよりも低いと、ローとして判定されて出力される。

30

40

【0013】

上記の従来技術による半導体メモリにおけるデータリード回路は、センシングノードが電源電圧にプリチャージされた後にプリチャージトランジスタMP1がターンオフされ、データリード動作が開始されると、リード動作によりセンシングノードVDLの電荷が単位セ

50

ルの貫通リードICELLとして消耗される。単位セルの状態がセット状態、即ち、低抵抗状態を有する場合には問題がないが、単位セルの状態がリセット状態、即ち、高抵抗状態を有する場合にはセンシングノードVDLの電圧が電源電圧のレベル(VCC)を維持せず、図12に示すように減少されるに従い、誤動作の誘発可能性が存在し、高速動作に適合でないという問題点があった。

【発明の開示】

【発明が解決しようとする課題】

【0014】

そこで、本発明の目的は、従来技術の問題点を克服できる半導体メモリにおけるデータリード回路及びデータリード方法を提供することにある。

10

【0015】

本発明の他の目的は、データセンシング動作モードにおけるセンスアンプの誤動作を防止または最小化できる半導体メモリにおけるデータリード回路及びデータリード方法を提供することにある。

【0016】

本発明のまた他の目的は、高速動作に有利な半導体メモリにおけるデータリード回路及びデータリード方法を提供することにある。

【課題を解決するための手段】

【0017】

このような目的を達成するため本発明による半導体メモリにおけるデータリード回路は、1つのアクセストランジスタと1つの可変抵抗体を含んで構成される単位セルを複数個備えるメモリセルアレイを有する半導体メモリにおけるデータリード回路において、印加されるアドレス信号に応じて前記メモリセルアレイ内の単位セルを選択する選択部と、前記単位セルが連結されたビットラインとセンシングノードとの間に連結され、クランピング制御信号に応じて前記選択された単位セルのビットラインに一定レベルのクランプ電圧を供給するクランピング部と、プリチャージモードの間は印加される第1状態の制御信号に応じて前記センシングノードを一定レベルの電圧にプリチャージさせ、データセンシング動作モードの間は印加される第2状態の制御信号に応じて前記選択された単位セルに連結されたビットラインの電流減少分を前記センシングノードを通じて補償するためのプリチャージ部と、前記プリチャージ部に印加される前記制御信号が第2状態であるとき、前記センシングノードのレベルと基準レベルとを比較して前記選択された単位セルに保持されたデータをセンシングするセンスアンプ部と、を備えることを特徴とする。

20

30

【0018】

本発明の好適な実施形態によれば、前記プリチャージ部がP型MOSトランジスタを含んで構成される場合において、前記第2状態の制御信号は前記第1状態の制御信号よりも高いレベルを有し、前記プリチャージ部に印加される第2状態の制御信号のレベルは前記P型MOSトランジスタが微弱にターンオンされる程度の電圧、即ち、前記トランジスタのしきい電圧に近接した電圧レベルである。また、本発明の好適な実施形態によれば、前記プリチャージ部は、プリチャージモードの間は第1状態の制御信号を有し、センシング動作モードの間は第2状態の制御信号を有する1つの制御信号により制御されるトランジスタで構成されるか、或いは、プリチャージモードの間は第1状態を有する独立的な制御信号に応じて制御されるように構成され前記センシングノードと電源電圧との間に連結されたプリチャージ用トランジスタと、センシング動作モードの間は第2状態を有する独立的な制御信号に応じ制御されるように構成され前記センシングノードを共有する補償用トランジスタとを含んで構成される。前記プリチャージ部の制御信号は、例えば、パルス形態であり、前記第2状態は所定の直流レベルであることができる。そして、前記クランピング制御信号は、所定の直流レベルまたはパルス形態を有することができ、前記センスアンプ部は、電圧センスアンプまたは電流センスアンプで構成されることができる。

40

【0019】

また、本発明による半導体メモリ装置におけるデータセンシングノード制御方法は、1

50

つのアクセストランジスタと1つの可変抵抗体とを含んで構成される単位セルを複数個備えるメモリセルアレイと、前記メモリセルアレイに保持されたデータをセンシングするセンスアンプと、前記センスアンプのセンシングノードと電源電圧との間に連結されたトランジスタと、を備えた半導体メモリ装置における前記センシングノードを制御するための方法であって、前記トランジスタをプリチャージモード及びセンシング動作モードに拘わらずターンオン状態で継続して動作されるようにすることにより、前記センシングノードに前記トランジスタから提供される電圧を常時受けることを特徴とする。

【0020】

好ましくは、前記トランジスタは、プリチャージモードの間は前記センスアンプのセンシングノードを一定レベルにプリチャージさせ、データセンシング動作モードの間は単位セルに連結されたビットラインの電流減少分を補償するバイアス電流を前記センシングノードに供給するように制御され、前記制御信号は、例えばパルス形態であることができる。

10

【0021】

また、本発明による半導体メモリでのデータリード方法は、1つのアクセストランジスタと1つの可変抵抗体とを含んで構成される単位セルを複数個備えるメモリセルアレイを有する半導体メモリにおいてデータをリードする方法であって、印加される第1状態の制御信号に応じてセンシングノードを一定レベルにプリチャージさせる段階と、印加されるアドレスに応じて前記メモリセルアレイで単位セルを選択する段階と、前記プリチャージ終了と共に印加されるクランピング制御信号に応じて前記選択された単位セルのビットラインのレベルを予め設定された任意のクランプレベルにクランピングし、プリチャージ終了と共に印加される第2状態の制御信号に応じて前記選択された単位セルに連結されたビットラインの電流減少分を補償するため、バイアス電流をセンシングノードに供給する段階と、前記センシングノードレベルと基準レベルを比較することにより前記選択されたセルのデータをセンシングして出力する段階と、を含むことを特徴とする。

20

【0022】

好ましくは、前記第1状態及び第2状態の制御信号に応じるトランジスタがP型MOSトランジスタで構成される場合において、前記第2状態の制御信号は前記第1状態の制御信号よりも高いレベルを有し、前記第2状態のレベルは前記トランジスタが微弱にターンオンされる程度のしきい電圧に近接した電圧レベルである。

30

【0023】

前記データリード回路及びデータリード方法によると、データセンシングに際して誤動作を防止または最小化し、データセンシング速度の向上に基因した高速動作の具現において一層有利になる。

【発明の効果】**【0024】**

本発明によると、例えば、単位セル内部に流れる貫通電流を補償するためのバイアスを印加することにより、データセンシングのときに誤動作を防止または最小化し、データセンシング速度の向上に従った高速動作の具現を有利にすることができる。

【発明を実施するための最良の形態】

40

【0025】

以下、本発明の好ましい実施形態が、本発明が属する技術分野で通常の知識を有したものに本発明の徹底した理解を提供する意図の他には別の意図はなく、図1乃至図6を参照して説明される。

【0026】

図1は本発明の一実施形態としての半導体メモリにおけるデータリード回路の回路図である。図2は図1のデータリード回路の各ノード及び印加される信号の動作タイミング図を示す。また、図3は図1のメモリセルアレイでのリード回路図である。

【0027】

図1及び図3に示すように、本発明の一実施形態としてのデータリード回路は、プリチ

50

ャージ部 1 0 0、クランピング部 1 1 0、選択部 1 3 0、メモリセルアレイ (図 3 の 1 4 0)、及びセンスアンプ部 1 2 0 を含んで構成される。

【 0 0 2 8 】

プリチャージ部 1 0 0 は、印加される制御信号 VCTRL をゲートで受け、ソースが電源電圧に連結され、ドレインがクランピング部 1 1 0 のクランピングトランジスタ MN101 のドレイン及びセンスアンプ部 1 2 0 の入力端のセンシングノード VDL に連結される P 型コントロールトランジスタ MP101 で構成されて、プリチャージモードの間にはセンシングノード VDL を電源電圧でプリチャージし、センシング動作モードの間にはセンシングノード VDL を補償する。

【 0 0 2 9 】

クランピング部 1 1 0 は、クランピング制御信号 VCMP をゲートで受け、ドレインがセンシングノード VDL 及びプリチャージ部 1 0 0 のコントロールトランジスタ MP101 のドレインに連結され、ソースが選択部 1 3 0 のコラムアドレス信号 VY を受信するトランジスタ NM102 のドレインに連結される N 型クランピングトランジスタ MN101 で構成されて、ビットラインレベルをリード動作の実行に適合した所定レベルにクランピングする。

【 0 0 3 0 】

選択部 1 3 0 は、コラムアドレス信号 VY をゲートで受信し、クランピングトランジスタ NM101 のソースにドレインが連結され、単位セル 1 4 0 a のビットライン BL にソースが連結されるコラムアドレス信号 VY 受信用トランジスタ MN102 を含んで構成され、ワードラインアドレス信号 VWL に応答するアクセストランジスタを備えるメモリセルアレイ (図 3 の 1 4 0) 中の該当する単位セル 1 4 0 a を選択する。

【 0 0 3 1 】

メモリセルアレイ (図 3 の 1 4 0) は、ワードラインにゲートが連結され、可変抵抗体の下部電極にドレインが連結され、ソースが接地される一つのアクセストランジスタと、下部電極がアクセストランジスタのドレインと連結され、上部電極がビットライン BL と連結される可変抵抗体とを含んで構成される単位セル 1 4 0 a を複数個具備して構成される。また、可変抵抗体は、アクセストランジスタのソースに上部電極が連結され、下部電極は接地されて構成されることもできる。

【 0 0 3 2 】

センスアンプ部 1 2 0 は、センシングノード VDL のレベルと基準レベル VREF とを入力として受けて、基準レベル VREF と比較して、単位セル 1 4 0 a のレベル状態がハイ状態であるかロー状態であるかを判別するセンスアンプ VSA を備えて構成される。センスアンプ VSA は、既に発生した基準電流に対比して、選択された単位セル 1 4 0 a のビットラインを通じた電流変化を感知する電流センスアンプ、または既に発生した基準電圧に対比して、電圧変化を感知する電圧センスアンプから構成されることもできる。

【 0 0 3 3 】

上記のように構成されたデータリード回路は、従来のデータリード回路に比べ、以下に説明されるように、誤動作を予防できるとともに高速動作に適合する。以下、図 2 を参照して図 1 及び図 3 のデータリード回路の動作を説明する。

【 0 0 3 4 】

図 2 に示すように、まずリード命令信号 READ が印加される前は、プリチャージモードであり、プリチャージ部 1 0 0 の第 1 状態の制御信号 VCTRL がロー状態を維持するため、プリチャージ部 1 0 0 のコントロールトランジスタ MP101 はターンオンされた状態としてセンシングノード VDL を電源電圧でプリチャージする。リード命令信号 READ が印加されると、センシング動作モードに移行し、選択部 1 3 0 が、データをセンシングするためにメモリセルアレイ (図 3 の 1 4 0) 内の単位セル 1 4 0 a を選択する。コラムアドレス信号 VY 及びワードラインローアドレス信号 VWL が印加されて選択部 1 3 0 のコラムアドレス信号 VY に対応するセレクトトランジスタ MN102 がターンオンされ、ローアドレス信号 VWL を受ける単位セル 1 4 0 a を構成するアクセストランジスタがターンオンされて、単位セル 1 4 0 a が選択される。

10

20

30

40

50

【0035】

リード命令信号READが印加されると、これと同時にプリチャージ部100のパルス形態の制御信号VCTRLはコントロールトランジスタMP101のしきい電圧に近接したレベルに上昇されて第2状態の制御信号となる。このしきい電圧に近接したレベルの第2状態の制御信号VCTRLにตอบสนองして、コントロールトランジスタMP101は続いてターンオンされた状態に維持され、センシングノードVDLのプリチャージを終了し、センシングノードVDLにバイアス電流を印加する。バイアス電流をセンシングノードVDLに印加することにより、選択された単位セル140aがリセット状態である場合において、単位セル140a内部に流れる貫通電流により減少するビットラインBLの電流減少分を補償することができる。また、リード命令信号READが印加されると同時にクランピング部110のクランピングトランジスタMN101のゲートにパルス形態のクランピング制御信号VCMPが印加される。ここで、クランピング制御信号VCMPは、所定の直流レベルを有する制御信号であってもよい。このように印加されたクランピング制御信号VCMPにより、単位セル140aの可変抵抗体内部に存在する相変化膜の臨界電圧を超えない範囲内でビットラインレベルBL nodeをクランピングする。ビットラインのノードレベルBL nodeを所定レベルにクランピングすることにより、リード領域(図10のA)内で安定したリード動作を進行することができる。上記のクランピングされるビットラインBLのノードレベルBL nodeは、可変抵抗体内部の相変化膜の臨界電圧 V_{th} を超えない範囲内でクランピングされ、クランピング制御信号VCMPからクランピングトランジスタMN101のしきい電圧を引いた分だけのレベルを有することになる。相変化膜の臨界電圧が1.2V程度と仮定すると、ノードレベルBL nodeは0.5乃至1.0V程度にクランピングされる。リード動作時に発生する単位セル140aの貫通電流 I_{CELL} は単位セル140aの相変化膜の抵抗に依存する大きさを有する。このようにして供給される電流により単位セル140aのアクセストランジスタを通じて貫通電流 I_{CELL} が発生し、セルの状態に従ってセンスアンプ部の入力端VDLは相異なるレベルになる。このとき、単位セル140a内部に流れる貫通電流量は単位セル140aの状態がリセット状態である場合、高抵抗に起因して少量の貫通電流 I_{CELL} が流れ、センシングノードVDLは基準レベルVREFと対比する場合に相対的にハイレベルを維持する。これと反対に、単位セル140aの状態がセット状態である場合、単位セル140aの抵抗が低抵抗となるに従い、リセット状態である場合と比べて相対的に大きい貫通電流 I_{CELL} が流れ、センシングノードVDLのレベルは基準レベルVREFと対比される場合に相対的にローレベルを維持する。

【0036】

センスアンプ部120では既に発生した基準電流と比較して電圧変化を感知する電圧センスアンプVSAを動作させることにより、センシングノードVDLのレベルと基準レベルとを比較して、単位セル140aのデータ状態がリセット状態であるかセット状態であるかを判断する。基準レベルVREFは、普通は、電源電圧の1/2程度として発生し、センシングノードVDLのレベル状態が基準レベルよりも高い場合にはリセット状態と判定され、センシングノードVDLのレベル状態が基準電圧よりも低い場合にはセット状態と判定される。データリード回路は、単位セル140aの状態がリセット状態である場合、プリチャージ部100で発生されるバイアス電流により単位セル140aの内部に流れる貫通電流 I_{CELL} を補償する。従って、図2に示すように、センシングノードVDLのレベルが一定に維持される。

【0037】

図4は本発明の他の実施形態としての半導体メモリでのデータリード回路の回路図である。図5は図4のデータリード回路の各ノード及び印加される信号の動作タイミングを示す。図6は図4のメモリセルアレイにおけるデータリード回路図である。図4に示すように、本発明の他の実施形態におけるデータリード回路は、プリチャージ部200、クランピング部210、選択部230、メモリセルアレイ(図6の240)及びセンスアンプ部220を含んで構成される。

【0038】

プリチャージ部200は、印加されるプリチャージ制御信号VPREをゲートで受け、ソー

スが電源電圧に連結され、ドレインがクランピング部 2 1 0 のクランピングトランジスタ MN201 のドレイン及びセンスアンプ部 2 2 0 の入力端のセンシングノードと連結される P 型プリチャージ用トランジスタ MP201 と、印加される補償用制御信号 VCOM をゲートで受け、ソースが電源電圧に連結され、ドレインがクランピング部 2 1 0 のクランピングトランジスタ MN201 のドレイン及びセンスアンプ部 1 2 0 の入力端のセンシングノード VDL と連結される P 型補償用トランジスタ MP202 とを含んで構成されて、プリチャージモードの間は第 1 状態の制御信号 VPRE に応答してプリチャージ用トランジスタ MP201 によりセンシングノード VDL を電源電圧でプリチャージし、センシング動作モードの間は第 2 状態の制御信号 VCM0 に応答して補償用トランジスタ MP202 によりセンシングノード VDL のレベル低下を防止する。

10

【 0 0 3 9 】

クランピング部 2 1 0 は、クランピング制御信号 VCMP をゲートで受け、ドレインがセンシングノード VDL 及びプリチャージ部 2 0 0 プリチャージ用トランジスタ MP201 のドレイン及び補償用トランジスタ MP200 のドレインに連結され、ソースが選択部 2 3 0 のコラムアドレス信号 VY を受信するトランジスタ MN202 のドレインに連結される N 型クランピングトランジスタ MN201 を含んで構成されて、ビットラインレベルをリード動作実行に適合した所定レベルにクランピングする。

【 0 0 4 0 】

選択部 2 3 0 は、コラムアドレス信号 VY をゲートで受け、ドレインがクランピングトランジスタ MN201 のソースに連結され、ソースが単位セル 2 4 0 a のビットライン BL にソースが連結されるコラムアドレス信号 VY 受信用トランジスタ MN202 とを含んで構成され、ワードラインローアドレス信号 VWL に応答するアクセストランジスタを備えるメモリセルアレイ (図 6 の 2 4 0) 中の該当する単位セル 2 4 0 a を選択する。

20

【 0 0 4 1 】

メモリセルアレイ (図 6 の 2 4 0) は、ワードラインにゲートが連結され、可変抵抗体の下部電極にドレインが連結され、ソースが接地される一つのアクセストランジスタと、下部電極がアクセストランジスタのドレインと連結され、上部電極がビットライン BL と連結される可変抵抗体とを含んで構成される単位セル 2 4 0 a を複数個備えて構成される。また、可変抵抗体は、アクセストランジスタのソースに上部電極が連結され、下部電極は接地されて構成されることもできる。

30

【 0 0 4 2 】

センスアンプ部 2 2 0 は、センシングノード VDL のレベルと基準レベル VREF とを入力として受けて、基準レベル VREF と比較して、単位セル 2 4 0 a のレベル状態がハイ状態であるかロー状態であるかを判別するセンスアンプ VSA を備えて構成される。センスアンプ VSA は、既に発生した基準電流に対比して、選択された単位セル 2 4 0 a のビットライン BL を通じた電流変化を感知する電流センスアンプ、または既に発生した基準電圧に対比して、電圧変化を感知する電圧センスアンプから構成されることもできる。

【 0 0 4 3 】

上記のように構成されたデータリード回路は、従来のデータリード回路に比べ、以下に説明されるように、誤動作を予防し、高速動作に適合する。以下、図 5 を参照して図 4 及び図 6 のデータリード回路の動作を説明する。

40

【 0 0 4 4 】

図 5 に示すように、まずリード命令信号 READ が印加される前は、プリチャージモードであり、プリチャージ部 2 0 0 の第 1 状態の制御信号 VPRE がロー状態を維持するため、プリチャージ部 2 0 0 のプリチャージ用トランジスタ MP201 はターンオンされる状態でセンシングノード VDL を電源電圧でプリチャージする。リード命令信号 READ が印加されると、センシング動作モードに移行し、選択部 2 3 0 が、データをセンシングするためにメモリセルアレイ内 (図 6 の 2 4 0) の単位セル 2 4 0 a を選択する。コラムアドレス信号 VY 及びローアドレス信号 VWL が印加されて選択部 2 3 0 のコラムアドレス信号 VY に対応するセレクトトランジスタ MN202 がターンオンされ、ローアドレス信号 VWL に応答する単位セル 2 4

50

0 aのアクセストランジスタがターンオンされて単位セル2 4 0 aが選択される。

【0 0 4 5】

リード命令信号READが印加されると、これと同時にプリチャージ部2 0 0の第1状態の制御信号VREFはロー状態からハイ状態に変化し、プリチャージ用トランジスタMP201はターンオフされてセンシングノードVDLのプリチャージを終了する。プリチャージモード終了後のセンシング動作モードの間は補償用トランジスタMP201のしきい電圧に近接したレベルで印加される第2状態の制御信号VCOMにより補償用トランジスタMP202がターンオンされて、センシングノードVDLにバイアス電流を印加する。バイアス電流をセンシングノードVDLに印加することにより、選択された単位セル2 4 0 aがリセット状態である場合において、単位セル2 4 0 a内部に流れる貫通電流ICELLにより減少されるビットラインBLの電流減少分をバイアス電流が補償する。プリチャージ制御信号VPREはパルス形態を有し、第2状態の制御信号VCOMは補償用トランジスタMP202のしきい電圧に近接した所定の直流レベルを有するが、パルス形態に印加されることもできる。また、リード命令信号READが印加されると同時に、クランピング部2 1 0のクランピングトランジスタMN201のゲートに一定の直流レベルを有するクランピング制御信号VCMPが印加され、このように印加されたクランピング制御信号VCMPにより、単位セル2 4 0 aの可変抵抗体内部に存在する相変化膜の臨界電圧を超えない範囲内でビットラインレベルをクランピングする。ビットラインレベルBL nodeを所定のレベルにクランピングすることにより、リード領域(図1 0のA)内で安定したセンシング動作を進行することができる。上記のようにクランピングされるビットラインBLのレベル BL nodeは、可変抵抗体内部の相変化膜の臨界電圧 V_{th} を超えない範囲内でクランピングされ、クランピング制御信号VCMPからクランピングトランジスタMN201のしきい電圧を引いた分だけのレベルを有する。相変化膜の臨界電圧が1 . 2 V程度と仮定すると、ノードレベルBL nodeは0 . 5乃至1 . 0 V程度にクランピングされる。リード動作時に発生する単位セル2 4 0 aの貫通電流ICELLは、単位セル2 4 0 aの相変化膜の抵抗に依存した電流の大きさを有する。クランピング制御信号VCMPは、所定の電流レベルを有するように印加され、リード命令信号READと同時にパルス形態に印加されることもできる。相変化膜の抵抗に依存して供給される電流の流れにより、単位セル2 4 0 aのアクセストランジスタを通じて貫通電流ICELLが発生し、単位セル2 4 0 aの状態に従ってセンスアンプ部2 2 0の入力端のセンシングノードVDLは、相異なるレベルを有する。このとき、単位セル2 4 0 a内部に流れる貫通電流量ICELLは、単位セル2 4 0 aの状態がリセット状態である場合、高抵抗に起因して少量の貫通電流が流れ、センシングノードVDLは基準レベルVREFと対比する場合に相対的にハイレベルを維持する。これと反対に、単位セル2 4 0 aの状態がセット状態である場合は、単位セル2 4 0 aの抵抗が仮抵抗となることに従って、リセット状態の場合と比較して相対的に多くの貫通電流が流れ、センシングノードVDLのレベルは基準レベルVREFと対比する場合にローレベルを維持する。

【0 0 4 6】

センスアンプ部2 2 0では、既に発生した基準電流に対比して電圧変化を感知する電圧センスアンプVSAを動作させることにより、センシングノードVDLのレベルと基準レベルVREFとを比較して、単位セル2 4 0 aのデータ状態がリセット状態であるかセット状態であるかを判断する。基準レベルVREFは、普通は、電源電圧の1 / 2程度として発生し、センシングノードVDLのレベル状態が基準レベルVREFよりも高い場合はリセット状態と判定され、センシングノードVDLのレベル状態が基準電圧よりも低い場合は‘セット’と発生される。上記のようなデータリード回路は、単位セル2 4 0 aの状態がリセット状態である場合、プリチャージ部2 0 0で発生するバイアス電流により単位セル2 4 0 aの内部に流れる貫通電流ICELLを補償する。従って、センシングノードVDLのレベルが一定に維持される。

【0 0 4 7】

以上の説明では、半導体メモリにおけるデータリード回路及びそれによるデータリード方法がPRAMに適用されているが、本発明は、例えばMRAM (Magnetic Random Access Memory)にも適用され、その他のFLASHメモリにも適用されることができ。

【 0 0 4 8 】

上記の特定の実施形態の説明は、本発明の徹底した理解を助けるために図面を参照として例示したものに過ぎないため、本発明を限定する意味として解釈してはならない。また、本発明が属する技術分野で通常の知識を有したものにおいて、本発明の基本的原理を逸脱しない範囲内で多様な修正や変更が可能なのは明白である。例えば、仕様に応じて回路の内部構成を変更したり、回路の内部構成素子を他の等価的素子によって置換したりすることは明白である。

【 図面の簡単な説明 】

【 0 0 4 9 】

【 図 1 】 本発明の一実施形態におけるデータリード回路図である。 10

【 図 2 】 図 1 のデータリード回路の各ノード及び印加信号の動作タイミング図である。

【 図 3 】 図 6 のメモリセルアレイでのデータリード回路図である。

【 図 4 】 本発明の他の実施形態におけるデータリード回路図である。

【 図 5 】 図 4 のデータリード回路の各ノード及び印加信号の動作タイミング図である。

【 図 6 】 図 4 のメモリセルアレイでのデータリード回路図である。

【 図 7 】 可変抵抗体内部の相変化膜の変化を示す概略図である。

【 図 8 】 PRAM単位セルの等価回路図である。

【 図 9 】 相変化膜の時間と温度に従う変化を示すグラフである。

【 図 1 0 】 PRAM単位セル内部の相変化膜の電流対電圧の特性曲線である。

【 図 1 1 】 従来技術のデータリード回路図である。 20

【 図 1 2 】 図 1 1 のデータリード回路の各ノード及び印加信号のタイミング図である。

【 符号の説明 】

【 0 0 5 0 】

VCTRL：プリチャージ部制御信号

VCMP：クランピング制御信号

VY：コラムアドレス信号

VWL：アドレス信号

VDL：センシングノード

BL：ビットライン

VREF：基準レベル 30

VSA：センスアンプ

1 0 0：プリチャージ部

1 1 0：クランピング部

1 2 0：センスアンプ部

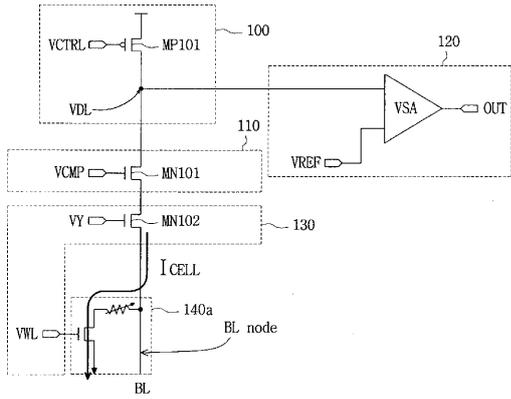
1 3 0：選択部

1 4 0：メモリセルアレイ

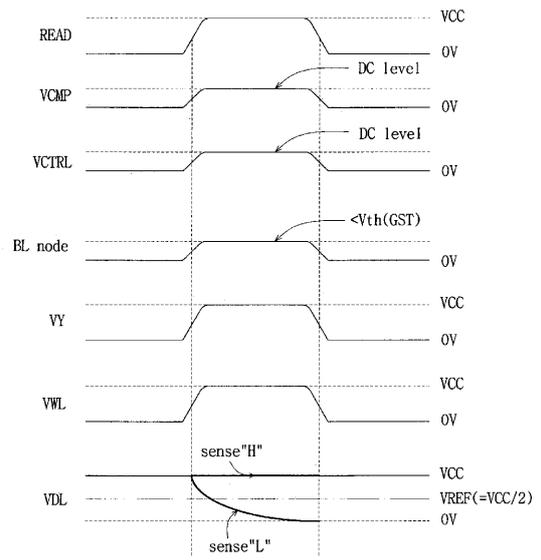
1 4 0 a：単位セル

ICELL：貫通電流

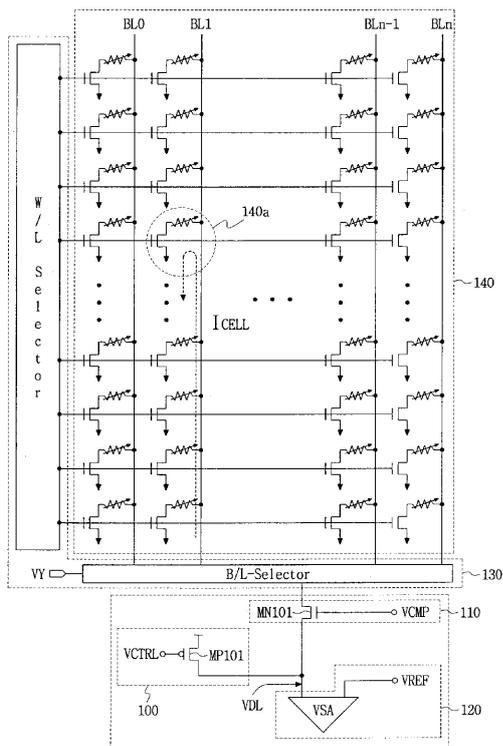
【 図 1 】



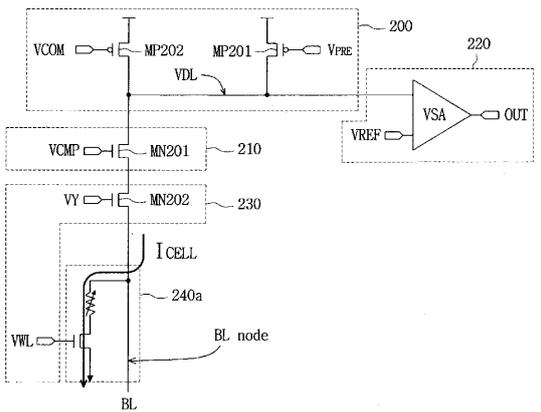
【 図 2 】



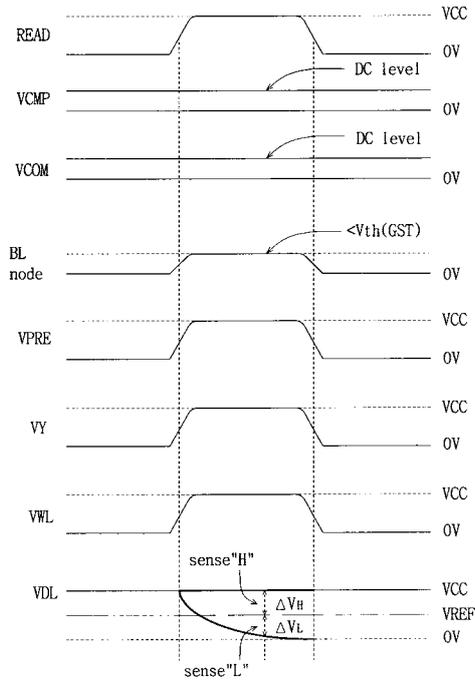
【 図 3 】



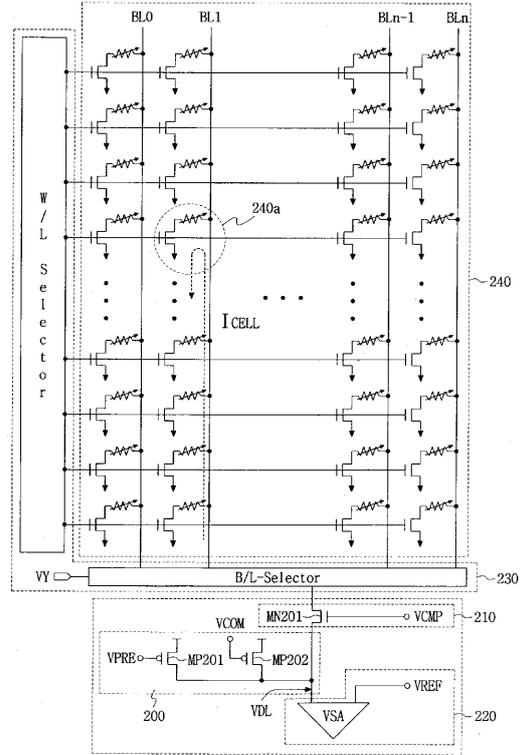
【 図 4 】



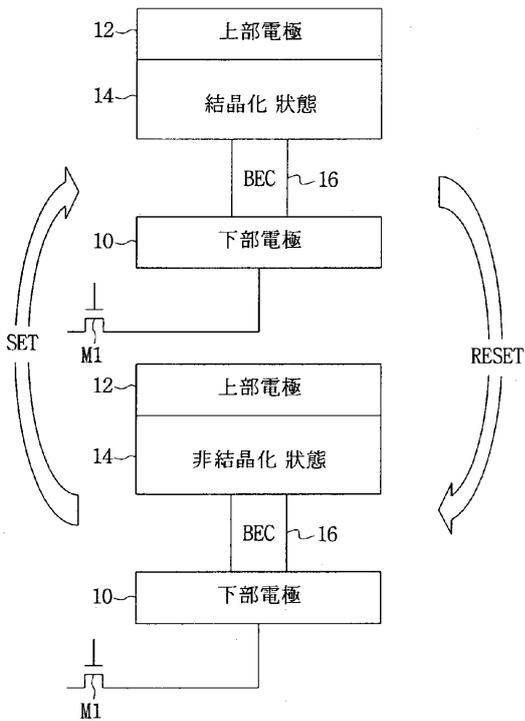
【 図 5 】



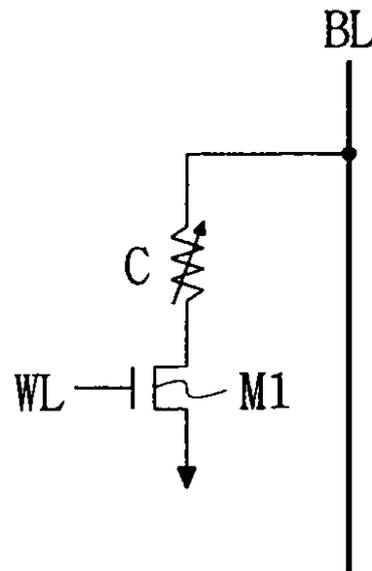
【 図 6 】



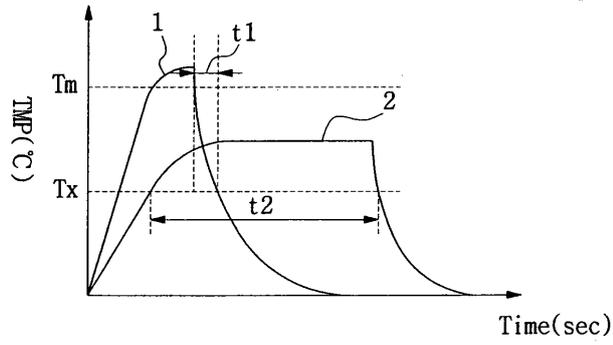
【 図 7 】



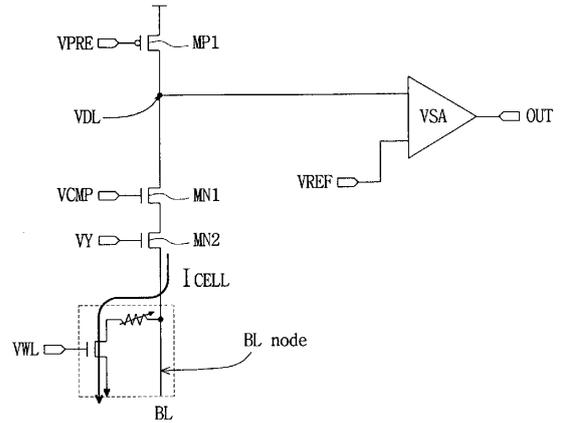
【 図 8 】



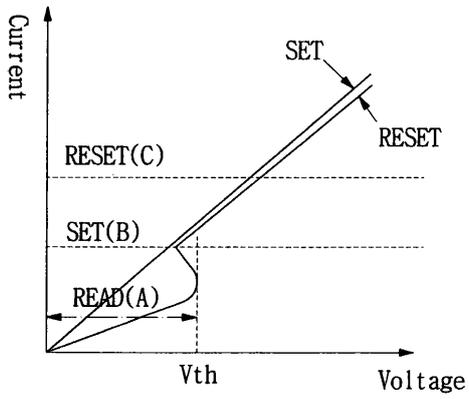
【 図 9 】



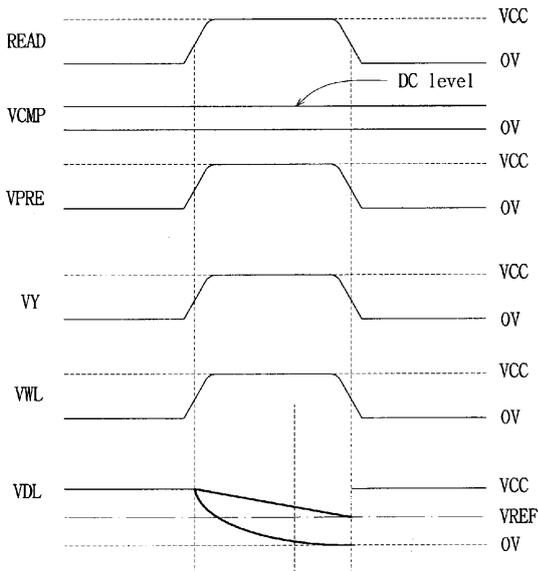
【 図 1 1 】



【 図 1 0 】



【 図 1 2 】



フロントページの続き

(72)発明者 趙佑榮

大韓民国京畿道華城郡台安邑半月里新永通現代アパート211-1103号

(72)発明者 郭忠根

大韓民国京畿道水原市八達区永通洞ハンゴルマウル豊林アパート235-1806号

Fターム(参考) 5F083 FZ10 LA03 LA09