



(12) 发明专利申请

(10) 申请公布号 CN 115621195 A

(43) 申请公布日 2023. 01. 17

(21) 申请号 202210820477.9

H10B 99/00 (2023.01)

(22) 申请日 2022.07.12

(30) 优先权数据

10-2021-0091589 2021.07.13 KR

10-2021-0147251 2021.10.29 KR

(71) 申请人 爱思开海力士有限公司

地址 韩国京畿道

(72) 发明人 成旼哲

(74) 专利代理机构 北京弘权知识产权代理有限公司

公司 11363

专利代理师 许伟群 李少丹

(51) Int. Cl.

H01L 21/768 (2006.01)

H01L 23/528 (2006.01)

H01L 27/105 (2006.01)

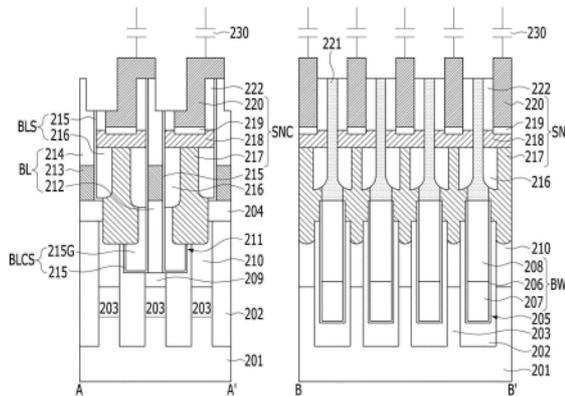
权利要求书3页 说明书15页 附图27页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明涉及一种半导体器件及其制造方法。一种半导体器件包括：多个位线结构，其被形成在半导体衬底之上彼此间隔开；第一间隔件，其被形成在每个位线结构的两个侧壁上；下插塞，其被形成在位线结构之间并且与半导体衬底接触；上插塞，其位于下插塞之上并且具有比下插塞大的线宽；中间插塞，其位于下插塞与上插塞之间并且具有比下插塞的线宽更小的线宽；以及第二间隔件，其位于中间插塞与第一间隔件之间，其中，第二间隔件比第一间隔件厚。



1. 一种半导体器件,包括:
 - 多个位线结构,其被形成为在半导体衬底之上彼此间隔开;
 - 第一间隔件,其被形成在每个所述位线结构的两个侧壁上;
 - 下插塞,其被形成在所述位线结构之间并且与所述半导体衬底接触;
 - 上插塞,其位于所述下插塞之上并且具有比所述下插塞大的线宽;
 - 中间插塞,其位于所述下插塞与所述上插塞之间,并且所述中间插塞的线宽小于所述下插塞的线宽;以及
 - 第二间隔件,其位于所述中间插塞与所述第一间隔件之间,其中,所述第二间隔件比所述第一间隔件厚。
2. 根据权利要求1所述的半导体器件,其中,所述下插塞、所述中间插塞和所述上插塞包括相同的材料。
3. 根据权利要求1所述的半导体器件,其中,所述下插塞、所述中间插塞和所述上插塞包括多晶硅。
4. 根据权利要求1所述的半导体器件,其中,所述第一间隔件包括硅氮化物,以及所述第二间隔件包括硅氧化物。
5. 根据权利要求1所述的半导体器件,其中,所述第一间隔件具有平行于每个所述位线结构的两个侧壁的线形。
6. 根据权利要求1所述的半导体器件,其中,所述第二间隔件具有围绕所述下插塞的侧壁的形状。
7. 根据权利要求1所述的半导体器件,还包括:
 - 着陆焊盘,其在所述上插塞之上;
 - 欧姆接触层,其在所述着陆焊盘与所述上插塞之间;以及
 - 电容器,其在所述着陆焊盘之上。
8. 根据权利要求7所述的半导体器件,其中,所述着陆焊盘具有延伸以与所述位线结构的上表面交叠的形状。
9. 根据权利要求1所述的半导体器件,其中,所述位线结构包括:
 - 位线接触插塞,其耦接至所述半导体衬底;
 - 位线,其在所述位线接触塞之上;以及
 - 位线硬掩模,其在所述位线之上。
10. 根据权利要求9所述的半导体器件,其中,所述第一间隔件的一部分从所述位线接触插塞的两个侧壁延伸,
 - 所述半导体器件还包括:
 - 间隙填充间隔件,其位于延伸的所述第一间隔件之上。
11. 根据权利要求1所述的半导体器件,其中,所述下插塞包括:
 - 宽插塞,其接触所述半导体衬底;以及
 - 窄插塞,其位于所述宽插塞之上,并且具有比所述宽插塞小的线宽。
12. 一种用于制造半导体器件的方法,包括:
 - 在半导体衬底之上形成多个位线结构;
 - 在每个所述位线结构的两个侧壁上形成第一间隔件;

在所述第一间隔件之上形成位于所述位线结构之间的插塞隔离层和初始接触开口；修整所述插塞隔离层和所述初始接触开口，以形成比所述初始接触开口宽的接触开口；

形成围绕所述接触开口的侧壁的牺牲间隔件；

形成部分地填充所述接触开口的下插塞；

去除所述牺牲间隔件，以形成围绕所述下插塞的气隙；以及

形成第二间隔件以填充所述气隙，并且围绕所述下插塞。

13. 根据权利要求12所述的方法，其中，形成所述第二间隔件包括：

选择性地氧化所述下插塞的暴露表面。

14. 根据权利要求12所述的方法，其中，形成所述第二间隔件包括：

在所述下插塞的暴露表面之上形成第一氧化物；以及

在所述第一氧化物之上形成填充所述气隙的第二氧化物。

15. 根据权利要求12所述的方法，其中，所述第二间隔件被形成为比所述第一间隔件厚。

16. 根据权利要求12所述的方法，其中，所述第一间隔件包括硅氮化物，以及所述第二间隔件包括硅氧化物。

17. 根据权利要求12所述的方法，还包括：

在形成所述第二间隔件之后，在所述下插塞之上形成具有比所述下插塞更大线宽的上插塞。

18. 根据权利要求17所述的方法，其中，所述下插塞和所述上插塞包括多晶硅。

19. 根据权利要求12所述的方法，还包括：

在形成所述第二间隔件之后，

在所述下插塞之上形成具有比所述下插塞更大线宽的上插塞；

在所述上插塞之上形成着陆焊盘；以及

在所述着陆焊盘之上形成电容器。

20. 根据权利要求19所述的方法，其中，所述下插塞和所述上插塞包括多晶硅，以及所述着陆焊盘包括金属材料。

21. 根据权利要求12所述的方法，其中，所述牺牲间隔件包括氮化钛。

22. 一种用于制造半导体器件的方法，包括：

在半导体衬底之上形成多个位线结构；

在每个所述位线结构的两个侧壁上形成第一间隔件；

在所述第一间隔件之上形成牺牲间隔件；

在所述牺牲间隔件之上形成位于所述位线结构之间的插塞隔离层和初始接触开口；

形成部分地填充所述初始接触开口的下插塞；

修整所述牺牲间隔件和所述插塞隔离层，以形成比所述初始接触开口宽的接触开口；

形成围绕所述接触开口的侧壁并且比所述第一间隔件厚的第二间隔件；以及

在所述第二间隔件和所述下插塞之上形成具有比所述下插塞更大线宽的上插塞。

23. 根据权利要求22所述的方法，其中，所述牺牲间隔件包括氮化钛。

24. 根据权利要求22所述的方法，其中，所述下插塞和所述上插塞包括多晶硅。

25. 根据权利要求22所述的方法,其中,所述第一间隔件包括硅氮化物,以及所述第二间隔件包括硅氧化物。

26. 一种用于制造半导体器件的方法,包括:

在半导体衬底之上形成多个位线结构;

在每个所述位线结构的两个侧壁上形成第一间隔件;

在所述第一间隔件之上形成牺牲间隔件;

在所述牺牲间隔件之上形成位于所述位线结构之间的插塞隔离层和初始接触开口;

修整所述牺牲间隔件和所述插塞隔离层,以形成比所述初始接触开口宽的接触开口;

形成部分地填充所述初始接触开口的下插塞;

去除所述牺牲间隔件,以形成围绕所述下插塞的侧壁的气隙;

形成填充所述气隙且比所述第一间隔件厚的第二间隔件;以及

在所述第二间隔件和所述下插塞之上形成具有比所述下插塞更大线宽的上插塞。

27. 一种用于制造半导体器件的方法,包括:

在半导体衬底之上形成多个位线结构;

在每个所述位线结构的两个侧壁上形成第一间隔件;

在所述第一间隔件之上形成第一牺牲间隔件;

在所述第一牺牲间隔件之上形成位于所述位线结构之间的插塞隔离层和初始接触开口;

修整所述插塞隔离层,以形成比所述初始接触开口宽的接触开口;

形成部分地填充所述初始接触开口的宽插塞;

在所述宽插塞之上形成第二牺牲间隔件;

在由所述第二牺牲间隔件暴露的所述宽插塞之上形成具有比所述宽插塞更小线宽的窄插塞;

去除所述第一牺牲间隔件和所述第二牺牲间隔件,以形成围绕所述窄插塞的侧壁的气隙;

形成填充所述气隙并且比所述第一间隔件厚的第二间隔件;以及

在所述第二间隔件和所述窄插塞之上形成具有比所述窄插塞更大线宽的上插塞。

半导体器件及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2021年7月13日提交的韩国专利申请第10-2021-0091589号和于2021年10月29日提交的韩国专利申请第10-2021-0147251号的优先权,其整体通过引用并入本文中。

技术领域

[0003] 本发明的实施例涉及一种半导体器件,更具体地,涉及一种包括双接触插塞的半导体器件及其制造方法。

背景技术

[0004] 在半导体器件中,电介质材料形成在相邻的图案结构之间。随着半导体器件的高度集成,图案结构之间的间隙变得更窄,这可能会产生寄生电容。寄生电容的增加降低了半导体器件的性能。

发明内容

[0005] 本发明的实施例涉及一种能够降低寄生电容的半导体器件以及制造该半导体器件的方法。

[0006] 根据本发明的一个实施例,一种半导体器件包括:多个位线结构,其被形成为在半导体衬底之上彼此间隔开;第一间隔件,其被形成在每个所述位线结构的两个侧壁上;下插塞,其被形成在所述位线结构之间并且与所述半导体衬底接触;上插塞,其位于所述下插塞之上并且具有比所述下插塞大的线宽;中间插塞,其位于所述下插塞与所述上插塞之间,并且所述中间插塞的线宽小于所述下插塞的线宽;以及第二间隔件,其位于所述中间插塞与所述第一间隔件之间,其中,所述第二间隔件比所述第一间隔件厚。

[0007] 根据本发明的另一个实施例,一种用于制造半导体器件的方法包括:在半导体衬底之上形成多个位线结构;在每个所述位线结构的两个侧壁上形成第一间隔件;在所述第一间隔件之上形成位于所述位线结构之间的插塞隔离层和初始接触开口;修整所述插塞隔离层和所述初始接触开口,以形成比所述初始接触开口宽的接触开口;形成围绕所述接触开口的侧壁的牺牲间隔件;形成部分地填充所述接触开口的下插塞;去除所述牺牲间隔件,以形成围绕所述下插塞的气隙;以及形成所述第二间隔件以填充所述气隙,同时围绕所述下插塞。

[0008] 根据本发明的另一个实施例,一种用于制造半导体器件的方法包括:在半导体衬底之上形成多个位线结构;在每个所述位线结构的两个侧壁上形成第一间隔件;在所述第一间隔件之上形成牺牲间隔件;在所述牺牲间隔件之上形成位于所述位线结构之间的插塞隔离层和初始接触开口;形成部分地填充所述初始接触开口的下插塞;修整所述牺牲间隔件和所述插塞隔离层,以形成比所述初始接触开口宽的接触开口;形成围绕所述接触开口的侧壁并且比所述第一间隔件厚的第二间隔件;以及在所述第二间隔件和所述下插塞之上

形成具有比所述下插塞更大线宽的上插塞。

[0009] 根据本发明的另一个实施例,一种用于制造半导体器件的方法包括:在半导体衬底之上形成多个位线结构;在每个所述位线结构的两个侧壁上形成第一间隔件;在所述第一间隔件之上形成牺牲间隔件;在所述牺牲间隔件之上形成位于所述位线结构之间的插塞隔离层和初始接触开口;修整所述牺牲间隔件和所述插塞隔离层,以形成比所述初始接触开口宽的接触开口;形成部分地填充所述初始接触开口的下插塞;去除所述牺牲间隔件,以形成围绕所述下插塞的侧壁的气隙;形成填充所述气隙且比所述第一间隔件厚的第二间隔件;以及在所述第二间隔件和所述下插塞之上形成具有比所述下插塞更大线宽的上插塞。

[0010] 根据本发明的另一个实施例,一种用于制造半导体器件的方法包括:在半导体衬底之上形成多个位线结构;在每个所述位线结构的两个侧壁上形成第一间隔件;在所述第一间隔件之上形成第一牺牲间隔件;在所述第一牺牲间隔件之上形成位于所述位线结构之间的插塞隔离层和初始接触开口;修整所述插塞隔离层,以形成比所述初始接触开口宽的接触开口;形成部分地填充所述初始接触开口的宽插塞;在所述宽插塞之上形成第二牺牲间隔件;在由所述第二牺牲间隔件暴露的所述宽插塞之上形成具有比所述宽插塞更小线宽的窄插塞;去除所述第一牺牲间隔件和所述第二牺牲间隔件,以形成围绕所述窄插塞的侧壁的气隙;形成填充所述气隙并且比所述第一间隔件厚的第二间隔件;以及在所述第二间隔件和所述窄插塞之上形成具有比所述窄插塞更大线宽的上插塞。

[0011] 根据本发明的另一个实施例,一种半导体器件包括:多个位线结构,其被形成为在半导体衬底之上彼此间隔开;多个第一间隔件,其被形成在每个所述位线结构的两个侧壁上;多个下插塞,其被形成在所述多个位线结构之间并且与所述半导体衬底接触;多个上插塞,其位于每个所述下插塞之上并且其线宽大于所述下插塞的线宽;多个中间插塞,其位于所述下插塞与所述上插塞之间,并且其线宽小于所述下插塞的线宽;以及多个第二间隔件,其位于所述中间插塞与所述第一间隔件之间,其中,所述第二间隔件比所述第一间隔件厚。

附图说明

[0012] 图1是示出根据本发明的实施例的半导体器件的平面图。

[0013] 图2A是沿着图1的线A-A' 和B-B' 截取的截面图。

[0014] 图2B是存储节点接触插塞的放大图。

[0015] 图3至图26是示出根据本发明的实施例的用于制造半导体器件的方法的截面图。

[0016] 图27至图32是示出根据本发明的另一实施例的用于制造半导体器件的方法的截面图。

[0017] 图33至图42是示出根据本发明的另一实施例的用于制造半导体器件的方法的截面图。

[0018] 图43至图48是示出根据本发明的另一实施例的用于制造半导体器件的方法的截面图。

[0019] 图49A至图49D是详细示出用于形成存储节点接触插塞的方法的平面图。

具体实施方式

[0020] 下面将参照附图更详细地描述本发明的实施例。然而,本发明可以以不同的形式

实施并且不应被解释为限于本文所阐述的实施例。相反,提供这些实施例是为了使本公开全面和完整,并将本发明的范围充分地传达给本领域技术人员。在整个公开中,相同的附图标记在本发明的各个附图和实施例中指代相同的部件。

[0021] 附图不一定按比例绘制,并且在某些情况下,为了清楚地说明实施例的特征,可以夸大了比例。当第一层称为在第二层“上”或在衬底“上”时,其不仅指第一层直接形成在第二层或衬底上的情况,还指第三层存在于第一层和第二层或衬底之间的情况。

[0022] 图1是示出根据本发明的实施例的半导体器件的平面图。图2A是沿着图1的线A-A'和B-B' 截取的截面图。图2B是存储节点接触插塞SNC的放大图。

[0023] 半导体器件100可以包括多个存储单元。每个存储单元可以包括单元晶体管,该单元晶体管包括掩埋字线207、位线213和存储元件230。

[0024] 将详细地描述半导体器件100。

[0025] 隔离层202和有源区203可以形成在衬底201之上。多个有源区203可以通过隔离层202来限定。衬底201可以是适合于半导体加工的材料。衬底201可以包括半导体衬底。衬底201可以由含硅材料形成。衬底201可以包括:硅、单晶硅、多晶硅、非晶硅、硅锗、单晶硅锗、多晶硅锗、碳掺杂硅、它们的组合或其多层。衬底201可以包括其他半导体材料,例如锗。衬底201可以包括III/V族半导体衬底,例如,诸如GaAs的化合物半导体衬底。衬底201可以包括绝缘体上硅(SOI)衬底。隔离层202可以通过浅沟槽隔离(STI)工艺来形成。

[0026] 栅沟槽205可以形成在衬底201中。栅电介质层206可以共形地形成在栅沟槽205的表面之上。部分地填充栅沟槽205的掩埋字线207可以形成在栅电介质层206之上。栅覆盖层208可以形成在掩埋字线207之上。掩埋字线207的上表面可以位于比衬底201的表面低的水平。掩埋字线207可以是低电阻率金属材料。在掩埋字线207中,可以顺序地堆叠氮化钛(TiN)和钨(W)。根据本发明的另一实施例,掩埋字线207可以仅由氮化钛(仅TiN)形成。掩埋字线207可以称为“掩埋栅电极”。掩埋字线207可以在第一方向D1上延伸。栅沟槽205、栅电介质层206、掩埋字线207和栅覆盖层208可以称为掩埋字线结构BWL。

[0027] 第一杂质区209和第二杂质区210可以形成在衬底201中。第一杂质区209和第二杂质区210可以通过栅沟槽205彼此间隔开。第一杂质区209和第二杂质区210可以称为源极/漏极区。第一杂质区209和第二杂质区210可以包括N型杂质,例如砷(As)或磷(P)。因此,掩埋字线207以及第一杂质区209和第二杂质区210可以形成单元晶体管。由于掩埋字线207,单元晶体管可以改善短沟道效应。

[0028] 位线接触插塞212可以形成在衬底201之上。位线接触插塞212可以耦接至第一杂质区209。位线接触插塞212可以位于位线接触孔211的内部。例如,位线接触插塞212可以位于位线接触孔211内部的中央。位线接触孔211可以经由硬掩模层204延伸到衬底201。硬掩模层204可以形成在衬底201之上。硬掩模层204可以包括电介质材料。位线接触孔211可以暴露第一杂质区209。位线接触插塞212的下表面可以低于隔离层202和有源区203的上表面。位线接触插塞212可以由多晶硅或金属材料形成。位线接触插塞212的一部分可以具有小于位线接触孔211的直径的线宽。位线213可以形成在位线接触插塞212之上。位线硬掩模214可以形成在位线213之上。位线接触插塞212、位线213和位线硬掩模214的堆叠结构可以称为位线结构BL。位线213可以具有在与掩埋字线207交叉的第二方向D2上延伸的线形。位线213的一部分可以耦接至位线接触插塞212。从A-A' 的角度看,位线213和位线接触插塞

212可以具有相同的线宽。因此,位线213可以在第二方向D2上延伸同时覆盖位线接触插塞212。位线213可以包括金属材料,例如钨。位线硬掩模214可以包括电介质材料,例如硅氮化物。

[0029] 位线接触间隔件BLCS可以形成在位线接触插塞212的侧壁上。位线接触间隔件BLCS可以包括第一间隔件215和间隙填充间隔件215G。位线间隔件BLS可以形成在位线213的侧壁上。位线间隔件BLS可以包括第一间隔件215和第二间隔件216。第一间隔件215可以延伸以形成在位线接触插塞212的两个侧壁上。第一间隔件215和第二间隔件216可以包括硅氮化物。第一间隔件215可以具有大约**10 Å**或更小的厚度。第一间隔件215可以包括大约**10 Å**或更小的超薄硅氮化物。第一间隔件215可以比第二间隔件216薄。例如,第二间隔件216可以是第一间隔件215的两倍厚。

[0030] 位线接触孔211可以填充有位线接触插塞212和位线接触间隔件BLCS。

[0031] 存储节点接触插塞SNC可以形成在相邻的位线结构BL之间。存储节点接触插塞SNC可以耦接至第二杂质区210。存储节点接触插塞SNC可以包括下插塞217、上插塞218和着陆焊盘220。下插塞217和上插塞218可以称为双接触插塞。存储节点接触插塞SNC还可以包括在上插塞218和着陆焊盘220之间的欧姆接触层219。欧姆接触层219可以包括金属硅化物。例如,下插塞217和上插塞218可以包括多晶硅,而着陆焊盘220可以包括金属氮化物、金属材料或它们的组合。

[0032] 从与位线结构的平行方向角度看,插塞隔离层221可以形成在相邻的存储节点接触插塞SNC之间。插塞隔离层221可以形成在相邻的位线结构BL之间。相邻的存储节点接触插塞SNC可以由插塞隔离层221隔离。多个插塞隔离层221和多个存储节点接触插塞SNC可以交替地设置在相邻的位线结构BL之间。

[0033] 存储元件230可以形成在着陆焊盘220之上。存储元件230可以包括具有存储节点的电容器。存储节点可以包括柱型。电介质层和板节点可以进一步形成在存储节点之上。除了柱形式之外,存储节点还可以具有筒的形式。

[0034] 参见图2B,存储节点接触插塞SNC的下插塞217可以包括宽插塞217L和窄插塞217U。宽插塞217L和窄插塞217U可以由相同的材料形成,但可以具有不连续的界面。换言之,宽插塞217L和窄插塞217U可以通过不同的工艺形成。宽插塞217L的线宽L1可以大于窄插塞217U的线宽L2,窄插塞217U的线宽L2可以小于上插塞218的线宽L3。宽插塞217L的线宽L1和上插塞218的线宽L3可以相同。根据本发明的另一实施例,上插塞218的线宽L3可以大于宽插塞217L的线宽L1。

[0035] 参见图2A,存储节点接触插塞SNC的下插塞217可以横向延伸到间隙填充间隔件215G的内部。此外,下插塞217可以横向延伸到第二杂质区210的内部。

[0036] 如上所述,第一间隔件215和间隙填充间隔件215G的双间隔件可以形成在存储节点接触插塞SNC的位线接触插塞212与下插塞217之间。第一间隔件215和第二间隔件216的双间隔件可以位于位线213与存储节点接触插塞SNC之间。第二间隔件216可以比第一间隔件215厚。

[0037] 第一间隔件215和间隙填充间隔件215G可以包括硅氮化物,而第二间隔件216可以包括硅氧化物。因此,具有氮氧化物(NO)结构的位线间隔件BLS可以设置在位线213与存储节点接触插塞SNC的下插塞217之间,以及具有氮化物-氮化物(NN)结构的位线接触间隔件

BLCS可以设置在位线接触插塞212与存储节点接触插塞SNC的下插塞217之间。

[0038] 插塞隔离层221可以包括硅氮化物或低k材料。当插塞隔离层221包括低k材料时，使用插塞隔离层221插置在相邻的存储节点接触插塞SNC之间，可以减小相邻的存储节点接触插塞SNC之间的寄生电容。

[0039] 根据本发明的另一个实施例，第二间隔件216可以用气隙代替。

[0040] 参见图1至图2B，根据本实施例的实施例，由于占据位线间隔件BLS中的硅氮化物的厚度，即第一间隔件215的厚度较薄（例如，约10 Å或更小），所以可以抑制寄生电容的增加。

[0041] 图3至图26是示出根据本发明的实施例的用于制造半导体器件的方法的截面图。图3至图26是沿着图1的线A-A'和B-B'截取的截面图。

[0042] 参见图3，可以在衬底11之上形成隔离层12。多个有源区13可以由隔离层12限定。可以通过浅沟槽隔离（STI）工艺来形成隔离层12。STI工艺可以如下执行。可以刻蚀衬底11以形成隔离沟槽（省略附图标记）。隔离沟槽可以填充有电介质材料，因此可以形成隔离层12。隔离层12可以包括硅氧化物、硅氮化物或它们的组合。可以使用化学气相沉积（CVD）或其他沉积工艺来利用电介质材料填充隔离沟槽。可以另外使用诸如化学机械抛光（CMP）的平坦化工艺。

[0043] 随后，可以在衬底11中形成掩埋字线结构。形成掩埋字线结构可以包括形成：栅沟槽15、覆盖栅沟槽15的底表面和侧壁的栅电介质层16、在栅电介质层16之上部分地填充栅沟槽15的掩埋字线17以及在掩埋字线17之上形成的栅覆盖层18。因此，掩埋字线结构可以包括：栅电介质层16、掩埋字线17和栅覆盖层18。

[0044] 更具体地，形成掩埋字线结构的方法可以如下。

[0045] 首先，可以在衬底11中形成栅沟槽15。栅沟槽15可以具有与有源区13和隔离层12交叉的线形。可以通过在衬底11之上形成掩模图案并且利用掩模图案作为刻蚀掩模执行刻蚀工艺来形成栅沟槽15。为了形成栅沟槽15，可以利用硬掩模层14作为刻蚀阻挡层。硬掩模层14可以具有通过掩模图案被图案化的形状。硬掩模层14可以包括硅氧化物。硬掩模层14可以包括原硅酸四乙酯（TEOS）。栅沟槽15的底表面可以位于比隔离层12的底表面高的水平处。

[0046] 隔离层12的一部分可以被凹陷以在栅沟槽15之下突出有源区13。例如，栅沟槽15之下的隔离层12可以在图1的第二方向D2上被选择性地凹陷。结果，可以在栅沟槽15之下形成鳍区（省略附图标记）。鳍区可以是沟道区的一部分。

[0047] 随后，可以在栅沟槽15的底表面和侧壁之上形成栅电介质层16。在形成栅电介质层16之前，可以恢复对栅沟槽15表面的刻蚀损伤。例如，在通过热氧化形成牺牲氧化物之后，可以去除牺牲氧化物。

[0048] 可以通过热氧化工艺来形成栅电介质层16。例如，可以通过氧化栅沟槽15的底部和侧壁来形成栅电介质层16。

[0049] 根据本发明的另一实施例，栅电介质层16可以通过诸如化学气相沉积（CVD）或原子层沉积（ALD）的沉积方法来形成。栅电介质层16可以包括高k材料、氧化物、氮化物、氮氧化物或它们的组合。高k材料可以包括含铪材料。含铪材料可包括氧化铪、氧化铪硅、氮氧化铪硅或其组合。根据本发明的另一个实施例，高k材料可以包括氧化镧、氧化铝镧、氧化锆、

氧化锆硅、氮氧化锆硅、氧化铝、以及它们的组合。

[0050] 根据本发明的另一实施例,可以通过沉积内衬多晶硅层然后自由基氧化内衬多晶硅层来形成栅电介质层16。

[0051] 根据本发明的又一实施例,可以通过形成内衬硅氮化物层然后自由基氧化内衬硅氮化物层来形成栅电介质层16。

[0052] 随后,可以在栅电介质层16之上形成掩埋字线17。为了形成掩埋字线17,可以在形成导电层以填充栅沟槽15之后执行凹陷工艺。可以通过执行回蚀工艺或者通过顺序地执行化学机械抛光(CMP)工艺和回蚀工艺来执行凹陷工艺。掩埋字线17可以具有部分地填充栅沟槽15的凹陷形状。换言之,掩埋字线17的上表面可以位于比有源区13的上表面低的水平处。掩埋字线17可以包括金属、金属氮化物或其组合。例如,掩埋字线17可以由氮化钛(TiN)、钨(W)或氮化钛/钨的叠层(TiN/W)来形成。氮化钛/钨(TiN/W)叠层可以具有共形地形成有氮化钛然后用钨部分地填充栅沟槽15的结构。对于掩埋字线17,可以单独使用氮化钛,这可以称为“仅TiN”结构的掩埋字线17。氮化钛/钨(TiN/W)叠层和多晶硅层的双栅结构可以用作掩埋字线17。

[0053] 随后,可以在掩埋字线17之上形成栅覆盖层18。栅覆盖层18可以包括电介质材料。栅沟槽15在掩埋字线17之上的剩余部分可以用栅覆盖层18来填充。栅覆盖层18可以包括硅氮化物。根据本发明的另一实施例,栅覆盖层18可以包括硅氧化物。根据本发明的又一实施例,栅覆盖层18可以具有NON(氮化物-氧化物-氮化物)结构。栅覆盖层18的上表面可以位于与硬掩模层14的上表面相同的水平处。为此,可以在形成栅覆盖层18的同时执行化学机械抛光(CMP)工艺。

[0054] 在形成栅覆盖层18之后,可以形成杂质区19和20。杂质区19和20可以通过诸如注入的掺杂工艺来形成。杂质区19和20可以包括第一杂质区19和第二杂质区20。第一杂质区19和第二杂质区20可以掺杂有相同导电类型的杂质。第一杂质区19和第二杂质区20可以具有相同的深度。根据本发明的另一实施例,第一杂质区19可以比第二杂质区20深。第一杂质区19和第二杂质区20可以称为源极/漏极区。第一杂质区19可以是位线接触插塞要耦接至的区域,第二杂质区20可以是存储节点接触插塞要耦接至的区域。第一杂质区19和第二杂质区20可以位于不同的有源区13中。此外,第一杂质区19和第二杂质区20可以通过栅沟槽15彼此间隔开并且分别位于有源区13中。

[0055] 存储单元的单元晶体管可以由掩埋字线17、第一杂质区19和第二杂质区20形成。

[0056] 参见图4,可以形成位线接触孔21。可以通过利用接触掩模来刻蚀硬掩模层14,以形成位线接触孔21。从平面图的角度看,位线接触孔21可以具有圆形形状或椭圆形形状。衬底11的一部分可以通过位线接触孔21暴露出。位线接触孔21可以具有被控制为具有预定线宽的直径。位线接触孔21可以具有暴露出有源区13的一部分的形状。例如,第一杂质区19可以通过位线接触孔21暴露出。位线接触孔21的直径可以大于有源区13的短轴的宽度。因此,在用于形成位线接触孔21的刻蚀工艺中,可以刻蚀第一杂质区19、隔离层12和栅覆盖层18的一部分。换言之,位线接触孔21之下的栅覆盖层18、第一杂质区19和隔离层12可以被凹陷到预定深度。结果,位线接触孔21的底部可以延伸到衬底11的内部。随着位线接触孔21的扩展,第一杂质区19的表面可以被凹陷,并且第一杂质区19的表面可以位于比衬底11的表面低的水平处。

[0057] 参见图5,可以形成初步插塞22A。初步插塞22A可以通过选择性外延生长(SEG)工艺来形成。例如,初步插塞22A可以包括掺杂有磷的外延层,即SEG SiP。通过选择性外延生长,可以形成没有空隙的初步插塞22A。根据本发明的另一实施例,可以通过沉积多晶硅层并执行化学机械抛光(CMP)工艺来形成初步插塞22A。初步插塞22A可以填充位线接触孔21。初步插塞22A的上表面可以位于与硬掩模层14的上表面相同的水平处。

[0058] 参见图6,可以堆叠位线导电层23A和位线硬掩模层24A。位线导电层23A和位线硬掩模层24A可以顺序地堆叠在初步插塞22A和硬掩模层14之上。位线导电层23A可以包括金属材料。位线导电层23A可以包括金属、金属氮化物、金属硅化物或它们的组合。根据本发明的实施例,位线导电层23A可以包括钨(W)。根据本发明的另一实施例,位线导电层23A可以包括氮化钛和钨的叠层(TiN/W)。在这种情况下,氮化钛可以起到阻挡层的作用。位线硬掩模层24A可以由相对于位线导电层23A和初步插塞22A具有刻蚀选择性的电介质材料来形成。位线硬掩模层24A可以包括硅氧化物或硅氮化物。根据本发明的实施例,位线硬掩模层24A可以由硅氮化物形成。

[0059] 参见图7,可以形成位线23和位线接触插塞22。可以通过利用位线掩模层的刻蚀工艺来形成位线23和位线接触插塞22。

[0060] 可以通过利用位线掩模层作为刻蚀阻挡层来刻蚀位线硬掩模层24A和位线导电层23A。结果,可以形成位线23和位线硬掩模24。可以通过刻蚀位线导电层23A来形成位线23。可以通过刻蚀位线硬掩模层24A来形成位线硬掩模24。

[0061] 随后,初步插塞22A可以被刻蚀为具有与位线23的线宽相同的线宽。结果,可以形成位线接触插塞22。可以在第一杂质区19之上形成位线接触插塞22。位线接触插塞22可以将第一杂质区19和位线23相互耦接。位线接触插塞22可以形成在位线接触孔21中。位线接触插塞22的线宽可以小于位线接触孔21的直径。因此,间隙25可以限定在位线接触插塞22的两侧。

[0062] 如上所述,由于形成了位线接触插塞22,所以可以在位线接触孔21中形成间隙25。这是因为位线接触插塞22通过刻蚀形成为小于位线接触孔21的直径。间隙25可以不形成为具有围绕位线接触插塞22的形状,而是可以独立地形成在位线接触插塞22的两个侧壁上。结果,一个位线接触插塞22和一对间隙25可以位于位线接触孔21中,并且一对间隙25可以被位线接触插塞22隔离。间隙25的底表面可以延伸到隔离层12的内部。间隙25的底表面可以位于比第一杂质区19的凹陷顶表面低的水平处。

[0063] 位线接触插塞22、位线23和位线硬掩模24以所述顺序堆叠的结构可以称为位线结构。从顶视图的角度看,换句话说,如图1所示,位线结构BL可以是在第一方向D1上较长地延伸的线形图案结构。

[0064] 参见图8,可以形成第一间隔件层26A。第一间隔件层26A可以包括硅氮化物。

[0065] 参见图9,缓冲层27A和间隙填充材料层28A可以顺序地形成在第一间隔件层26A之上。缓冲层27A可以覆盖第一间隔件层26A之上的位线硬掩模24的上端部分和上端部分的侧壁。缓冲层27A可以具有悬垂形状并且缓冲层27A可以非共形地形成。因此,缓冲层27A可以不位于位线23的两个侧壁上。缓冲层27A可以包括硅氧化物。

[0066] 间隙填充材料层28A可以填充间隙25。间隙填充材料层28A和第一间隔件层26A可以由相同的材料形成,但是间隙填充材料层28A可以比第一间隔件层26A厚。间隙填充材料

层28A可以包括硅氮化物。

[0067] 参见图10,可以形成填充间隙25的间隙填充间隔件28。可以执行间隙填充材料层28A的修整工艺以形成间隙填充间隔件28。间隙填充材料层28A的修整工艺可以通过回蚀工艺来执行,缓冲层27A可以保护第一间隔件层26A的上端部的侧壁。

[0068] 在形成间隙填充间隔件28之后,可以去除缓冲层27A。

[0069] 间隙填充间隔件28的上表面可以位于比位线接触插塞22的上表面低的水平处。根据本发明的另一实施例,间隙填充间隔件28的上表面和位线接触插塞22的上表面可以位于相同水平处。

[0070] 间隙25可以填充有第一间隔件层26A和间隙填充间隔件28的双层。间隙填充间隔件28可以称为电介质插塞或插塞间隔件。根据本发明的另一实施例,间隙填充间隔件28可以由硅氧化物或低k材料形成。

[0071] 在形成间隙填充间隔件28之后,可以在相邻位线23之间限定线型开口L0。第一间隔件层26A的单层可以保留在位线23和位线硬掩模24的两个侧壁上。第一间隔件层26A和间隙填充间隔件28的双层可以保留在位线接触插塞22的两个侧壁上。

[0072] 参见图11,可以在间隙填充间隔件28和第一间隔件层26A之上形成牺牲间隔件层29A。牺牲间隔件层29A和第一间隔件层26A可以包括相同的材料。例如,牺牲间隔件层29A可以包括硅氮化物。

[0073] 参见图12,可以在牺牲间隔件层29A之上形成牺牲层30A。牺牲层30A可以填充在位线结构之间并且可以包括硅氧化物,例如旋涂电介质(SOD)材料。

[0074] 随后,牺牲层30A和牺牲间隔件层29A可以被平坦化以暴露出位线硬掩模24的上表面。在牺牲层30A被平坦化之后,牺牲间隔件29可以位于位线结构之间。

[0075] 在牺牲层30A的平坦化工艺之后,第一间隔件层26A的一部分可以被平坦化以形成第一间隔件26。

[0076] 参见图13,可以在牺牲层30A中形成孔状开口31。可以通过刻蚀牺牲层30A来形成孔状开口31。在位线23的延伸方向上,换言之,在相邻的位线结构之间,可以交替地形成孔状开口31和牺牲层30A。孔状开口31从顶视图的角度可以具有矩形孔形状。

[0077] 参见图14,可以形成填充孔状开口31的插塞隔离层32A。插塞隔离层32A可以包括硅氮化物或低k材料。根据本发明的另一实施例,插塞隔离层32A可以包括含硼硅氮化物。

[0078] 参见图15,可以去除牺牲层30A。因此,可以在插塞隔离层32A之间形成多个初始接触开口33A。初始接触开口33A可以形成在位线结构之间的牺牲间隔件29中。初始接触开口33A可以具有第一线宽W1。从顶视图的角度看,初始接触开口33A可以具有矩形孔形状,例如正方形或矩形。

[0079] 参见图16,可以修整牺牲间隔件29和插塞隔离层32A。牺牲间隔件29和插塞隔离层32A可以通过回蚀工艺来修整。作为修整工艺的结果,可以形成接触开口33。接触开口33可以具有第二线宽W2。可以通过初始接触开口33A的扩展来获得接触开口33。

[0080] 可以去除位线结构之间的所有牺牲间隔件29,并且可以将接触开口33之下的牺牲间隔件29进行凹陷。根据本发明的另一实施例,可以去除接触开口33之下的所有牺牲间隔件29。

[0081] 参见图17,可以在接触开口33之上形成金属牺牲材料层34A。可以在牺牲间隔件29

和插塞隔离层之上共形地形成金属牺牲材料层34A。金属牺牲材料层34A可以包括氮化钛。

[0082] 参见图18,可以形成金属牺牲间隔件34。为了形成金属牺牲间隔件34,可以刻蚀金属牺牲材料层34A。

[0083] 金属牺牲间隔件34可以具有围绕接触开口33的侧壁的形状。金属牺牲间隔件34的上表面可以位于比位线硬掩模24的上表面低的水平处。金属牺牲间隔件34可以比第一间隔件26厚。

[0084] 参见图19,可以刻蚀下部材料(例如,位于接触开口33之下的材料/层)。可以刻蚀下部材料以自对准到接触开口33。结果,可以在位线结构之间形成暴露出有源区13的一部分的多个凹陷区35。可以利用各向异性刻蚀或各向异性刻蚀和各向同性刻蚀的组合来形成凹陷区35。例如,在通过位线结构之间的接触开口33暴露出的结构中,可以顺序地且各向异性地刻蚀第一间隔件26、硬掩模层14和间隙填充间隔件28,然后可以各向同性地刻蚀暴露的有源区13的一部分。有源区13和间隙填充间隔件28的部分可以由凹陷区35暴露出。

[0085] 凹陷区35可以延伸到衬底11的内部。在形成凹陷区35的同时,隔离层12和第二杂质区20可以被凹陷到预定深度。凹陷区35的底表面可以位于比位线接触插塞22的上表面低的水平处。凹陷区35的底表面可以位于比位线接触插塞22的底表面高的水平处。接触开口33和凹陷区35可以相互耦接。接触开口33和凹陷区35的垂直结构可以称为“存储节点接触孔”。

[0086] 在形成凹陷区35之后,第一间隔件26和金属牺牲间隔件34的双层可以保留在位线结构的侧壁上,而金属牺牲间隔件34的单层可以保留在插塞隔离层32的侧壁上。

[0087] 参见图20,可以在金属牺牲间隔件34之上形成下插塞层36A。下插塞层36A可以完全地填充凹陷区35并且可以部分地填充接触开口33。下插塞层36A可以接触第二杂质区20。下插塞层36A可以与位线结构邻近。从顶视图的角度看,多个下插塞层36A可以位于多个位线结构之间。在平行于位线23的方向上,多个下插塞层36A和多个插塞隔离层32可以交替地位于相邻的位线结构之间。

[0088] 下插塞层36A可以包括含硅材料。下插塞层36A可以包括多晶硅,并且多晶硅可以掺杂有杂质。下插塞层36A可以耦接至第二杂质区20。下插塞层36A的上表面可以高于位线23的上表面。在沉积多晶硅以填充接触开口33和凹陷区35以形成下插塞层36A之后,可以顺序地执行平坦化和回蚀工艺。

[0089] 参见图21,可以去除金属牺牲间隔件34。因此,可以从下插塞层36A与位线23之间的区域去除金属牺牲间隔件34,并且还可以从插塞隔离层32与下插塞层36A之间的区域去除金属牺牲间隔件34。

[0090] 去除了金属牺牲间隔件34的空间可以简称为“气隙36G”。

[0091] 参见图22,可以形成填充气隙36G的第二间隔件层37A。第二间隔件层37A可以包括硅氧化物。可以通过选择性地氧化下插塞层36A的部分来形成第二间隔件层37A。可以通过氧化第一间隔件层26A和插塞隔离层32的部分来形成第二间隔件层27A。

[0092] 用于形成第二间隔件层37A的氧化工艺可以包括自由基氧化和/或干法氧化。例如,可以首先执行自由基氧化以形成第二间隔件层37A,然后可以顺序地执行干法氧化。根据本发明的另一实施例,为了形成第二间隔件层37A,可以在薄沉积超低温氧化物(ULTO)之后执行干法氧化。

[0093] 在形成第二间隔件层37A期间,下插塞层36A的部分36B可能会丢失和氧化。可以保留下插塞层36A,如附图标记“36”所示,在下文中其将简称为“下插塞36”。

[0094] 参见图23,可以形成第二间隔件37。可以通过选择性地刻蚀第二间隔件层37A来形成第二间隔件37。第二间隔件37的上表面可以位于与下插塞36的上表面相同的水平处。

[0095] 第二间隔件37可以位于下插塞36与位线23之间,第一间隔件26插置在它们之间,而第二间隔件37也可以位于在插塞隔离层32与下插塞36之间。

[0096] 参见图24,可以形成上插塞38。下插塞36和上插塞38可以由相同的材料形成。上插塞38可以包括多晶硅。上插塞38的线宽可以大于下插塞36的线宽。可以通过沉积多晶硅并执行回蚀工艺来形成上插塞38。

[0097] 参见图25,可以在上插塞38之上形成接触间隔件39。接触间隔件39可以包括硅氧化物。可以通过沉积硅氧化物并执行回蚀工艺来形成接触间隔件39。接触间隔件39可以部分地暴露出上插塞38的上表面。可以在上插塞38之上的插塞隔离层32的侧壁上形成接触间隔件39。此外,可以在上插塞38之上的第一间隔件26之上形成接触间隔件39。

[0098] 参见图26,可以在上插塞38之上形成欧姆接触层40。欧姆接触层40可以包括金属硅化物。可以执行可硅化金属层的沉积和退火,以形成欧姆接触层40。结果,在硅化的金属层和上插塞38之间的界面处可以发生硅化,从而形成金属硅化物层。欧姆接触层40可以包括硅化钴。根据本发明的实施例,欧姆接触层40可以包括“ CoSi_2 相”硅化钴。

[0099] 当形成 CoSi_2 相的硅化钴作为欧姆接触层40时,可以提高接触电阻,同时形成低电阻的硅化钴。

[0100] 可以在欧姆接触层40之上形成着陆焊盘41。可以通过沉积含金属层并执行刻蚀工艺来形成着陆焊盘41。着陆焊盘41可以包括金属。着陆焊盘41可以包括含钨材料。着陆焊盘41可以包括钨层或钨化合物。着陆焊盘41可以具有氮化钛衬垫层和钨层的堆叠结构。着陆焊盘41的上端部分可以延伸以与位线硬掩模24的上表面重叠。

[0101] 下插塞36、上插塞38、欧姆接触层40和着陆焊盘41可以形成存储节点接触插塞SNC。

[0102] 如上所述,第一间隔件26和间隙填充间隔件28可以位于位线接触插塞22与下插塞36之间。第一间隔件26和第二间隔件37可以位于位线23与下插塞36之间。由于第一间隔件26包括硅氮化物并且第二间隔件37包括硅氧化物,因此可以在位线23与下插塞36之间形成具有氮化物-氧化物(NO)结构的间隔件结构。第二间隔件37可以比第一间隔件26厚。

[0103] 第一间隔件26可以位于上插塞38与位线硬掩模24之间。

[0104] 图27至图32是示出根据本发明的另一实施例的用于制造半导体器件的方法的截面图。在下文中,图27至图32所示的处理可以与图3至图26所示的处理类似地进行。

[0105] 首先,如图3至图15所示,可以在插塞隔离层32A之间形成多个初始接触开口33A。可以在位线结构之间的牺牲间隔件29中形成初始接触开口33A。当从顶视图看时,初始接触开口33A可以具有矩形孔形状。

[0106] 随后,参见图27,可以刻蚀初始接触开口33A之下的下部材料。可以刻蚀下部材料以自对准到初始接触开口33A。结果,暴露出有源区13的一部分的多个凹陷区35可以形成在位线结构之间。可以利用各向异性刻蚀或各向异性刻蚀和各向同性刻蚀的组合来形成凹陷区35。例如,在通过位线结构之间的初始接触开口33A暴露的结构中,可以各向异性地刻蚀

第一间隔件26、硬掩模层14、间隙填充间隔件28和牺牲间隔件29,并且可以各向同性地刻蚀暴露的有源区13的一部分。有源区13和间隙填充间隔件28的部分可以由凹陷区35暴露出。

[0107] 凹陷区35可以延伸到衬底11的内部。在形成凹陷区35的同时,隔离层12和第二杂质区20可以被凹陷到预定深度。凹陷区35的底表面可以位于比位线接触插塞22的上表面低的水平处。凹陷区35的底表面可以位于比位线接触插塞22的底表面高的水平处。接触开口33A和凹陷区35可以相互耦接。接触开口33A和凹陷区35的垂直结构可以称为“存储节点接触孔”。

[0108] 参见图28,可以形成下插塞51。下插塞51可以完全地填充凹陷区35并且可以部分地填充接触开口33A。下插塞51可以接触第二杂质区20。下插塞51可以与位线结构相邻。从顶视图的角度看,多个下插塞51可以位于位线结构之间。在平行于位线23的方向上,多个下插塞51和多个插塞隔离层32A可以交替地设置在相邻的位线结构之间。

[0109] 下插塞51可以包括含硅材料。下插塞51可以包括多晶硅。多晶硅可以掺杂有杂质。下插塞51可以耦接至第二杂质区20。下插塞51的上表面可以低于位线23的上表面。可以通过沉积多晶硅以填充接触开口33和凹陷区35并顺序地执行平坦化和回蚀工艺来形成下插塞51。

[0110] 参见图29,可以修整牺牲间隔件29和插塞隔离层32A。可以通过回蚀工艺来执行牺牲间隔件29和插塞隔离层32A的修整。可以通过修整工艺来形成接触开口33。可以通过初始接触开口33A的扩展来获得接触开口33。

[0111] 牺牲间隔件29的一部分可以在A-A'方向上保留在下插塞51的上侧壁上。在B-B'方向上,可以修整插塞隔离层32A,如附图标记“32”所示。

[0112] 参见图30,可以形成第二间隔件层52A。可以通过沉积硅氧化物的工艺和回蚀工艺来形成第二间隔件层52A。

[0113] 参见图31,可以在第二间隔件层52A和下插塞51之上形成中间插塞53。中间插塞53可以包括含硅材料。中间插塞53可以包括多晶硅,并且多晶硅可以掺杂有杂质。可以在下插塞51之上形成中间插塞53。中间插塞53的上表面可以位于比位线23的上表面高的水平处。可以通过沉积多晶硅以填充接触开口33的剩余部分并顺序地执行平坦化和回蚀工艺来形成中间插塞53。

[0114] 随后,可以形成第二间隔件52。可以通过选择性地刻蚀第二间隔件层52A来形成第二间隔件52。第二间隔件52的上表面可以位于与中间插塞53的上表面相同的水平处。

[0115] 第二间隔件52可以位于中间插塞53与位线23之间,第一间隔件26插置在它们之间。第二间隔件52也可以位于插塞隔离层32与中间插塞53之间。

[0116] 参见图32,可以形成上插塞54。上插塞54可以包括多晶硅。上插塞54的线宽可以大于下插塞51和中间插塞53的线宽。

[0117] 随后,如图25和图26所示,可以形成接触间隔件39和着陆焊盘41。

[0118] 图33至图42是示出根据本发明的另一实施例的用于制造半导体器件的方法的截面图。在下文中,图33至图42所示的处理可以与图3至图26所示的处理类似地进行。

[0119] 在图10的处理之后,如图33所示,可以在第一间隔件层26A之上形成金属材料层61A。可以共形地形成金属材料层61A。金属材料层61A可以包括氮化钛。

[0120] 参见图34,可以形成金属间隔件61。为了形成金属间隔件61,可以刻蚀金属材料层

61A。

[0121] 参见图35,可以在金属间隔件61之上形成电介质内衬层62A。电介质内衬层62A可以包括硅氮化物。

[0122] 随后,如图12至图15所示的一系列处理可以在电介质内衬层62A之上执行。结果,如图36所示,可以在插塞隔离层32A之间形成多个初始接触开口33A。初始接触开口33A可以位于位线结构之间。初始接触开口33A可以具有第一线宽W1。从顶视图的角度看,初始接触开口33A可以具有矩形孔形状。

[0123] 参见图37,可以修整电介质内衬层62A和插塞隔离层32A。电介质内衬层62A和插塞隔离层32A的修整可以通过回蚀工艺来执行。作为修整工艺的结果,可以形成接触开口33。接触开口33可以具有第二线宽W2。可以通过初始接触开口33A的扩展来获得接触开口33。

[0124] 可以从位线结构之间的区域去除所有电介质内衬层62A,并且可以将接触开口33之下的电介质内衬层62A进行凹陷。在去除电介质内衬层62A之后,金属间隔件61可以保留在位线23的两个侧壁上。电介质内衬图案62可以保留在修整的插塞隔离层32之下。

[0125] 参见图38,可以刻蚀在接触开口33之下的下部材料。可以刻蚀下部材料以自对准到金属间隔件61和插塞隔离层32。结果,暴露出有源区13的一部分的多个凹陷区35可以形成在相邻的位线结构之间。可以利用各向异性刻蚀或各向异性刻蚀和各向同性刻蚀的组合来形成凹陷区35。例如,可以在通过位线结构之间的接触开口33暴露出的结构中顺序地且各向异性地刻蚀第一间隔件层26A、硬掩模层14和间隙填充间隔件28,并且可以各向同性地刻蚀之后暴露出的有源区13的一部分。凹陷区35可以暴露出有源区13和间隙填充间隔件28的部分。

[0126] 凹陷区35可以延伸到衬底11的内部。在形成凹陷区35的同时,隔离层12和第二杂质区20可以被凹陷到预定深度。凹陷区35的底表面可以位于比位线接触插塞22的上表面低的水平处。凹陷区35的底表面可以位于比位线接触插塞22的底表面高的水平处。接触开口33和凹陷区35可以相互耦接。接触开口33和凹陷区35的垂直结构可以称为“存储节点接触孔”。

[0127] 在形成凹陷区35之后,第一间隔件26和金属间隔件61的双层可以保留在位线结构的侧壁上。金属间隔件61可以不保留在插塞隔离层32的侧壁上。电介质内衬层62和第一间隔件26可以位于插塞隔离层32之下。

[0128] 参见图39,可以形成下插塞层36A。下插塞层36A可以完全地填充凹陷区35并且可以部分地填充接触开口33。下插塞层36A可以接触第二杂质区20。下插塞层36A可以与位线结构邻近。从顶视图的角度看,多个下插塞层36A可以位于位线结构之间。在平行于位线23的方向上,多个下插塞层36A和多个插塞隔离层32可以交替地位于相邻的位线23之间。

[0129] 下插塞层36A可以包括含硅材料。下插塞层36A可以包括多晶硅,并且多晶硅可以掺杂有杂质。下插塞层36A可以耦接至第二杂质区20。下插塞层36A的上表面可以高于位线23的上表面。可以通过沉积多晶硅以填充接触开口33和凹陷区35并顺序地执行平坦化和回蚀工艺来形成下插塞层36A。

[0130] 参见图40,可以去除金属间隔件61。结果,可以从下插塞层36A与位线23之间的区域去除金属间隔件61。

[0131] 随后,可以形成填充去除了金属间隔件61的空间的第二间隔件层37A。第二间隔件

层37A可以包括硅氧化物。可以通过选择性地氧化下插塞层36A的部分来形成第二间隔件层37A。可以通过氧化第一间隔件层26A和插塞隔离层32的部分来形成第二间隔件层27A。

[0132] 用于形成第二间隔件层37A的氧化工艺可以包括自由基氧化和/或干法氧化。例如,可以首先执行自由基氧化以形成第二间隔件层37A,然后可以顺序地执行干法氧化。根据本发明的另一实施例,为了形成第二间隔件层37A,可以在薄沉积低温氧化物(ULTO)之后执行干法氧化。

[0133] 在形成第二间隔件层37A期间,下插塞36A的部分36B可以丢失和氧化。可以修整位线结构之间的下插塞,如附图标记36所示,并且可以不修整插塞隔离层32之间的下插塞。

[0134] 参见图41,可以形成第二间隔件37。可以通过选择性地刻蚀第二间隔件层37A来形成第二间隔件37。第二间隔件37的上表面可以位于与下插塞36的上表面相同的水平处。

[0135] 第二间隔件37可以位于下插塞36与位线23之间,第一间隔件26插置在它们之间。

[0136] 参见图42,可以形成上插塞38。上插塞38可以包括多晶硅。上插塞38的线宽可以大于下插塞36的线宽。

[0137] 随后,如图25和26所示,可以形成接触间隔件39和着陆焊盘41。

[0138] 图43至图48是示出根据本发明另一实施例的用于制造半导体器件的方法的截面图。在下文中,图43至图48中所示的处理可以与图3至图26和图33至图42所示的处理类似地进行。

[0139] 参见图33至图37,可以在第一间隔件层26A之上形成金属间隔件61。

[0140] 随后,如图43所示,可以形成下插塞36。下插塞36可以完全地填充凹陷区35并且可以部分地填充接触开口33。下插塞36可以接触第二杂质区20。下插塞36可以与位线结构邻近。从顶视图的角度看,多个下插塞36可以位于位线结构之间。在平行于位线23的方向上,多个下插塞36和多个插塞隔离层32可以交替地位于相邻的位线23之间。

[0141] 下插塞36可以包括含硅材料。下插塞36可以包括多晶硅,并且多晶硅可以掺杂有杂质。下插塞36可以耦接至第二杂质区20。下插塞36的上表面可以位于比位线23的上表面低的水平处。可以通过沉积多晶硅以填充接触开口33和凹陷区35并顺序地执行平坦化和回蚀工艺来形成下插塞36。

[0142] 参见图44,可以形成附加的金属间隔件63。附加的金属间隔件63可以具有与金属间隔件61相同的高度。附加的金属间隔件63可以具有围绕插塞隔离层32的侧壁的形状。附加的金属间隔件63A可以暴露出下插塞36的一部分。

[0143] 可以在位线23的两个侧壁上形成第一间隔件26、金属间隔件61和附加的金属间隔件63的三层。可以在插塞隔离层32的侧壁上形成附加的金属间隔件63的单层。

[0144] 参见图45,可以形成中间插塞64。可以在第二金属间隔件63和下插塞36之上形成中间插塞64。中间插塞64可以包括含硅材料。中间插塞64可以包括多晶硅,并且多晶硅可以掺杂有杂质。可以在下插塞36之上形成中间插塞64。中间插塞64的上表面可以位于比位线23的上表面高的水平处。可以通过沉积多晶硅以填充接触开口33的剩余部分并顺序地执行平坦化和回蚀工艺来形成中间插塞64。

[0145] 金属间隔件61和附加的金属间隔件63可以位于中间插塞64与位线23之间,第一间隔件26插置在它们之间。附加的金属间隔件63可以位于插塞隔离层32与中间插塞64之间。

[0146] 参见图46,可以去除金属间隔件61和附加的金属间隔件63。结果,可以从中间插塞

64与位线23之间的区域去除金属间隔件61和附加的金属间隔件63,并且还可以从插塞隔离层32与中间插塞64之间的区域去除附加的金属间隔件63。可以去除金属间隔件61和附加的金属间隔件63以形成气隙64G。

[0147] 参见图47,可以形成第二间隔件65以填充去除了金属间隔件的气隙64G。第二间隔件65可以包括硅氧化物。可以通过选择性地氧化中间插塞64的部分来形成第二间隔件65。

[0148] 用于形成第二间隔件65的氧化工艺可以包括自由基氧化和/或干法氧化。例如,可以首先执行自由基氧化以形成第二间隔件65,然后可以顺序地执行干法氧化。根据本发明的另一个实施例,为了形成第二间隔件65,可以在薄沉积低温氧化物(ULTO)之后执行干法氧化。

[0149] 在第二间隔件65的形成期间,中间插塞64的部分可以丢失和氧化。

[0150] 第二间隔件65的上表面可以位于与中间插塞64的上表面相同的水平处。

[0151] 第二间隔件65可以位于中间插塞64与位线23之间,第一间隔件26插在它们之间,并且第二间隔件65也可以位于插塞隔离层32与中间插塞64之间。

[0152] 参见图48,可以形成上插塞38。上插塞38可以包括多晶硅。上插塞38的线宽可以大于下插塞36的线宽。

[0153] 随后,如图25和图26所示,可以形成接触间隔件39和着陆焊盘41。

[0154] 图49A至49D是详细示出形成存储节点接触插塞的方法的平面图。

[0155] 参见图15和图49A,可以形成插塞隔离层32A和初始接触开口33A。

[0156] 参见图16和图49B,可以执行牺牲间隔件29和插塞隔离层32的修整工艺。

[0157] 参见图20和49C,可以形成金属牺牲间隔件34和下插塞36A。

[0158] 参见图23和图49D,在去除金属牺牲间隔件34之后,可以形成第二间隔件层37A和修整的下插塞36。

[0159] 根据上述实施例,可以额外地确保接触开口33的空间,从而可以确保接触开口33的开口裕量。

[0160] 此外,由于面向位线23的存储节点接触插塞的尺寸(即,下插塞36的尺寸)减小,并且位线间隔件BLS的结构改变为N-0结构,因此可以减少位线寄生电容。

[0161] 此外,由于存储节点接触插塞的上插塞38具有比下插塞36更大的宽度,因此可以通过增加与随后的着陆焊盘41的接触面积来提高接触电阻。

[0162] 此外,不管插塞隔离层32的类型如何,可以通过使用干法刻蚀执行各向异性刻蚀工艺来确保接触开口33的面积。

[0163] 根据本发明的实施例,由于占据位线间隔件的硅氮化物的厚度减小,因此可以抑制寄生电容的增加。

[0164] 根据本发明的实施例,可以减小位线与存储节点接触插塞之间的寄生电容。

[0165] 根据本发明的实施例,由于确保了用于存储节点接触孔的附加空间,因此可以确保持存储节点接触孔的开口裕量。

[0166] 根据本发明的实施例,由于减小了面向位线的存储节点接触插塞的尺寸并且将位线间隔件的结构改变为氮化物-氧化物(N-0)结构,因此位线与存储节点接触塞之间的寄生电容可以减少。

[0167] 根据本发明的实施例,由于存储节点接触插塞的上插塞具有比下插塞更大的宽

度,因此可以通过增加与随后将形成的着陆焊盘的接触面积来提高接触电阻。

[0168] 根据本发明的实施例,不管插塞隔离层的类型如何,可以通过使用干法刻蚀执行各向异性刻蚀工艺来确保接触开口的区域。

[0169] 尽管已经参照特定实施例描述了本发明,但是对于本领域技术人员显然的是,在不脱离所附权利要求所限定的本发明的精神和范围的情况下可以进行各种改变和修改。

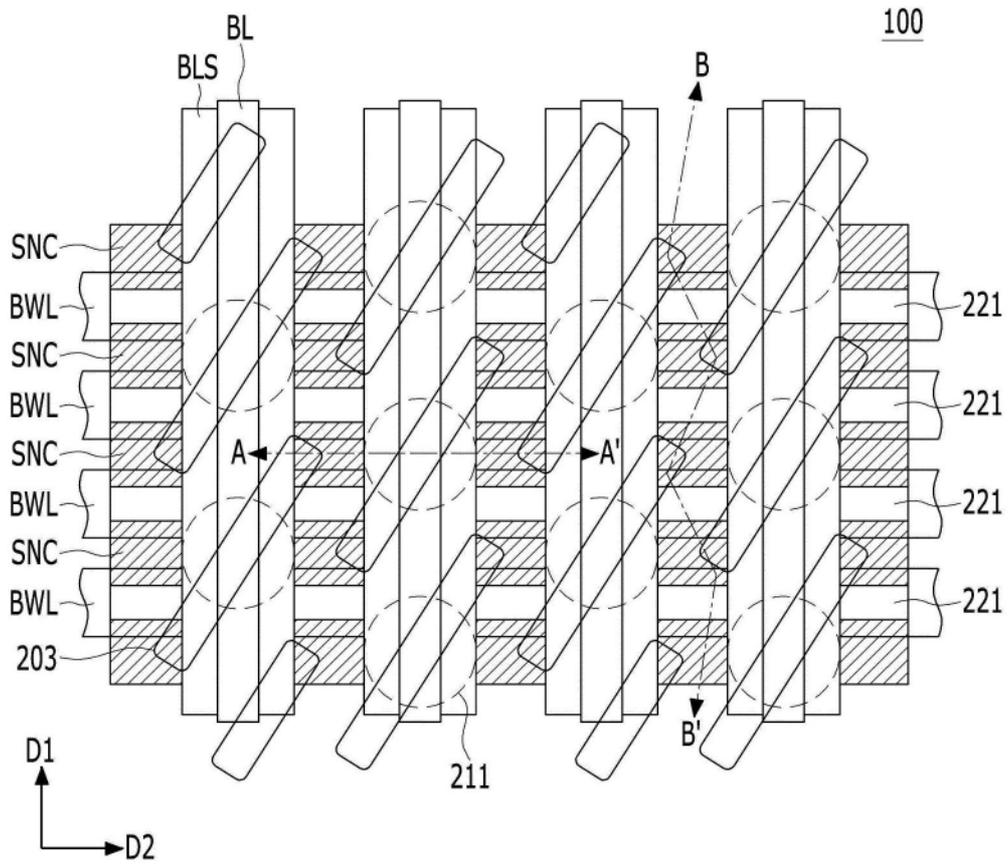


图1

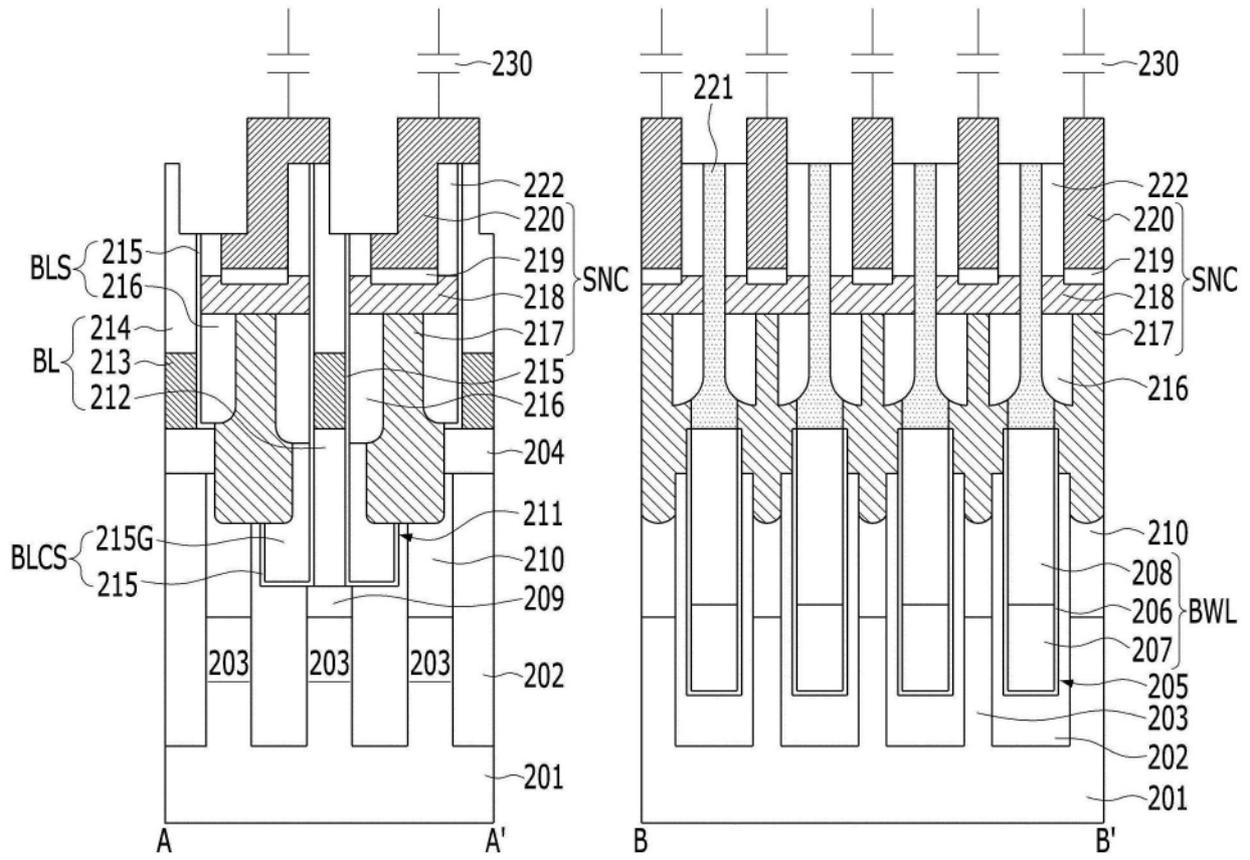


图2A

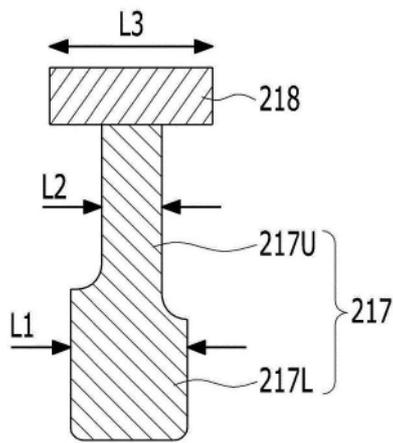


图2B

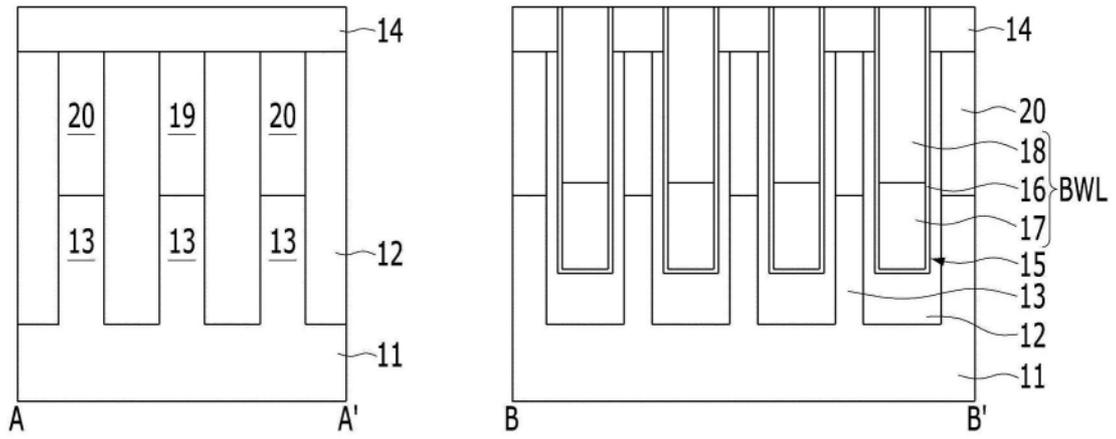


图3

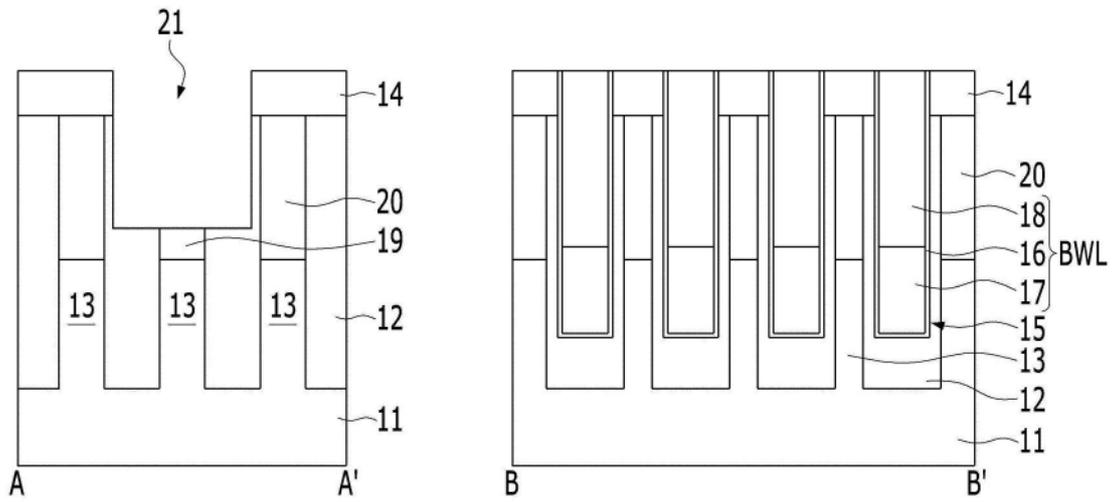


图4

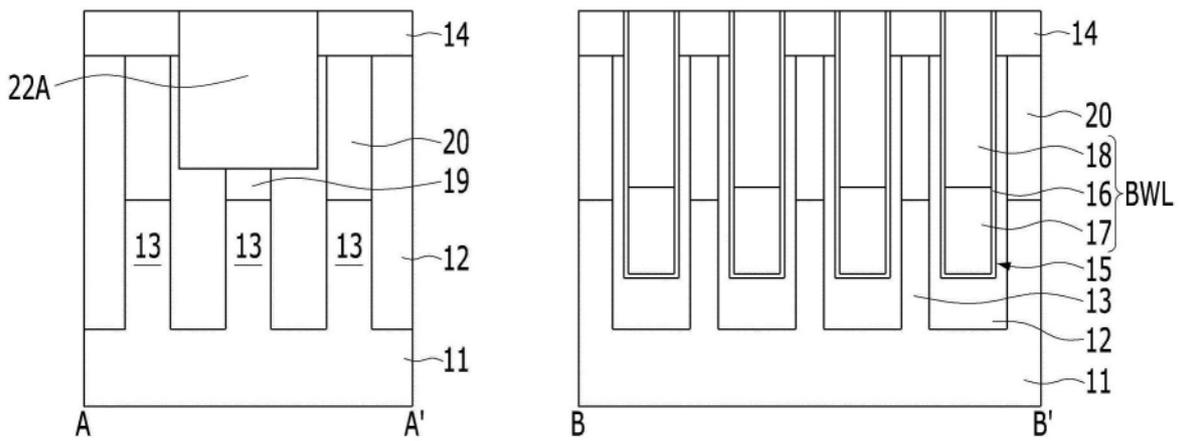


图5

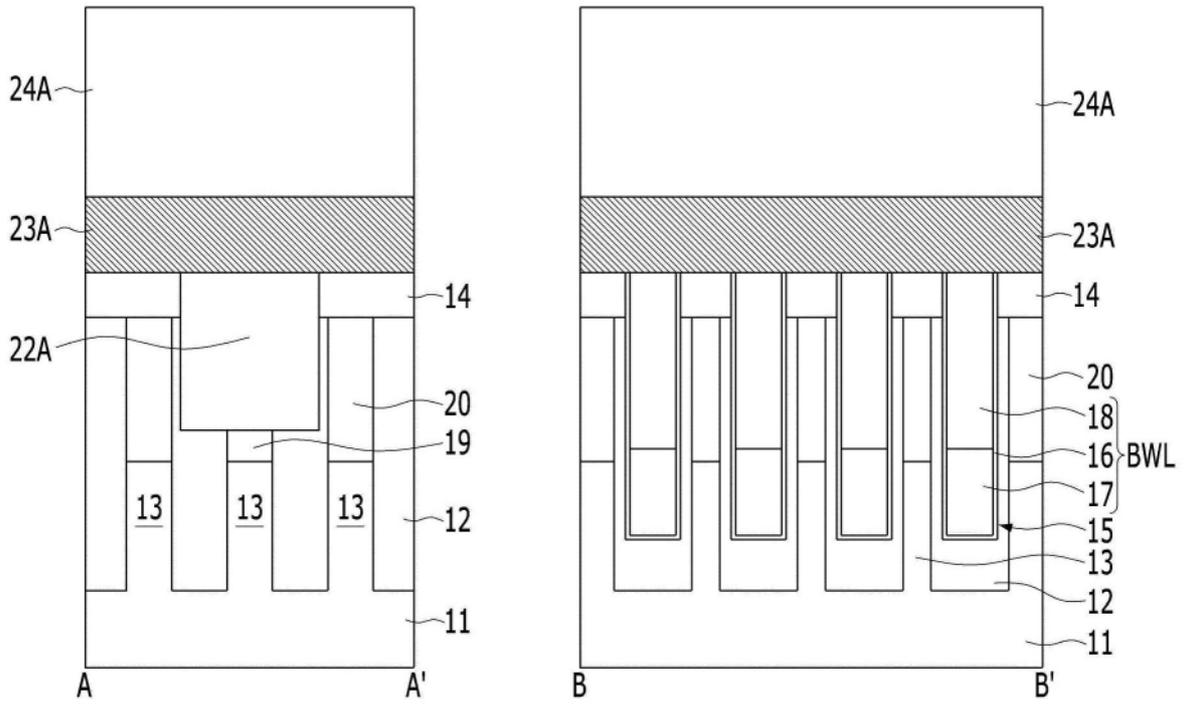


图6

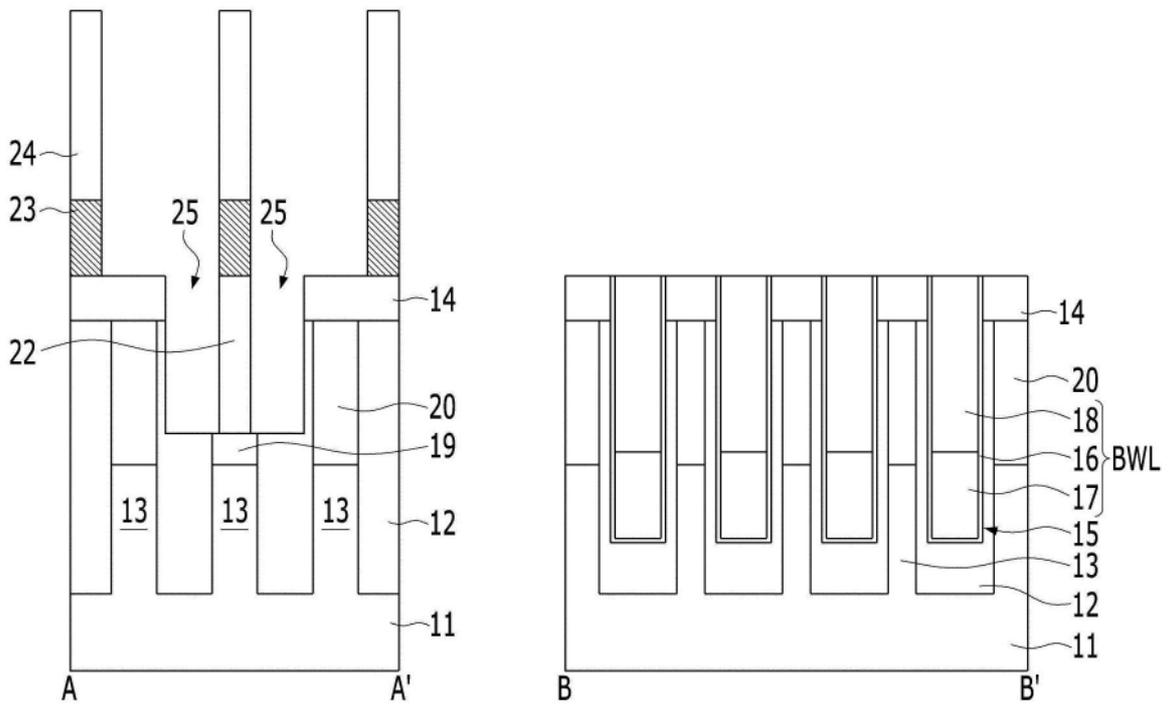


图7

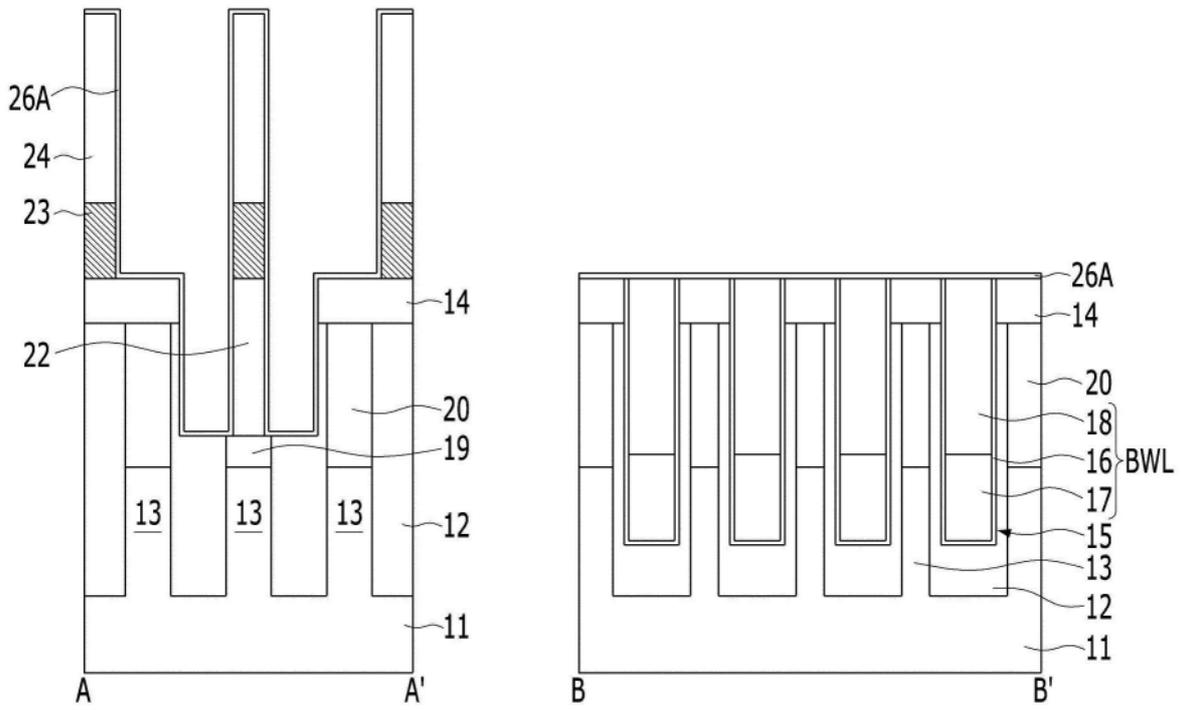


图8

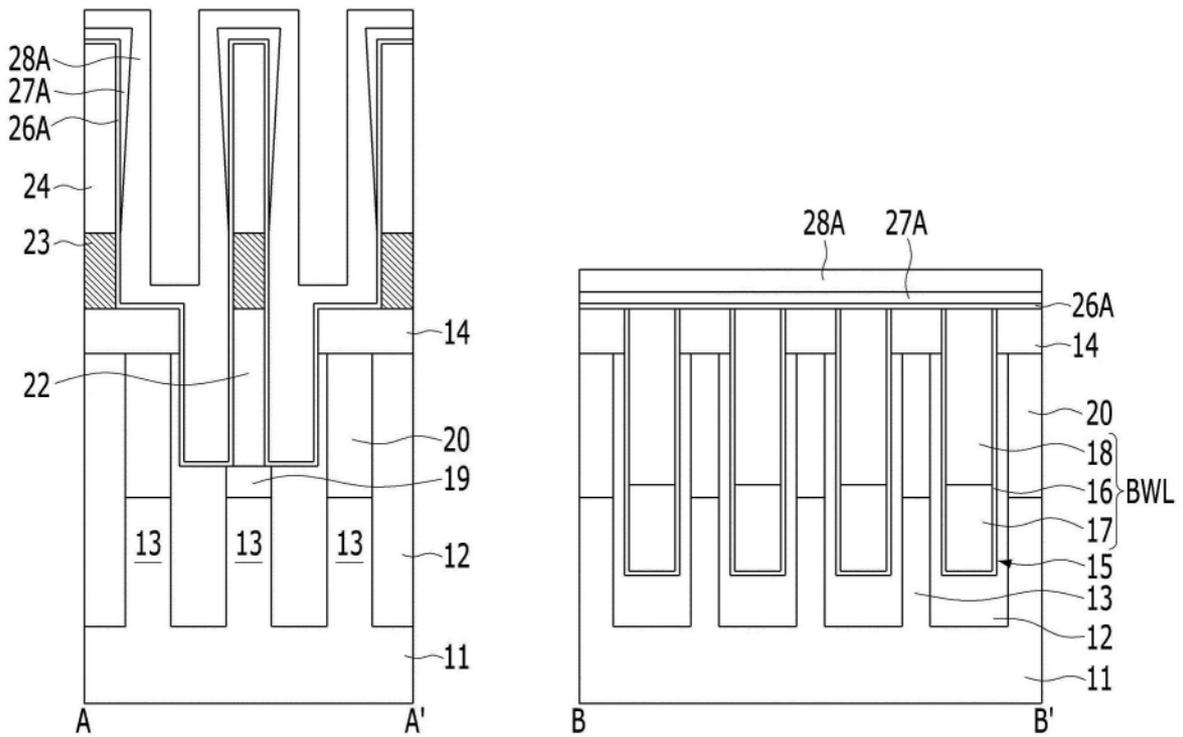


图9

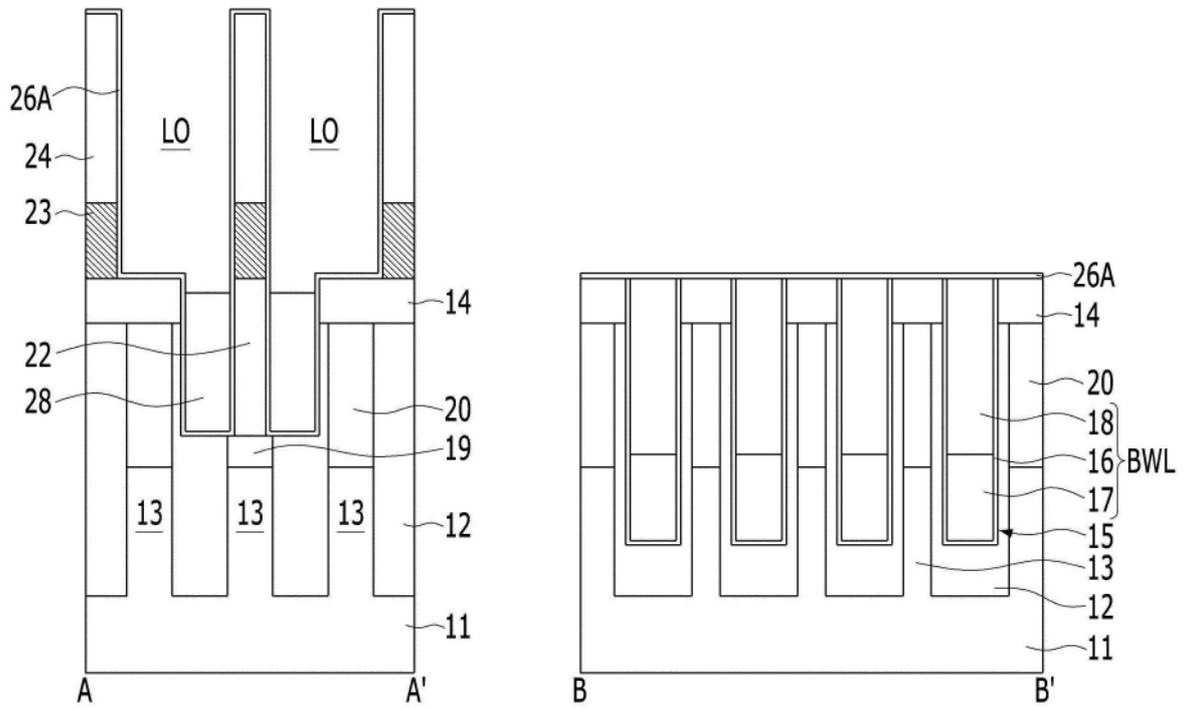


图10

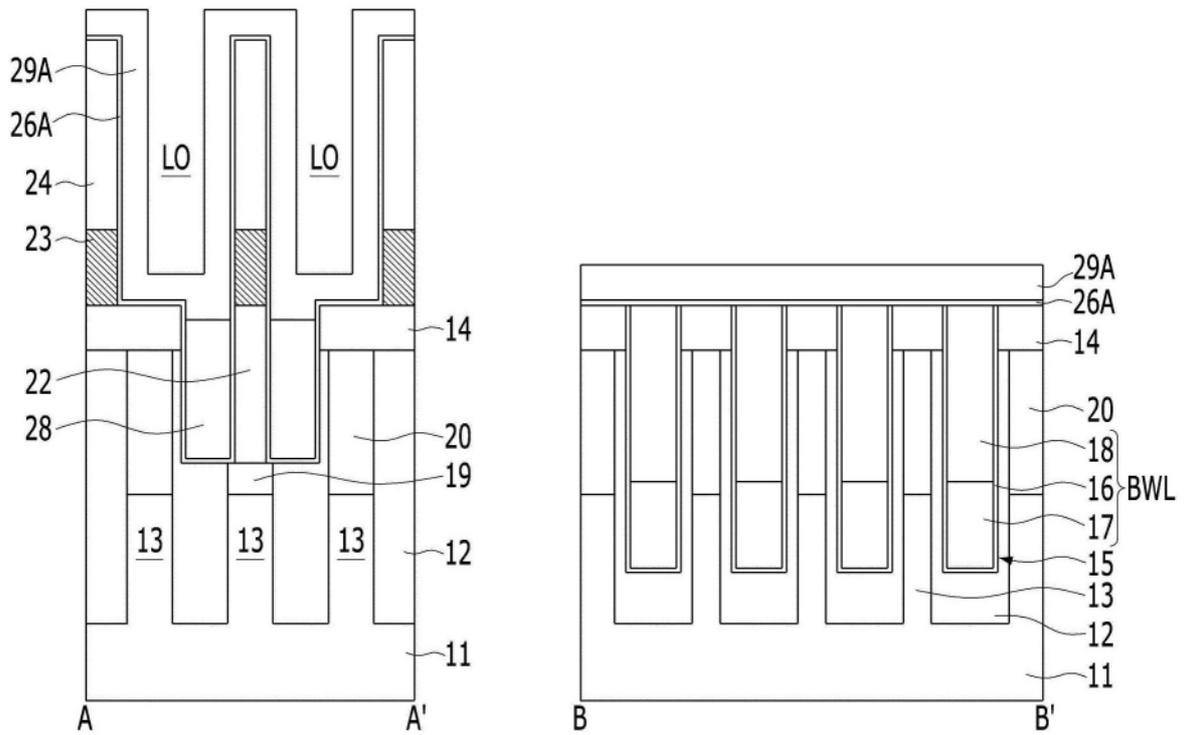


图11

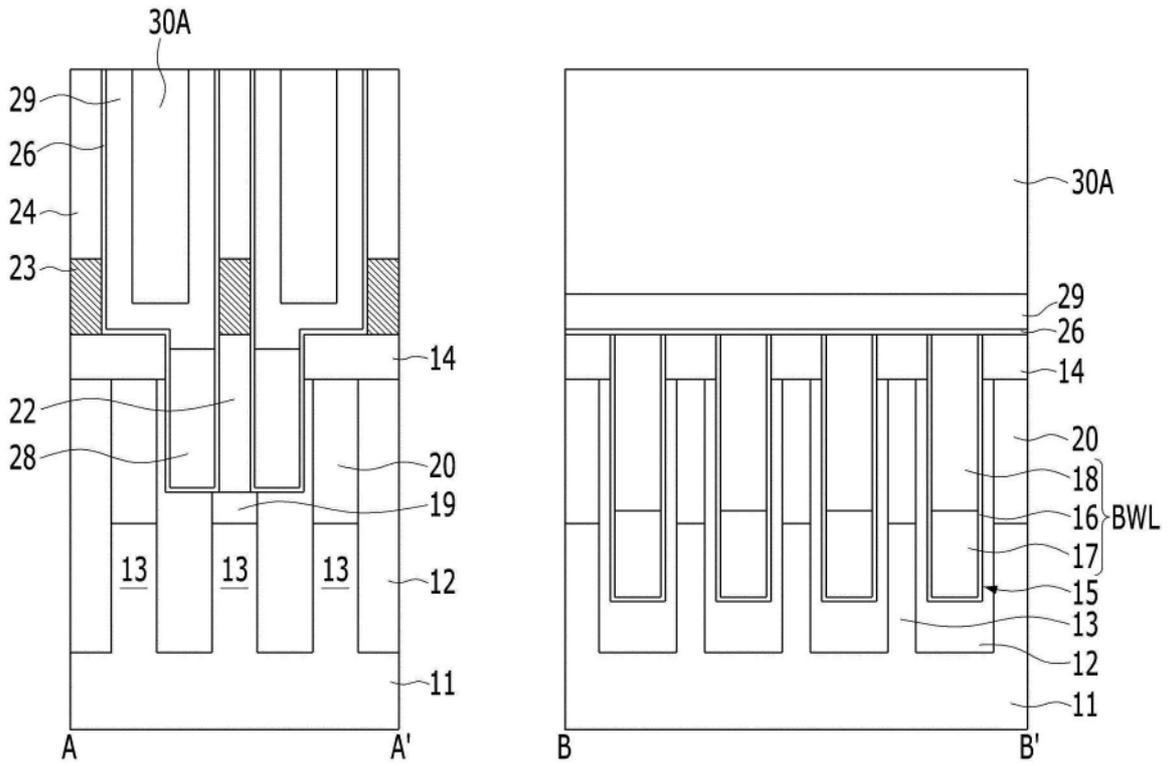


图12

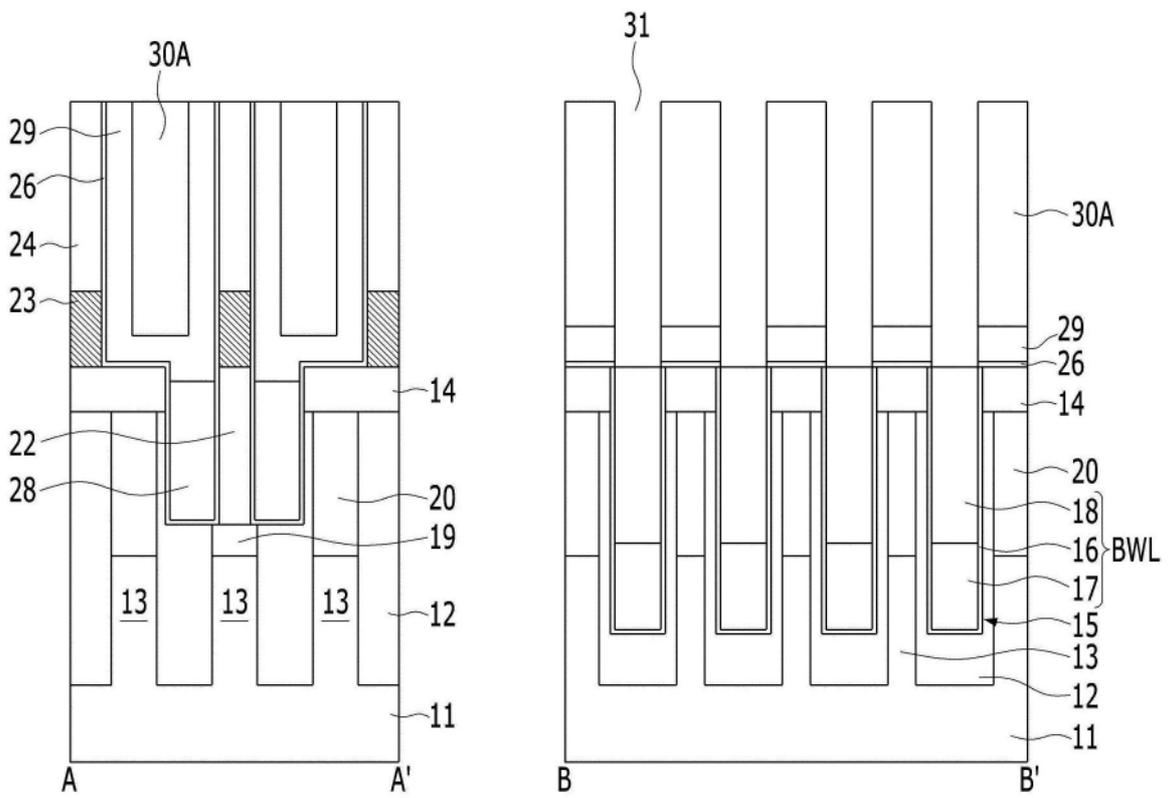


图13

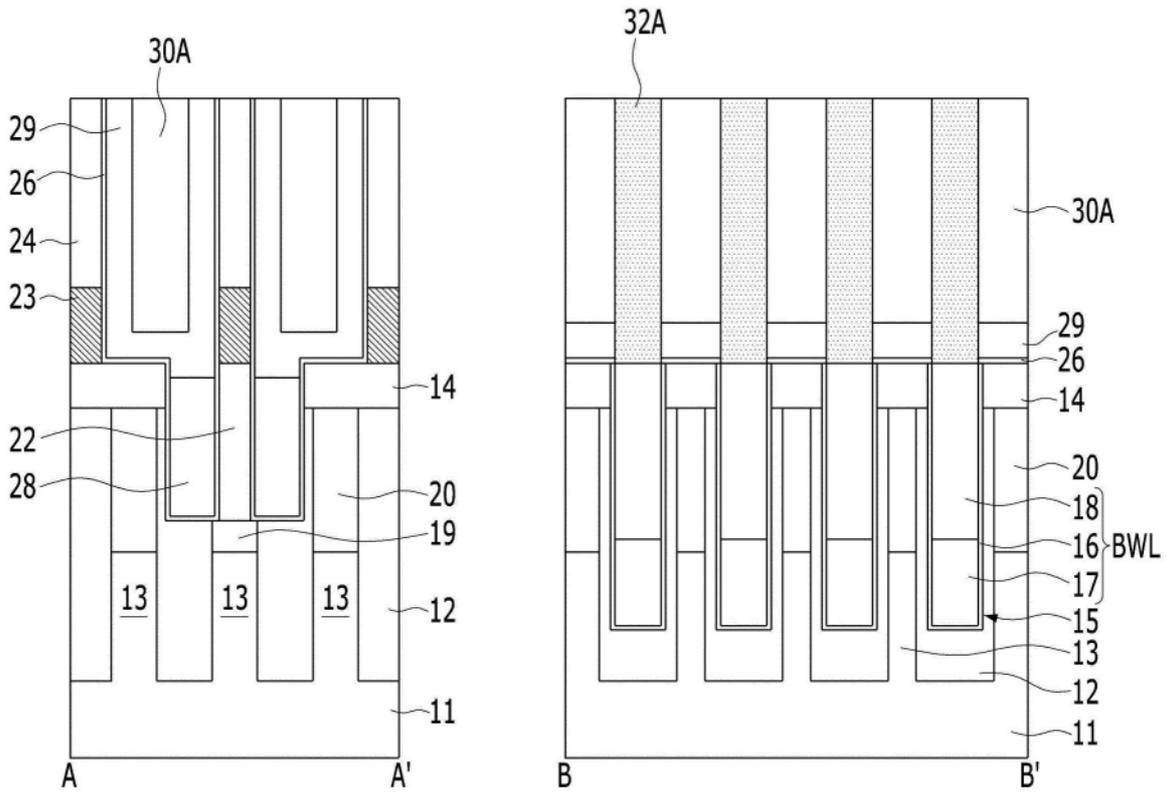


图14

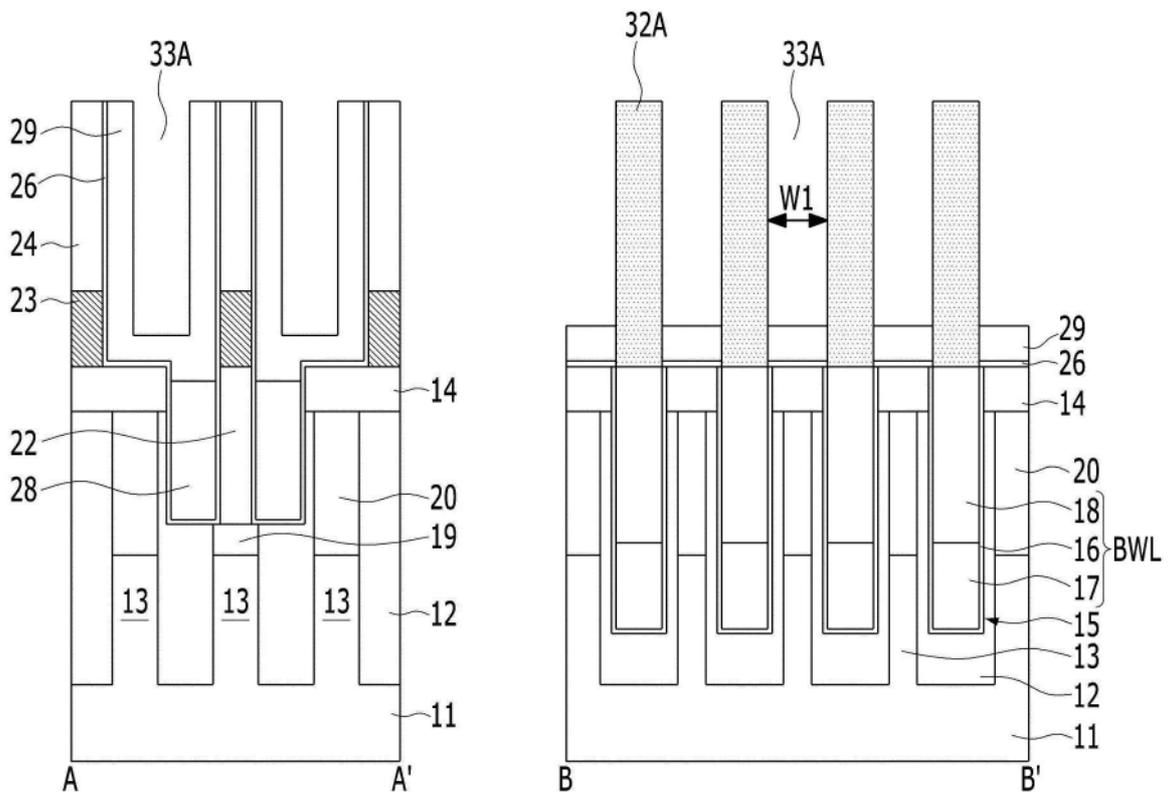


图15

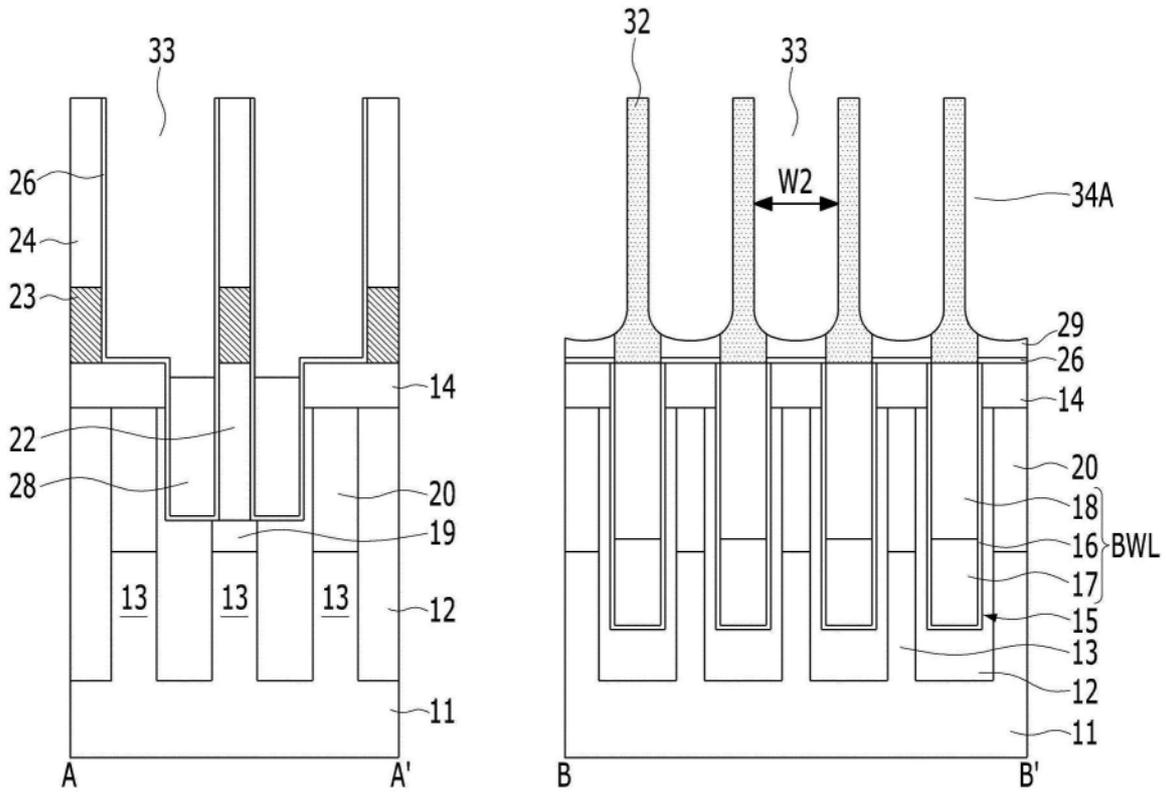


图16

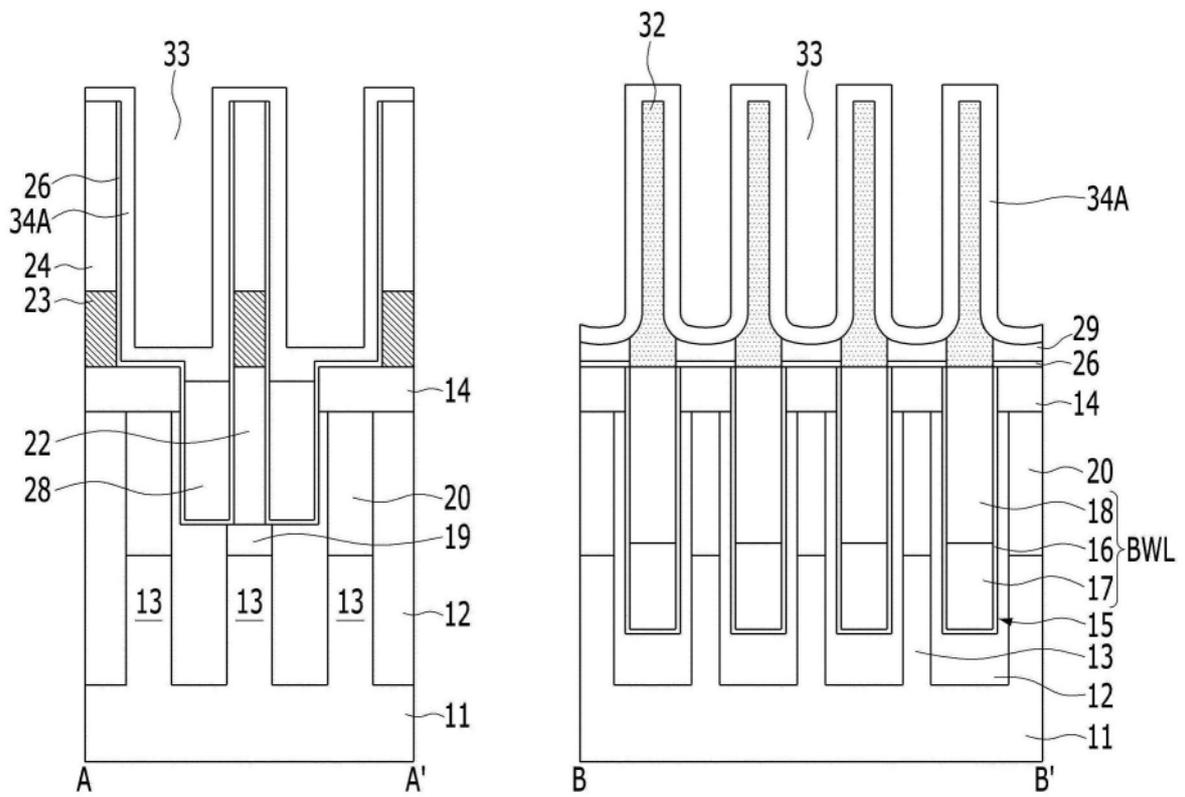


图17

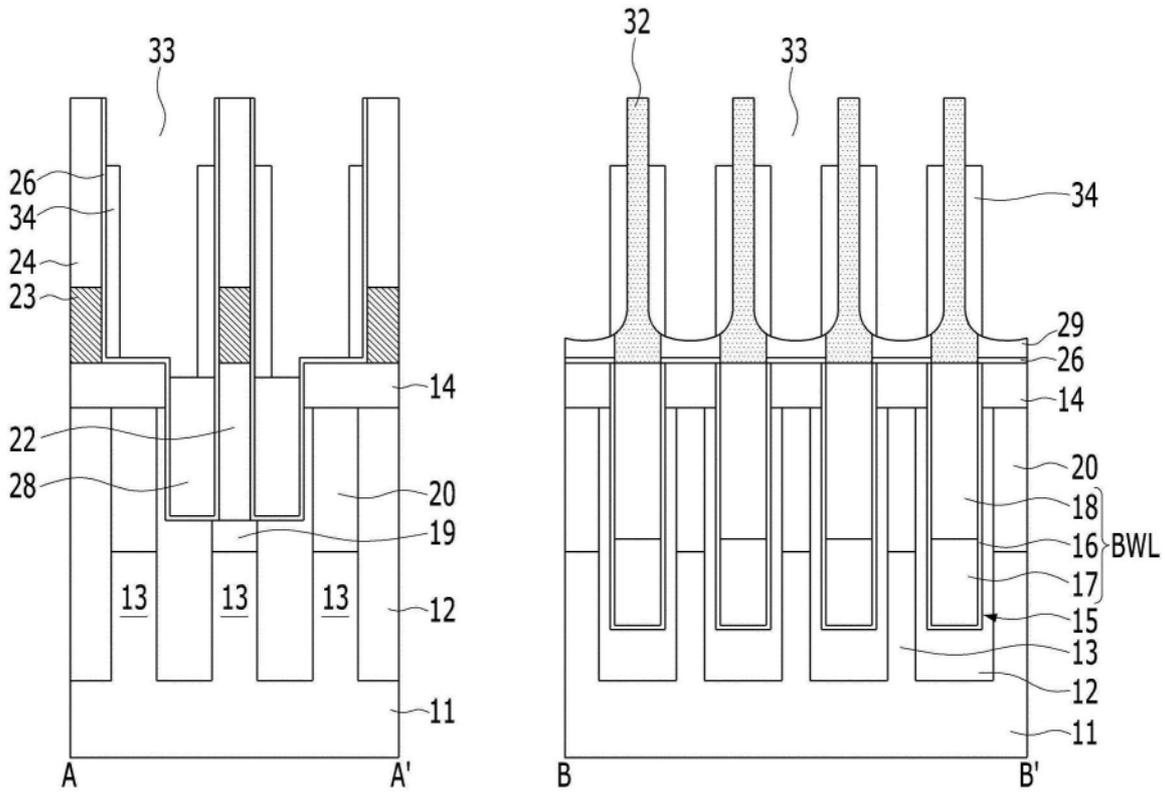


图18

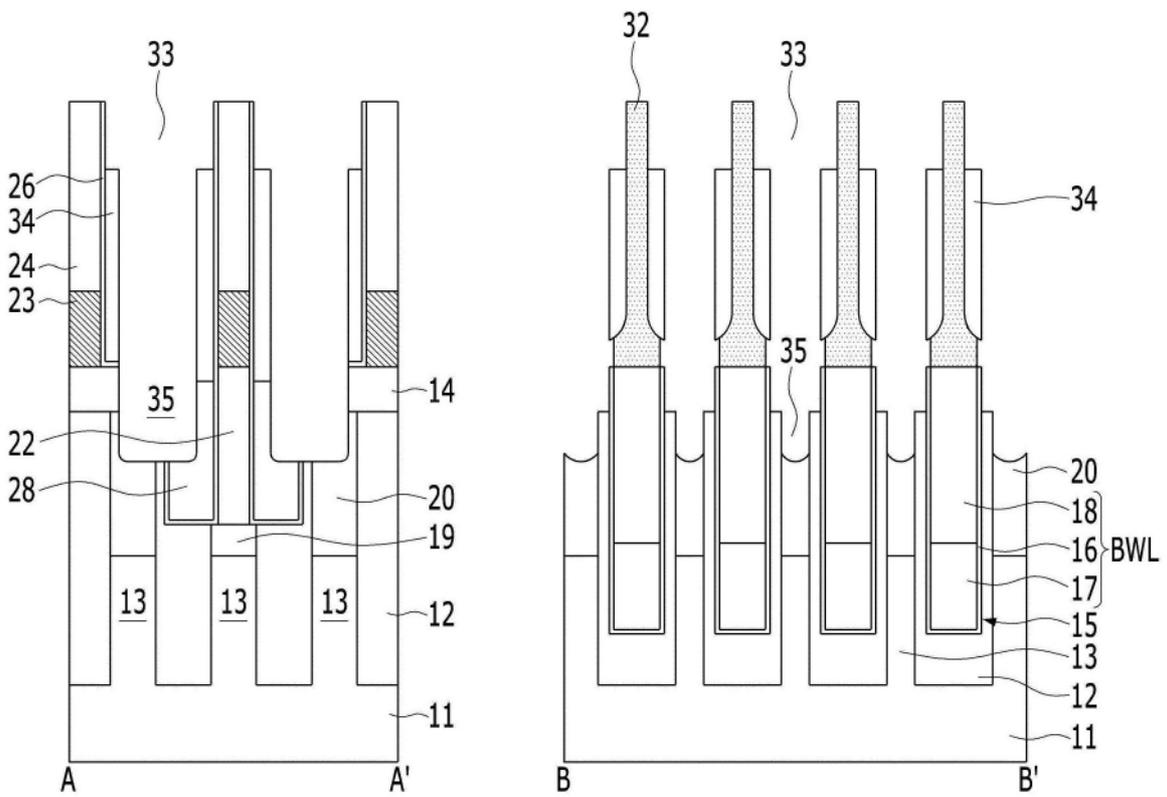


图19

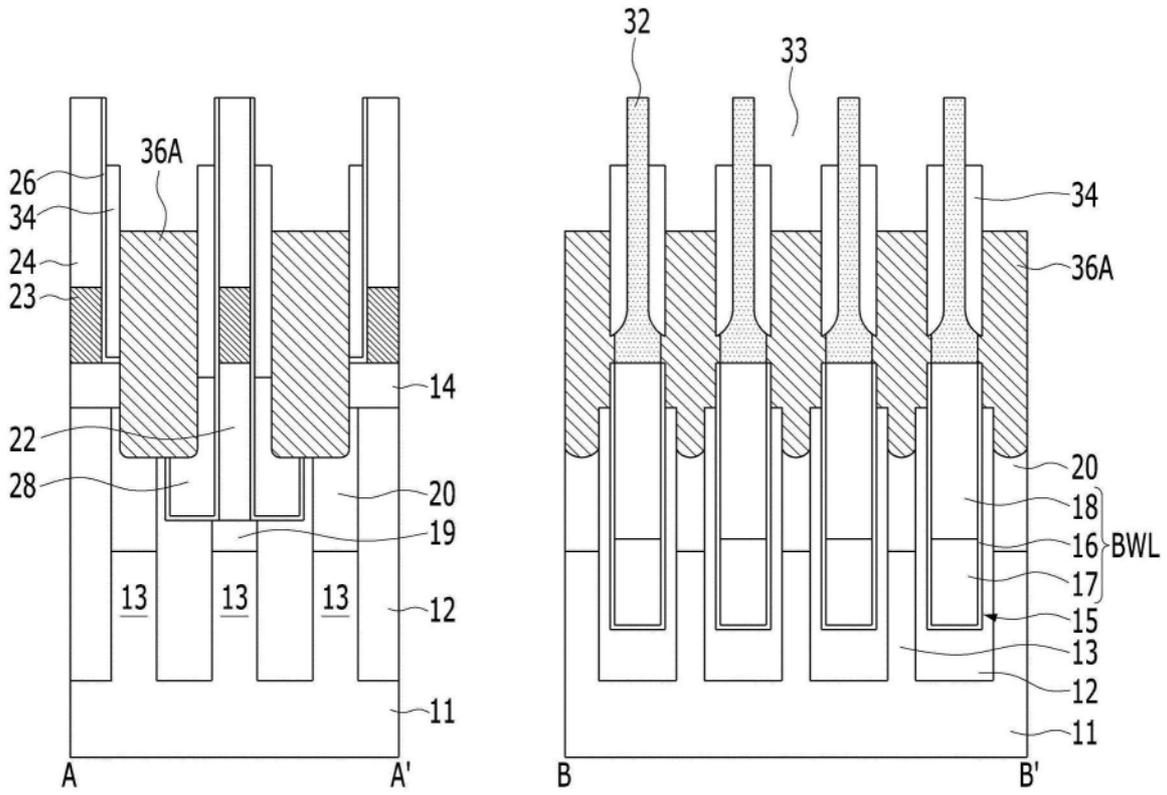


图20

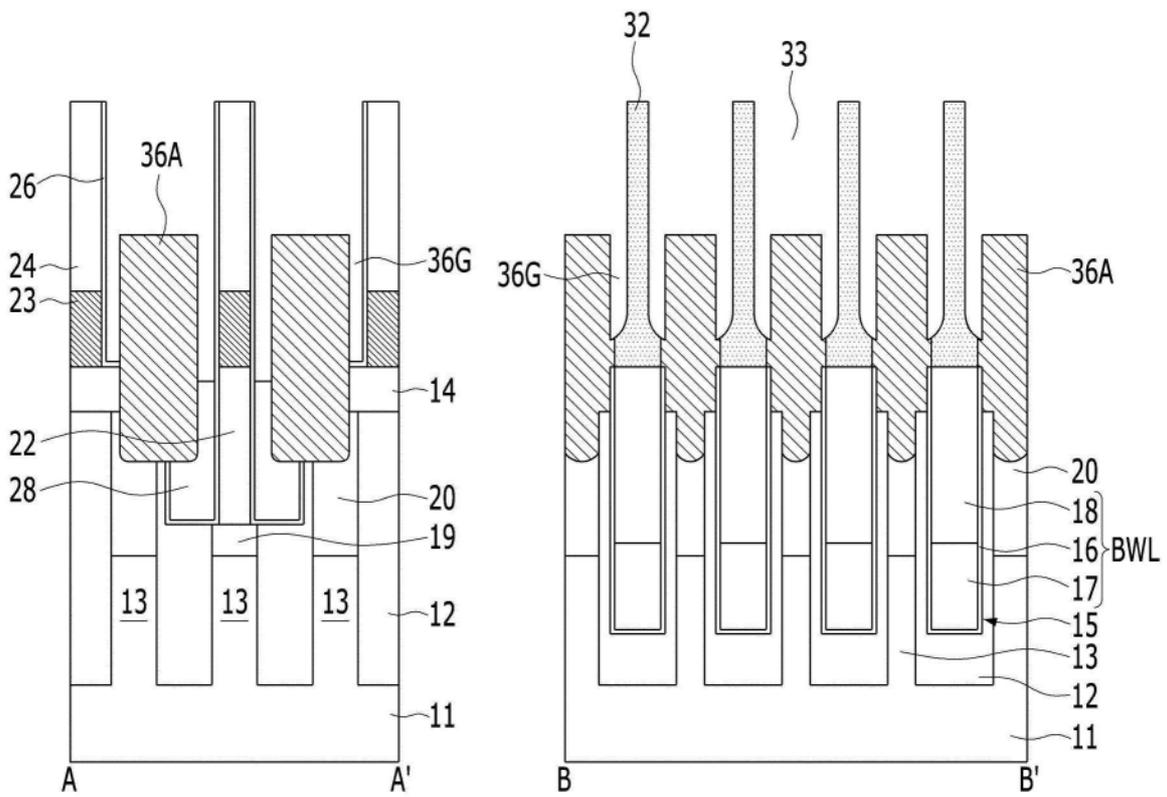


图21

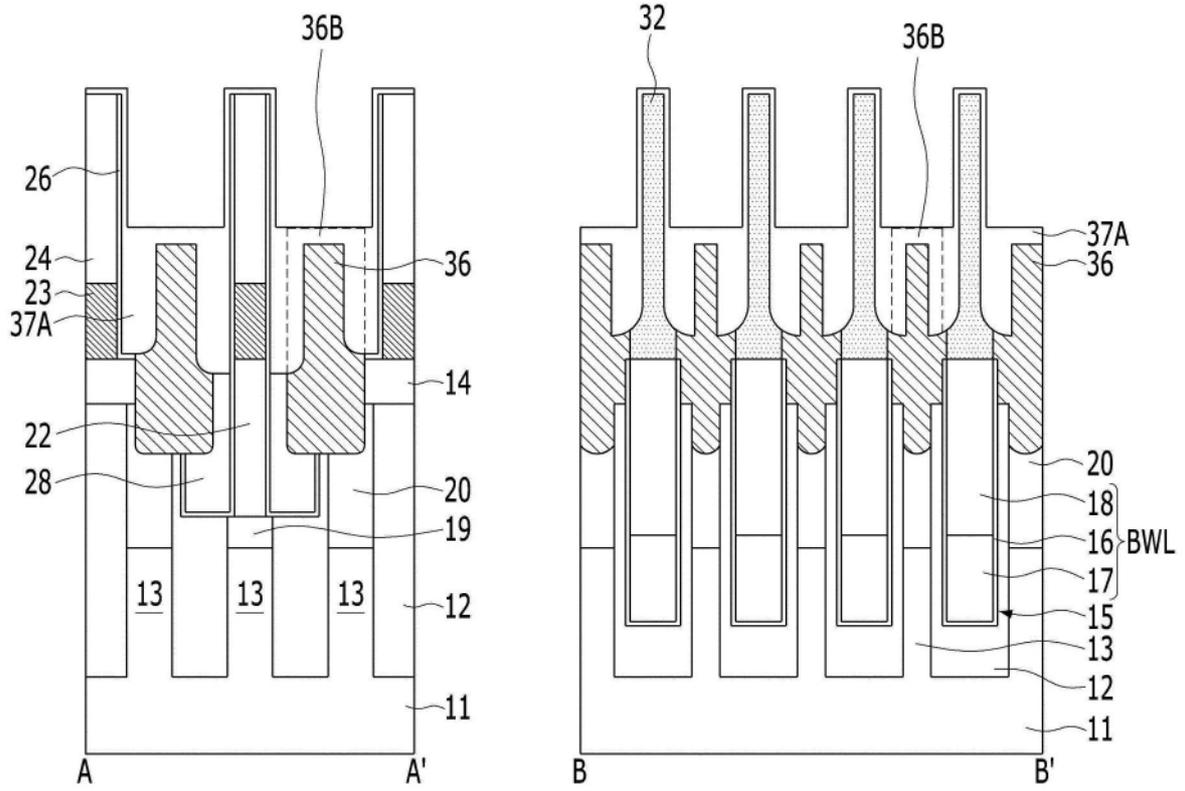


图22

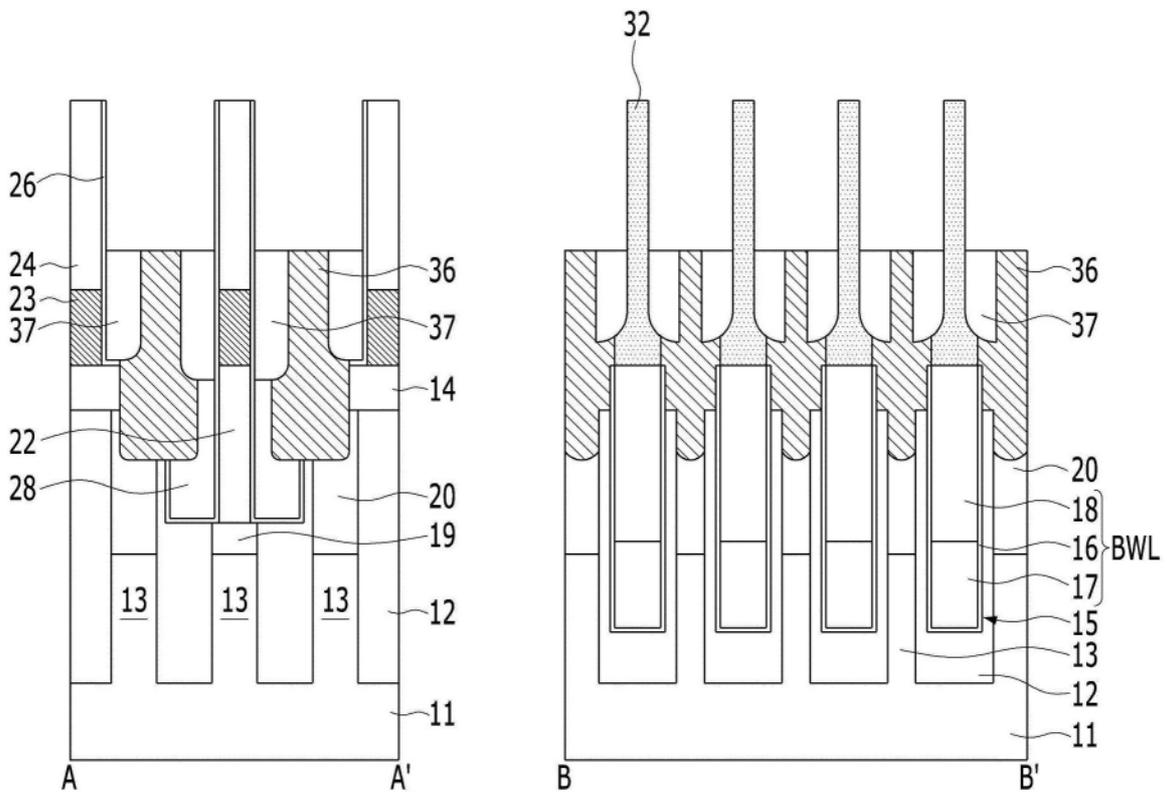


图23

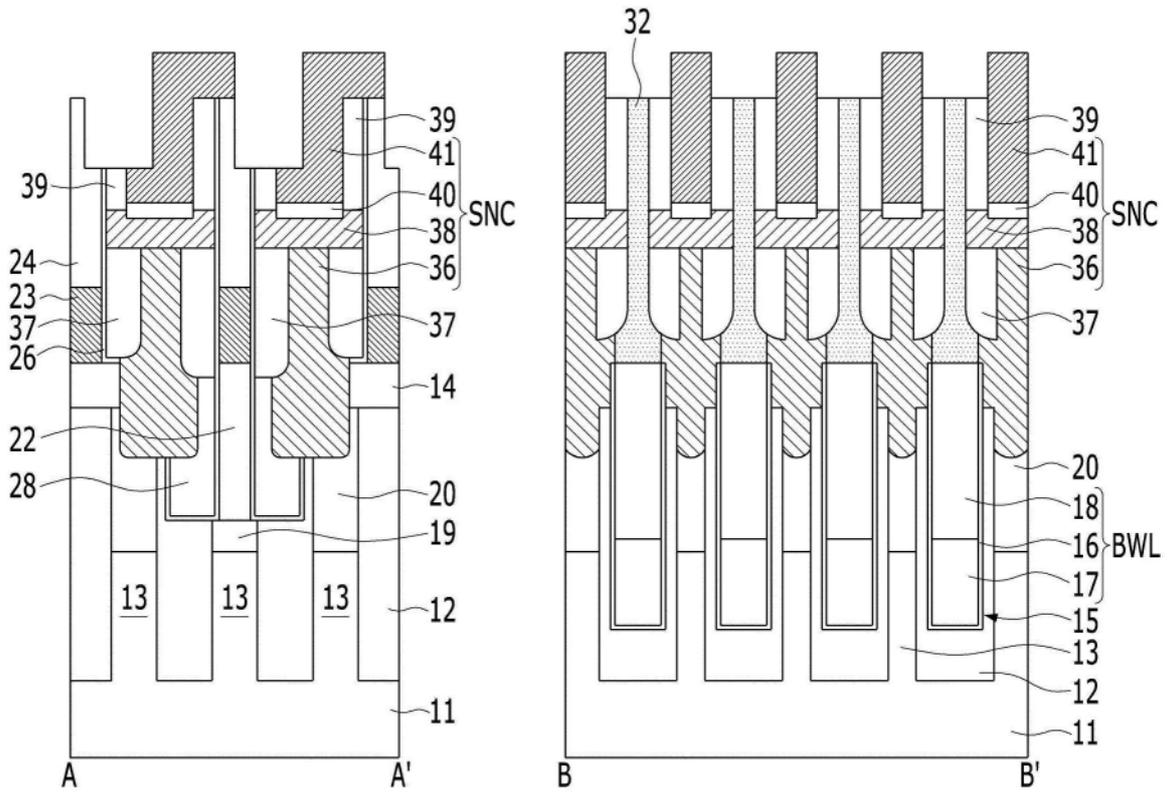


图26

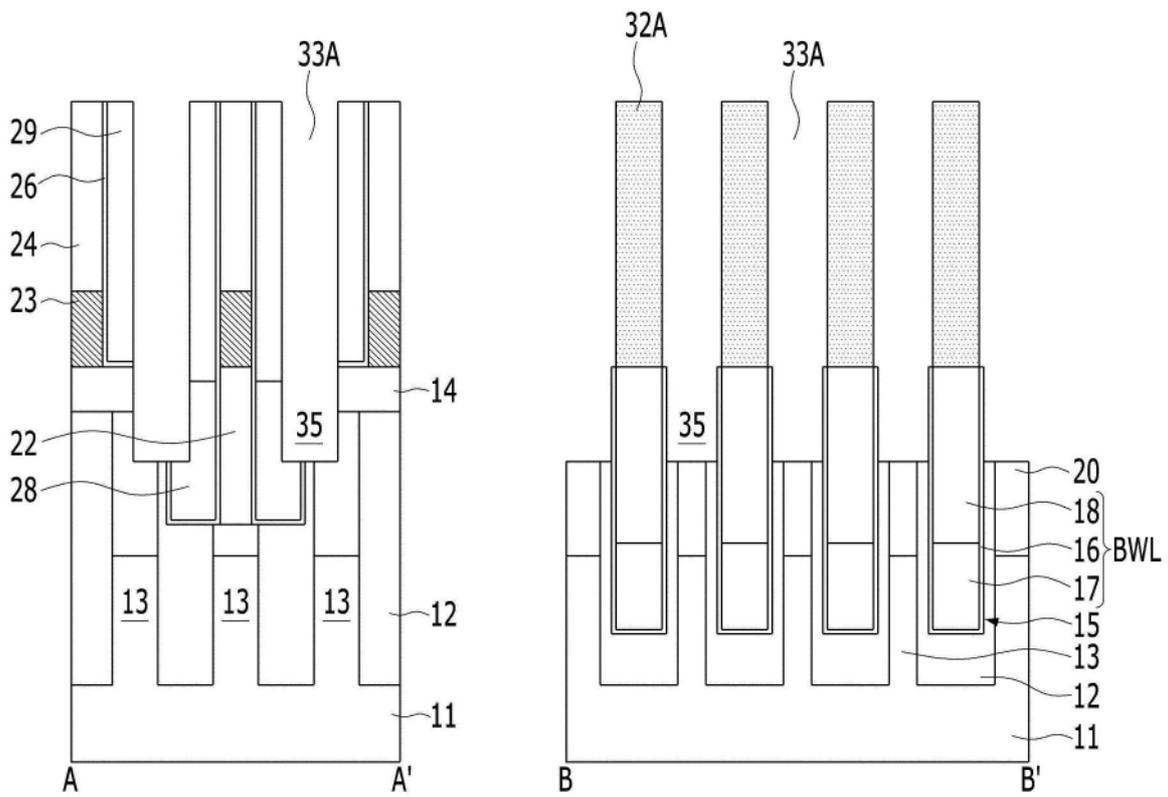


图27

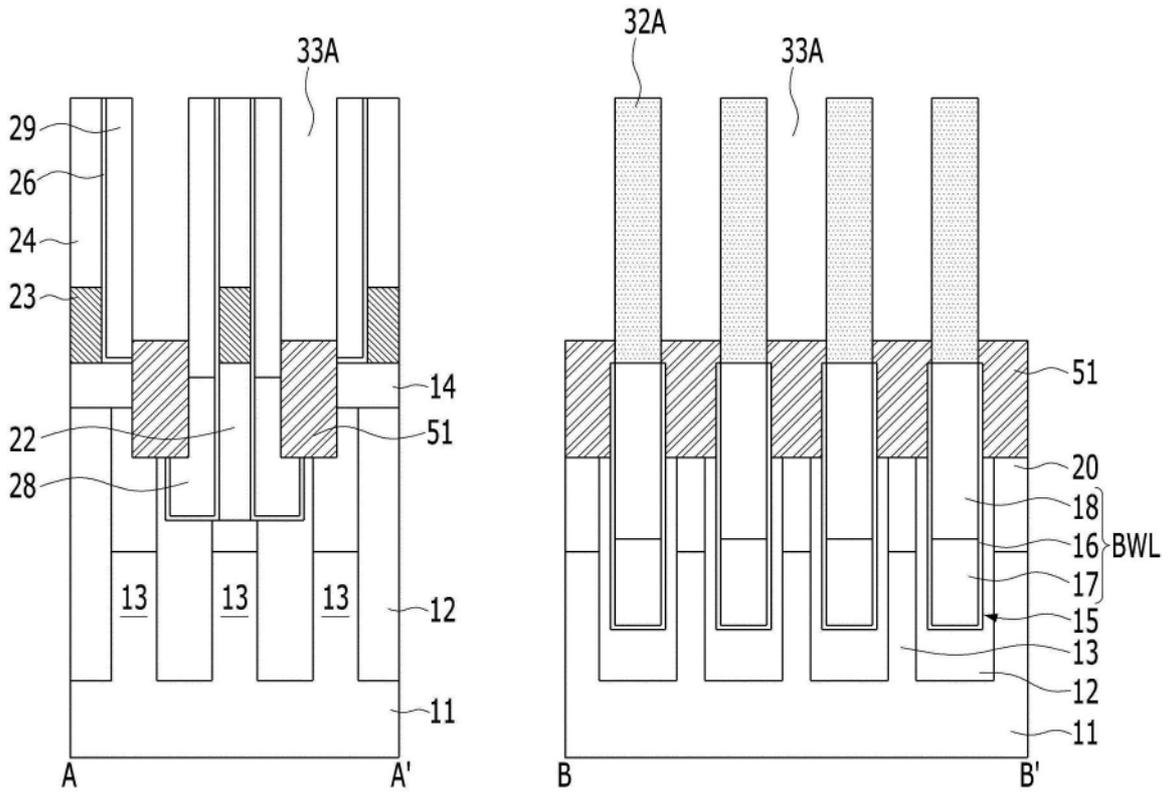


图28

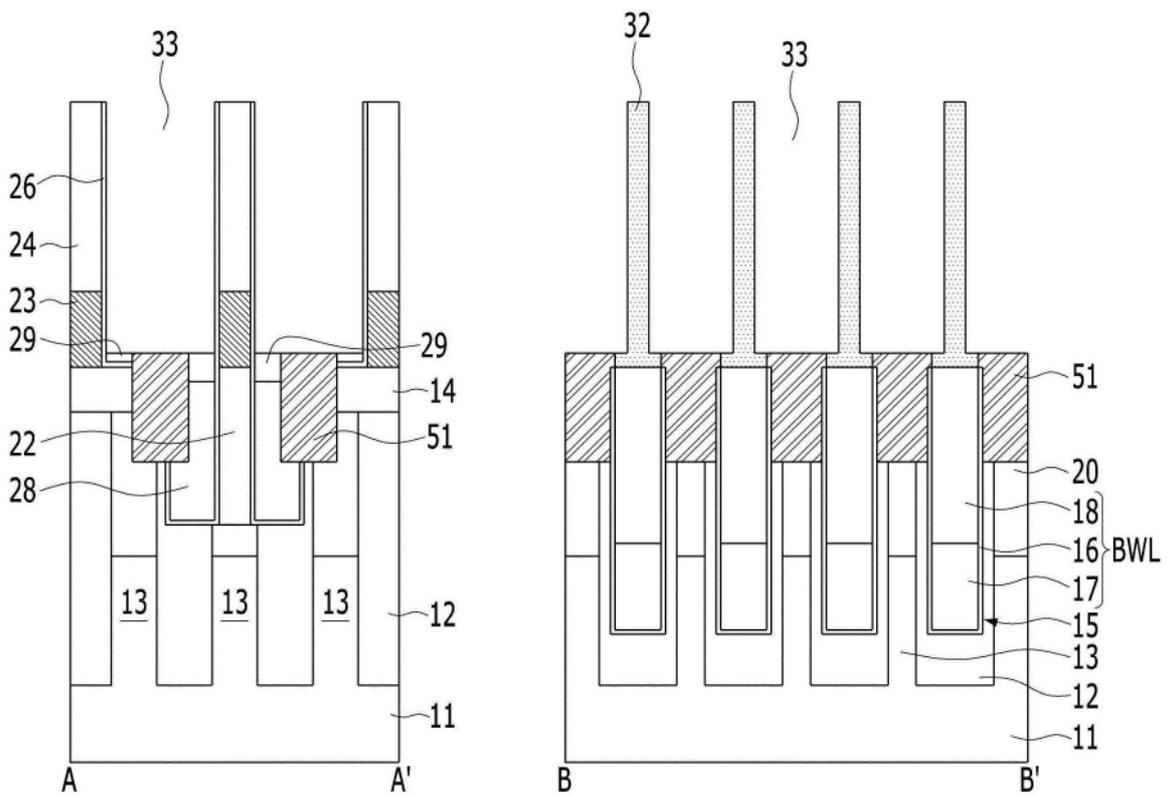


图29

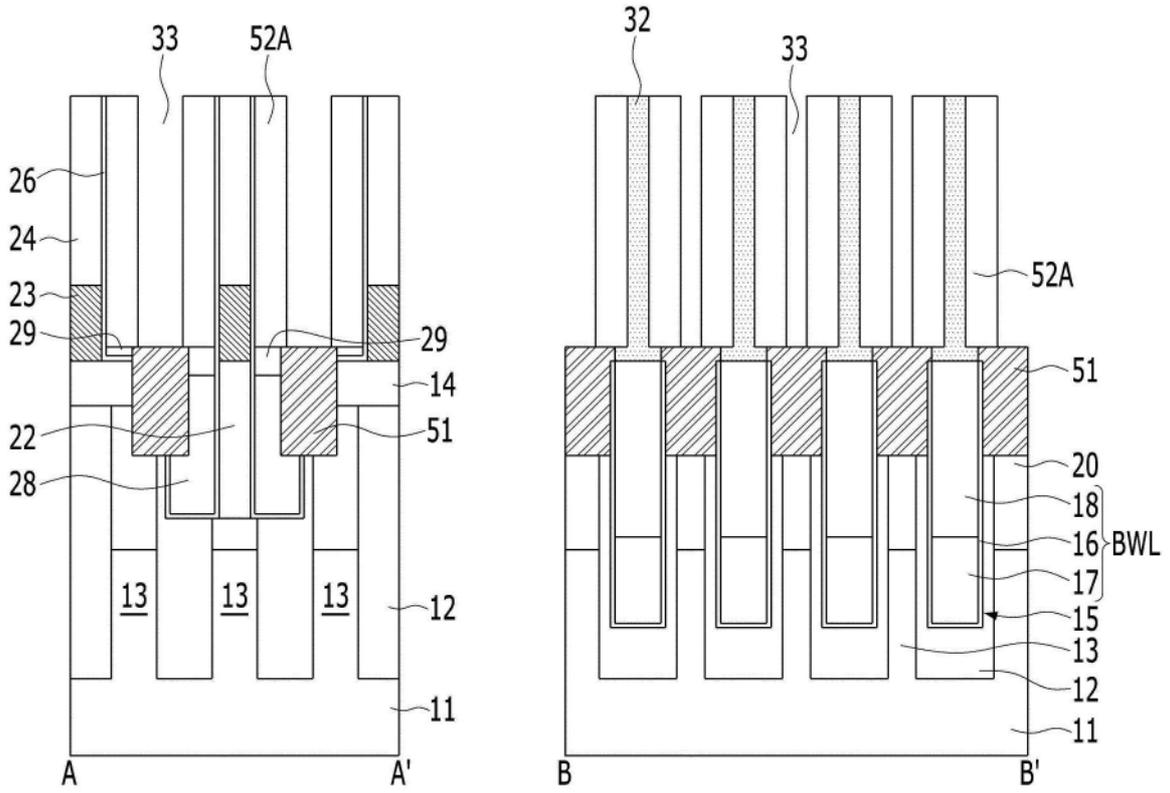


图30

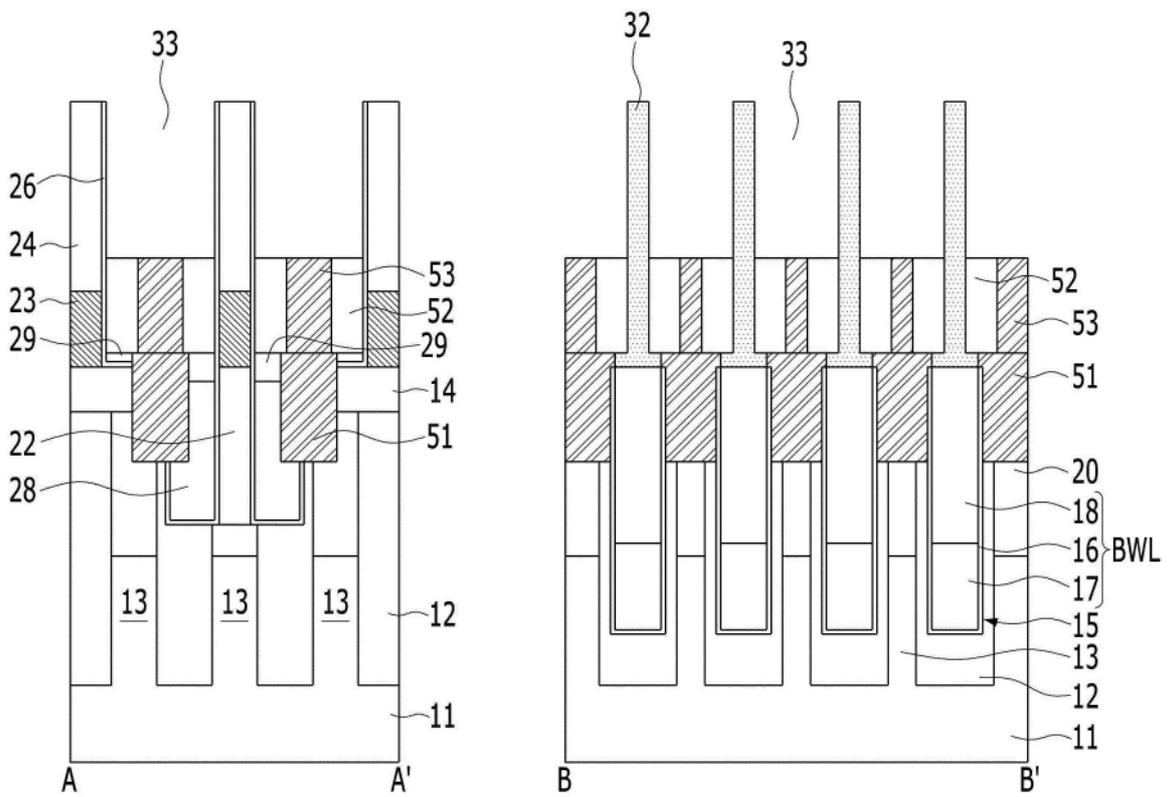


图31

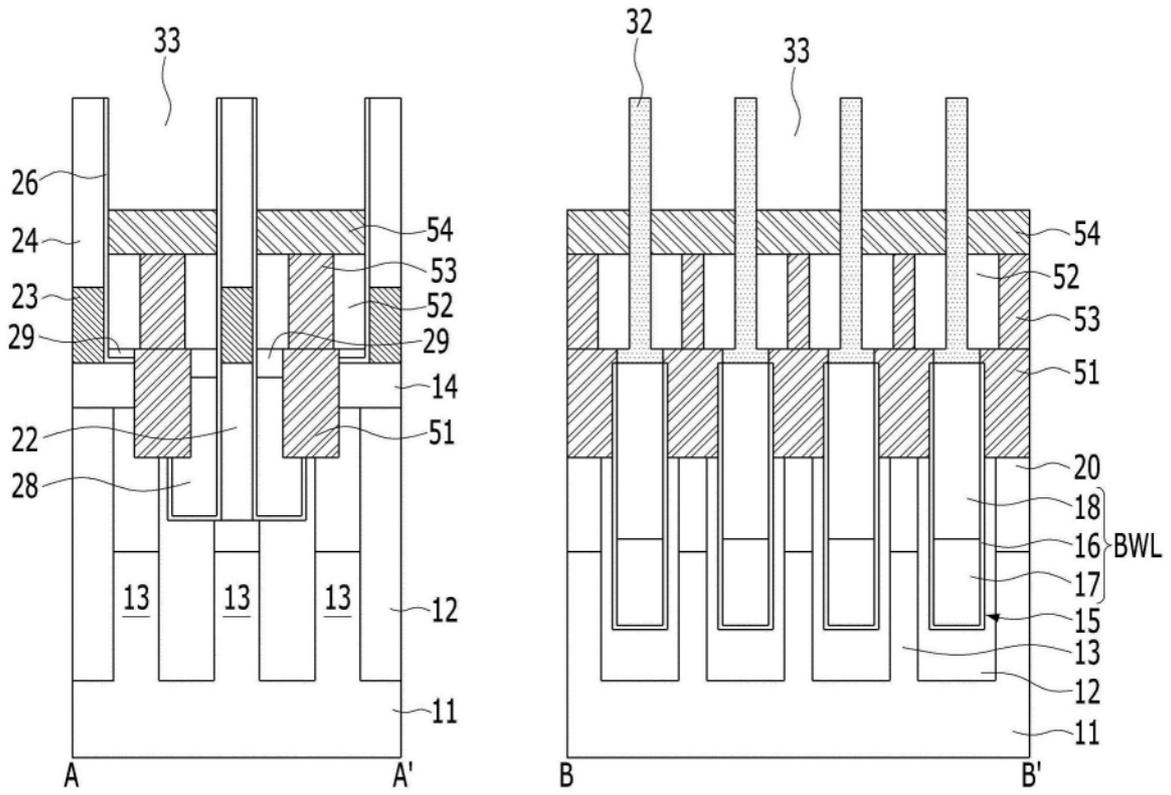


图32

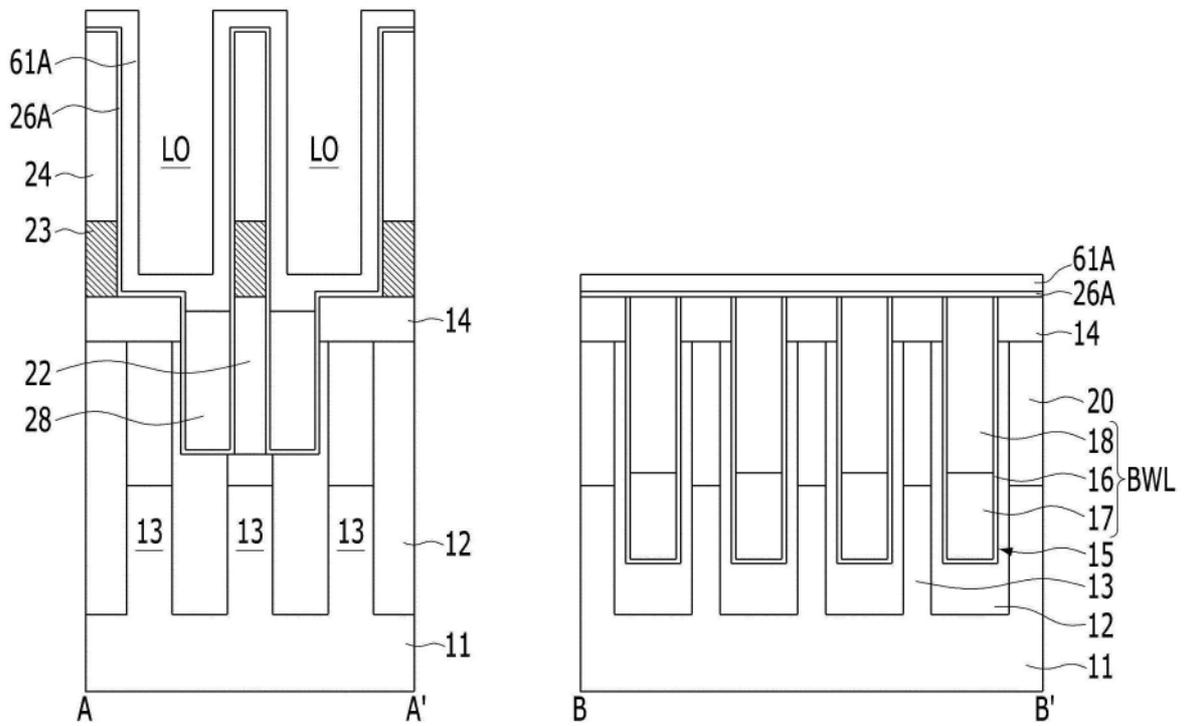


图33

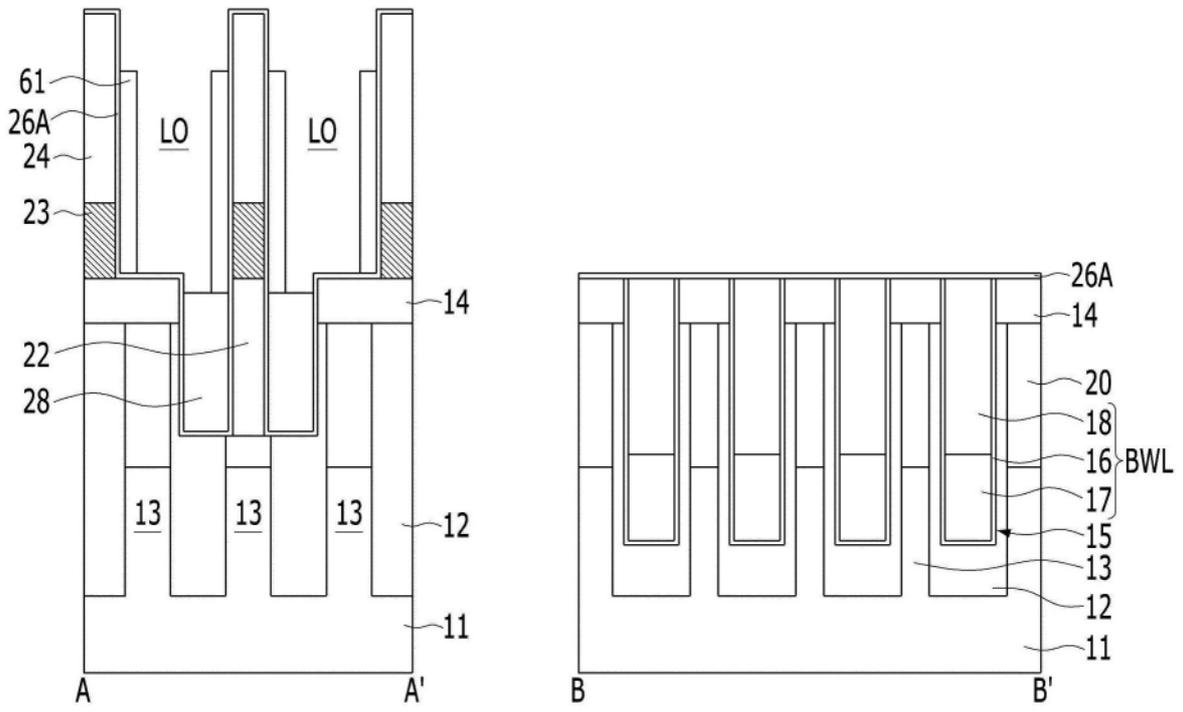


图34

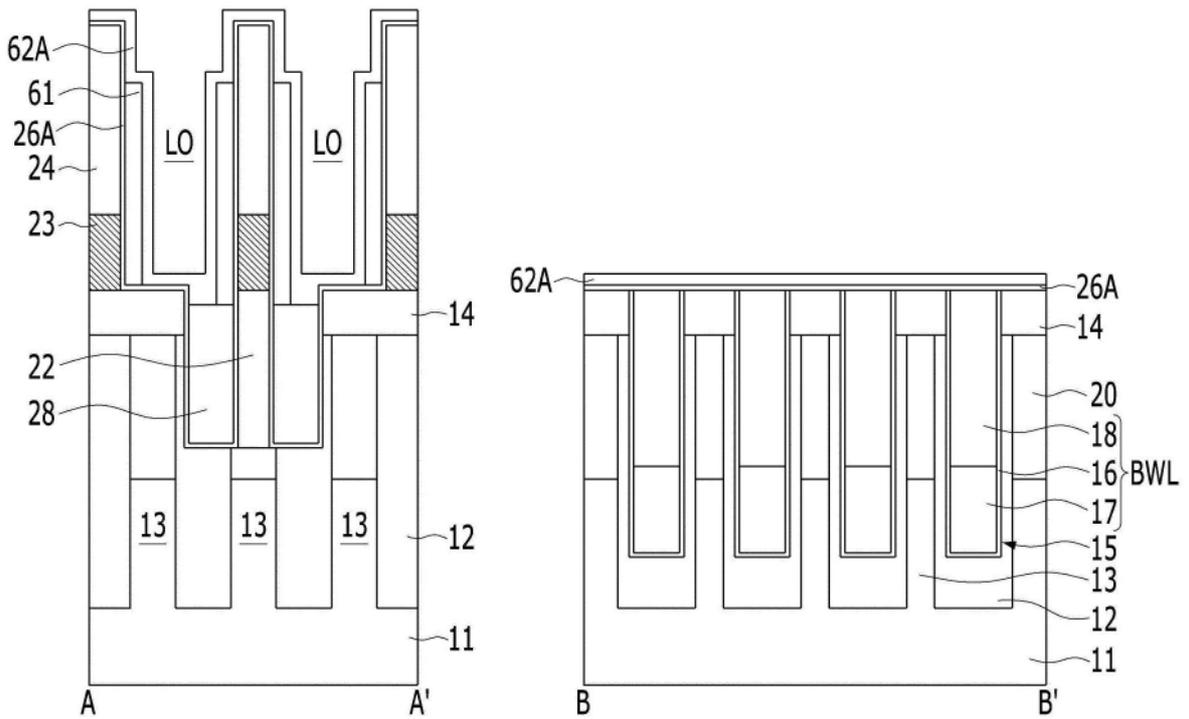


图35

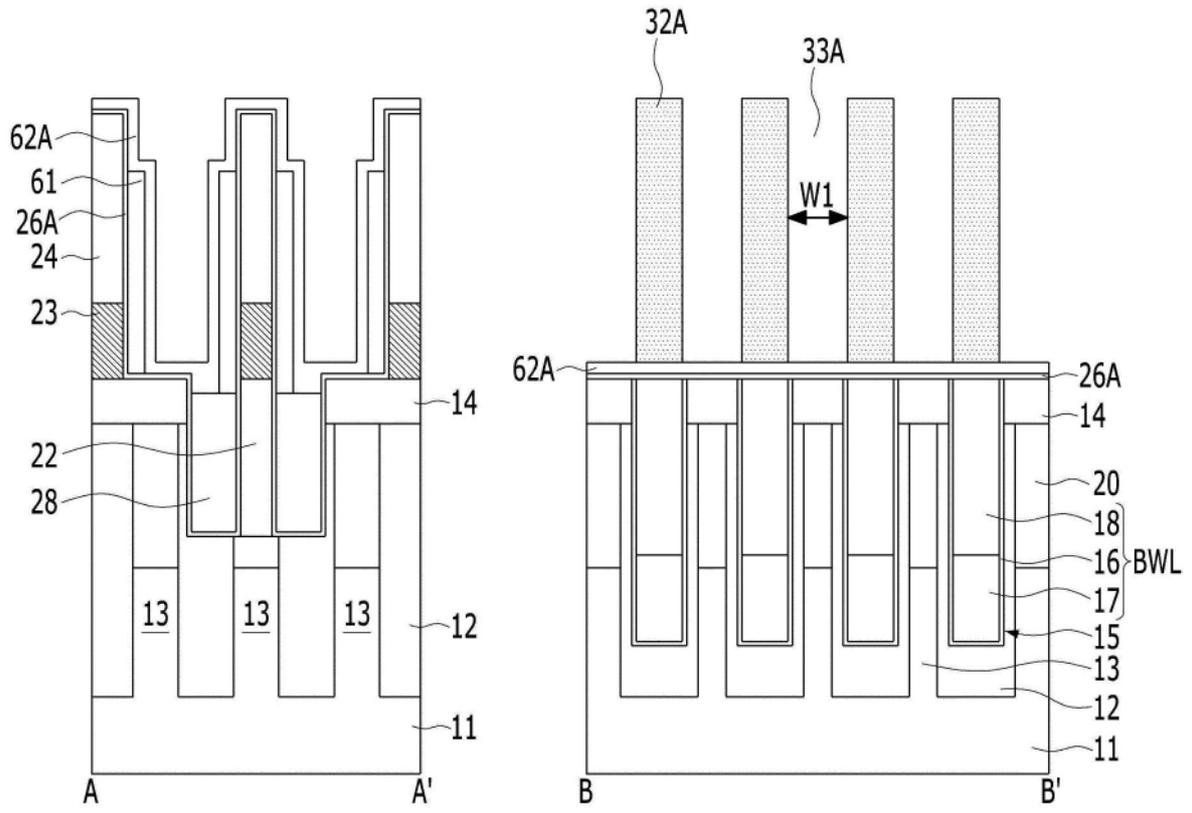


图36

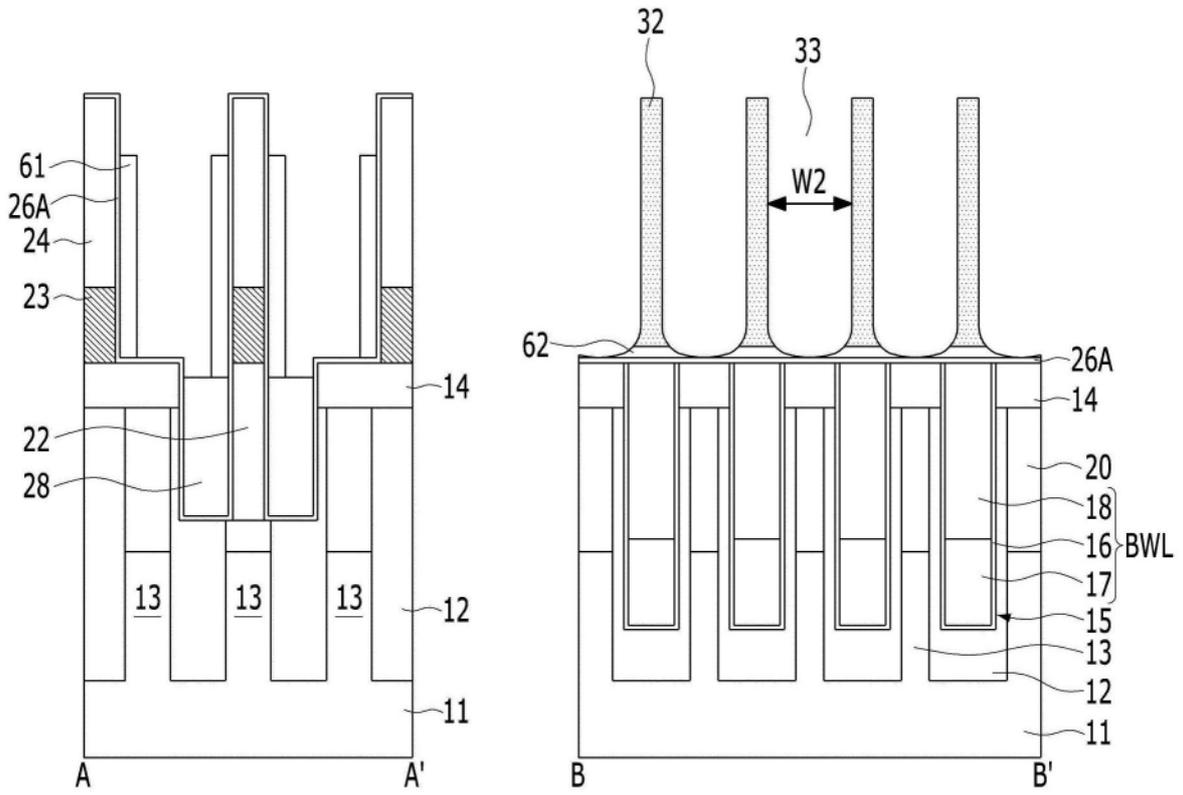


图37

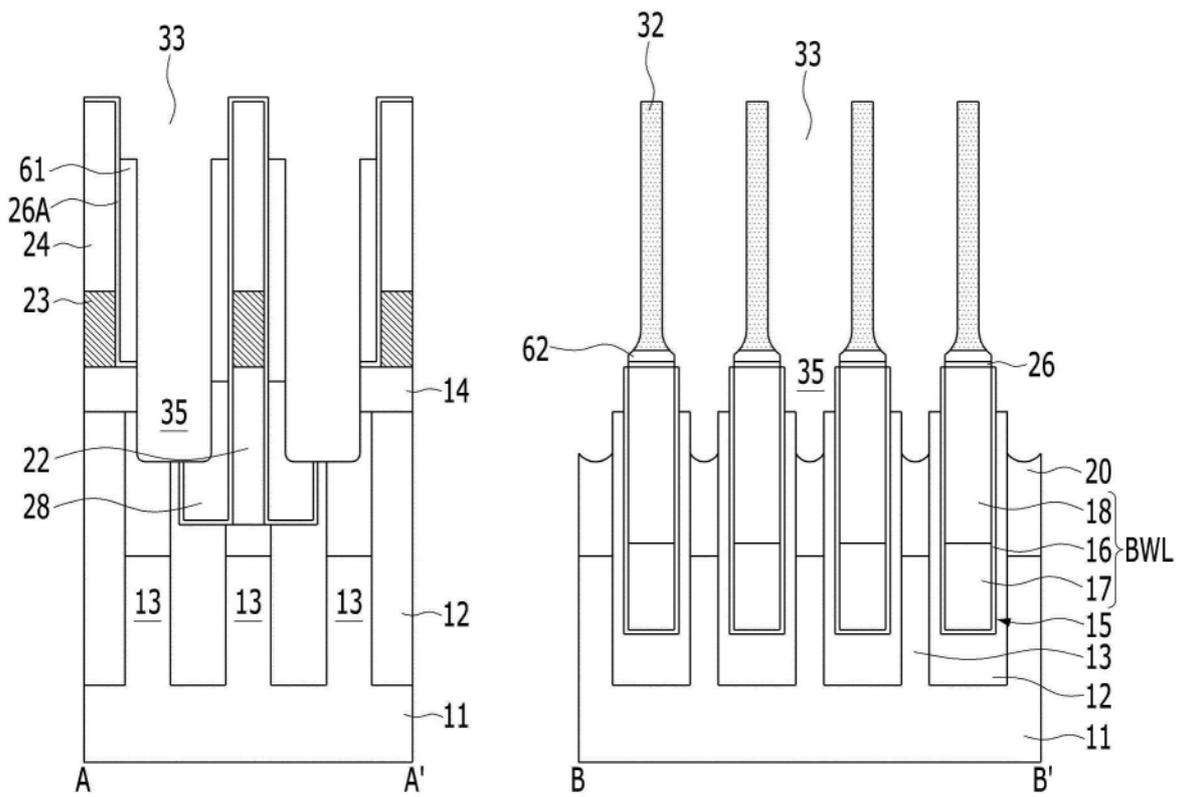


图38

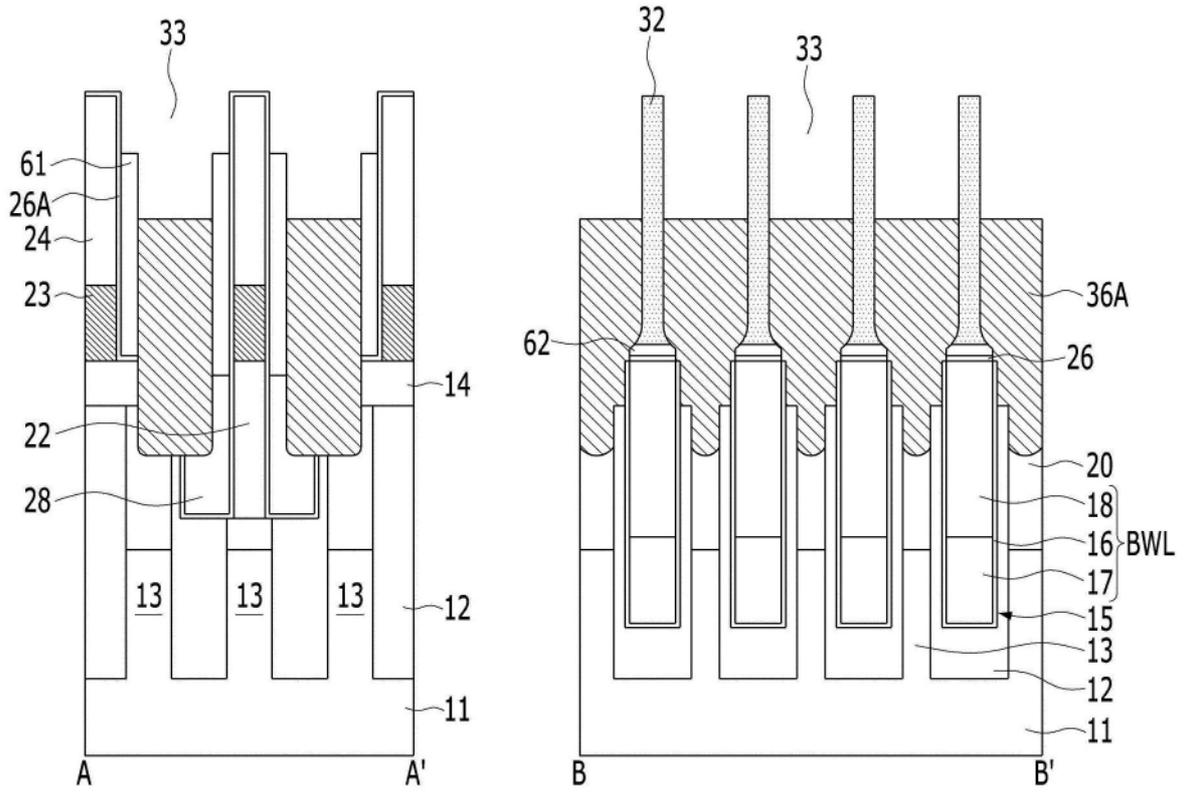


图39

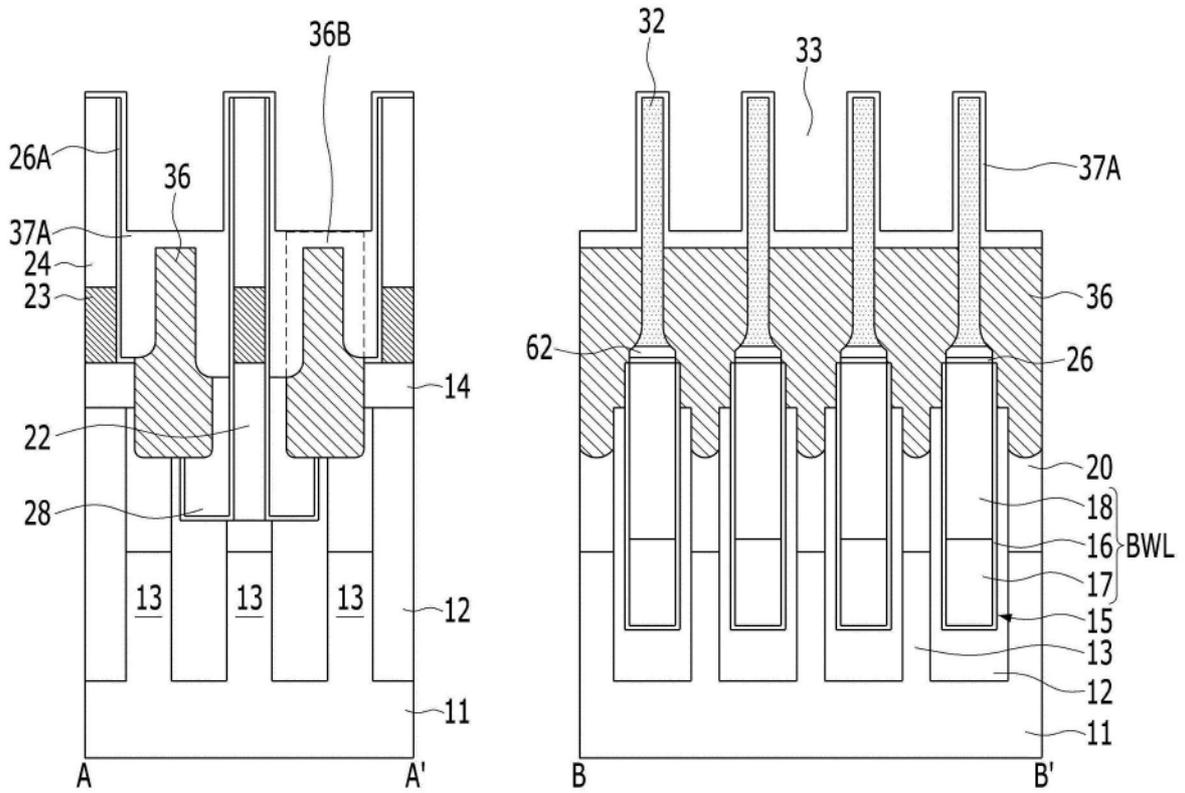


图40

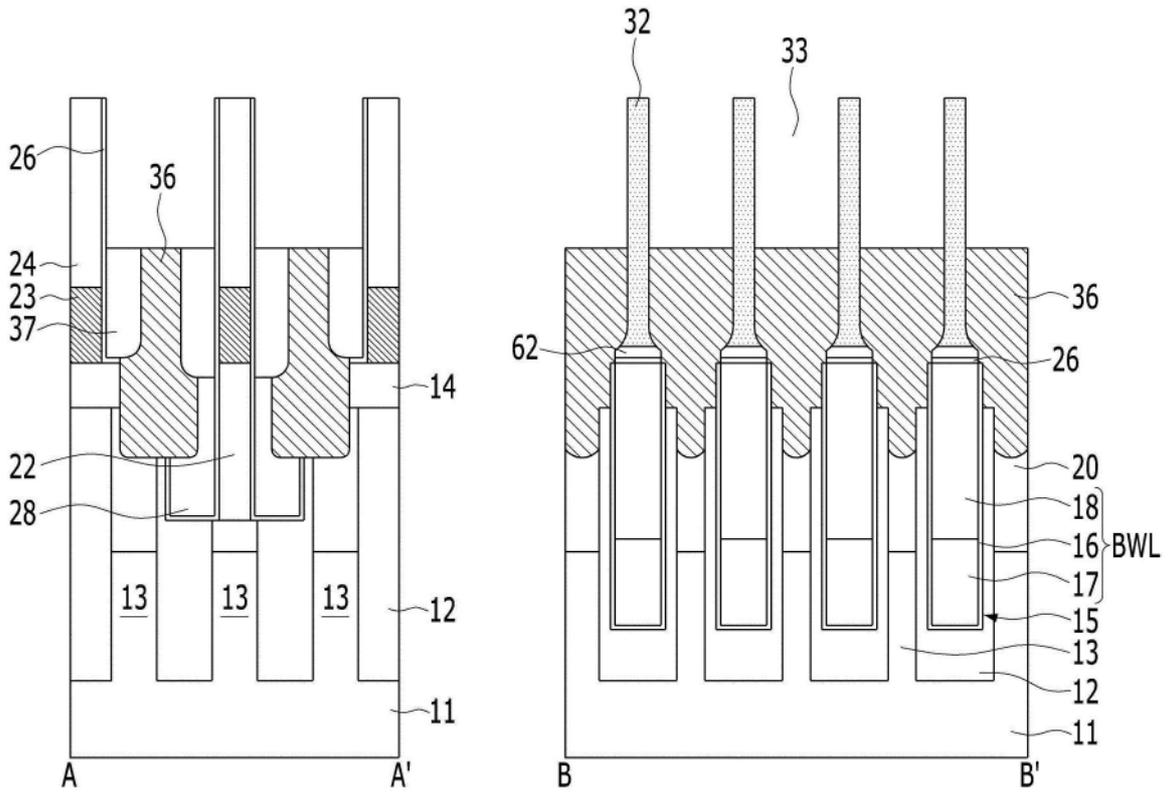


图41

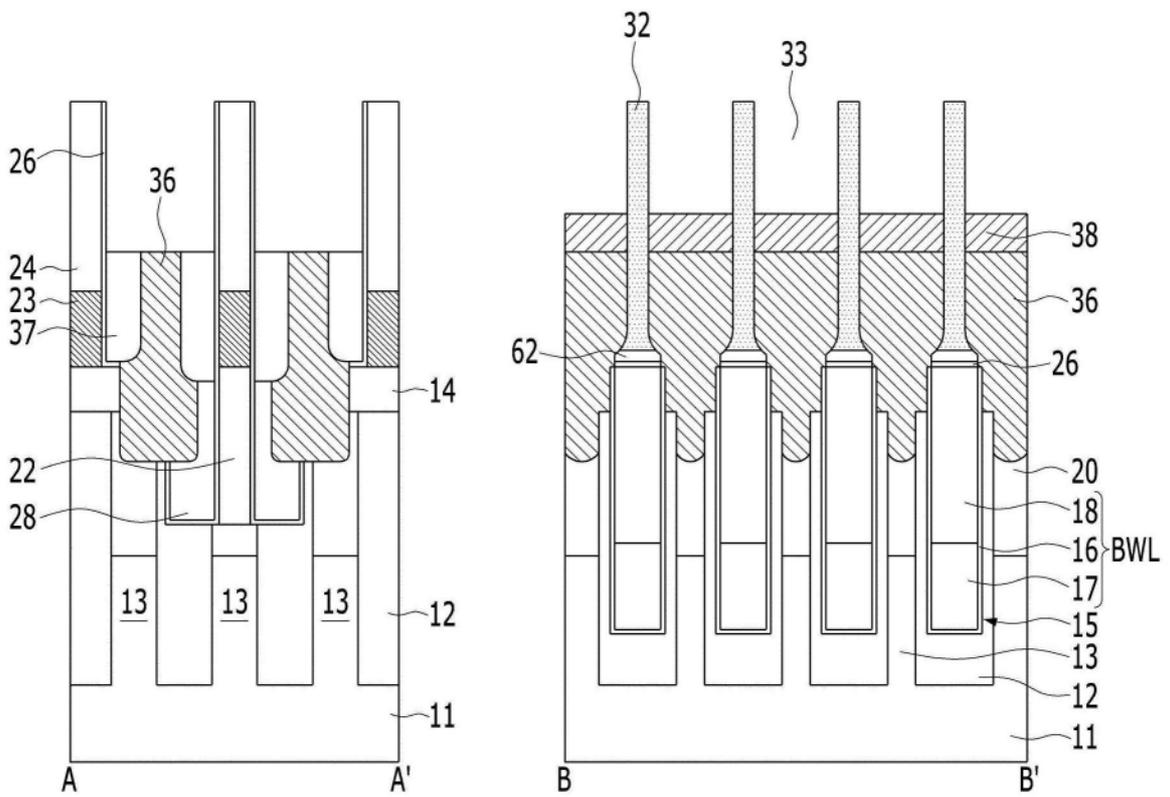


图42

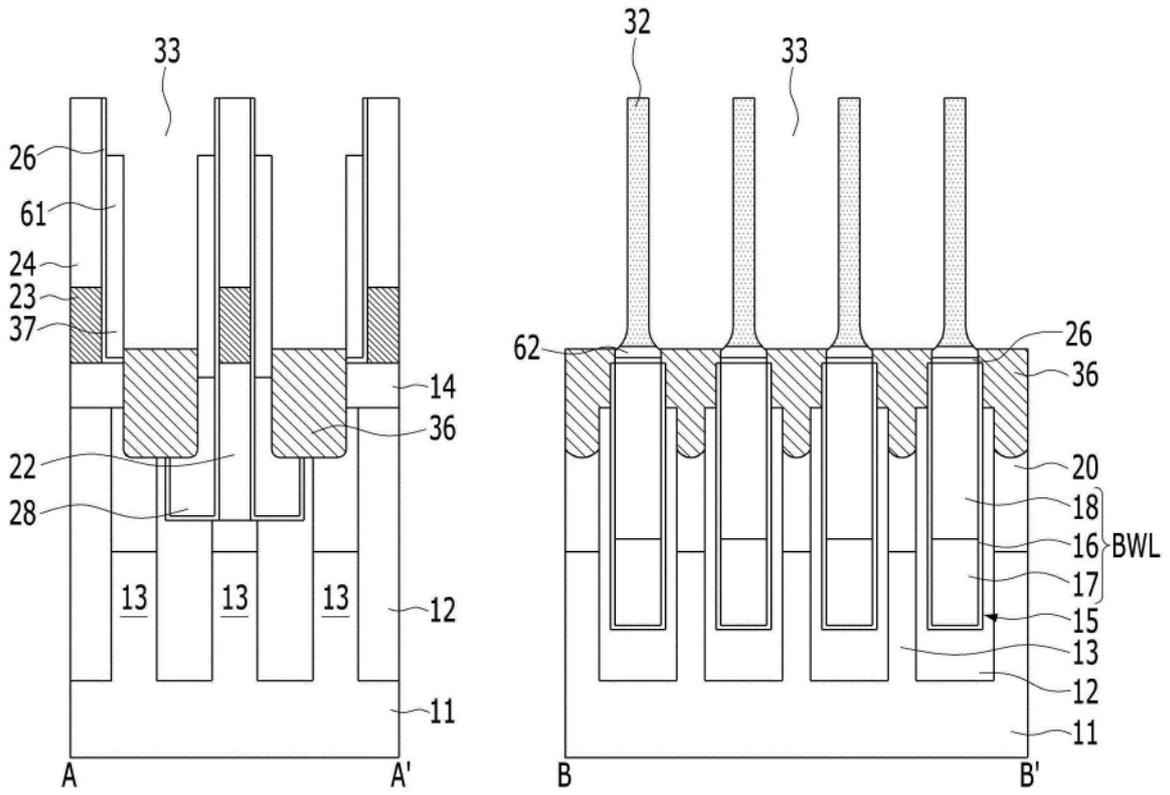


图43

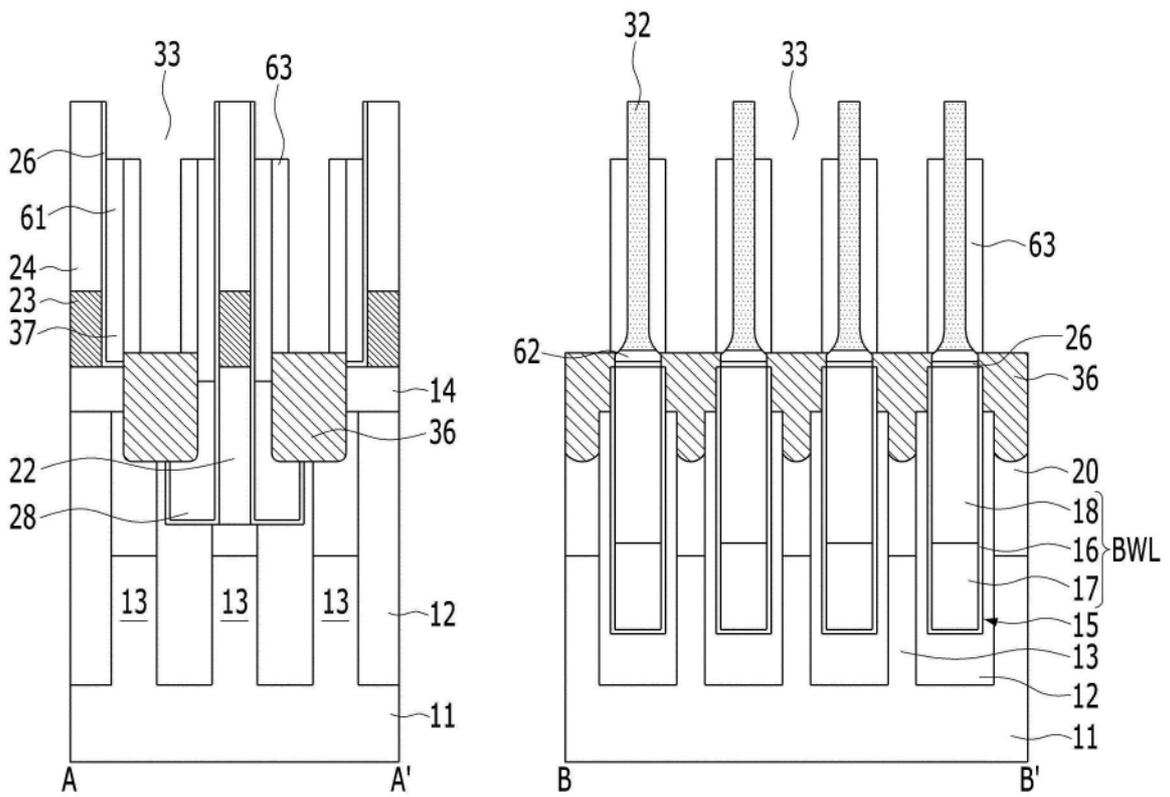


图44

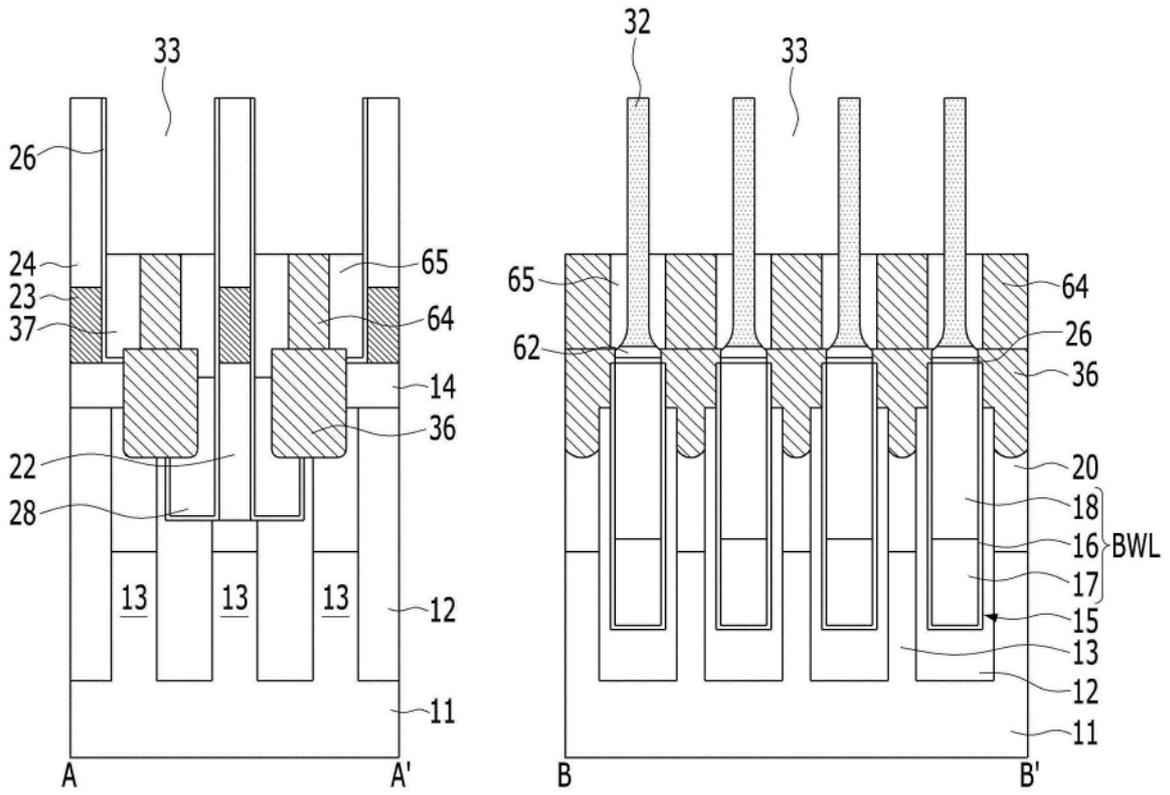


图47

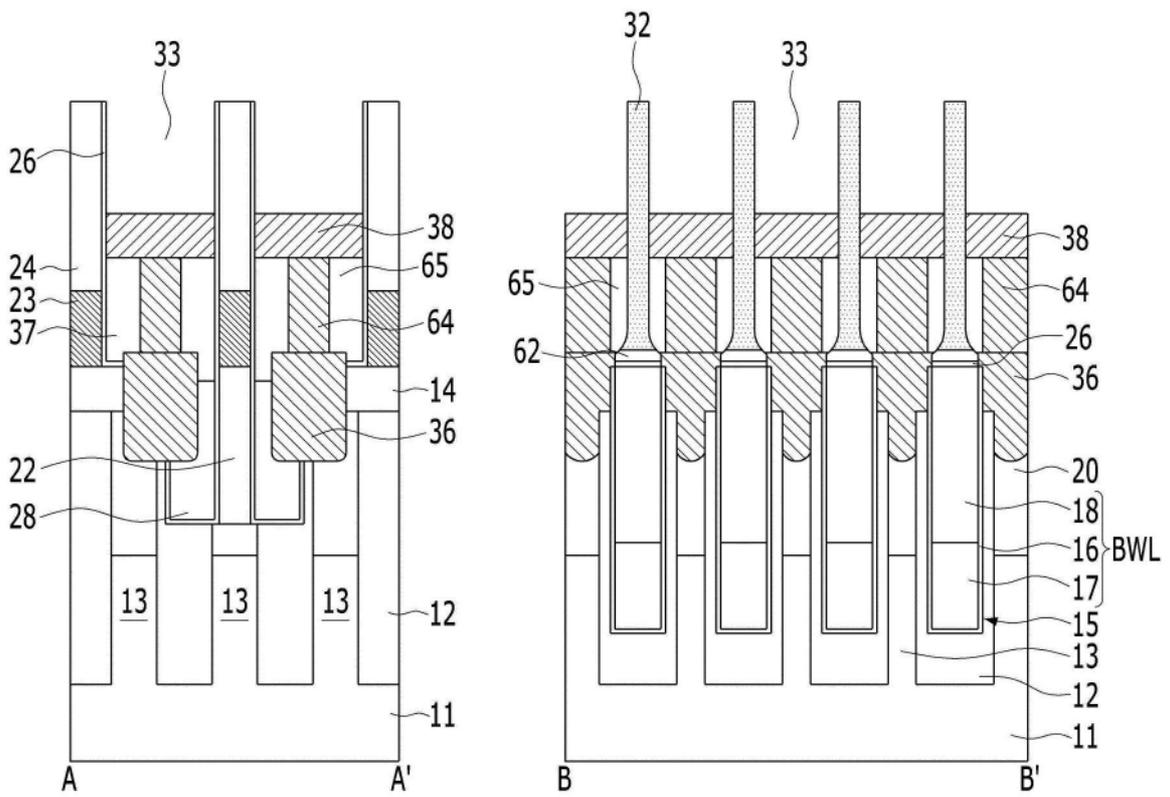


图48

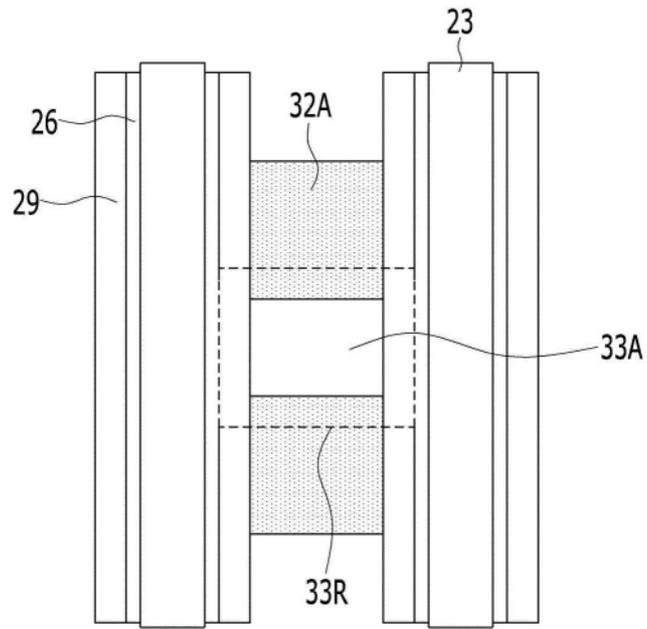


图49A

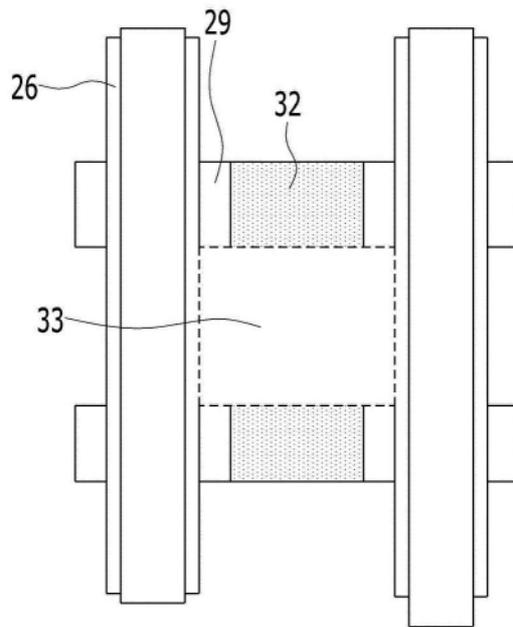


图49B

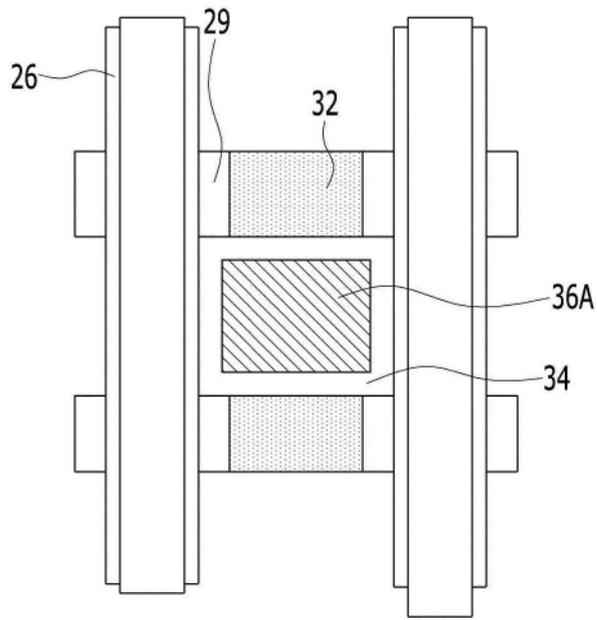


图49C

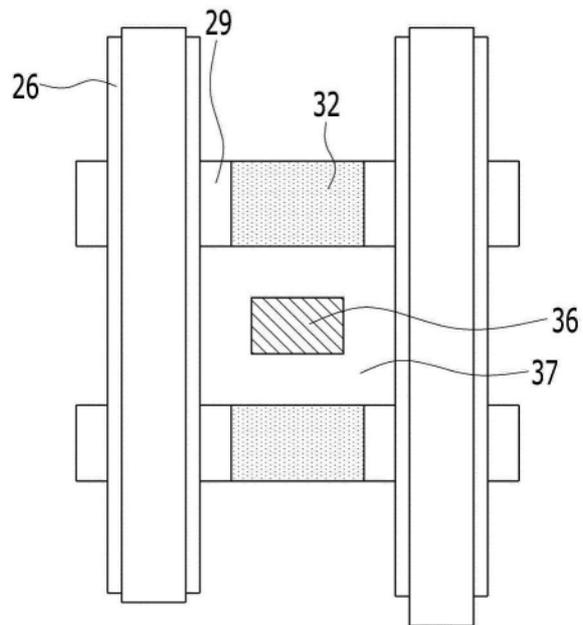


图49D