



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월28일
(11) 등록번호 10-1843246
(24) 등록일자 2018년03월22일

- (51) 국제특허분류(Int. Cl.)
H01L 25/11 (2006.01) H01L 23/28 (2006.01)
H01L 23/48 (2006.01) H01L 23/495 (2006.01)
H01L 23/525 (2006.01)
- (52) CPC특허분류
H01L 25/117 (2013.01)
H01L 23/28 (2013.01)
- (21) 출원번호 10-2016-0023406
- (22) 출원일자 2016년02월26일
심사청구일자 2016년02월26일
- (65) 공개번호 10-2017-0060549
- (43) 공개일자 2017년06월01일
- (30) 우선권주장
14/950,915 2015년11월24일 미국(US)
- (56) 선행기술조사문헌
US20020158345 A1*
KR1020080039899 A*
US20150318246 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
- (72) 발명자
우 창지우
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
유 첸후아
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
치오우 웬치
중화민국, 타이완 300-77, 신츄, 사이언스-베이스
드 인더스트리얼 파크, 리신 로드. 6, 8호
- (74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 9 항

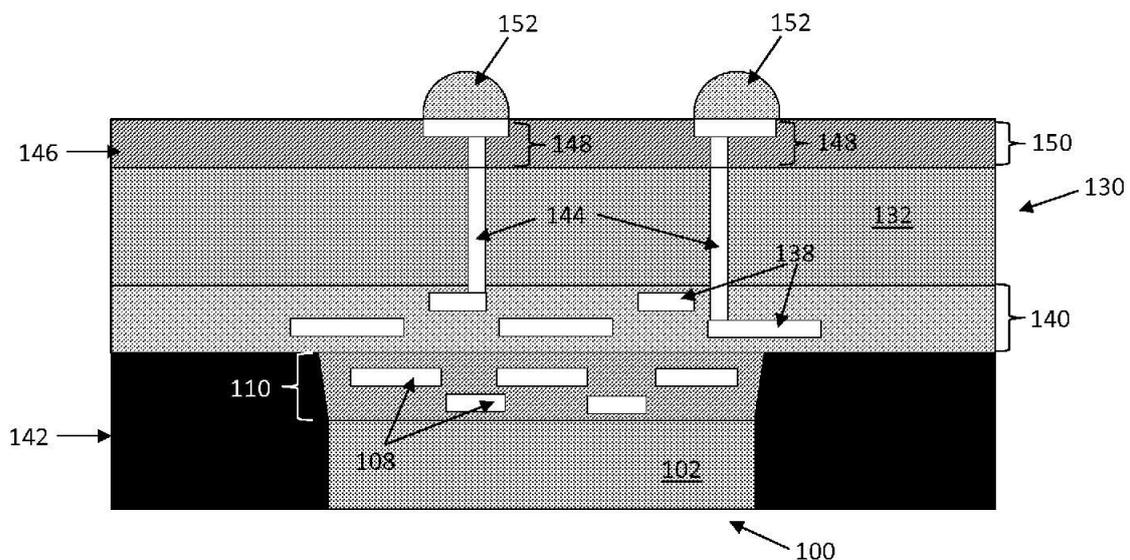
심사관 : 안경민

(54) 발명의 명칭 개별화 및 접합 방법 및 이것에 의해 형성된 구조체

(57) 요약

개별화 및 접합 방법과 이에 의해 형성된 구조체가 개시된다. 방법은 제1 칩을 개별화하고, 상기 제1 칩의 개별화 후에 상기 제1 칩을 제2 칩에 접합하는 단계를 포함한다. 제1 칩은 제1 반도체 기판과 상기 제1 반도체 기판의 전방면 상의 제1 배선 구조체를 포함한다. 상기 제1 칩의 개별화는 상기 제1 배선 구조체를 통해 상기 제1 반도체 기판의 후면을 통한 에칭을 포함한다.

대표도



(52) CPC특허분류

H01L 23/481 (2013.01)

H01L 23/49527 (2013.01)

H01L 23/49531 (2013.01)

H01L 23/49534 (2013.01)

H01L 23/525 (2013.01)

H01L 25/115 (2013.01)

명세서

청구범위

청구항 1

방법에 있어서,

제1 반도체 기판과 상기 제1 반도체 기판의 전방면(front side) 상의 제1 배선 구조체를 포함하는 제1 칩을 개별화하는 단계; 및

상기 제1 칩을 개별화하는 단계 후에, 상기 제1 칩을 제2 칩에 접합하는 단계를 포함하고,

상기 제1 칩을 개별화하는 단계는,

상기 제1 배선 구조체에 인접하게 위치한 접착제를 노출하도록, 상기 제1 배선 구조체를 관통하여 상기 제1 반도체 기판의 후면(back side)을 에칭하는(etching through) 단계; 및

상기 접착제를 제거하는 단계를 포함하는 것인 방법.

청구항 2

제1항에 있어서, 상기 에칭하는 단계 후에, 상기 제1 배선 구조체의 외부 측벽은 상기 제1 반도체 기판으로부터 가장 멀리 있는(distal) 상기 제1 배선 구조체의 외부면과 90°의 각도로 만나지 않는 것인 방법.

청구항 3

제1항에 있어서, 상기 제2 칩은 제2 반도체 기판과 상기 제2 반도체 기판의 전방면 상의 제2 배선 구조체를 포함하며, 상기 제2 반도체 기판은 상기 제1 칩을 상기 제2 칩에 접합하는 동안 웨이퍼의 개별화되지 않은 부분인 것인 방법.

청구항 4

제1항에 있어서, 상기 제2 칩은 제2 반도체 기판과 상기 제2 반도체 기판의 전방면 상의 제2 배선 구조체를 포함하며, 상기 제1 배선 구조체는 상기 제1 칩이 상기 제2 칩에 접합될 때 상기 제2 배선 구조체에 접합되는 것인 방법.

청구항 5

제4항에 있어서,

상기 제2 칩 상의 상기 제1 칩을 제1 밀봉재로 밀봉하는 단계;

상기 제2 칩의 상기 제2 반도체 기판의 후면을 통과하여, 상기 제2 배선 구조체, 상기 제1 배선 구조체, 또는 이들의 조합까지 제1 관통 비아를 형성하는 단계; 및

상기 제2 칩의 상기 제2 반도체 기판의 상기 후면 상에, 상기 제1 관통 비아에 연결되는 제3 배선 구조체를 형성하는 단계를 더 포함하는 방법.

청구항 6

제5항에 있어서,

제3 칩을 상기 제3 배선 구조체에 접합하는 단계를 더 포함하고, 상기 제3 칩은 제3 반도체 기판과 상기 제3 반도체 기판의 전방면 상의 제4 배선 구조체를 포함하고, 상기 제4 배선 구조체는 상기 제3 배선 구조체에 접합되는 것인 방법.

청구항 7

제5항에 있어서,

상기 제1 칩과 상기 제2 칩을 포함하는 칩 스택을 개별화하는 단계를 더 포함하고,

상기 칩 스택을 개별화하는 단계는, 상기 제1 밀봉재, 상기 제2 배선 구조체, 상기 제2 반도체 기관, 및 상기 제3 배선 구조체를 순차적으로 통과하여 에칭하는 단계를 포함하는 것인 방법.

청구항 8

제4항에 있어서,

상기 제2 칩 상의 상기 제1 칩을 제1 밀봉재로 밀봉하는 단계;

상기 제1 칩의 상기 제1 반도체 기관의 상기 후면을 통해, 상기 제1 배선 구조체, 상기 제2 배선 구조체, 또는 이들의 조합까지 제1 관통 비아를 형성하는 단계; 및

상기 제1 칩의 상기 제1 반도체 기관의 상기 후면 상에 그리고 상기 제1 밀봉재 상에, 상기 제1 관통 비아에 연결되는 제3 배선 구조체를 형성하는 단계를 더 포함하는 방법.

청구항 9

방법에 있어서,

개별화되지 않은 제1 웨이퍼 상에, 상기 개별화되지 않은 제1 웨이퍼의 일부인 제1 반도체 기관과 상기 제1 반도체 기관의 전방면(front side) 상의 제1 배선 구조체를 포함하는 제1 칩을 형성하는 단계;

상기 제1 웨이퍼의 나머지로부터 상기 제1 칩을 개별화하는 단계;

상기 제1 칩을 개별화하는 단계 후에, 상기 제1 칩을 제2 칩에 접합하는 단계를 포함하고,

상기 제1 칩을 개별화하는 단계는,

상기 제1 배선 구조체에 인접하게 위치한 접착제를 노출하도록, 상기 제1 배선 구조체를 관통하여 상기 제1 반도체 기관의 후면(back side)을 에칭하는(etching through) 단계; 및

상기 접착제를 제거하는 단계를 포함하고,

상기 제2 칩은 개별화되지 않은 제2 웨이퍼 상에 있고, 상기 제2 칩은 상기 개별화되지 않은 제2 웨이퍼의 일부인 제2 반도체 기관과 상기 제2 반도체 기관 상의 제2 배선 구조체를 포함하고, 상기 제1 배선 구조체는 상기 제2 배선 구조체에 접합되며, 상기 접합 후에, 상기 제1 배선 구조체의 외부 측벽은 상기 제1 칩과 상기 제2 칩 사이의 접합 계면과 90° 미만의 각도로 만나도록 형성되는 것인 방법.

청구항 10

삭제

발명의 설명

기술 분야

[0001] 본 발명은 개별화 및 접합 방법 및 이것에 의해 형성된 구조체에 관한 것이다.

배경 기술

[0002] 반도체 산업은 다양한 전자 소자(예, 트랜지스터, 다이오드, 저항기, 캐패시터 등)의 집적 밀도의 지속적인 향상에 기인하여 급속한 성장을 경험하고 있다. 대부분의 경우, 이러한 집적 밀도의 향상은 주어진 면적 내에 더 많은 소자들이 집적되게 하는 최소 선폭 크기의 반복적인 감소(예, 20 nm 이하의 노드를 향한 반도체 공정의 축소)로부터 유래한 것이다. 최근 낮은 전력 소비와 지연은 물론, 소형화, 고속 및 높은 대역폭에 대한 요구가 증대됨에 따라 더 작고 독창적인 반도체 다이의 패키징 기술에 대한 요구가 커지고 있다.

[0003] 반도체 기술이 더욱 발전됨에 따라, 반도체 소자의 물리적 크기를 더욱 줄이기 위한 효과적인 대안으로서 예컨대 3D 집적 회로(3DIC)와 같은 적층형 반도체 소자가 부각되고 있다. 적층형 반도체 소자에서는 상이한 반도체 웨이퍼 상에 로직, 메모리, 프로세서 회로 등의 능동 회로를 형성하고 있다. 반도체 소자의 폼 팩터(form factor)를 더욱 감소시키기 위해 2개 이상의 반도체 웨이퍼가 서로의 상부에 설치될 수 있다.

[0004] 2개의 반도체 웨이퍼는 적절한 접합 기술을 통해 함께 접합될 수 있다. 적층형 반도체 웨이퍼 간에 전기적 접속이 제공될 수 있다. 적층형 반도체 소자는 작은 폼 팩터와 함께 높은 밀도를 제공할 수 있고, 향상된 성능과 낮은 전력 소비를 허용할 수 있다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0005] 일 실시예에 따르면, 방법은 제1 칩을 개별화하고, 상기 제1 칩의 개별화 후에 상기 제1 칩을 제2 칩에 접합하는 단계를 포함한다. 제1 칩은 제1 반도체 기판과 상기 제1 반도체 기판의 전방면 상의 제1 배선 구조체를 포함한다. 상기 제1 칩의 개별화는 상기 제1 배선 구조체를 통해 상기 제1 반도체 기판의 후면을 통한 에칭을 포함한다.

[0006] 다른 실시예에 따르면, 방법은 개별화되지 않은 제1 웨이퍼 상에 제1 칩을 형성하는 단계를 포함한다. 제1 칩은 상기 개별화되지 않은 제1 웨이퍼의 일부인 제1 반도체 기판을 포함하고, 상기 제1 반도체 기판 상에 형성된 제1 배선 구조체를 포함한다. 또한, 방법은 상기 제1 웨이퍼의 나머지로부터 상기 제1 칩을 개별화하고, 상기 제1 칩의 개별화 후에 상기 제1 칩을 제2 칩에 접합하는 단계를 포함한다. 상기 제2 칩은 개별화되지 않은 제2 웨이퍼 상에 존재한다. 상기 제2 칩은 상기 개별화되지 않은 제2 웨이퍼의 일부인 제2 반도체 기판을 포함하고, 상기 제2 반도체 기판 상의 제2 배선 구조체를 포함한다. 상기 제1 배선 구조체는 상기 제2 배선 구조체에 접합된다. 상기 접합 후에, 상기 제1 배선 구조체의 외부 측벽은 상기 제1 칩과 상기 제2 칩 사이의 접합 계면과 90° 미만의 각도로 만나도록 형성된다.

[0007] 추가의 실시예에 따르면, 제1 칩과 상기 제1 칩에 접합된 제2 칩을 포함하는 구조체가 제공된다. 제1 칩은 제1 반도체 기판과 상기 제1 반도체 기판의 전방면 상의 제1 배선 구조체를 포함한다. 상기 제2 칩은 제2 반도체 기판과 상기 제2 반도체 기판의 전방면 상의 제2 배선 구조체를 포함한다. 상기 제1 칩과 상기 제2 칩 사이의 접합 계면에 있는 상기 제1 칩의 외부 측벽은 상기 접합 계면과 90° 미만의 내각으로 만난다.

도면의 간단한 설명

[0008] 본 발명의 여러 측면들은 첨부 도면을 함께 관독시 다음의 상세한 설명으로부터 가장 잘 이해될 것이다. 산업계에서의 표준 관행에 따라 다양한 특징부들은 비율대로 작도된 것은 아님을 밝힌다. 실제, 다양한 특징부의 치수는 논의의 명확성을 위해 임의로 증감될 수 있다.

도 1-8은 칩이 개별화되어 넓은 기판에 접합되는 제1 실시예의 중간 단계의 구조체에 대한 다양한 단면도이다.

도 9-11은 칩이 개별화되어 넓은 기판에 접합되는 제1 실시예의 중간 단계의 구조체에 대한 다양한 단면도이다.

도 12 및 도 13은 칩(들)이 개별화되어 넓은 기판에 접합되는 제1 실시예의 중간 단계의 구조체에 대한 다양한 단면도이다.

도 14-16은 칩(들)이 개별화되어 넓은 기판에 접합되는 제1 실시예의 중간 단계의 구조체에 대한 다양한 단면도이다.

도 17-22는 칩(들)이 개별화되어 넓은 기판에 접합되는 제1 실시예의 중간 단계의 구조체에 대한 다양한 단면도이다.

도 23-28은 칩(들)이 개별화되어 넓은 기판에 접합되는 제1 실시예의 중간 단계의 구조체에 대한 다양한 단면도이다.

도 29-36은 칩이 개별화되어 넓은 기판에 접합되는 제1 실시예의 중간 단계의 구조체에 대한 다양한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 다음의 설명은 본 발명의 여러 가지 다른 특징부의 구현을 위한 다수의 상이한 실시예 또는 실례를 제공한다.

본 발명을 단순화하기 위해 구성 성분 및 배열의 특정 예들을 아래에 설명한다. 이들은 물론 단지 여러 가지 예일 뿐이고 한정하고자 의도된 것이 아니다. 예를 들면, 이어지는 설명에서 제2 특징부 상에 제1 특징부의 형성은 제1 및 제2 특징부가 직접 접촉되게 형성되는 실시예를 포함할 수 있고 제1 및 제2 특징부가 직접 접촉되지 않을 수 있게 추가의 특징부가 제1 및 제2 특징부 사이에 형성될 수 있는 실시예도 포함할 수 있다. 추가로, 본 발명은 여러 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 단순 및 명료성을 위한 것으로 그 자체가 논의되는 다양한 실시예 및/또는 구성 간의 관계를 지시하는 것은 아니다.

[0010] 또한, "아래"(예, beneath, below, lower), "위"(예, above, upper) 등의 공간 관계 용어는 여기서 도면에 예시되는 바와 같이 다른 요소(들) 또는 특징부(들)에 대한 하나의 요소 또는 특징부의 관계를 기술하는 설명의 용이성을 위해 사용될 수 있다. 공간 관계 용어는 도면에 표현된 배향 외에도 사용 중 또는 작동 중인 소자의 다른 배향을 포함하도록 의도된 것이다. 장치는 달리 배향될 수 있으며(90도 회전 또는 다른 배향), 여기 사용되는 공간 관계 기술어도 그에 따라 유사하게 해석될 수 있다.

[0011] 여기 설명되는 실시예들은 칩(및/또는 칩 적층체)을 개별화(singulation)하고 웨이퍼에 접합하는 여러 공정의 측면에서 논의된다. 당업자 중 한 사람이라면 여기 논의되는 실시예의 여러 양태들을 예컨대, 칩-대-칩 접합과 웨이퍼-대-웨이퍼 접합 등의 다른 측면에 적용할 수 있다는 것을 쉽게 이해할 것이다. 여기 논의되는 실시예들은 구조체 내에 존재할 수 있는 모든 요소 또는 특징부를 반드시 예시하는 것은 아닐 수 있음을 알아야 한다. 예를 들면, 예컨대 여러 요소 중 하나에 대한 논의로부터 여러 양태의 실시예들이 충분히 전달되는 경우, 도면에서 여러 요소들을 생략할 수 있다. 또한, 여기 논의되는 방법 실시예들은 특정 순서로 수행되는 것으로 논의될 수 있지만, 다른 방법 실시예들이 임의의 논리적 순서로 수행될 수 있다.

[0012] 도 1-8은 칩이 개별화되어(singulated) 웨이퍼 등의 넓은 기관에 접합되는 제1 실시예의 중간 단계의 구조체에 대한 다양한 단면도이다. 도 1을 참조하면, 개별화(singulation)되기 전의 제1 집적 회로 칩(또는 더 간단히 "칩")(100)이 예시된다. 제1 칩(100)은 제1 전기 회로(제1 트랜지스터(104)를 포함하는 제1 전기 회로로 예시됨)가 상부에 형성된 제1 반도체 기관(102)을 포함한다. 제1 반도체 기관(102)은 예컨대, 벌크형 반도체, 반도체-온-인슐레이터(SOI) 기관 등을 포함할 수 있다. 일반적으로, SOI 기관은 절연층 위에 형성된 반도체 재료의 층을 포함한다. 절연체 층은 예컨대, 매입 산화물(BOX) 층, 실리콘 산화물 층 등일 수 있다. 절연체 층은 통상 실리콘 또는 유리 기관인 기관 상에 제공된다. 제1 반도체 기관(102)의 반도체 재료는 실리콘, 게르마늄 등의 원소 반도체; SiC, SiGe, GaAs, GaP, InP, InAs, InSb, GaAsP, AlInAs, AlGaAs, GaInAs, GaInP, GaInAsP 등을 포함하는 화합물 또는 합금 반도체; 또는 이들의 조합을 포함할 수 있다. 도 1에 예시된 바와 같이, 제1 반도체 기관(102)은 개별화되기 전에 다른 유사한 칩들 또는 동일 칩들이 상부에 형성된 웨이퍼와 같은 대형 반도체 기관의 일부이다.

[0013] 일 실시예에서, 회로는, 하나 이상의 유전층(들)(106)을 갖는 제1 반도체 기관(102) 상에 형성되고 개별 배선 패턴(108)이 상부에 형성된 제1 트랜지스터(104)와 같은 전기 소자를 포함한다. 제1 트랜지스터(104)와 같은 전기 소자는 제1 반도체 기관(102)의 전방 측으로 지칭될 수 있는 부분 상에 형성될 수 있다. 제1 반도체 기관(102)의 전방 측과 반대인 반도체 기관(102)의 측면은 제1 반도체 기관(102)의 후방 측으로 지칭될 수 있다. 유전층(들)(106) 내의 배선 패턴(108)(예, 제1 반도체 기관(102)의 전방 측에 형성됨)은 전기 소자들 사이에서 및/또는 제1 반도체 기관(102)의 외부의 노드로 전기 신호들을 전달할 수 있다. 전기 소자들은 하나 이상의 유전층(들)(106)에도 형성될 수 있다. 이후 참고의 편의를 위해, 임의의 접촉부 및/또는 비아를 포함하는 유전층(들)(106)과 배선 패턴(108)을 총칭하여 제1 칩 전방측 배선 구조체(110)로서 지칭한다.

[0014] 제1 반도체 기관(102) 상에 형성된 제1 전기 회로는 특정 용례에 적합한 임의의 종류의 회로일 수 있다. 예를 들면, 제1 전기 회로는 하나 이상의 기능을 수행하도록 상호 연결된 트랜지스터, 캐패시터, 저항기, 다이오드, 광-다이오드, 퓨즈 등의 다양한 소자를 포함할 수 있다. 제1 전기 회로는 메모리 구조체, 데이터 처리 구조체, 센서, 증폭기, 배전기, 입력/출력 회로 등을 포함할 수 있다. 도 1에 예시된 예는 제1 반도체 기관(102) 내의 트랜지스터(104)를 나타낸다. 각각의 제1 트랜지스터(104)는 제1 반도체 기관(102)의 능동 영역 내에 소스/드레인 영역을 포함하는데, 상기 능동 영역은 제1 반도체 기관(102) 내에서 얇은 트렌치 소자 분리부(STI)와 같은 아이솔레이션 영역에 의해 형성된다. 각각의 제1 트랜지스터(104)는 각각의 소스/드레인 영역 사이에 배치된 제1 반도체 기관 상의 게이트 구조체를 더 포함한다. 게이트 구조체는 제1 반도체 기관(102) 상의 게이트 유전체, 상기 게이트 유전체 상의 게이트 전극, 그리고 상기 게이트 유전체 및 게이트 전극의 양측 측면 상의 게이트 스페이서를 포함한다. 당업자 중 한 사람이라면 상기 예들이 예시적인 목적으로 제공됨을 알 것이다. 주어진 용례에 적합하게 다른 회로가 사용될 수 있다.

- [0015] 유전층(들)(106)은 하나 이상의 층간 절연(ILD) 층과 하나 이상의 배선간 절연(IMD) 층을 포함할 수 있다. 유전층(들)(106)은 예컨대, 스피닝, 화학적 기상 증착(CVD), 플라즈마 증착 CVD(PECVD)와 같은 당업계에 공지된 임의의 적절한 방법에 의해 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG), 플루오로실리케이트 유리(FSG), SiO₂Cy, 스핀-온-글래스, 스핀-온-중합체, 실리콘 탄소 재료, 이들의 화합물, 이들의 복합체, 이들의 조합 등의 저-K 유전 재료로 형성될 수 있다. 제1 칩 전방측 배선 구조체(110) 내에 임의의 개수의 유전층(106)이 형성될 수 있다는 것도 알아야 한다.
- [0016] 구체적으로 예시되지는 않았지만, 제1 트랜지스터(104), 예컨대 제1 트랜지스터(104)의 소스/드레인 영역에 전기적 접촉을 제공하기 위해 유전층(들)(106) 중 하나 이상의 유전층, 예컨대 ILD 층을 통해 접촉부들이 형성될 수 있다. 접촉부들은 예컨대 ILD 층 위에 포토레지스트 재료를 증착 및 패터닝하여 상기 접촉부로 형성될 ILD 층의 부분들을 노출시키기 위해 포토리소그래피 기법을 이용하는 것으로 형성될 수 있다. ILD 층 내에 구멍들을 형성하기 위해 이방성 건식 에칭 공정과 같은 에칭 공정을 이용할 수 있다. 구멍들은 확산 장벽층 및/또는 접착층(도시 생략)으로 피복되고 전도성 재료로 충전될 수 있다. 확산 장벽층은 TaN, Ta, TiN, Ti, 코발트 텅스텐 등의 하나 이상의 층을 포함하고, 전도성 재료는 구리, 텅스텐, 알루미늄, 은, 이들의 조합 등을 포함하여, 접촉부를 형성할 수 있다.
- [0017] 유사하게, 하부의 배선 패턴까지 비아를 포함할 수 있는 배선 패턴(108)이 IMD 층과 같은 유전층(들)(106) 내에 형성될 수 있다. 배선 패턴(108)은 예컨대, 각각의 IMD 층 위에 포토레지스트 재료를 증착 및 패터닝하여 개별 배선 패턴(108)으로 형성될 IMD 층의 부분들을 노출시키기 위해 포토리소그래피 기법을 이용하는 것으로 형성될 수 있다. IMD 층 내에 리세스/구멍들을 형성하기 위해 이방성 건식 에칭 공정과 같은 에칭 공정을 이용할 수 있다. 리세스/구멍들은 확산 장벽층 및/또는 접착층(도시 생략)으로 피복되고 전도성 재료로 충전될 수 있다. 확산 장벽층은 TaN, Ta, TiN, Ti, 코발트 텅스텐 등의 하나 이상의 층을 포함하고, 전도성 재료는 구리, 텅스텐, 알루미늄, 은, 이들의 조합 등을 포함하여, 도 1에 예시된 배선 패턴(108)을 형성할 수 있다. 일반적으로, ILD 층과 IMD 층과 같은 유전층(들)(108)과 부수되는 배선 패턴(108)은 전기 회로를 상호 연결하고 외부의 전기적 접속을 제공하기 위해 사용된다.
- [0018] 유전층(들)(106)은 ILD 및 IMD 층들 중 인접하는 일종의 층들 사이에 위치한 하나 이상의 에칭 정지층을 더 포함할 수 있다. 일반적으로, 에칭 정지층은 비아 및/또는 접촉부를 형성할 때 에칭 공정을 방지하는 메커니즘을 제공한다. 에칭 정지층은 예컨대, 하부의 제1 반도체 기판(102)과 상부의 ILD 층 사이의 에칭 정지층과 같이, 인접하는 층들과 다른 에칭 선택비를 갖는 유전 재료로 형성된다. 일 실시예에서, 에칭 정지층은 CVD 또는 PECVD 기법에 의해 증착되는 SiN, SiCN, SiCO, CN, 이들의 조합 등으로 형성될 수 있다.
- [0019] 도 2를 참조하면, 넓은 기판의 일부로서의 제1 칩(100)이 릴리스 층(114)에 의해 캐리어 기판(112)에 부착된다. 릴리스 층(114)은 제1 칩(100)의 제1 칩 전방측 배선 구조체(110)를 캐리어 기판(112)에 부착시킨다. 캐리어 기판(112)은 유리 캐리어 기판, 세라믹 캐리어 기판 등일 수 있다. 캐리어 기판(112)은 웨이퍼와 같은 넓은 기판일 수도 있다. 릴리스 층(114)은 제1 칩(100)의 개별화 이후에 캐리어 기판(112)과 함께 제1 칩(100)(및 다른 칩들)으로부터 제거될 수 있는 중합체계 재료로 형성될 수 있다. 일부 실시예에서, 릴리스 층(114)은 광열 변환(LTHC) 릴리스 코팅과 같이 가열시 그 접착성이 소실되는 에폭시계 열분리 재료이다. 다른 실시예에서, 릴리스 층(114)은 UV 광에 노출시 그 접착성이 소실되는 자외선(UV) 접착제일 수 있다. 릴리스 층(114)은 액체로서 분배되어 경화되거나, 캐리어 기판에 적층된 라미네이트 필름이거나, 다른 구성을 가질 수 있다.
- [0020] 일단 넓은 기판의 일부로서의 제1 칩(100)이 캐리어 기판(112)에 부착되면, 제1 반도체 기판(102)은 박판화(thinning) 처리될 수 있다. 박판화 공정은 제1 반도체 기판(102)을 제1 반도체 기판(102)의 후면으로부터 박판화할 수 있다. 박판화 공정은 화학적 기계적 연마(CMP), 에치-백 공정 등 또는 이들의 조합과 같은 연삭 공정을 포함할 수 있다. 일부 실시예에서, 제1 반도체 기판(102)을 박판화하기 전의 제1 칩(100)의 두께(예, 제1 반도체 기판(102)과 제1 칩 전방측 배선 구조체(110)의 결합 두께)는 약 300 μm 이상일 수 있고, 제1 반도체 기판(102)을 박판화한 후의 두께는 예컨대, 약 5 μm~약 20 μm일 수 있고, 약 5 μm 이상일 수 있다.
- [0021] 도 3을 참조하면, 넓은 기판의 일부로서의 제1 칩(100)이 캐리어 기판(112)에 부착되어 있는 동안, 상기 넓은 기판 및/또는 다른 칩들로부터 제1 칩(100)을 개별화하기 위해 제1 반도체 기판(102)의 후면을 통해 에칭 개별화 공정이 수행된다. 에칭 개별화 공정은 포토리소그래피 및 에칭 기법을 이용할 수 있다. 에칭 개별화 공정은 제1 반도체 기판(102)의 후면 상에 포토레지스트를 증착, 노광 및 현상하는 것을 포함할 수 있다. 이 공정은 제1 반도체 기판(102)의 후면 상의 포토레지스트를 패터닝한다. 포토레지스트에 형성된 패턴은 에칭되는 것을 통해 넓은 기판으로부터 제1 칩(100) 및/또는 유사한 칩들을 개별화하게 되는 제1 칩(100)의 주변의 개별화

영역들을 노출시킨다. 이후 패턴화된 포토레지스트를 통해 에칭 공정이 수행될 수 있다. 에칭 공정은 디프 반응성 이온 에칭(DRIE), 유도 결합 플라즈마(inductively coupled plasma: ICP) 에칭, 용량 결합 플라즈마(capacitively coupled plasma: CCP) 에칭, 등등 또는 이들의 조합과 같은 이방성 에칭될 수 있다. 에칭 공정은 제1 반도체 기판(102)과 제1 칩 전방측 배선 구조체(110)를 통한 개별화를 통해 에칭을 행한다. 에칭 공정이 완료된 후, 제1 칩(100) 및/또는 다른 유사한 칩들이 개별화된다. 에칭 공정 중에 제1 반도체 기판(102)의 후면 상에 하드 마스크 층(들), 반사 방지 코팅(ARC) 층(들) 등등, 또는 이들의 조합과 같은 다양한 층들이 제공될 수 있다.

[0022] 에칭 공정은 제1 칩(100)의 측면을 수직, 비수직, 이들의 조합을 취하도록 할 수 있다. 예를 들면, 제1 반도체 기판(102)의 후면에 인접한 제1 칩(100)의 측면은 수직인 반면, 제1 칩 전방측 배선 구조체(110)에 인접하거나 및/또는 상부의 제1 칩(100)의 측면은 비수직일 수 있다. 예시된 바와 같이, 제1 칩(100)의 제1 칩 전방측 배선 구조체(110)의 측면은 비수직이다. 제1 칩(100)의 제1 칩 전방측 배선 구조체(110)의 측면과 제1 반도체 기판(102)으로부터 먼 쪽의 제1 칩(100)의 제1 칩 전방측 배선 구조체(110)의 외부면 사이의 내각(116)은 90° 미만인데, 상기 내각은 약 89° ~약 60° 일 수도 있고, 더 구체적으로 약 88° ~약 80° 일 수 있다.

[0023] 도 3과 관련하여 논의된 에칭 개별화 공정은 제1 칩(100)의 레이아웃 형태에 대해 더 많은 유연성을 허용할 수 있다. 예를 들면, 제1 칩(100)에 직사각형의 레이아웃 형태를 허용하는 것을 포함하여, 제1 칩(100)의 레이아웃 형태는 육각형, 8각형, 원형, 달걀형, 다른 다각형 등일 수 있다.

[0024] 도 4를 참조하면, 여전히 캐리어 기판(112)에 부착된 개별화된 제1 칩(100)은 뒤집어서 다이싱 테이프(120)에 부착된다. 도 5를 참조하면, 제1 칩(100), 예컨대 제1 칩 전방측 배선 구조체(110)로부터 캐리어 기판(112)을 분리하기 위해 캐리어 기판 분리 공정이 수행된다. 일부 실시예에 따르면, 분리는 릴리스 층(114)이 분해되어 캐리어 기판(112)이 제거될 수 있도록 레이저 광 또는 UV 광 등의 광을 릴리스 층(114)에 조사하는 것을 포함한다. 분리 공정 후에 제1 칩(100) 위에 남아 있는 릴리스 층(114)의 잔류물을 제거하기 위해 세정 공정이 수행될 수 있다.

[0025] 도 6을 참조하면, 개별화 이전의 제2 집적 회로 칩(더 간단하게 "칩")(130)이 예시된다. 도 1의 제1 칩(100)의 논의의 상당 부분이 도 6의 제2 칩(130)에 적용될 수 있다. 당업자 중 한 사람이라면 제1 칩(100)과 제2 칩(130) 간의 특징부 및 논의의 관련성을 쉽게 이해할 것이므로, 제2 칩(130)의 특징부의 일부 논의는 간결성을 위해 여기서 생략된다. 제2 칩(130)은 제2 전기 회로(제2 트랜지스터(134)를 포함하는 것으로 예시됨)를 갖는 제2 반도체 기판(132)을 포함하고, 개별 배선 패턴(138)을 갖는 하나 이상의 유전층(136)을 갖는 제2 칩 전방측 배선 구조체(140)를 가진다. 제2 전기 회로는 메모리 구조체, 데이터 처리 구조체, 센서, 증폭기, 배전기, 입력/출력 회로 등을 포함할 수 있다. 제2 반도체 기판(132)은 다른 유사한 칩들 또는 동일한 칩들이 상부에 형성된 개별화 이전의 웨이퍼 등의 대형 반도체 기판의 일부이다.

[0026] 도 6을 더 참조하면, 예컨대 제2 칩(130)이 웨이퍼와 같은 넓은 기판의 일부일 때, 제2 칩(130)에 제1 칩(100)이 접합된다. 따라서, 도 6은 칩-온 웨이퍼(CoW) 접합을 나타낼 수 있다. 제1 칩(100)은 다이싱 테이프(120)로부터 분리된 후 선택-배치 도구를 사용하여 제2 칩(130) 위에 정렬될 수 있다. 이후 제1 칩(100)은 제2 칩(130)과 접촉되어 접합이 일어난다. 예시된 바와 같이, 제1 칩(100)의 제1 칩 전방측 배선 구조체(110)는 제2 칩(130)의 제2 칩 전방측 배선 구조체(140)에 접합된다. 이후 참고의 편의를 위해, 접합된 제1 칩(100)과 제2 칩(130)을 칩 스택(100/130)으로서 지칭할 수 있다. 접합은 제1 반도체 기판(102)으로부터 가장 멀리 있는 제1 칩(100)의 하나의 유전층(106)을 제2 반도체 기판(132)으로부터 가장 멀리 있는 제2 칩(130)의 하나의 유전층(136)에 접합하는 것을 포함할 수 있다. 접합은 제1 반도체 기판(102)으로부터 가장 멀리 있는 제1 칩(100)의 배선 패턴(108)을 제2 반도체 기판(132)으로부터 가장 멀리 있는 제2 칩(130)의 배선 패턴(138)에 접합하는 것을 더 포함할 수 있다. 또한, 접합은 제1 칩(100)의 유전층(106)을 제2 칩(130)의 배선 패턴(138)에, 및/또는 제1 칩(100)의 배선 패턴(108)을 제2 칩(130)의 유전층(136)에 접합하는 것을 포함할 수 있다. 따라서, 접합은 유전체 간 접합, 금속 간 접합, 금속-유전체 간 접합 및/또는 등등을 포함할 수 있다. 일부의 경우, 금속 간 접합은 제1 칩(100)과 제2 칩(130) 간의 전기적 상호 연결을 허용한다.

[0027] 도 6에 더 예시된 바와 같이, 접합된 구조체 내에는 제1 칩(100)과 제2 칩(130) 간의 접합 계면까지의 제1 칩(100)의 측면의 내각(116)이 존재한다. 이전에 논의된 바와 같이, 개별화 에칭 공정은 제1 칩(100)의 측면이 비수직적이 되도록 할 수 있고, 이는 다시 제1 칩(100)과 제2 칩(130) 사이의 접합 계면과 상기 비수직적 측면 사이에 내각(116)이 존재하도록 할 수 있다.

[0028] 도 7을 참조하면, 제1 칩(100)은 예컨대, 제2 칩(130)이 넓은 기판의 일부인 경우, 제2 칩(130) 상의 밀봉재

(142)로 밀봉된다. 밀봉재(142)는 몰딩 화합물, 에폭시, 수지 등일 수 있고, 압축 몰딩, 트랜스퍼 몰딩 등을 이용하여 제1 칩(100)을 밀봉하도록 형성될 수 있다.

[0029] 도 8을 참조하면, 제2 반도체 기판(132)의 후면에 대한 처리가 수행된다. 이러한 처리는 제2 반도체 기판(132)을 박판화(thinning)하는 것을 포함할 수 있다. 박판화 공정은 제2 반도체 기판(132)을 제2 반도체 기판(132)의 후면으로부터 박판화할 수 있다. 박판화 공정은 CMP, 에치-백 공정 등등 또는 이들의 조합과 같은 연삭 공정을 포함할 수 있다. 일부 실시예에서, 제2 반도체 기판(132)을 박판화 하기 전에, 제2 칩(130)의 두께(예, 제2 반도체 기판(132)과 제2 칩 전방측 배선 구조체(140)의 결합 두께)는 약 300 μm 이상일 수 있고, 제2 반도체 기판(132)의 박판화 이후의 두께는 예컨대 약 5 μm ~약 20 μm 의 범위일 수 있고, 약 5 μm 이상일 수 있다.

[0030] 이후, 개별 배선 패턴(148)이 형성된 하나 이상의 유전층(146)을 갖는 제2 칩 후방측 배선 구조체(150)와 관통비아(144)가 형성된다. 다음의 논의는 이러한 특징부의 예시적인 구성을 설명하지만, 여기 설명되는 일부 세부적인 부분은 도 8에 명시적으로 예시되지 않을 수 있다. 당업자 중 한 사람이라면 다른 구성도 사용될 수 있음을 잘 이해할 것이다.

[0031] 관통 비아(144)는 제2 반도체 기판(132)을 관통한다. 제2 반도체 기판(132)의 후면으로부터 배선 패턴(138 및/또는 108) 중 하나 이상까지 연장되는 전기적 연결이 형성된다. 우선, 제2 반도체 기판(132)을 통해 관통 비아(144)를 위해 구멍들이 형성된다. 구멍들은 예를 들면, 제2 반도체 기판(132)의 후면 상에 포토레지스트 재료를 증착 및 패터닝하여 구멍들이 형성될 제2 반도체 기판(132)을 노출시키는 포토리소그래피 기법을 이용하여 형성될 수 있다. 제2 반도체 기판(132) 내에 구멍들을 형성하기 위해 이방성 건식 에칭 공정과 같은 에칭 공정이 이용될 수 있다. 이들 공정 중에 하드 마스크 층(들), ARC 층(들), 등등 또는 이들의 조합과 같은 다양한 층들이 제2 반도체 기판(132) 내에 제공될 수 있다.

[0032] 제2 반도체 기판(132)의 후면 상에 제2 반도체 기판(132) 내의 구멍들의 측벽을 따라 하나 이상의 유전막(들)이 형성될 수 있다. 유전막(들)은 관통 비아와 소자 회로 사이에 패시베이션 및 아이솔레이션을 제공할 수 있고, 예컨대 후속하는 에칭 공정 중에 제2 반도체 기판(132)에 대해 보호를 제공할 수 있다. 또한, 유전막(들)은 제2 반도체 기판(132) 내로 확산되는 금속 이온들에 대한 보호를 제공할 수 있다.

[0033] 일 실시예에서, 제2 반도체 기판(132)의 후면을 따라 구멍들 내에 다층 유전막이 형성된다. 다층 유전막은 제1 유전막과 상기 제1 유전막 위의 제2 유전막을 포함한다. 제1 유전막과 제2 유전막의 재료는 상기 2개 층 사이에 비교적 높은 에칭 선택비가 존재하도록 선택된다. 사용될 수 있는 유전 재료의 예는 제1 유전막을 위한 질화물 재료와 제2 유전막을 위한 산화물이다. 실리콘 질화물(Si_3N_4) 층과 같은 질화물 층이 CVD 기법을 이용하여 형성될 수 있다. 실리콘 이산화물 층과 같은 산화물 층이 열 산화 또는 CVD 기법에 의해 형성될 수 있다. 다른 산화물, 다른 질화물, SiON, SiC, 저-k 유전 재료(예, 블랙 다이아몬드) 및/또는 고-k 산화물(예, HfO_2 , Ta_2O_5)을 포함하는 다른 재료가 사용될 수 있다. 예컨대, 제1 유전막에 대해 손상이 적거나 없도록 하면서 제2 유전막이 에칭되도록 에칭 공정을 이용하여 제2 유전막으로부터 스페이서 형태의 구조체들이 형성된다.

[0034] 제2 반도체 기판(132)의 후면 상에 패터닝된 마스크가 형성되며, 상기 패터닝된 마스크는 예컨대, 포토리소그래피 공정의 일부로서 증착, 마스크링, 노광, 및 현상된 포토레지스트 재료일 수 있다. 패터닝된 마스크는 제2 반도체 기판(132)과 유전층(136 및/또는 106)을 관통하는 구멍들을 통해 연장되는 비아 구멍들을 형성하도록 패터닝됨으로써 배선 패턴(138 및/또는 108) 중 하나 이상의 부분들을 노출시킨다. 이들 비아 구멍들을 형성하기 위해 하나 이상의 에칭 공정들이 수행된다. 비아 구멍들을 형성하기 위해 건식 에칭, 이방성 습식 에칭, 또는 임의의 다른 적절한 이방성 에칭 또는 패터닝 공정과 같은 적절한 에칭 공정이 수행된다. 에칭 공정은 다양한 종류의 재료와 에칭 정지층들을 포함할 수 있는 유전층들의 형성에 사용되는 다양한 층들을 통해 제공될 수 있음을 알아야 한다. 따라서, 에칭 공정은 상기 다양한 층들을 통해 에칭을 행하기 위해 다수의 에칭제를 활용할 수 있으며, 에칭제는 에칭되는 재료를 기초로 선택된다.

[0035] 비아 구멍 내에 전도성 재료가 형성된다. 일 실시예에서, 전도성 재료는 하나 이상의 확산 및/또는 장벽 층을 증착하고 시드층을 증착하는 것에 의해 형성될 수 있다. 예를 들면, 비아 구멍들의 측벽을 따라 Ta, TaN, TiN, Ti, 코발트 텅스텐 등 중 하나 이상의 층을 포함하는 확산 장벽층이 형성될 수 있다. 시드층(도시 생략)은 구리, 니켈, 금, 이들의 조합 및/또는 유사물로 형성될 수 있다. 확산 장벽층과 시드층은 물리적 기상 증착(PVD), CVD 및/또는 유사 기법 등의 적절한 증착 기법에 의해 형성될 수 있다. 일단 시드층이 구멍 내에 증착되면, 텅스텐, 티타늄, 알루미늄, 구리, 이들의 조합 및/또는 유사물과 같은 전도성 재료가 예컨대, 전기-화학

도금 공정 또는 다른 적절한 공정을 이용하여 비아 구멍 내에 충전된다. 충전된 비아 구멍은 관통 비아(144)를 형성한다.

- [0036] 과잉의 전도성 재료 및/또는 유전막과 같은 과잉의 재료가 제2 반도체 기관(132)의 후면으로부터 제거될 수 있다. 여러 실시예에서, 환경으로부터 추가적인 보호를 제공하기 위해 다층 유전막의 층들 중 하나 이상의 층이 제2 반도체 기관(132)의 후면을 따라 남겨질 수 있다. 과잉의 재료는 에칭 공정, 연삭 또는 연마 공정(예, CMP 공정) 등을 이용하여 제거될 수 있다.
- [0037] 이후, 제2 칩 후방측 배선 구조체(150)의 하나 이상의 배선 패턴(148)을 갖는 하나 이상의 유전층(146)이 제2 반도체 기관(132)의 후면 상에 형성될 수 있다. 예를 들면, 상기 하나 이상의 유전층(146)은 제2 반도체 기관(132)의 후면을 따라 형성된 유전체 캐핑층을 포함할 수 있다. 유전체 캐핑층은 스퍼터링, CVD 등과 같은 적절한 증착 기법을 이용하는 것에 의해 형성된 실리콘 질화물, 실리콘 산질화물, 실리콘 옥시카바이드, 실리콘 카바이드, 이들의 조합과 같은 유전 재료의 하나 이상의 층 및 이들의 다층을 포함할 수 있다.
- [0038] 유전체 캐핑층을 통해 각각의 관통 비아(144)까지 비아가 형성될 수 있다. 비아는 예컨대, 유전체 캐핑층 상에 포토레지스트 재료를 증착 및 패턴화하여 비아를 위해 제거될 유전체 캐핑층의 부분을 노출시키는 포토리소그래피 기법을 이용하는 것에 의해 형성될 수 있다. 유전체 캐핑층에 구멍을 형성하기 위해 이방성 건식 에칭 공정과 같은 에칭 공정이 이용될 수 있다. 구멍은 확산 장벽층 및/또는 접착층(도시 생략)으로 피복된 후 전도성 재료로 충전될 수 있다. 확산 장벽층은 TaN, Ta, TiN, Ti, 코발트 텅스텐 등의 하나 이상의 층을 포함할 수 있고, 전도성 재료는 구리, 텅스텐, 알루미늄, 은, 이들의 조합 등을 포함하여, 개별 캐핑층을 통해 관통 비아(144)까지 비아를 형성할 수 있다.
- [0039] 비아 위에 비아와 전기적으로 접촉되도록 유전체 캐핑층 위에 전도성 패드가 형성될 수 있다. 전도성 패드는 알루미늄을 포함하지만, 구리와 같은 다른 재료가 활용될 수 있다. 전도성 패드는 재료의 층을 형성하는 스퍼터링 또는 다른 적절한 공정과 같은 증착 공정을 이용하여 형성될 수 있으며, 이후 전도성 패드를 형성하는 적절한 공정(예, 포토리소그래피 마스크 및 에칭)을 통해 재료의 층의 여러 부분이 제거될 수 있다. 그러나, 전도성 패드를 형성하기 위해 임의의 적절한 공정이 활용될 수 있다.
- [0040] 유전체 캐핑층과 전도성 패드 위에 패시베이션 층이 형성될 수 있다. 패시베이션 층은 실리콘 산화물, 실리콘 질화물, 이들의 조합 등등과 같은 일종 이상의 적절한 유전 재료를 포함할 수 있다. 패시베이션 층은 예컨대, CVD, PECVD 또는 임의의 적절한 공정을 이용하여 형성될 수 있다. 패시베이션 층이 형성된 후, 패시베이션 층의 일부를 제거하여 하부의 전도성 패드의 적어도 일부를 노출시키는 것에 의해 패시베이션 층을 통해 전도성 패드까지 구멍이 형성될 수 있다. 구멍은 적절한 포토리소그래피 및 에칭 공정을 이용하여 형성될 수 있다.
- [0041] 패시베이션 층 위에 제1 유전층이 형성될 수 있다. 제1 유전층은 폴리이미드, 폴리벤조사졸(PBO), 벤조시클로부텐(BCB) 등과 같은 중합체로 형성될 수 있다. 제1 유전층은 스핀 코팅, 라미네이팅 등에 의해 형성될 수 있다. 제1 유전층은 패시베이션 층 내의 구멍을 통해 구멍을 형성하도록 패턴화되며, 상기 구멍을 통해 전도성 패드가 노출된다. 제1 유전층의 패턴화는 포토리소그래피 기법을 포함할 수 있다. 제1 유전층을 경화시키기 위해 경화 단계가 수행될 수 있다.
- [0042] 제1 유전층 위에 포스트-패시베이션 배선(PPI)이 형성되어 제1 유전층과 패시베이션 층 내의 구멍을 충전함으로써 전도성 패드와 전기적 연결을 형성할 수 있다. PPI는 전도성 패드에 전기적으로 연결되는 후속으로 형성되는 언더 범프 메탈(UBM)이 제2 칩(130) 상의 임의의 소망하는 위치에 배치될 수 있게 하는 재배선 층으로서 활용될 수 있다. 일 실시예에서, PPI는 PVD, 스퍼터링 등과 같은 적절한 성막 공정을 이용하여 티타늄 구리 합금을 포함할 수 있는 시드층을 형성하는 것에 의해 형성될 수 있다. 이후, 시드층을 피복하도록 포토레지스트가 형성되고, PPI가 배치되기 원하는 곳에 위치된 시드층의 부분을 노출시키도록 패턴화될 수 있다. 일단 포토레지스트가 형성되어 패턴화되면, 구리와 같은 전도성 재료가 도금과 같은 증착 공정을 통해 시드층 위에 형성될 수 있다. 논의되는 재료와 방법들은 전도성 재료의 형성에 적합하지만, 이들 재료와 방법은 단지 예들일 뿐이다. PPI의 형성을 위해 AlCu 또는 Au 등의 임의의 다른 적절한 재료와 CVD 또는 PVD 등의 임의의 다른 적절한 성막 공정이 사용될 수 있다. 일단 전도성 재료가 형성되면, 예컨대, 산소 플라즈마를 사용하는 것에 의해 애싱(ashing)과 같은 적절한 제거 공정을 통해 포토레지스트가 제거될 수 있다. 추가로, 포토레지스트의 제거 후, 포토레지스트에 의해 피복된 시드층의 부분들이 예컨대 적절한 에칭 공정을 통해 제거될 수 있다.
- [0043] PPI와 제1 유전층 위에 제2 유전층이 형성된다. 제2 유전층은 폴리이미드, PBO, BCB 등과 같은 중합체로 형성될 수 있다. 제2 유전층은 스핀 코팅, 라미네이팅 등에 의해 형성될 수 있다. 제2 유전층은 PPI가 노출되는

구멍을 형성하도록 패턴화된다. 제2 유전층의 패턴화는 포토리소그래피 기법을 포함할 수 있다. 제2 유전층의 경화를 위해 경화 단계가 수행될 수 있다.

- [0044] 제2 유전층 내에 PPI와 전기적으로 접촉되게 UBM이 형성될 수 있다. UBM은 티타늄 층, 구리 층 및 니켈 층과 같은 3개의 전도 재료의 층을 포함할 수 있다. 당업자 중 한 사람이라면 UBM의 형성에 적합할 수 있는, 예컨대, 크롬/크롬-구리 합금/구리/금의 배열, 티타늄/티타늄 텅스텐/구리의 배열, 또는 구리/니켈/금의 배열과 같은 재료 및 층의 적절한 배열이 다수 존재함을 인식할 것이다.
- [0045] UBM은 제2 유전층 위에 상기 제2 유전층을 통해 PPI까지 형성된 구멍의 내부를 따라 각각의 층을 형성하는 것에 의해 형성될 수 있다. 각각의 층은 전기 화학적 도금과 같은 도금 공정을 이용하여 형성될 수 있지만, 스퍼터링, 증발 또는 PECVD 공정과 같은 다른 성막 공정도 활용될 수 있다. 일단 원하는 층이 형성되면, 원치 않는 재료를 제거하고 원하는 형상의 UBM을 남기기 위해 적절한 포토리소그래피 마스크 및 에칭 공정을 통해 상기 층들의 일부를 제거할 수 있다.
- [0046] UBM 위에 접촉 범프(152)가 형성된다. 접촉 범프(152)는 C4(controlled collapse chip connection)이거나 및/또는 뿔뿔 또는 주석 등의 재료, 또는 다른 적절한 재료, 예컨대, 은, 무연 주석 또는 구리 등의 재료를 포함할 수 있다. 접촉 범프(152)가 주석 뿔뿔 범프인 실시예에서, 접촉 범프(152)는 먼저 증발, 전기 도금, 인쇄, 뿔뿔 트랜스퍼, 볼 배치 등을 통해 주석 층을 형성하는 것에 의해 형성될 수 있다. 일단 주석 층이 구조체 상에 형성되면, 재료의 형태를 원하는 범프 형태로 성형하기 위해 리플로(reflow)가 수행될 수 있다. 다른 범프 구조체들이 사용될 수 있다. 예를 들면, 뿔뿔 접속부를 갖는 금속 필라(pillar)도 사용될 수 있다.
- [0047] 도 8에 예시된 처리 후에, 제2 반도체 기판(132)의 넓은 기판으로부터 칩 스택(100/130)을 개별화하기 위해 개별화(simulation) 공정이 수행될 수 있다. 일부 실시예에서, 개별화 공정은 도 2~5와 관련하여 전술한 공정과 유사한 에칭 개별화 공정일 수 있다. 다른 실시예에서, 개별화 공정은 소밍(sawing) 공정을 이용할 수 있지만, 추가의 실시예에서, 개별화 공정은 소잉 및 에칭 개별화 조합 공정일 수 있다.
- [0048] 도 1~6 및 도 9~11은 칩이 개별화되어 웨이퍼와 같은 넓은 기판에 접합된 제2 실시예의 중간 단계들의 구조체들의 다양한 단면도를 나타낸다. 처리는 도 1~6과 관련하여 전술한 바와 같이 진행된다. 도 9를 참조하면, 예컨대, 제2 칩(130)이 넓은 기판의 일부인 경우, 제1 칩(100)이 제2 칩(130) 상의 밀봉재(160)로 밀봉된다. 일부 실시예에서, 예컨대 후속하는 처리가 오직 저온 공정만을 이용하는 경우, 밀봉재(160)는 몰딩 화합물, 에폭시, 수지 등일 수 있고, 압축 몰딩, 트랜스퍼 몰딩 등을 이용하여 제1 칩(100)을 밀봉하도록 형성될 수 있다. 일부 실시예에서, 예컨대, 후속 처리가 고온 공정을 포함하는 경우, 밀봉재(160)는 예컨대, PECVD에 의해 증착된 산화물, 유동성 화학적 기상 증착(FCVD)에 의해 증착된 테트라에틸오르소실리케이트(TEOS) 등과 같이 전공정(front end of the line: FEOL) 처리 중에 사용되는 산화물 유전체와 같은 유전체 밀봉재일 수 있다. 밀봉재(160)를 갖는 제1 반도체 기판(160)의 후면을 평탄화하거나 및/또는 과잉의 밀봉재(160)를 제거하기 위해 CMP와 같은 평탄화 공정이 사용될 수 있다.
- [0049] 도 10을 참조하면, 개별 배선 패턴(168)이 형성된 하나 이상의 유전층(166)을 갖는 제1 칩 스택 배선 구조체(170)와 관통 비아(162)가 형성된다. 관통 비아(162)는 제1 반도체 기판(102)을 통해 형성된다. 제1 반도체 기판(102)의 후면으로부터 배선 패턴(138 및/또는 108) 중 하나 이상의 배선 패턴까지 연장되는 전기적 연결부가 형성된다. 관통 비아(162)는 도 8의 관통 비아(144)의 형성과 관련하여 전술된 공정들을 이용하여 형성될 수 있다. 제1 칩 스택 배선 구조체(170)의 배선 패턴(168)은 관통 비아(162)에 연결되어 제1 칩 스택 배선 구조체(170)로부터 제1 칩(100) 및 제2 칩(130)까지 전기적 연결을 제공한다. 일부 실시예에서, 예컨대, 후속 처리가 오직 저온 공정만을 이용하는 경우, 제1 칩 스택 배선 구조체(170)는 도 8의 제2 칩 후방측 배선 구조체(150)와 관련하여 전술된 공정들을 이용하여 형성될 수 있다. 일부 실시예에서, 예컨대, 후속 처리가 고온 공정을 포함하는 경우, 제1 칩 스택 배선 구조체(170)는 도 1의 제1 칩 전방측 배선 구조체(110)의 형성과 관련하여 전술된 공정들을 이용하여 형성될 수 있다.
- [0050] 도 11을 참조하면, 배선 패턴(168)에 전기적으로 결합된 제1 칩 스택 배선 구조체(170) 상에 접촉 범프(172)가 형성된다. 임의의 UBM들을 갖는 접촉 범프(172)는 도 8의 접촉 범프(152)와 UBM의 형성과 관련하여 전술된 바와 같이 형성될 수 있다. 도 11에 예시된 처리 이후, 제2 반도체 기판(132)의 넓은 기판으로부터 칩 스택(100/130)을 개별화하기 위해 개별화 공정이 수행될 수 있다. 일부 실시예에서, 개별화 공정은 도 2~5와 관련하여 전술된 공정과 유사한 에칭 개별화 공정일 수 있다. 다른 실시예에서, 개별화 공정은 소잉 공정을 이용할 수 있지만, 추가의 실시예에서, 개별화 공정은 소잉 및 에칭 개별화 조합 공정일 수 있다.

- [0051] 도 1~6, 9, 10, 12~13은 칩(들)이 개별화되어 웨이퍼와 같은 넓은 기판에 접합된 제3 실시예의 중간 단계들의 구조체들의 다양한 단면도를 나타낸다. 처리는 도 1~6, 9, 10과 관련하여 전술된 바와 같이 진행된다. 도 12를 참조하면, 제1 칩 스택 배선 구조체(170)에 제3 집적 회로 칩(또는 더 간단히 "칩")(180)이 접합된다. 도 1의 제1 칩(100)의 논의의 상당 부분은 도 12의 제3 칩(180)에 적용될 수 있다. 당업자 중 한 사람이라면 제1 칩(100)과 제3 칩(180) 간의 특징부 및 논의의 관련성을 쉽게 이해할 것이므로, 제3 칩(180)의 특징부의 일부 논의는 간결성을 위해 여기서 생략된다. 제3 칩(180)은 제3 전기 회로를 갖는 제3 반도체 기판(182)을 포함하고, 개별 배선 패턴(188)을 갖는 하나 이상의 유전층(186)을 갖는 제3 칩 전방측 배선 구조체(190)를 가진다. 제3 전기 회로는 메모리 구조체, 데이터 처리 구조체, 센서, 증폭기, 배전기, 입력/출력 회로 등을 포함할 수 있다. 제3 칩(180)은 도 1~5와 관련하여 전술된 처리와 유사한 처리를 받을 수 있다.
- [0052] 예컨대 제2 칩(130)이 웨이퍼와 같은 넓은 기판의 일부일 때, 제1 칩 스택 배선 구조체(170)에 제3 칩(180)이 접합된다. 따라서, 도 12는 CoW 접합을 나타낼 수 있다. 제1 칩 스택 배선 구조체(170)에 대한 제3 칩(180)의 접합은 도 6의 접합과 관련하여 논의된 바와 같을 수 있다. 예시된 바와 같이, 제3 칩(180)의 제3 칩 전방측 배선 구조체(190)는 제1 칩 스택 배선 구조체(170)에 접합된다. 접합은 제3 반도체 기판(182)으로부터 가장 멀리 있는 제3 칩(180)의 하나의 유전층(186)을 제1 반도체 기판(102)으로부터 가장 멀리 있는 제1 칩 스택 배선 구조체(170)의 하나의 유전층(166)에 접합하는 것을 포함한다. 접합은 제3 반도체 기판(182)으로부터 가장 멀리 있는 제3 칩(180)의 배선 패턴(188)을 제1 반도체 기판(102)으로부터 가장 멀리 있는 제1 칩 스택 배선 구조체(170)의 배선 패턴(168)에 접합하는 것을 더 포함할 수 있다. 또한, 접합은 제3 칩(180)의 배선 패턴(188) 제1 칩 스택 배선 구조체(170)의 유전층(166)에, 및/또는 제3 칩(180)의 유전층(186)을 제1 칩 스택 배선 구조체(170)의 배선 패턴(168)에 접합하는 것을 포함할 수 있다. 따라서, 접합은 유전체 간 접합, 금속 간 접합, 금속-유전체 간 접합 및/또는 등등을 포함할 수 있다. 일부의 경우, 금속 간 접합은 제1 칩(100), 제2 칩(130) 및 제3 칩(180) 간의 전기적 상호 연결을 허용한다.
- [0053] 도 12에 더 예시된 바와 같이, 접합된 구조체 내에는 제3 칩(180)과 제1 칩 스택 배선 구조체(170) 간의 접합 계면까지의 제3 칩(180)의 측벽의 내각(116)이 존재한다. 이전에 논의된 바와 같이, 개별화 에칭 공정은 제3 칩(180)의 측벽이 비수직적이 되도록 할 수 있고, 이는 다시 제3 칩(180)과 제1 칩 스택 배선 구조체(170) 사이의 접합 계면과 상기 비수직적 측벽 사이에 내각(116)이 존재하도록 할 수 있다.
- [0054] 도 13을 참조하면, 제3 칩(180)은 예컨대, 제2 칩(130)이 넓은 기판의 일부인 경우, 제1 칩 스택 배선 구조체(170) 상의 밀봉재(200)로 밀봉된다. 밀봉재(200)는 도 9의 밀봉재(160)와 관련하여 전술된 바와 같을 수 있다. 하나 이상의 유전층(206)과 배선 패턴(208)을 갖는 제2 칩 스택 배선 구조체(210)와 관통 비아(202)가 형성된다. 관통 비아(202)는 제1 반도체 기판(182)을 통해 형성된다. 제3 반도체 기판(182)의 후면으로부터 배선 패턴(188 및/또는 168) 중 하나 이상의 배선 패턴까지 연장되도록 전기적 연결부가 형성된다. 관통 비아(162)는 도 8의 관통 비아(144)의 형성과 관련하여 전술된 공정들을 이용하여 형성될 수 있다. 제2 칩 스택 배선 구조체(210)의 배선 패턴(208)은 관통 비아(202)에 연결되어 제2 칩 스택 배선 구조체(210)로부터 제1 칩(100), 제2 칩(130) 및 제3 칩(180)까지 전기적 연결을 제공한다. 제2 칩 스택 배선 구조체(210)는 도 10의 제1 칩 스택 배선 구조체(170)와 관련하여 전술된 공정들을 이용하여 형성될 수 있다. 배선 패턴(208)에 전기적으로 결합된 제2 칩 스택 배선 구조체(210) 상에 접촉 범프(212)가 형성된다. UBM들을 갖는 접촉 범프(212)는 도 8의 접촉 범프(152) 및 UBM의 형성과 관련하여 전술된 바와 같이 형성될 수 있다.
- [0055] 도 13에 예시된 처리 이후, 제2 반도체 기판(132)의 넓은 기판으로부터 칩 스택(100/130/180)을 개별화하기 위해 개별화 공정이 수행될 수 있다. 일부 실시예에서, 개별화 공정은 도 2~5와 관련하여 전술된 공정과 유사한 에칭 개별화 공정일 수 있다. 다른 실시예에서, 개별화 공정은 소잉 공정을 이용할 수 있지만, 추가의 실시예에서, 개별화 공정은 소잉 및 에칭 개별화 조합 공정일 수 있다.
- [0056] 도 1~6, 9, 14~16은 칩(들)이 개별화되어 웨이퍼와 같은 넓은 기판에 접합된 제4 실시예의 중간 단계들의 구조체들의 다양한 단면도를 나타낸다. 처리는 도 1~6, 9와 관련하여 전술된 바와 같이 진행된다. 도 14를 참조하면, 제2 반도체 기판(132)의 후면에 대한 처리가 수행된다. 밀봉재(160) 내에 밀봉된 제1 칩(100)은 릴리스 층(216)에 의해 캐리어 기판(214)에 부착된다. 릴리스 층(216)은 제1 칩(100)의 후면과 밀봉재(160)를 캐리어 기판(214)에 부착한다. 캐리어 기판(214)과 릴리스 층(216)은 도 2의 캐리어 기판(112)과 릴리스 층(114)과 관련하여 전술된 바와 같을 수 있다.
- [0057] 일단 제1 칩(100)이 캐리어 기판(214)에 부착되면, 넓은 기판의 일부로서의 제2 반도체 기판(132)은 박판화(thinning) 처리될 수 있다. 박판화 공정은 제2 반도체 기판(132)을 제2 반도체 기판(132)의 후면으로부터 박

관화할 수 있다. 박판화 공정은 CMP, 에치-백 공정 등 또는 이들의 조합과 같은 연삭 공정을 포함할 수 있다. 일부 실시예에서, 제2 반도체 기관(132)을 박판화하기 전의 제2 칩(130)의 두께(예, 제2 반도체 기관(132)과 제2 칩 전방측 배선 구조체(140)의 결합 두께)는 약 300 μm 이상일 수 있고, 제2 반도체 기관(132)을 박판화한 후의 두께는 예컨대, 약 5 μm ~약 20 μm 일 수 있고, 약 5 μm 이상일 수 있다.

[0058] 개별 배선 패턴(228)이 형성된 하나 이상의 유전층(226)을 갖는 제2 칩 후방측 배선 구조체(230)와 관통 비아(222)가 형성된다. 관통 비아(222)는 제2 반도체 기관(132)을 통해 형성된다. 제2 반도체 기관(132)의 후면으로부터 배선 패턴(138 및/또는 108) 중 하나 이상의 배선 패턴까지 연장되는 전기적 연결부가 형성된다. 관통 비아(222)는 도 8의 관통 비아(144)의 형성과 관련하여 전술된 공정들을 이용하여 형성될 수 있다. 제2 칩 후방측 배선 구조체(230)의 배선 패턴(228)은 관통 비아(222)에 연결되어 제2 칩 후방측 배선 구조체(230)로부터 제1 칩(100) 및 제2 칩(130)까지 전기적 연결을 제공한다. 제2 칩 후방측 배선 구조체(230)는 도 10의 제1 칩 스택 배선 구조체(170)와 관련하여 전술된 공정들을 이용하여 형성될 수 있다.

[0059] 도 15를 참조하면, 제2 칩(130), 예컨대 제2 칩 후방측 배선 구조체(230)에 제3 집적 회로 칩(또는 더 간단히 "칩")(240)이 접합된다. 도 1의 제1 칩(100)의 논의의 상당 부분은 도 15의 제3 칩(240)에 적용될 수 있다. 당업자 중 한 사람이라면 제1 칩(100)과 제3 칩(240) 간의 특징부 및 논의의 관련성을 쉽게 이해할 것이므로, 제3 칩(240)의 특징부의 일부 논의는 간결성을 위해 여기서 생략된다. 제3 칩(240)은 제3 전기 회로를 갖는 제3 반도체 기관(242)을 포함하고, 개별 배선 패턴(248)을 갖는 하나 이상의 유전층(246)을 갖는 제3 칩 전방측 배선 구조체(250)를 가진다. 제3 전기 회로는 메모리 구조체, 데이터 처리 구조체, 센서, 증폭기, 배전기, 입력/출력 회로 등을 포함할 수 있다. 제3 칩(240)은 도 1~5와 관련하여 전술된 처리와 유사한 처리를 받을 수 있다.

[0060] 예컨대 제2 칩(130)이 웨이퍼와 같은 넓은 기관의 일부일 때, 제2 칩 후방측 배선 구조체(230)에 제3 칩(240)이 접합된다. 따라서, 도 15는 CoW 접합을 나타낼 수 있다. 예시된 바와 같이, 제3 칩(240)의 제3 칩 전방측 배선 구조체(250)는 제2 칩 후방측 배선 구조체(230)에 접합된다. 접합은 제3 반도체 기관(242)으로부터 가장 멀리 있는 제3 칩(240)의 하나의 유전층(246)을 제2 반도체 기관(132)으로부터 가장 멀리 있는 제2 칩(130)의 제2 칩 후방측 배선 구조체(230)의 하나의 유전층(226)에 접합하는 것을 포함할 수 있다. 접합은 제3 반도체 기관(242)으로부터 가장 멀리 있는 제3 칩(240)의 배선 패턴(248)을 제2 반도체 기관(132)으로부터 가장 멀리 있는 제2 칩(130)의 제2 칩 후방측 배선 구조체(230)의 배선 패턴(228)에 접합하는 것을 더 포함할 수 있다. 또한, 접합은 제3 칩(240)의 배선 패턴(248) 제2 칩 후방측 배선 구조체(230)의 유전층(226)에, 및/또는 제3 칩(240)의 유전층(246)을 제2 칩 후방측 배선 구조체(230)의 배선 패턴(228)에 접합하는 것을 포함할 수 있다. 따라서, 접합은 유전체 간 접합, 금속 간 접합, 금속-유전체 간 접합 및/또는 등등을 포함할 수 있다. 일부의 경우, 금속 간 접합은 제1 칩(100), 제2 칩(130) 및 제3 칩(240) 간의 전기적 상호 연결을 허용한다.

[0061] 도 15에 더 예시된 바와 같이, 접합된 구조체 내에는 제3 칩(240)과 제2 칩 후방측 배선 구조체(230) 간의 접합 계면까지의 제3 칩(240)의 측벽의 내각(116)이 존재한다. 이전에 논의된 바와 같이, 개별화 에칭 공정은 제3 칩(240)의 측벽이 비수직적이 되도록 할 수 있고, 이는 다시 제3 칩(240)과 제2 칩 후방측 배선 구조체(230) 사이의 접합 계면과 상기 비수직적 측벽 사이에 내각(116)이 존재하도록 할 수 있다.

[0062] 도 16을 참조하면, 제3 칩(240)은 예컨대, 제2 칩(130)이 넓은 기관의 일부인 경우, 제2 칩 후방측 배선 구조체(230) 상의 밀봉재(260)로 밀봉된다. 밀봉재(260)는 도 9의 밀봉재(160)와 관련하여 전술된 바와 같을 수 있다. 하나 이상의 유전층(266)과 배선 패턴(268)을 갖는 제1 칩 스택 배선 구조체(270)와 관통 비아(262)가 형성된다. 관통 비아(262)는 제3 반도체 기관(242)을 통해 형성된다. 제3 반도체 기관(242)의 후면으로부터 배선 패턴(248 및/또는 228) 중 하나 이상의 배선 패턴까지 연장되도록 전기적 연결부가 형성된다. 관통 비아(162)는 도 8의 관통 비아(144)의 형성과 관련하여 전술된 공정들을 이용하여 형성될 수 있다. 제1 칩 스택 배선 구조체(270)의 배선 패턴(268)은 관통 비아(262)에 연결되어 제1 칩 스택 배선 구조체(270)로부터 제1 칩(100), 제2 칩(130) 및 제3 칩(240)까지 전기적 연결을 제공한다. 제1 칩 스택 배선 구조체(270)는 도 10의 제1 칩 스택 배선 구조체(170)와 관련하여 전술된 공정들을 이용하여 형성될 수 있다. 배선 패턴(268)에 전기적으로 결합된 제1 칩 스택 배선 구조체(270) 상에 접촉 범프(272)가 형성된다. UBM들을 갖는 접촉 범프(272)는 도 8의 접촉 범프(152) 및 UBM의 형성과 관련하여 전술된 바와 같이 형성될 수 있다.

[0063] 도 16에 예시된 처리 이후, 캐리어 기관(214)과 릴리스 층(216)을 제거하기 위해 분리 공정이 수행될 수 있고, 제2 반도체 기관(132)의 넓은 기관으로부터 칩 스택(100/130/240)을 개별화하기 위해 개별화 공정이 수행될 수 있다. 일부 실시예에서, 개별화 공정은 도 2~5와 관련하여 전술된 공정과 유사한 에칭 개별화 공정일 수 있다.

다른 실시예에서, 개별화 공정은 소잉 공정을 이용할 수 있지만, 추가의 실시예에서, 개별화 공정은 소잉 및 에칭 개별화 조합 공정일 수 있다.

- [0064] 도 1~6, 9, 14, 17~22는 칩(들)이 개별화되어 웨이퍼와 같은 넓은 기판에 접합된 제5 실시예의 중간 단계들의 구조체들의 다양한 단면도를 나타낸다. 처리는 도 1~6, 9, 14와 관련하여 전술된 바와 같이 진행된다. 도 17을 참조하면, 제1 칩(100)과 밀봉재(160)로부터 캐리어 기판(214)이 분리되며, 이후 예컨대, 넓은 기판의 일부로 있는 경우의 제2 칩(130)의 제2 칩 후방측 배선 구조체(230)가 릴리스 층(276)에 의해 캐리어 기판(274)에 부착된다. 캐리어 기판(214)과 릴리스 층(216)은 도 2의 캐리어 기판(112)과 릴리스 층(114)과 관련하여 전술된 바와 같을 수 있다.
- [0065] 도 18을 참조하면, 넓은 기판의 일부로서의 제2 칩(130)이 캐리어 기판(274)에 부착되어 있는 동안, 상기 넓은 기판 및/또는 다른 칩들로부터 칩 스택(100/130)을 개별화하기 위해 밀봉재(160), 제2 칩 전방측 배선 구조체(140), 제2 반도체 기판(132) 및 제2 칩 후방측 배선 구조체(230)를 통해 에칭 개별화 공정이 수행된다. 에칭 개별화 공정은 포토리소그래피 및 에칭 기법을 이용할 수 있다. 에칭 개별화 공정은 밀봉재(160)와 제1 반도체 기판(102)의 후면 상에 포토레지스트를 증착, 노광 및 현상하는 것을 포함할 수 있다. 이 공정은 밀봉재(160)와 제1 반도체 기판(102)의 후면 상의 포토레지스트를 패터닝한다. 포토레지스트에 형성된 패턴은 에칭되는 것을 통해 넓은 기판으로부터 제2 칩(130) 및/또는 유사한 칩들을 개별화하게 되는 제1 칩(100)의 주변 외부와 밀봉재(160) 상의 개별화 영역들을 노출시킨다. 이후 패터닝된 포토레지스트를 통해 에칭 공정이 수행될 수 있다. 에칭 공정은 DRIE, ICP 에칭, CCP 에칭, 등등 또는 이들의 조합과 같은 이방성 에칭일 수 있다. 에칭 공정은 밀봉재(160), 제2 칩 전방측 배선 구조체(140), 제2 반도체 기판(132) 및 제2 칩 후방측 배선 구조체(230)를 통한 개별화 영역을 통해 에칭을 행한다. 에칭 공정이 완료된 후, 제2 칩(130)과 제1 칩(100)을 포함하는 칩 스택 및/또는 다른 유사한 칩 스택들이 개별화된다. 에칭 공정 중에 제1 반도체 기판(102)과 밀봉재(160) 상에 하드 마스크 층(들), ARC 층(들) 등등, 또는 이들의 조합과 같은 다양한 층들이 제공될 수 있다.
- [0066] 에칭 공정은 칩 스택(100/130)의 측면을 수직, 비수직, 이들의 조합을 취하도록 할 수 있다. 예를 들면, 제2 칩 후방측 배선 구조체(230)에 있거나 및/또는 이에 인접한 제2 칩(130)의 측면은 비수직인 반면, 제1 칩(100) (예, 밀봉재(160))에 인접한 측면은 수직일 수 있다. 예시된 바와 같이, 제2 칩(130)의 제2 칩 후방측 배선 구조체(230)의 측면은 비수직이다. 제2 칩(130)의 제2 칩 후방측 배선 구조체(230)의 측면과 제2 반도체 기판(132)으로부터 먼 쪽의 제2 칩(130)의 제2 칩 후방측 배선 구조체(230)의 외부면 사이의 내각(116)은 90° 미만인데, 상기 내각(116)은 약 89° ~ 약 60° 일 수도 있고, 더 구체적으로 약 88° ~ 약 80° 일 수 있다.
- [0067] 도 18과 관련하여 논의된 에칭 개별화 공정은 제2 칩(130)의 레이아웃 형태에 대해 더 많은 유연성을 허용할 수 있다. 예를 들면, 제2 칩(130)에 직사각형의 레이아웃 형태를 허용하는 것을 포함하여, 제2 칩(130)의 레이아웃 형태는 육각형, 8각형, 원형, 달걀형, 다른 다각형 등일 수 있다.
- [0068] 도 19를 참조하면, 여전히 캐리어 기판(274)에 부착된 개별화된 칩 스택(100/130)은 뒤집어서 다이싱 테이프(278)에 부착된다. 제2 칩(130), 예컨대 제2 칩 후방측 배선 구조체(230)로부터 캐리어 기판(274)을 분리하기 위해 캐리어 기판 분리 공정이 수행된다. 일부 실시예에 따르면, 분리는 릴리스 층(276)이 빛의 열에 의해 분해되어 캐리어 기판(274)이 제거될 수 있도록 레이저 광 또는 UV 광 등의 광을 릴리스 층(276)에 조사하는 것을 포함한다. 분리 공정 후에 제2 칩(130) 위에 남아 있는 릴리스 층(276)의 잔류물을 제거하기 위해 세정 공정이 수행될 수 있다.
- [0069] 도 20을 참조하면, 개별화 이전의 제3 집적 회로 칩(더 간단하게 "칩")(280)이 예시된다. 도 1의 제1 칩(100)의 논의의 상당 부분이 도 20의 제3 칩(280)에 적용될 수 있다. 당업자 중 한 사람이라면 제1 칩(100)과 제3 칩(280) 간의 특징부 및 논의의 관련성을 쉽게 이해할 것이므로, 제3 칩(280)의 특징부의 일부 논의는 간결성을 위해 여기서 생략된다. 제3 칩(280)은 제2 전기 회로를 갖는 제3 반도체 기판(282)을 포함하고, 개별 배선 패턴(288)을 갖는 하나 이상의 유전층(286)을 갖는 제3 칩 전방측 배선 구조체(290)를 가진다. 제3 전기 회로는 메모리 구조체, 데이터 처리 구조체, 센서, 증폭기, 배전기, 입력/출력 회로 등을 포함할 수 있다.
- [0070] 도 20을 더 참조하면, 예컨대 제3 칩(280)이 웨이퍼와 같은 넓은 기판의 일부일 때, 제3 칩(280)에 칩 스택(100/130)이 접합된다. 따라서, 도 20은 CoW 접합을 나타낼 수 있다. 칩 스택(100/130)은 다이싱 테이프(278)로부터 분리된 후 선택-배치 도구를 사용하여 제3 칩(280) 위에 정렬될 수 있다. 이후 칩 스택(100/130)은 제3 칩(280)과 접촉되어 접합이 일어난다. 예시된 바와 같이, 제2 칩(120)의 제2 칩 후방측 배선 구조체(230)는 제3 칩(280)의 제3 칩 전방측 배선 구조체(290)에 접합된다. 접합은 제2 반도체 기판(132)으로부터 가장 멀리 있는 제2 칩(130)의 하나의 유전층(226)을 제3 반도체 기판(282)으로부터 가장 멀리 있는 제3 칩(280)

의 하나의 유전층(286)에 접합하는 것을 포함할 수 있다. 접합은 제2 반도체 기판(132)으로부터 가장 멀리 있는 제2 칩(130)의 배선 패턴(228)을 제3 반도체 기판(282)으로부터 가장 멀리 있는 제3 칩(280)의 배선 패턴(288)에 접합하는 것을 더 포함할 수 있다. 또한, 접합은 제2 칩(130)의 유전층(226)을 제3 칩(280)의 배선 패턴(288)에, 및/또는 제2 칩(130)의 배선 패턴(228)을 제3 칩(280)의 유전층(286)에 접합하는 것을 포함할 수 있다. 따라서, 접합은 유전체 간 접합, 금속 간 접합, 금속-유전체 간 접합 및/또는 등등을 포함할 수 있다. 일부의 경우, 금속 간 접합은 제1 칩(100), 제2 칩(130) 및 제3 칩(280) 간의 전기적 상호 연결을 허용한다.

[0071] 도 20에 더 예시된 바와 같이, 접합된 구조체 내에는 제2 칩(130)과 제3 칩(280) 간의 접합 계면까지의 제2 칩(130)의 측면의 내각(116)이 존재한다. 이전에 논의된 바와 같이, 개별화 에칭 공정은 제2 칩(130)의 측면이 비수직적이 되도록 할 수 있고, 이는 다시 제2 칩(130)과 제3 칩(280) 사이의 접합 계면과 상기 비수직적 측면 사이에 내각(116)이 존재하도록 할 수 있다.

[0072] 도 21을 참조하면, 칩 스택(100/130)은 예컨대, 제3 칩(280)이 넓은 기판의 일부인 경우, 제3 칩(280) 상의 밀봉재(300)로 밀봉된다. 밀봉재(300)는 몰딩 화합물, 에폭시, 수지 등일 수 있고, 압축 몰딩, 트랜스퍼 몰딩 등을 이용하여 칩 스택(100/130)을 밀봉하도록 형성될 수 있다.

[0073] 도 22를 참조하면, 제3 반도체 기판(282)의 후면에 대한 처리가 수행된다. 이러한 처리는 제3 반도체 기판(282)을 박판화하는 것을 포함할 수 있다. 박판화 공정은 도 8과 관련하여 논의된 바와 같을 수 있다. 이후, 개별 배선 패턴(308)이 형성된 하나 이상의 유전층(306)을 갖는 제3 칩 후방측 배선 구조체(310)와 관통 비아(304)가 형성된다. 다양한 유전층(306)과 배선 패턴(308)을 갖는 제3 칩 후방측 배선 구조체(310)와 관통 비아(304)를 형성하는 공정은 도 8의 관통 비아(144) 및 제2 칩 후방측 배선 구조체(150)과 관련하여 논의된 바와 같을 수 있다. 관통 비아(304)는 제3 반도체 기판(282)을 통해 형성된다. 제3 반도체 기판(282)의 후면으로부터 배선 패턴(288 및/또는 228) 중 하나 이상의 배선 패턴까지 연장되도록 전기적 연결부가 형성된다. 배선 패턴(들)(308)은 관통 비아(304)에 연결될 수 있다. 배선 패턴(308)에 전기적으로 결합된 제3 칩 후방측 배선 구조체(310) 상에 접촉 범프(312)가 형성된다. UBM들을 갖는 접촉 범프(312)는 도 8의 접촉 범프(152) 및 UBM의 형성과 관련하여 기술된 바와 같이 형성될 수 있다.

[0074] 도 22에 예시된 처리 이후, 제3 반도체 기판(282)의 넓은 기판으로부터 칩 스택(100/130/280)을 개별화하기 위해 개별화 공정이 수행될 수 있다. 일부 실시예에서, 개별화 공정은 도 2~5와 관련하여 기술된 공정과 유사한 에칭 개별화 공정일 수 있다. 다른 실시예에서, 개별화 공정은 소잉 공정을 이용할 수 있지만, 추가의 실시예에서, 개별화 공정은 소잉 및 에칭 개별화 조합 공정일 수 있다.

[0075] 도 1~6, 9, 10, 23~28은 칩(들)이 개별화되어 웨이퍼와 같은 넓은 기판에 접합된 제6 실시예의 중간 단계들의 구조체들의 다양한 단면도를 나타낸다. 처리는 도 1~6, 9, 10과 관련하여 기술된 바와 같이 진행된다. 도 23을 참조하면, 제2 반도체 기판(132)의 후면에 대한 처리가 수행된다. 밀봉재(160) 내에 밀봉되고 제1 칩 스택 배선 구조체(170)를 갖는 제1 칩(100)은 릴리스 층(316)에 의해 캐리어 기판(314)에 부착된다. 릴리스 층(316)은 제1 칩 스택 배선 구조체(170)를 캐리어 기판(314)에 부착한다. 캐리어 기판(314)과 릴리스 층(316)은 도 2의 캐리어 기판(112)과 릴리스 층(114)과 관련하여 기술된 바와 같을 수 있다.

[0076] 일단 제1 칩(100)이 캐리어 기판(314)에 부착되면, 제2 반도체 기판(132)이 박판화 처리될 수 있다. 박판화 공정은 제2 반도체 기판(132)을 제2 반도체 기판(132)의 후면으로부터 박판화할 수 있다. 박판화 공정은 CMP, 에치-백 공정 등 또는 이들의 조합과 같은 연삭 공정을 포함할 수 있다. 일부 실시예에서, 제2 반도체 기판(132)을 박판화하기 전의 제2 칩(130)의 두께(예, 제2 반도체 기판(132)과 제2 칩 전방측 배선 구조체(140)의 결합 두께)는 약 300 μm 이상일 수 있고, 제2 반도체 기판(132)을 박판화한 후의 두께는 예컨대, 약 5 μm ~약 20 μm 일 수 있고, 약 5 μm 이상일 수 있다.

[0077] 도 24를 참조하면, 제1 칩(100)이 캐리어 기판(274)에 부착되고 제2 칩(130)이 넓은 기판의 일부로서 남아 있는 동안, 상기 넓은 기판 및/또는 다른 칩들로부터 칩 스택(100/130)을 개별화하기 위해 제2 반도체 기판(132)의 후면을 통해 에칭 개별화 공정이 수행된다. 에칭 개별화 공정은 포토리소그래피 및 에칭 기법을 이용할 수 있다. 에칭 개별화 공정은 제2 반도체 기판(132)의 후면 상에 포토레지스트를 증착, 노광 및 현상하는 것을 포함할 수 있다. 이 공정은 제2 반도체 기판(132)의 후면 상의 포토레지스트를 패턴화한다. 포토레지스트에 형성된 패턴은 에칭되는 것을 통해 넓은 기판으로부터 제2 칩(130) 및/또는 유사한 칩들을 개별화하게 되는 제2 칩(130)의 주변 외부의 개별화 영역들을 노출시킨다. 이후 패턴화된 포토레지스트를 통해 에칭 공정이 수행될 수 있다. 에칭 공정은 DRIE, ICP 에칭, CCP 에칭, 등등 또는 이들의 조합과 같은 이방성 에칭일 수 있다. 에칭 공정은 제2 반도체 기판(132), 제2 칩 전방측 배선 구조체(140), 밀봉재(160) 및 제1 칩 수택 배선 구조체(17

0)를 통한 개별화 영역을 통해 에칭을 행한다. 에칭 공정이 완료된 후, 제2 칩(130)과 제1 칩(100)을 포함하는 칩 스택 및/또는 다른 유사한 칩 스택들이 개별화된다. 에칭 공정 중에 제2 반도체 기판(132) 상에 하드 마스크 층(들), ARC 층(들) 등등, 또는 이들의 조합과 같은 다양한 층들이 제공될 수 있다.

[0078] 에칭 공정은 칩 스택(100/130)의 측벽을 수직, 비수직, 이들의 조합을 취하도록 할 수 있다. 예를 들면, 제2 반도체 기판(132)에 있거나 및/또는 이에 인접한 제2 칩(130)의 측벽은 수직인 반면, 밀봉재(160) 및/또는 제1 칩 스택 배선 구조체(170)의 측벽은 비수직적일 수 있다. 예시된 바와 같이, 밀봉재(160)와 제1 칩 스택 배선 구조체(170)의 측벽은 비수직적이다. 제1 칩 스택 배선 구조체(170)의 측벽과 제1 반도체 기판(102)으로부터 먼 쪽의 제1 칩 스택 배선 구조체(170)의 외부면 사이의 내각(116)은 90° 미만인데, 상기 내각(116)은 약 89° ~ 약 60° 일 수도 있고, 더 구체적으로 약 88° ~ 약 80° 일 수 있다.

[0079] 도 24와 관련하여 논의된 에칭 개별화 공정은 제2 칩(130)의 레이아웃 형태에 대해 더 많은 유연성을 허용할 수 있다. 예를 들면, 제2 칩(130)에 직사각형의 레이아웃 형태를 허용하는 것을 포함하여, 제2 칩(130)의 레이아웃 형태는 육각형, 8각형, 원형, 달걀형, 다른 다각형 등일 수 있다.

[0080] 도 25를 참조하면, 여전히 캐리어 기판(274)에 부착된 제1 칩(100) 및 제2 칩(130)을 포함하는 개별화된 칩 스택은 뒤집어서 다이싱 테이프(318)에 부착된다. 제1 칩 스택 배선 구조체(170)로부터 캐리어 기판(314)을 분리하기 위해 캐리어 기판 분리 공정이 수행된다.

[0081] 도 26을 참조하면, 개별화 이전의 제3 집적 회로 칩(더 간단하게 "칩")(320)이 예시된다. 도 1의 제1 칩(100)의 논의의 상당 부분이 도 26의 제3 칩(320)에 적용될 수 있다. 당업자 중 한 사람이라면 제1 칩(100)과 제3 칩(320) 간의 특징부 및 논의의 관련성을 쉽게 이해할 것이므로, 제3 칩(320)의 특징부의 일부 논의는 간결성을 위해 여기서 생략된다. 제3 칩(320)은 제3 전기 회로를 갖는 제3 반도체 기판(322)을 포함하고, 개별 배선 패턴(328)을 갖는 하나 이상의 유전층(326)을 갖는 제3 칩 후방측 배선 구조체(350)를 가진다. 제3 전기 회로는 메모리 구조체, 데이터 처리 구조체, 센서, 증폭기, 배전기, 입력/출력 회로 등을 포함할 수 있다.

[0082] 도 26을 더 참조하면, 예컨대 제3 칩(320)이 웨이퍼와 같은 넓은 기판의 일부일 때, 제3 칩(320)에 칩 스택(100/130)이 접합된다. 따라서, 도 26은 CoW 접합을 나타낼 수 있다. 칩 스택(100/130)은 다이싱 테이프(278)로부터 분리된 후 선택-배치 도구를 사용하여 제3 칩(320) 위에 정렬될 수 있다. 이후 칩 스택(100/130)은 제3 칩(320)과 접촉되어 접합이 일어난다. 예시된 바와 같이, 제1 칩 스택 배선 구조체(170)는 제3 칩(320)의 제3 칩 전방측 배선 구조체(330)에 접합된다. 접합은 제1 반도체 기판(102)으로부터 가장 멀리 있는 제1 칩 스택 배선 구조체(170)의 하나의 유전층(166)을 제3 반도체 기판(322)으로부터 가장 멀리 있는 제3 칩(320)의 하나의 유전층(326)에 접합하는 것을 포함할 수 있다. 접합은 제1 반도체 기판(102)으로부터 가장 멀리 있는 제1 칩 스택 배선 구조체(170)의 배선 패턴(168)을 제3 반도체 기판(322)으로부터 가장 멀리 있는 제3 칩(320)의 배선 패턴(328)에 접합하는 것을 더 포함할 수 있다. 또한, 접합은 제1 칩 스택 배선 구조체(170)의 유전층(166)을 제3 칩(320)의 배선 패턴(328)에, 및/또는 제1 칩 스택 배선 구조체(170)의 배선 패턴(168)을 제3 칩(320)의 유전층(326)에 접합하는 것을 포함할 수 있다. 따라서, 접합은 유전체 간 접합, 금속 간 접합, 금속-유전체 간 접합 및/또는 등등을 포함할 수 있다. 일부의 경우, 금속 간 접합은 제1 칩(100), 제2 칩(130) 및 제3 칩(320) 간의 전기적 상호 연결을 허용한다.

[0083] 도 26에 더 예시된 바와 같이, 접합된 구조체 내에는 제1 칩 스택 배선 구조체(170)와 제3 칩(320) 간의 접합 계면까지의 제1 칩 스택 배선 구조체(170)의 측벽의 내각(116)이 존재한다. 이전에 논의된 바와 같이, 개별화 에칭 공정은 제1 칩 스택 배선 구조체(170)의 측벽이 비수직적이 되도록 할 수 있고, 이는 다시 제1 칩 스택 배선 구조체(170)와 제3 칩(320) 사이의 접합 계면과 상기 비수직적 측벽 사이에 내각(116)이 존재하도록 할 수 있다.

[0084] 도 27을 참조하면, 칩 스택(100/130)은 예컨대, 제3 칩(320)이 넓은 기판의 일부인 경우, 제3 칩(320) 상의 밀봉재(340)로 밀봉된다. 밀봉재(340)는 몰딩 화합물, 에폭시, 수지 등일 수 있고, 압축 몰딩, 트랜스퍼 몰딩 등을 이용하여 칩 스택(100/130)을 밀봉하도록 형성될 수 있다.

[0085] 도 28을 참조하면, 제3 반도체 기판(322)의 후면에 대한 처리가 수행된다. 이러한 처리는 제3 반도체 기판(322)을 박판화하는 것을 포함할 수 있다. 박판화 공정은 도 8과 관련하여 논의된 바와 같을 수 있다. 이후, 개별 배선 패턴(348)이 형성된 하나 이상의 유전층(346)을 갖는 제3 칩 후방측 배선 구조체(350)와 관통 비아(344)가 형성된다. 다양한 유전층(346)과 배선 패턴(348)을 갖는 제3 칩 후방측 배선 구조체(350)와 관통 비아(344)를 형성하는 공정은 도 8의 관통 비아(144) 및 제2 칩 후방측 배선 구조체(150)와 관련하여 논의된 바와

갈 수 있다. 관통 비아(344)는 제3 반도체 기판(322)을 통해 형성된다. 제3 반도체 기판(322)의 후면으로부터 배선 패턴(328 및/또는 168) 중 하나 이상의 배선 패턴까지 연장되도록 전기적 연결부가 형성된다. 배선 패턴(들)(348)은 관통 비아(344)에 연결될 수 있다. 배선 패턴(348)에 전기적으로 결합된 제3 칩 후방측 배선 구조체(350) 상에 접촉 범프(352)가 형성된다. UBM들을 갖는 접촉 범프(352)는 도 8의 접촉 범프(152) 및 UBM의 형성과 관련하여 기술된 바와 같이 형성될 수 있다.

[0086] 도 28에 예시된 처리 이후, 제3 반도체 기판(322)의 넓은 기판으로부터 칩 스택(100/130/320)을 개별화하기 위해 개별화 공정이 수행될 수 있다. 일부 실시예에서, 개별화 공정은 도 2~5와 관련하여 기술된 공정과 유사한 에칭 개별화 공정일 수 있다. 다른 실시예에서, 개별화 공정은 소잉 공정을 이용할 수 있지만, 추가의 실시예에서, 개별화 공정은 소잉 및 에칭 개별화 조합 공정일 수 있다.

[0087] 다양한 다른 실시예들은 다른 처리 및 처리 순서를 채용할 수 있다. 다음에 논의되는 실시예는 일부 변형을 예시하며, 당업자 중 한 사람이라면 이들 변형을 이전에 논의된 실시예들과 같은 다른 실시예들에 가변적으로 포함시킬 수 있음을 쉽게 이해할 것이다. 예를 들면, 관통 비아는 이후에 논의되는 바와 같이 접합 이전에 형성될 수 있다.

[0088] 도 29~36은 칩이 개별화되어 웨이퍼와 같은 넓은 기판에 접합된 제7 실시예의 중간 단계들의 구조체들의 다양한 단면도를 나타낸다. 도 29를 참조하면, 개별화 이전의 제1 집적 회로 칩(또는 더 간단히 "칩")(400)이 예시된다. 도 1의 제1 칩(100)의 논의의 상당 부분은 도 29의 제1 칩(400)에 적용될 수 있다. 당업자 중 한 사람이라면 제1 칩(100)과 제1 칩(400) 간의 특징부 및 논의의 관련성을 쉽게 이해할 것이므로, 제1 칩(400)의 특징부의 일부 논의는 간결성을 위해 여기서 생략된다. 제1 칩(400)은 제1 전기 회로를 갖는 제1 반도체 기판(402)을 포함하고, 개별 배선 패턴(408)을 갖는 하나 이상의 유전층(406)을 갖는 제1 칩 전방측 배선 구조체(410)를 가진다. 제1 전기 회로는 메모리 구조체, 데이터 처리 구조체, 센서, 증폭기, 배전기, 입력/출력 회로 등을 포함할 수 있다. 제1 반도체 기판(402)은 개별화 이전에 다른 유사한 칩들 또는 동일한 칩들이 상부에 형성된 웨이퍼와 같은 넓은 반도체 기판의 일부이다.

[0089] 제1 칩(400)은 제1 반도체 기판(402)에 관통 비아(404)를 더 포함한다. 관통 비아(404)는 제1 칩 전방측 배선 구조체(410)가 형성되기 전에 또는 제1 칩 전방측 배선 구조체(410)의 형성 중에 제1 반도체 기판(402)에 형성될 수 있다. 관통 비아(404)는 예컨대, 에칭, 밀링, 레이저 기법, 이들의 조합 등등에 의해 제1 반도체 기판(402)에 리세스를 형성하는 것에 의해 형성될 수 있다. 예컨대, CVD, 원자층 증착(ALD), 이들의 조합 및/또는 유사 기법에 의해 제1 반도체 기판(402)의 전방면 위에 그리고 구멍 내에 박막 장벽층이 동형으로(conformally) 증착된다. 장벽층은 티타늄 질화물, 티타늄 산질화물, 탄탈 질화물, 탄탈 산질화물, 이들의 조합 및/또는 유사물과 같은 질화물 또는 산질화물을 포함할 수 있다. 박막 장벽층 위와 구멍 내에 전도성 재료가 증착된다. 전도성 재료는 전기-화학적 도금 공정, CVD, ALD, 이들의 조합 및/또는 유사 기법에 의해 형성될 수 있다. 전도성 재료의 예는 구리, 텅스텐, 알루미늄, 은, 이들의 조합 및/또는 유사물이다. 과잉의 전도성 재료와 장벽층은 예컨대 CMP에 의해 제1 반도체 기판(402)의 전방면으로부터 제거된다. 따라서, 관통 비아(404)는 전도성 재료와 상기 전도성 재료와 제1 반도체 기판(402) 사이의 박막 장벽층을 포함할 수 있다. 제1 칩 전방측 배선 구조체(410)의 형성이 후속될 수 있다.

[0090] 도 30을 참조하면, 제1 칩(400)에 제2 집적 회로 칩(또는 더 간단히 "칩")(420)이 접합된다. 도 1의 제1 칩(100)의 논의의 상당 부분은 도 30의 제2 칩(420)에 적용될 수 있다. 당업자 중 한 사람이라면 제1 칩(100)과 제2 칩(420) 간의 특징부 및 논의의 관련성을 쉽게 이해할 것이므로, 제2 칩(420)의 특징부의 일부 논의는 간결성을 위해 여기서 생략된다. 제2 칩(420)은 제2 전기 회로를 갖는 제2 반도체 기판(422)을 포함하고, 개별 배선 패턴(428)을 갖는 하나 이상의 유전층(426)을 갖는 제2 칩 전방측 배선 구조체(430)를 가진다. 제2 전기 회로는 메모리 구조체, 데이터 처리 구조체, 센서, 증폭기, 배전기, 입력/출력 회로 등을 포함할 수 있다. 제2 칩(420)은 도 1~5와 관련하여 기술된 처리와 유사한 처리를 받을 수 있다.

[0091] 예컨대 제1 칩(400)이 웨이퍼와 같은 넓은 기판의 일부일 때, 제1 칩(400)에 제2 칩(420)이 접합된다. 따라서, 도 30은 CoW 접합을 나타낼 수 있다. 예시된 바와 같이, 제2 칩(420)의 제2 칩 전방측 배선 구조체(430)는 제1 칩(400)의 제1 칩 전방측 배선 구조체(410)에 접합된다. 접합은 제2 반도체 기판(422)으로부터 가장 멀리 있는 제2 칩(420)의 하나의 유전층(426)을 제1 반도체 기판(402)으로부터 가장 멀리 있는 제1 칩(400)의 하나의 유전층(406)에 접합하는 것을 포함한다. 접합은 제3 반도체 기판(422)으로부터 가장 멀리 있는 제2 칩(420)의 배선 패턴(428)을 제1 반도체 기판(402)으로부터 가장 멀리 있는 제1 칩(400)의 배선 패턴(408)에 접합하는 것을 더 포함할 수 있다. 또한, 접합은 제2 칩(420)의 배선 패턴(428) 제1 칩(400)의 유전층(406)에, 및/또는 제2 칩

(420)의 유전층(426)을 제1 칩(400)의 배선 패턴(408)에 접합하는 것을 포함할 수 있다. 따라서, 접합은 유전체 간 접합, 금속 간 접합, 금속-유전체 간 접합 및/또는 등등을 포함할 수 있다. 일부의 경우, 금속 간 접합은 제1 칩(400)과 제2 칩(420) 간의 전기적 상호 연결을 허용한다.

- [0092] 도 30에 더 예시된 바와 같이, 접합된 구조체 내에는 제2 칩(420)과 제1 칩(400) 간의 접합 계면까지의 제2 칩(420)의 측벽의 내각(116)이 존재한다. 이전에 논의된 바와 같이, 개별화 에칭 공정은 제2 칩(420)의 측벽이 비수직적이 되도록 할 수 있고, 이는 다시 제2 칩(420)과 제1 칩(400) 사이의 접합 계면과 상기 비수직적 측벽 사이에 내각(116)이 존재하도록 할 수 있다.
- [0093] 도 31을 참조하면, 제2 칩(420)은 예컨대, 제1 칩(400)이 넓은 기관의 일부인 경우, 제1 칩(400) 상의 밀봉재(440)로 밀봉된다. 밀봉재(440)는 도 9의 밀봉재(160)와 관련하여 전술된 바와 같을 수 있다.
- [0094] 도 32를 참조하면, 밀봉재(440) 내에 밀봉된 제2 칩(420)은 릴리스 층(446)에 의해 캐리어 기관(444)에 부착된다. 릴리스 층(446)은 제2 칩(420)의 후면과 밀봉재(440)를 캐리어 기관(444)에 부착한다. 캐리어 기관(444)과 릴리스 층(446)은 도 2의 캐리어 기관(112)과 릴리스 층(114)과 관련하여 전술된 바와 같을 수 있다.
- [0095] 도 33을 참조하면, 일단 제2 칩(420)이 캐리어 기관(444)에 부착되면, 넓은 기관의 일부로서의 제1 반도체 기관(402)은 박판화 처리될 수 있다. 박판화는 제1 반도체 기관(402)의 후면을 통해 관통 비아(404)를 노출시킨다. 박판화 공정은 제1 반도체 기관(402)을 제1 반도체 기관(402)의 후면으로부터 박판화할 수 있다. 박판화 공정은 CMP, 에치-백 공정 등 또는 이들의 조합과 같은 연삭 공정을 포함할 수 있다. 일부 실시예에서, 제1 반도체 기관(402)을 박판화하기 전의 제1 칩(400)의 두께(예, 제1 반도체 기관(402)과 제1 칩 전방측 배선 구조체(410)의 결합 두께)는 약 300 μm 이상일 수 있고, 제1 반도체 기관(402)을 박판화한 후의 두께는 예컨대, 약 5 μm ~약 20 μm 일 수 있고, 약 5 μm 이상일 수 있다.
- [0096] 도 33을 더 참조하면, 하나 이상의 유전층(456)과 배선 패턴(458)을 갖는 제1 칩 후방측 배선 구조체(460)가 형성된다. 제1 칩 후방측 배선 구조체(460)의 배선 패턴(458)은 관통 비아(404)에 연결되어 제1 칩 후방측 배선 구조체(460)로부터 제1 칩(400)과 제2 칩(420)까지 전기적 연결을 제공한다. 제1 칩 후방측 배선 구조체(460)는 도 10의 제1 칩 스택 배선 구조체(170)와 관련하여 전술된 공정들을 이용하여 형성될 수 있다.
- [0097] 도 34를 참조하면, 제2 칩(420)과 밀봉재(440)가 캐리어 기관(444)에 부착되고 제1 칩(400)이 넓은 기관의 일부로서 남아 있는 동안, 상기 넓은 기관 및/또는 다른 칩들로부터 칩 스택(400/420)을 개별화하기 위해 제1 반도체 기관(402)의 후면을 통해 에칭 개별화 공정이 수행된다. 에칭 개별화 공정은 포토리소그래피 및 에칭 기법을 이용할 수 있다. 에칭 개별화 공정은 제1 반도체 기관(402)의 후면 상의 제1 칩 후면측 배선 구조체(460) 상에 포토레지스트를 증착, 노광 및 현상하는 것을 포함할 수 있다. 이 공정은 제1 반도체 기관(402)의 후면 상의 제1 칩 후면측 배선 구조체(460) 상의 포토레지스트를 패턴화한다. 포토레지스트에 형성된 패턴은 에칭되는 것을 통해 넓은 기관으로부터 제1 칩(400) 및/또는 유사한 칩들을 개별화하게 되는 제1 칩(400)의 주변 외부의 개별화 영역들을 노출시킨다. 개별화 영역들은 아래에 더 상세히 논의되는 바와 같이 제2 칩(420)의 측방 외주 너머로 연장된다. 이후 패턴화된 포토레지스트를 통해 에칭 공정이 수행될 수 있다. 에칭 공정은 DRIE, ICP 에칭, CCP 에칭, 등등 또는 이들의 조합과 같은 이방성 에칭일 수 있다. 에칭 공정은 제1 칩 후방측 배선 구조체(460), 제1 반도체 기관(402) 및 제1 칩 전방측 배선 구조체(410)를 통해 밀봉재(160) 내로 개별화 영역을 통해 에칭을 행한다. 밀봉재(160)는 개별화 영역들의 정렬에 기인하여 제1 칩(400) 주변으로 완전히 노출된다. 에칭 공정 중에 제2 반도체 기관(132) 상에 하드 마스크 층(들), ARC 층(들) 등등, 또는 이들의 조합과 같은 다양한 층들이 제공될 수 있다.
- [0098] 에칭 공정은 칩 스택(400/420)의 측벽을 수직, 비수직, 이들의 조합을 취하도록 할 수 있다. 예를 들면, 제1 반도체 기관(402)에 있거나 및/또는 이에 인접한 제1 칩(400)의 측벽은 수직인 반면, 제1 칩(400)의 제1 칩 전방측 배선 구조체(410)의 측벽은 비수직적일 수 있다. 예시된 바와 같이, 제1 칩 전방측 배선 구조체(410)의 측벽은 비수직적이다. 제1 칩 전방측 배선 구조체(410)의 측벽과 제1 칩 전방측 배선 구조체(410)와 제2 칩 전방측 배선 구조체(430) 사이의 계면 간의 내각(116)은 90° 미만인데, 상기 내각(116)은 약 89° ~약 60° 일 수도 있고, 더 구체적으로 약 88° ~약 80° 일 수 있다.
- [0099] 도 34와 관련하여 논의된 에칭 개별화 공정은 제1 칩(400)의 레이아웃 형태에 대해 더 많은 유연성을 허용할 수 있다. 예를 들면, 제1 칩(400)에 직사각형의 레이아웃 형태를 허용하는 것을 포함하여, 제1 칩(400)의 레이아웃 형태는 육각형, 8각형, 원형, 달걀형, 다른 다각형 등일 수 있다.
- [0100] 도 35를 참조하면, 여전히 캐리어 기관(444)에 부착된 칩 스택(400/420)은 뒤집어서 다이싱 테이프(468)에 부착

된다. 제1 칩 후방측 배선 구조체(460)로부터 캐리어 기판(444)을 분리하기 위해 캐리어 기판 분리 공정이 수행된다.

[0101] 도 36을 참조하면, 칩 스택(400/420)으로부터 밀봉재(440)가 제거된다. 밀봉재(440)는 밀봉재(440)의 재료에 선택적인 에칭에 의해 제거될 수 있다. 예를 들면, 에칭은 습식 에칭과 같은 이방성 에칭일 수 있다. 밀봉재(440)의 제거 후, 칩 스택(400/420) 및/또는 다른 유사한 칩 스택들이 개별화된다.

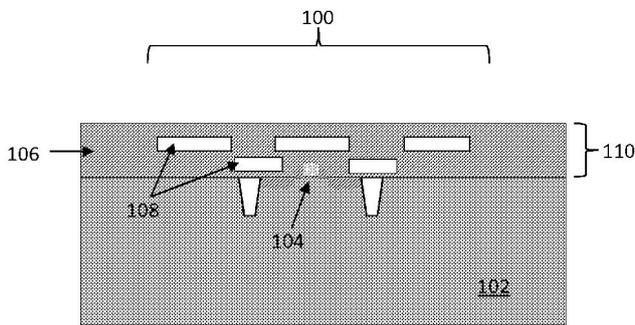
[0102] 전술한 다양한 실시예들은 예컨대 접촉 범프(152, 172, 212, 272, 312, 352)와 같은 접촉 범프를 사용하는 측면으로 논의되었다. 다른 실시예들은 칩 스택이 패키지 기판과 같은 기판에 부착되고 전기적으로 연결될 수 있게 하는 다른 메커니즘을 고려한다. 예를 들면, 칩 스택은 패키지 기판에 물리적으로 부착될 수 있고, 칩 스택을 패키지 기판에 전기적으로 결합하기 위해 와이어 본드 또는 광학적 연결부가 사용될 수 있다.

[0103] 일부 실시예들은 여러 장점들을 제공할 수 있다. 예를 들면, 여기에 설명되는 접합 공정들은 접합 계면에 입자가 축적되는 것을 방지할 수 있으므로 보다 신뢰성 있는 CoW 접합 계면이 달성될 수 있다. 또한, 크랙이나 이음매 공동이 적거나 없는 신뢰성 있는 다이 간 유전체 갭 충전이 달성될 수 있다. 또한, 칩 스택 내의 하나 이상의 칩의 크기를 보다 더 유연하게 적용할 수 있다. 추가로, 저비용으로 처리를 행할 수 있다.

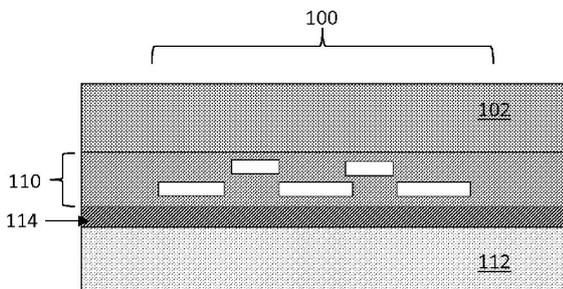
[0104] 이상의 설명은 당업자가 본 발명의 여러 측면들을 잘 이해할 수 있도록 여러 실시예의 특징부들의 개요를 설명한 것이다. 당업자들은 자신들이 여기 도입된 실시예와 동일한 목적을 수행하거나 및/또는 동일한 장점을 달성하기 위해 다른 공정 또는 구조를 설계 또는 변형하기 위한 기초로서 본 발명을 용이하게 이용할 수 있음을 알아야 한다. 또한, 당업자들은 등가의 구성이 본 발명의 취지 및 범위를 벗어나지 않으며 그리고 본 발명의 취지 및 범위를 벗어나지 않고 다양한 변화, 대체 및 변경을 이룰 수 있음을 알아야 한다.

도면

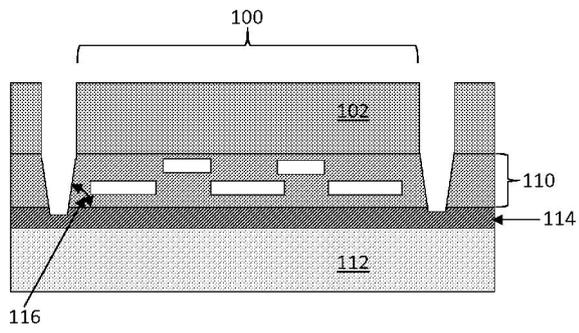
도면1



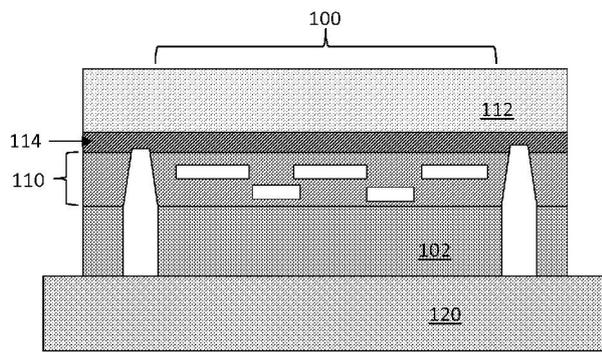
도면2



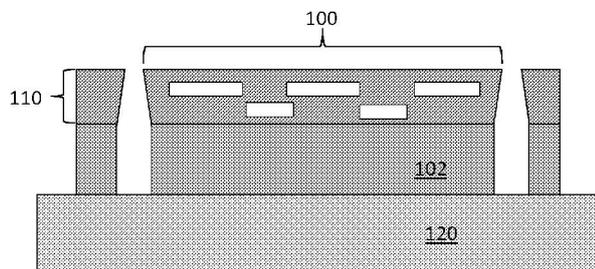
도면3



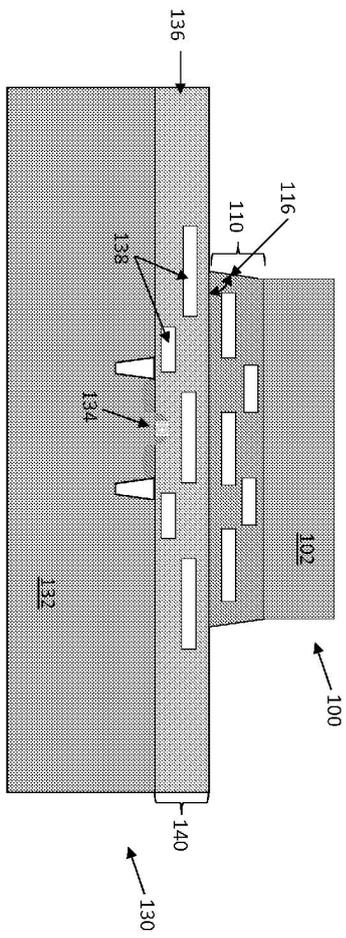
도면4



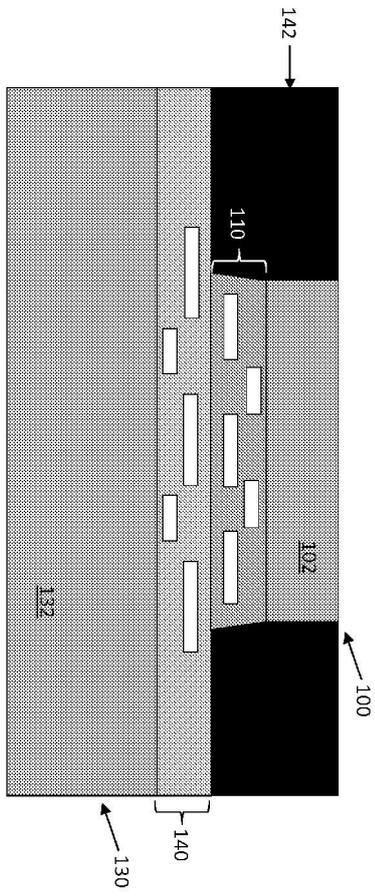
도면5



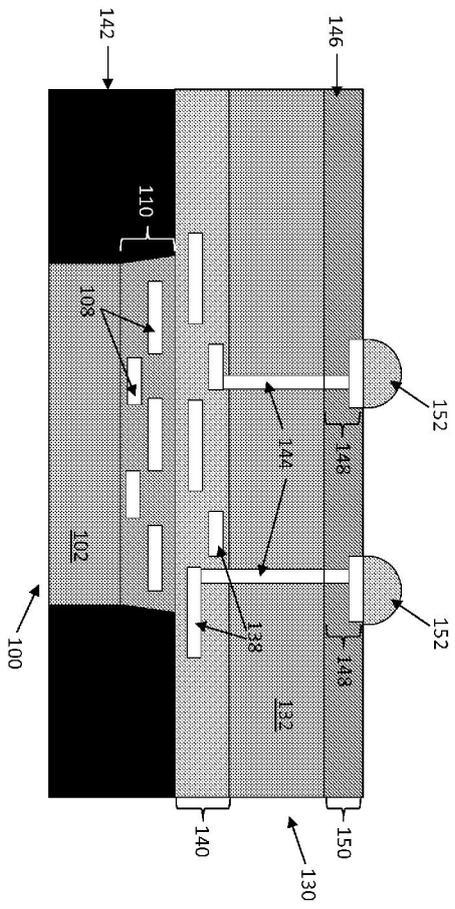
도면6



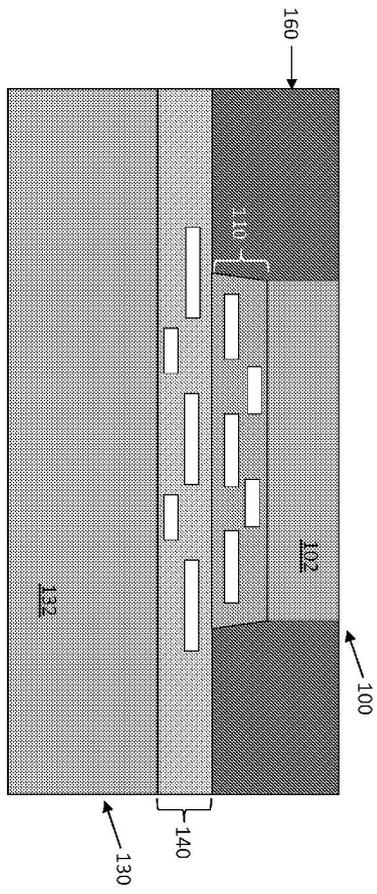
도면7



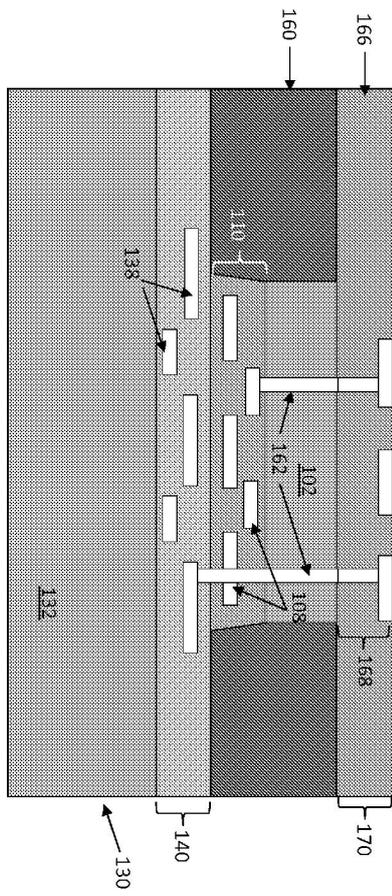
도면8



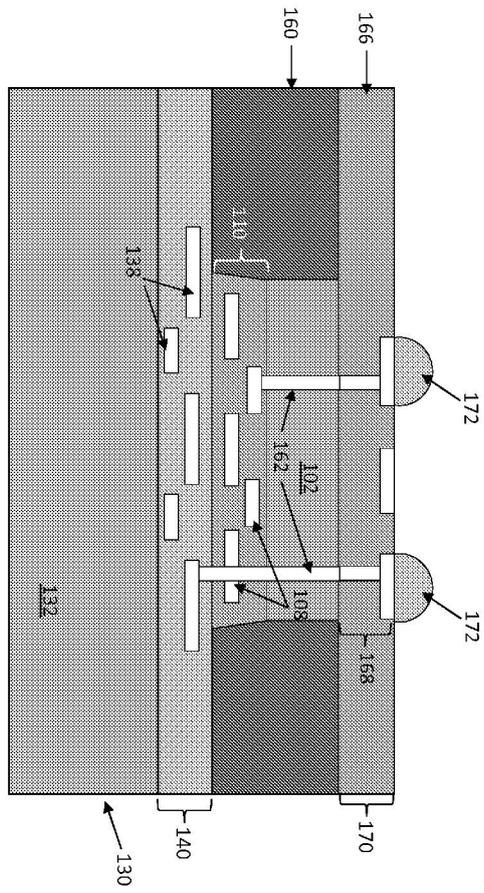
도면9



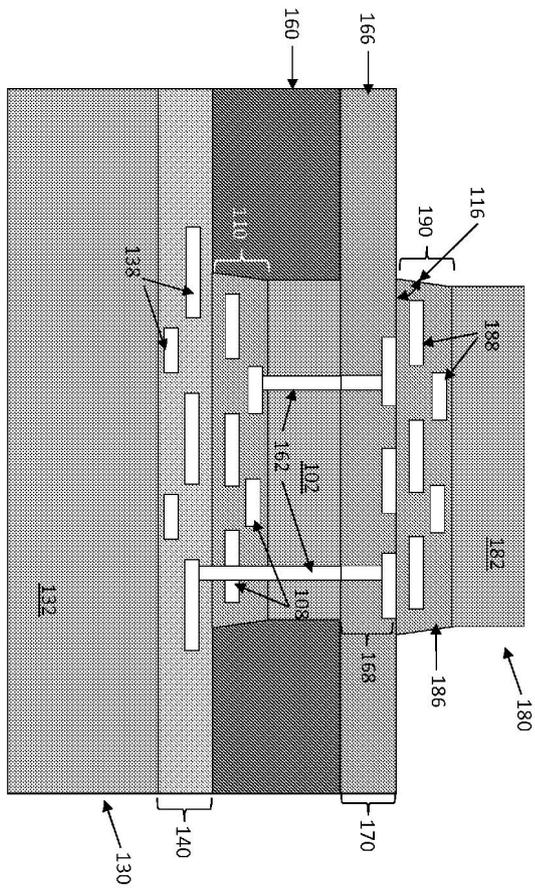
도면10



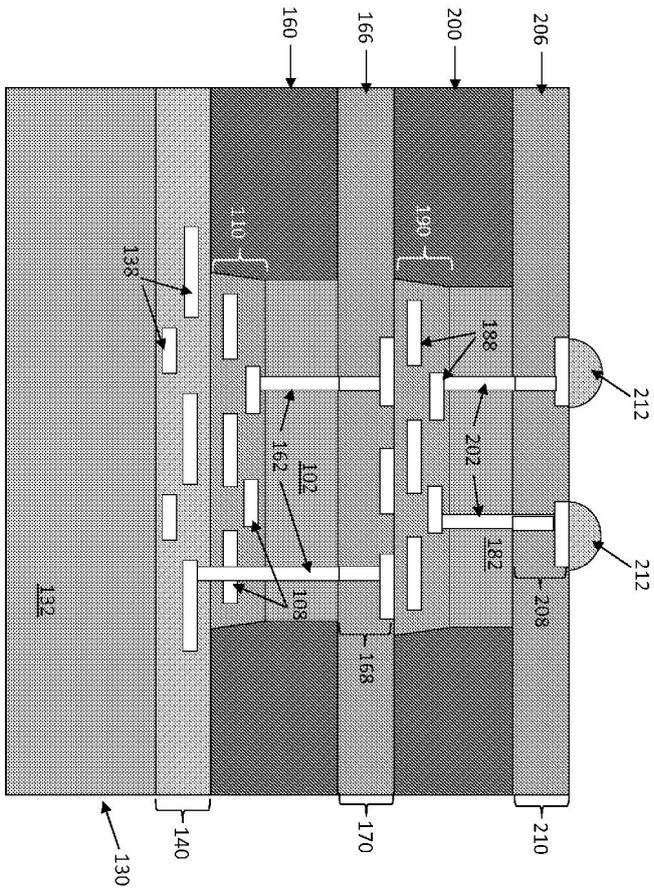
도면11



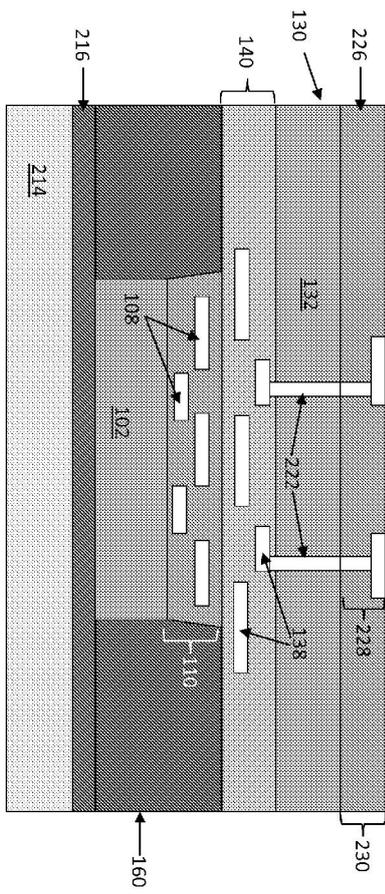
도면12



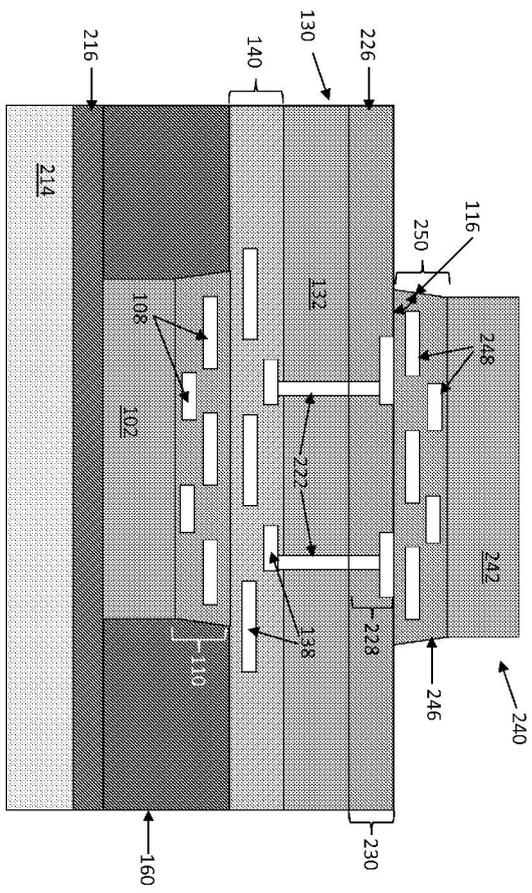
도면13



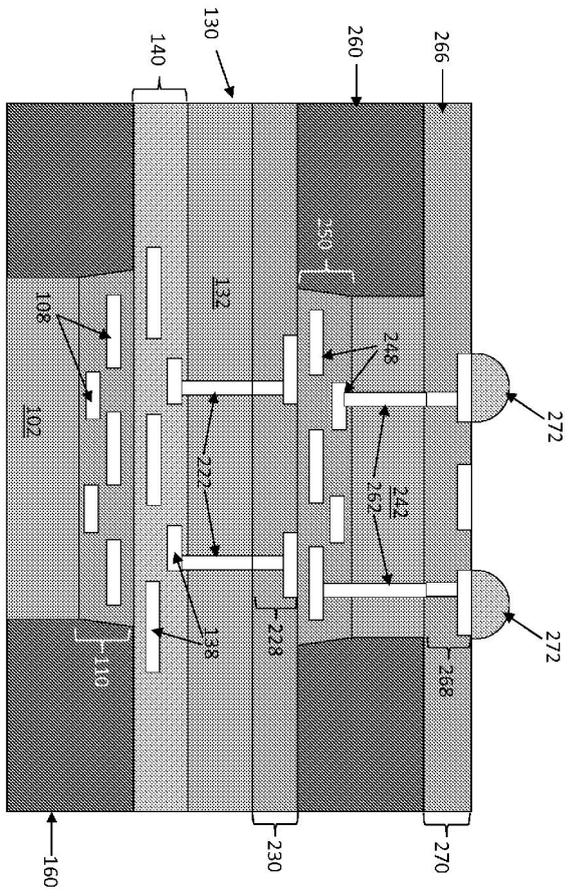
도면14



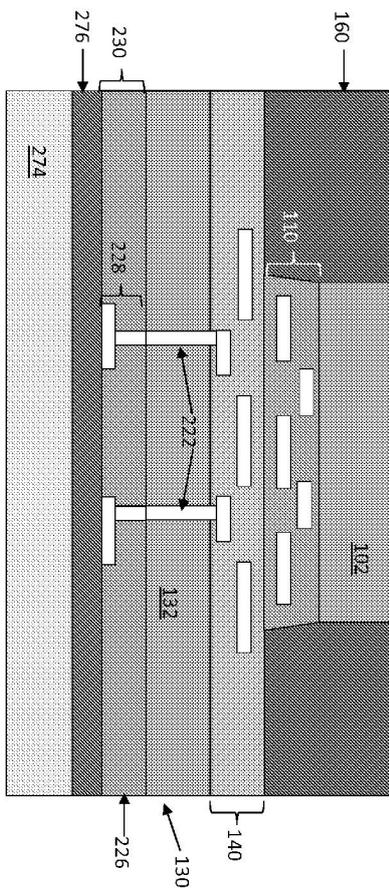
도면15



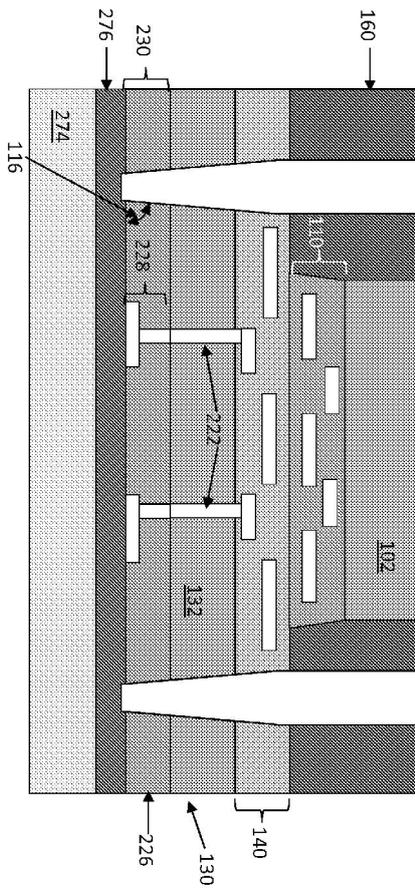
도면16



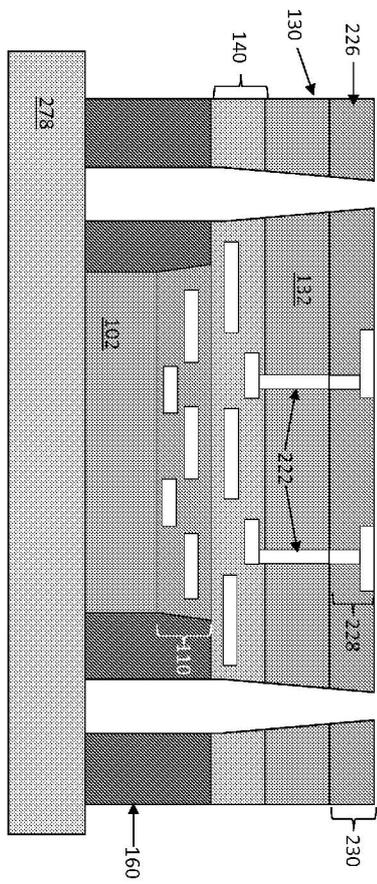
도면17



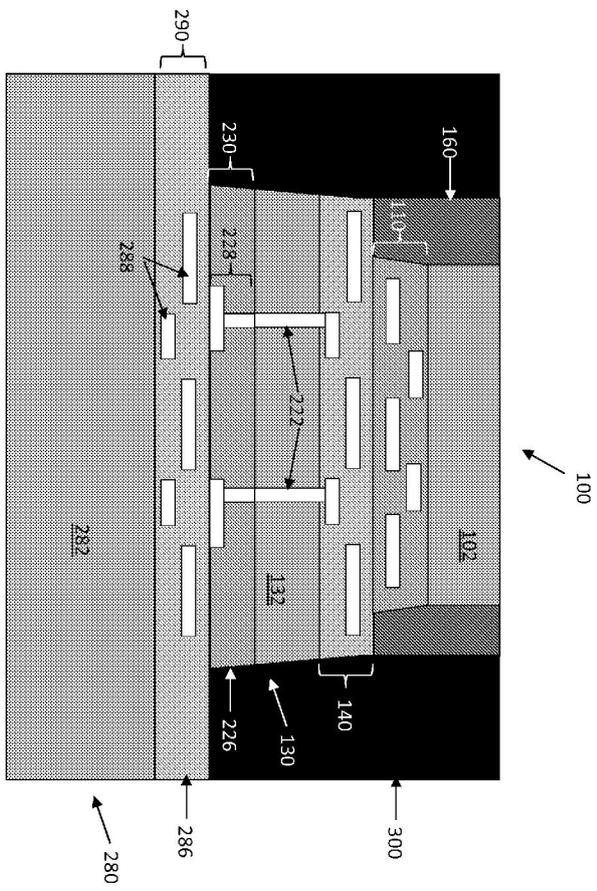
도면18



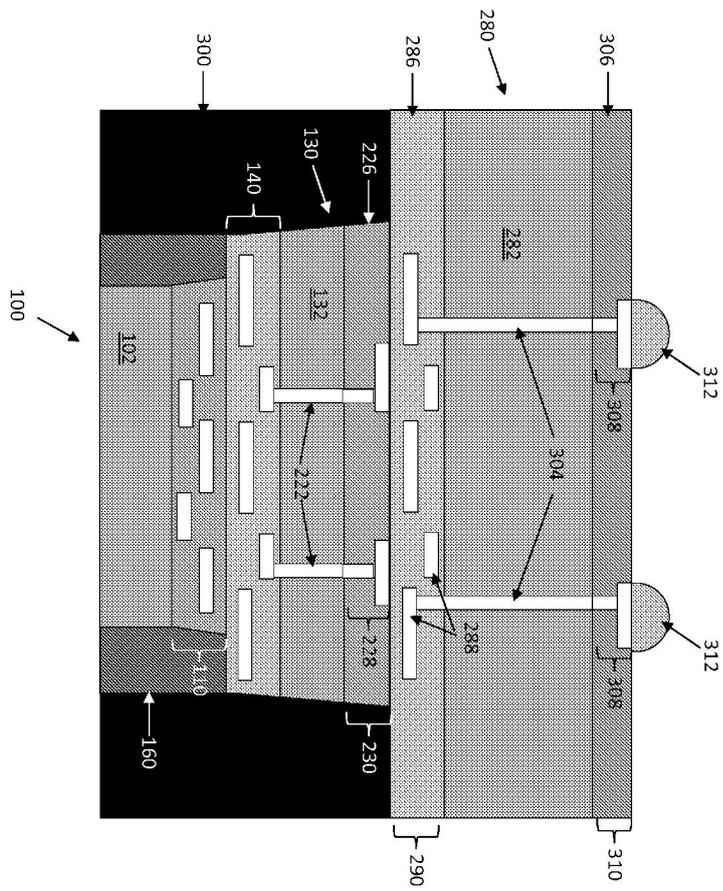
도면19



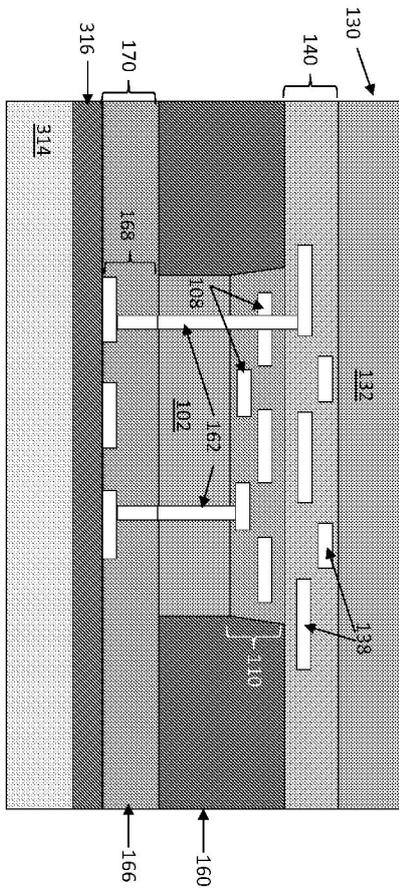
도면21



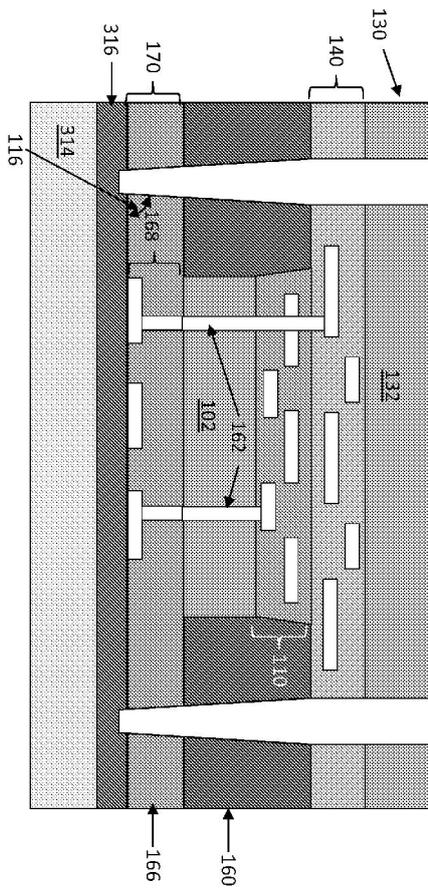
도면22



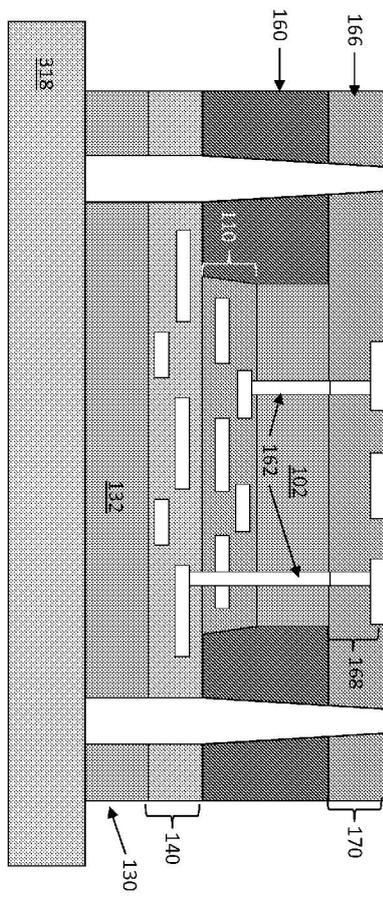
도면23



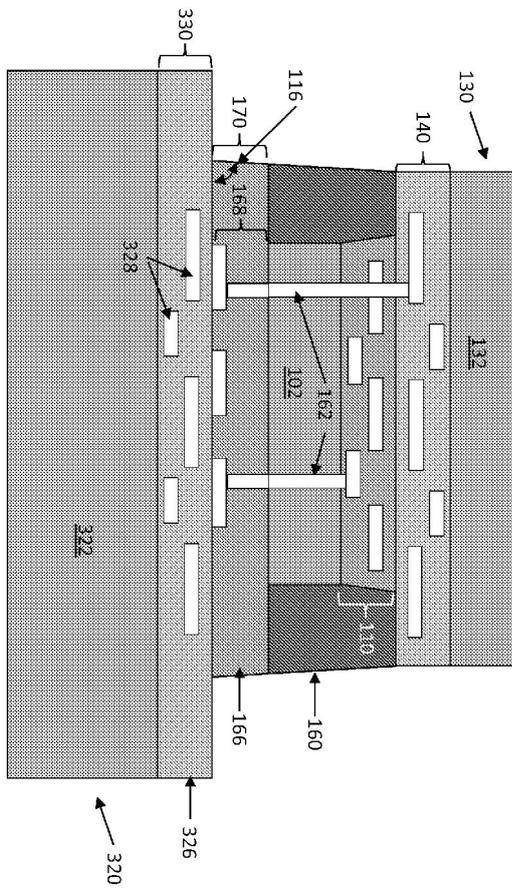
도면24



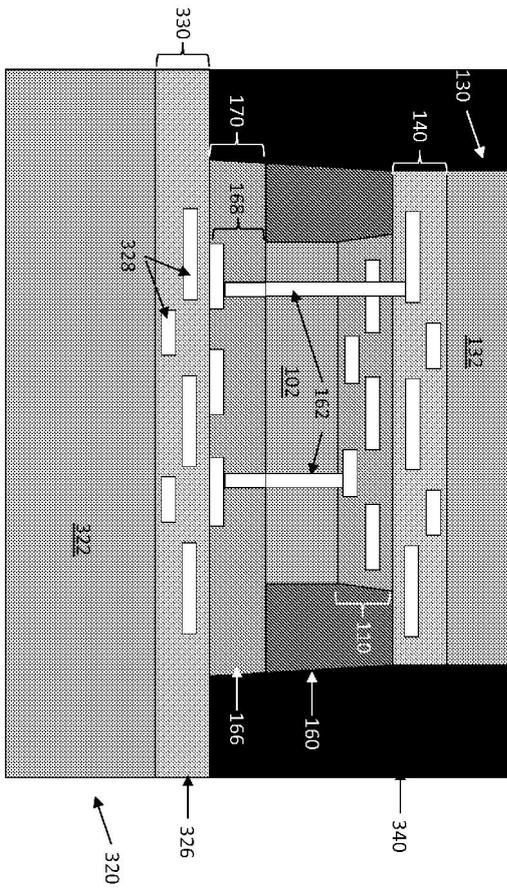
도면25



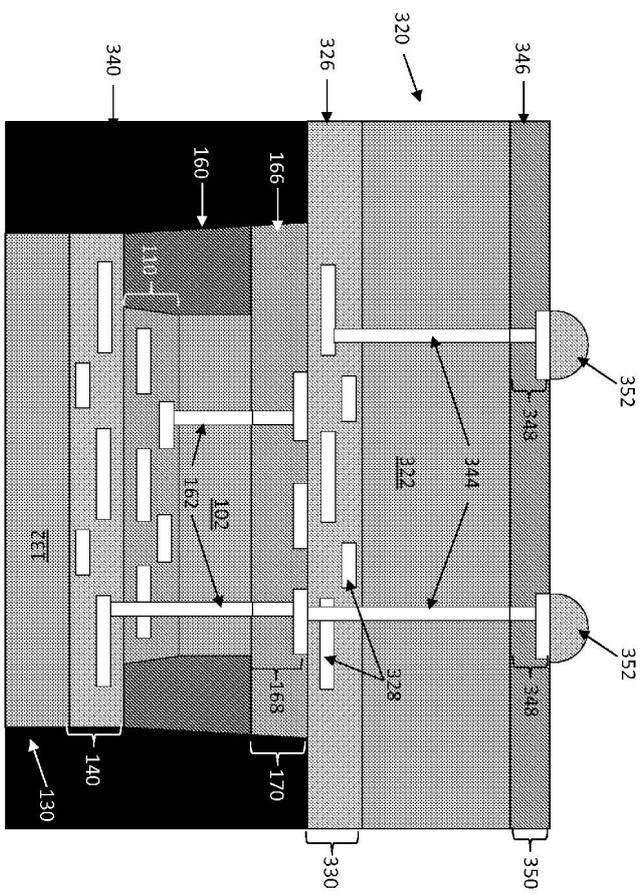
도면26



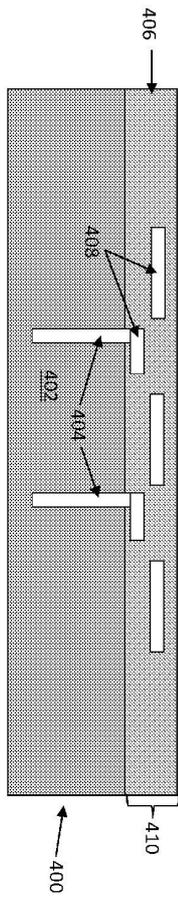
도면27



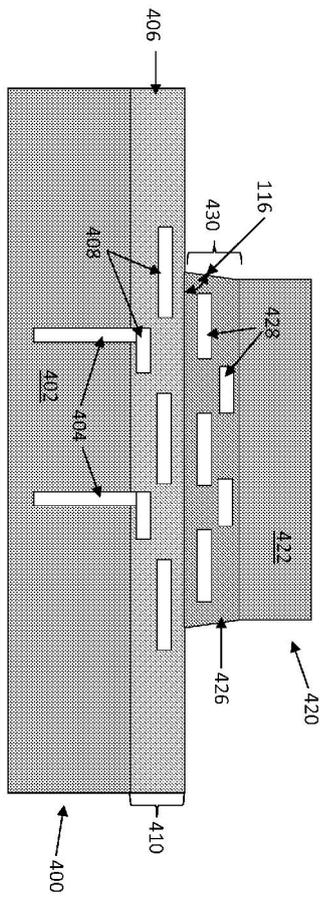
도면28



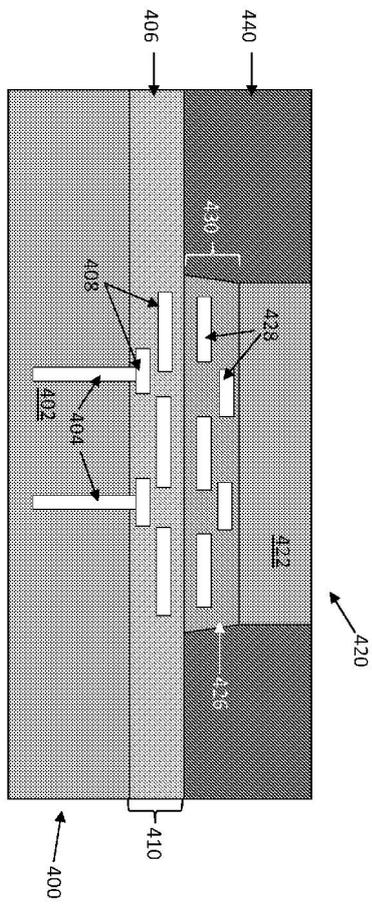
도면29



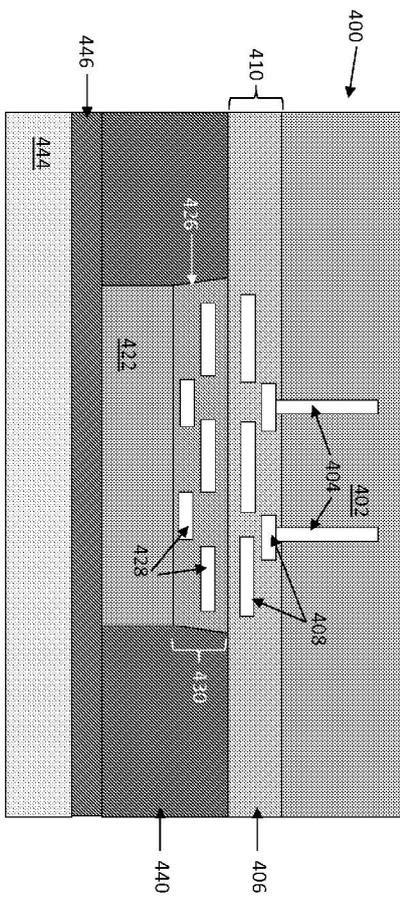
도면30



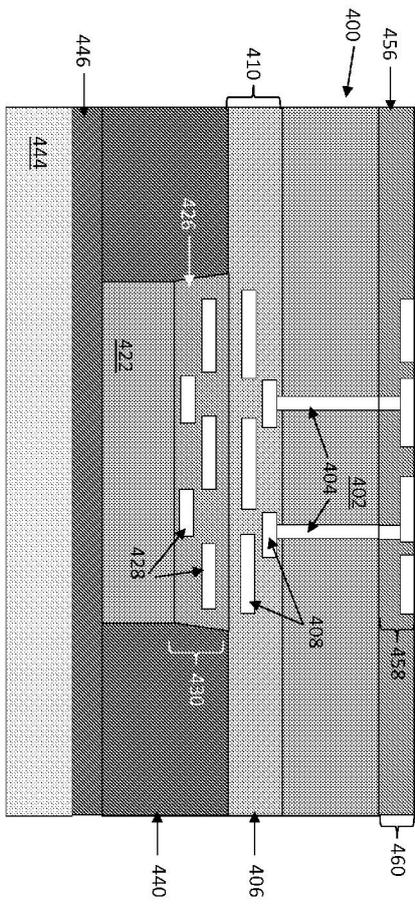
도면31



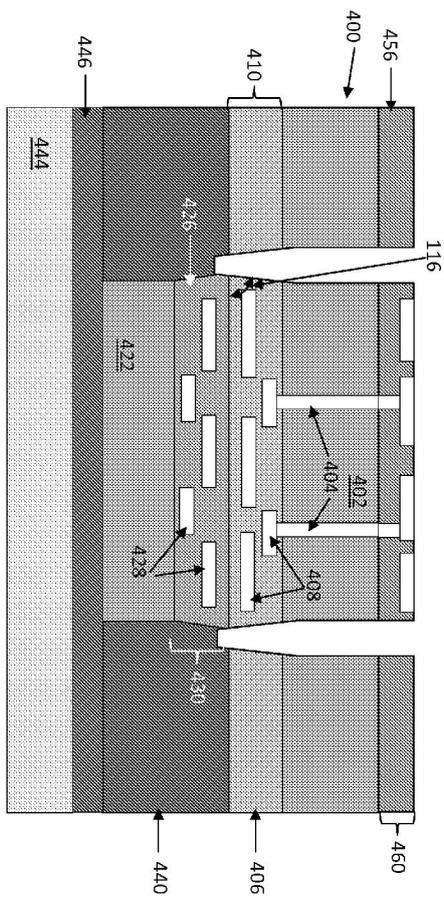
도면32



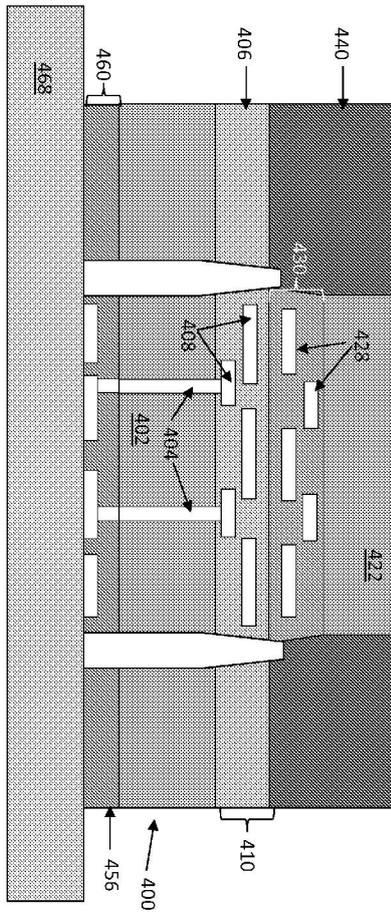
도면33



도면34



도면35



도면36

