



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년02월29일
 (11) 등록번호 10-1120508
 (24) 등록일자 2012년02월20일

(51) Int. Cl.

H01L 27/04 (2006.01)

(21) 출원번호 10-2007-0084526
 (22) 출원일자 2007년08월22일
 심사청구일자 2007년08월22일
 (65) 공개번호 10-2009-0020088
 (43) 공개일자 2009년02월26일
 (56) 선행기술조사문헌

US6452249 B1*

(뒷면에 계속)

전체 청구항 수 : 총 2 항

(73) 특허권자

(주) 와이팜

경기도 성남시 분당구 황새울로351번길 10, 여암빌딩 602호 (서현동)

(72) 발명자

유대규

경상북도 포항시 남구 청암로 77, 포항공과대학교 전자전기공학과 (지곡동)

(74) 대리인

제일특허법인, 김원준

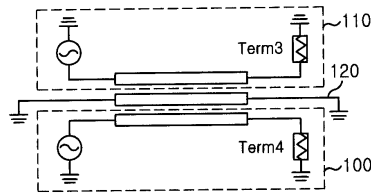
심사관 : 이승주

(54) 간섭 현상을 줄이기 위한 레이아웃 구조

(57) 요약

본 발명은 회로 블록 사이의 공간에 접지면과 연결된 도선을 이용하여 격리 도선을 형성한 후 이를 이용하여 회로 블록간의 간섭을 최소화시키는 것으로, 이를 위하여 본 발명에 따른 레이아웃 구조는, 인가되는 전력량의 차이가 있거나 위상차를 갖는 다수의 회로 블록과, 회로 블록들 사이마다 위치하며, 접지면에 연결되는 격리 도선을 포함한다.

대표도 - 도1



(56) 선행기술조사문헌

US6611041 B2

C.Patrick Yue. 외 "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's" 1997 VLSI 논문

C.Patrick Yue. 외 "Design Strategy of On-Chip Inductors for Highly Integrated RF Systems" 1999 ACM 논문

김천수 외 "RF CMOS 기술의 현재와 미래" 2003.01 EP&C Technical Report*

JP2006310540 A

KR1020000008593 A

KR1020070082445 A

KR1020000002030 A

JP2004335876 A

C.Patrick Yue. 외 "On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's" 1998 IEEE 논문*

*는 심사관에 의하여 인용된 문헌

특허청구의 범위

청구항 1

삭제

청구항 2

제 1 증폭기의 입력과 제 2 증폭기의 출력이 근접하는 병렬 구조의 증폭기에 있어서 간섭 효과를 줄이기 위한 레이아웃 구조로서,

위상 및 전력량이 상이한 상기 제 1 증폭기의 입력단과 상기 제 2 증폭기의 출력단을 격리시키며, 접지면 혹은 접지선과 연결되는 격리 도선

을 포함하는 간섭 현상을 줄이기 위한 레이아웃 구조.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

제 2 항에 있어서,

상기 접지선 또는 접지면은, AC 그라운드 또는 DC 그라운드인 것을 특징으로 하는 간섭 현상을 줄이기 위한 레이아웃 구조.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 입력 전력량의 차이를 가지거나 위상차를 갖는 회로 블록 사이의 공간에 접지면과 연결된 격리 도선을 형성하여 회로 블록간의 간섭을 줄일 수 있는 간섭 현상을 줄이기 위한 레이아웃 구조에 관한 것이다.

배경기술

[0002] 일반적으로 CMOS 공정과 같은 기판(substrate)을 통한 신호의 손실이 큰 경우에는 어떻게 기판의 간섭에 의해 회로가 왜곡되지 않도록 하느냐가 중요한 관심사항 중의 하나이다.

[0003] AC 그라운드(ground)와 연결된 도선을 링 모양으로 연결하여 회로단을 격리하는 기술이나 DNW(Deep N Well)과 같은 공정의 개발 등을 통해 CMOS 공정에서는 기판을 통한 회로간의 간섭이 크다는 단점을 극복하는 여러 가지 연구가 진행되고 있다.

[0004] 이 중에서 가장 널리 알려져 있는 회로간의 간섭을 방지하는 방법은 P+ 가드-링(guard-ring)이나 N+ 가드-링과 같은 AC 그라운드를 회로 블록 주변에 추가로 레이아웃하는 것이다.

[0005] 화합물 반도체 공정의 경우는 CMOS 공정에 비해 기판의 전도도(conductivity)가 매우 낮고, 각 소자간의 격리가 CMOS 공정에 비하여 물리적으로 잘 이루어지기 때문에 기판을 통한 회로간의 간섭 문제는 CMOS 공정에 기반한

설계에 비하여 크게 고려하지 않아도 된다.

[0006] 하지만, 최근 들어 화합물 반도체 공정 역시 회로의 집적도가 증가하고, 동작주파수가 증가함에 따라 두 도선이 근접하여 신호가 전송되는 현상에 따른 회로단 간의 간섭을 고려하여 설계를 진행하여야 한다.

[0007] 두 도선이 나란히 진행되는 회로의 특성은 독립적인 두 도선이 있는 경우와는 분명한 차이가 존재한다. 이러한 현상을 시뮬레이션 상에서 표현하기 위해 다양한 RF 관련 설계를 위한 회로 시뮬레이터, 특히 EM(Electro-Magnetic) 분석을 통해 신호를 해석하는 시뮬레이터들은 이러한 도선간의 간섭이 어떻게 이루어지는 가를 해석한다.

발명의 내용

해결 하고자하는 과제

[0008] 집적회로의 동작 주파수가 증가함에 따라 도선간의 간격이 좁아지면 마이크로 스트립라인 간의 전자기적인 간섭에 대한 고려가 필요하며, 이를 고려하지 않고 설계 및 레이아웃이 진행된다면 예기치 않은 회로 성능의 열화를 불러일으킬 수 있다.

[0009] 즉, 회로의 집적도, 특히 단순한 회로 블록의 증가와 관련된 것 뿐만 아니라, 복잡한 비대칭적인 회로의 설계 요구가 많아짐에 따라 회로간의 간섭 문제는 각 블록을 분리시키거나 넓히는 것만으로는 해결점을 찾기 어렵다.

[0010] 특히, 회로의 전력량 및 위상이 비대칭적인 회로의 레이아웃에서는 도선간 간섭에 의한 회로 성능 열화가 화합물 반도체 공정에서 역시 상당한 문제점으로 지적되고 있다.

[0011] 본 발명에서는 도선 또는 회로 블록 사이에 접지면 또는 접지선과 연결된 격리 도선을 추가하여 회로를 격리하는 방법을 제시하였으며, 또한 이를 적용하여 도선 또는 회로간의 간섭을 최소화하고자 한다.

과제 해결수단

[0012] 본 발명의 제 1 관점으로서 간섭 효과를 줄이기 위한 레이아웃 구조는, 인가되는 전력량의 차이가 있거나 위상차를 갖는 다수의 회로 블록과, 상기 회로 블록들 사이마다 위치하며, 접지면 또는 접지선에 연결되는 격리 도선을 포함한다.

[0013] 본 발명의 제 2 관점으로서 간섭 효과를 줄이기 위한 레이아웃 구조는, 제 1 증폭기의 입력과 제 2 증폭기의 출력이 근접하는 병렬 구조의 증폭기에 있어서 간섭 효과를 줄이기 위한 레이아웃 구조로서, 위상 및 전력량이 상이한 상기 제 1 증폭기의 입력단과 상기 제 2 증폭기의 출력단을 격리시키며, 접지면 혹은 접지선과 연결되는 격리 도선을 포함한다.

[0014] 삭제

효과

[0015] 본 발명에서는 인가되는 전력량의 차이를 갖거나 위상차를 갖는 다수의 회로 블록들 사이에 접지면과 연결되는 격리 도선을 추가하여 회로 블록간의 간섭을 줄일 수 있다.

[0016] 본 발명은 인덕터를 포함하는 블록을 회로 블록과 격리시키기 위해 회로 블록과 인덕터를 포함하는 블록 사이의 공간에 접지면과 연결된 격리 도선을 위치시킴으로서, 블록들 간의 간섭을 줄일 수 있다.

[0017] 또한, 본 발명은 비대칭적인 회로 블록, 즉 인가되는 전력량의 차이를 갖거나 위상차를 갖는 회로 블록들 사이에 접지면과 연결된 격리 도선을 위치시킴으로서, 회로 블록간의 간섭을 줄일 수 있게 된다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 아울러 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다.

실시예

- [0019] 도 1은 본 발명의 일 실시 예에 따른 격리 도선이 추가된 레이아웃을 도시한 블록도로서, 위상차를 갖는 두 개의 도선(100, 110)과, 두 개의 도선(100, 110) 사이에 위치하며, 접지면 혹은 접지선과 연결된 격리 도선(120)으로 이루어져 있다. 여기서, 접지면 혹은 접지선은 DC 그라운드뿐만 아니라 AC 그라운드(혹은 RF 그라운드)일 수 있는데, 즉 DC 전압이 0V가 아니더라도 AC 전압 혹은 RF 전압이 0V인 경우에도 접지면 또는 접지선이 될 수 있다.
- [0020] 도 1의 두 개의 도선(100, 110)은 분리하고자 하는 두 회로 블록의 일부를 나타낸 것이다.
- [0021] 도 1에 도시된 레이아웃과 종래의 레이아웃인 도 2a 및 도 2b간의 차이점을 시뮬레이션을 통해 설명하면 아래와 같다.
- [0022] 설명에 앞서, 도 1, 도 2a 및 도 2b 상에는 두 개의 도선(100, 110)이 나란히 진행되는 것처럼 보이나, 실제 레이아웃에서는 두 개의 도선(100, 110)이 단순히 나란히 이동하는 것이 아니라 도선이 진행되는 어느 한곳을 임의로 분리하여 입력단의 전압과 전류를 통해 임피던스를 계산하고, 종단에서도 마찬가지로 임피던스를 계산하여 간략히 도면화한 것이다.
- [0023] 도 2b에서의 두 도선(100, 110) 입력단의 전력을 적은 손실로 출력단에 전달하는 방법으로 임의의 임피던스를 입력단 임피던스로 가정하고 그 반대편에 라인의 임피던스와 종단 임피던스를 합한 값과 공액복소정합(Complex Conjugate Matched)된 임피던스로 종단의 임피던스를 갖는다고 가정하면, 입력단의 전력은 출력단으로 반사 손실을 거의 갖지 않고 전달이 가능하다.
- [0024] 먼저, 도 2a는 위상차를 갖는 두 개의 도선(100, 110)으로 이루어져 있으며, 도 2b는 두 개의 도선(100, 110)이 독립적으로 있다는 가정 하에 설명하면 아래와 같다.
- [0025] 이러한 가정 하에 도선의 입력단에 인가된 전력의 차이에 따라 또는 입력단에 인가된 전력의 위상 차이에 따라 출력단에 도달하는 전력 비가 차이가 나게 되는데, 각 경우에 대해 출력단의 전력이 어떻게 나타나는지에 대해 설명하면 아래와 같다.
- [0026] 설명에 앞서, 도선의 특성 임피던스가 56.4Ω, 도 1 및 도 2a에서의 두 개의 도선(100, 110)간의 간격이 32μm이며, 도 2b의 두 개의 도선(100, 110)간의 간격은 두 개의 도선(100, 110)간 간섭이 없을 정도로 넓다. 한편, 도 1, 도 2a 및 도 2b에서 입력단의 임피던스가 2Ω, 출력단의 임피던스가 2.5GHz에서 2.492-j5.055Ω라고 가정한다.
- [0027] 상기와 같은 가정 하에 입력 환경, 즉 각 도선(100, 110)에 입력되는 전력 및 위상 차이에 따른 시뮬레이션 결과는 아래의 표 1과 같고, 입력 신호의 전력비가 10dB이고 위상차가 90° 인 경우 종단 신호 파형은 도 3a 내지 도 3b에 도시된 바와 같다.

표 1

순번	입력신호1 (Power/ Phase)	입력신호2 (Power/ Phase)	Voltage Magnitude		Voltage Magnitude		Phase Difference	
			$\frac{Term1}{Term5}$	$\frac{Term3}{Term5}$	$\frac{Term2}{Term6}$	$\frac{Term4}{Term6}$	도 3a	도 3b
1	0 dBm / 0°	0 dBm / 0°	0.949	0.955	0.949	0.955	0°	0°
2	0 dBm / 0°	0 dBm / 90°	1.199	1.077	0.605	0.800	90.15°	89.21°
3	0 dBm / 0°	-10 dBm / 0°	0.906	0.941	1.300	1.054	-40.1°	-21.9°
4	0 dBm / 0°	-10 dBm / 90°	0.996	0.982	0.037	0.501	95.24°	87.23°

- [0028]
- [0029] 상기의 표 1과 도 3a 및 도 3b에서, Term1과 Term2는 도 2에 도시된 두 개의 도선(100, 110)의 입력 신호 1 및 입력 신호 2에 대한 종단이고, Term3과 Term4는 격리 도선(120)으로 격리된 두 개의 도선(100, 110)의 입력 신호

호 1과 입력 신호 2의 중단이며, Term5와 Term6은 두 개의 도선(100, 110)이 독립적으로 있을 경우 입력 신호 1과 입력 신호 2의 중단이다.

- [0030] 일반적으로 의도된 신호 출력은 Term5와 Term6의 경우이기 때문에 전압 크기(Voltage magnitude)의 경우가 비율 값이 1에 근접할수록, 위상 차이의 경우 입력 신호의 위상차에 근접할수록 신호간의 간섭이 덜 일어나는 것으로 볼 수 있다 도 3a 및 도 3b의 경우는 상기 표1에서 순번 4에 해당하는 경우의 신호 파형을 도시한 것이다.
- [0031] Term2와 Term6 그리고 Term4와 Term6의 파형 차이를 비교하여 보았을 때 격리 도선(120)의 유무에 따라 신호의 차이가 확연함을 확인할 수 있다.
- [0032] 상기의 표 1과 도 3a 및 도 3b의 경우를 종합해보면, 두 개의 도선(100, 110)에 인가된 전력량이 동일하고 위상차가 없다면 두 개의 도선(100, 110) 사이에 격리 도선(120)이 있거나 없거나 크게 출력 전압의 영향이 없는 것으로 확인된다. 반면에, 두 개의 도선(100, 110)에 인가된 전력량에 차이가 있고 거기에 더하여 위상차이가 존재하는 경우에는 두 개의 도선(100, 110)이 독립하여 존재할 때에 비하여 매우 큰 차이가 존재하게 됨을 확인할 수 있기 때문에 접지면과 연결된 격리 도선(120)의 도선간의 간섭 방지 효과는 간섭 효과가 큰 경우, 예컨대 전력량에 차이가 있거나 위상차이가 존재하는 경우에 효과적으로 두 개의 도선(100, 110)간의 간섭 효과를 최소화시키는 것을 알 수 있다.
- [0033] 상기와 같은 본 발명이 적용되는 예로는 병렬로 연결된 증폭기를 들 수 있으며, 이에 대한 설명은 도 4를 참조하여 설명한다.
- [0034] 도 4는 본 발명의 바람직한 실시 예에 따른 레이아웃 구조가 적용된 병렬 구조의 증폭기를 도시한 도면이다.
- [0035] 도 4에 도시된 바와 같이, 병렬 구조의 증폭기는 제 1 증폭기(400)의 입력과 제 2 증폭기(410)의 출력이 근접하며, 제 1 증폭기(400)의 입력단과 제 2 증폭기(410)의 출력단 도선 사이의 위상 및 전력량이 상이하다. 즉, 제 2 증폭기(410)의 출력이 제 1 증폭기(400)의 입력단에 간섭을 일으켜 제 1 증폭기(400)의 입력단 특성이 왜곡되어 전체 회로를 열화시킬 수 있다. 이를 개선하기 위하여 제 1 증폭기(400)의 입력단과 제 2 증폭기(410)의 출력단 도선 사이에는 접지면과 연결되는 격리 도선(420)을 배치한다.
- [0036] 이와 같이, 격리 도선(420)을 제 1 증폭기(400)의 입력단과 제 2 증폭기(410)의 출력단 도선 사이에 배치시킴으로서, 제 2 증폭기(410)의 출력이 제 1 증폭기(400)의 입력단에 간섭을 일으키는 것을 방지할 수 있다.
- [0037] 본 발명의 다른 실시 예로는, 도 5에 도시된 바와 같이, 스파이럴(spiral) 구조를 갖는 인덕터(500)와 인덕터(500)를 사이에 두고 위치하는 회로 블록 A, B(510, 520)를 포함하는 레이아웃을 들 수 있는데, 이 경우에는 스파이럴 구조를 갖는 인덕터(500)는 회로 블록 A, B(510, 520)에 간섭을 줄 수 있다. 이러한 간섭 현상을 줄이기 위해, 본 발명의 다른 실시 예에서는 회로 블록 A, B(510, 520)와 인덕터(500) 사이에 격리 도선(530)을 추가함으로써, 스파이럴 구조를 갖는 인덕터(500)와 회로 블록 A, B(510, 520)를 격리시켜 간섭을 줄일 수 있다.
- [0038] 본 발명의 다른 실시 예에서는 인덕터(500)를 스파이럴 구조를 갖는 것으로 예를 들어 설명하였지만, 인덕턴스 성분을 갖는 등가 회로일 경우에도 본 발명의 다른 실시 예를 적용할 수 있다.
- [0039] 본 발명의 또 다른 실시 예로는, 도 6에 도시된 바와 같이, 접지면과 연결되며 폐곡선 형태의 격리 도선(600)을 이용하여 인덕터(610a)를 포함하는 격리 블록(610)을 다른 회로 블록 A, B, C(620, 630, 640)와 격리시킬 수 있다. 여기서, 격리 블록(610)은 스파이럴 구조의 인덕터(610a)뿐만 아니라 다수의 캐패시터(610b), 저항(도시 생략됨), 마이크로 스트립라인(도시 생략됨) 등을 포함하는 구조의 회로이며, 캐패시터(610b)의 예로는 MIM 구조의 캐패시터를 예로 들 수 있다.
- [0040] 본 발명의 또 다른 실시 예에서는 폐곡선을 이용하여 격리 블록(610)을 다른 회로 블록 A, B, C(620, 630, 640)와 격리시키는 것으로 예를 들어 설명하였지만, 폐곡선과 유사한 형태, 즉 격리가 필요한 부분만을 격리시키기 위한 곡선 형태, 예컨대 일부가 오픈된 곡선 형태의 격리 도선을 이용할 경우에도 본 발명의 또 다른 실시 예와 마찬가지로 다른 회로 블록 A, B, C(620, 630, 640)와 격리 블록(610)을 격리시킬 수 있다.
- [0041] 한편, 본 발명의 또 다른 실시 예에서는 격리 블록(610) 내에 스파이럴 구조의 인덕터(610a)가 포함되어 있는 것으로 예를 들어 설명하였지만, 인덕턴스 성분을 갖는 등가 회로 블록인 경우에도 본 발명의 또 다른 실시 예를 적용할 수 있다.
- [0042] 이와 같이, 격리 블록(610)을 폐곡선 또는 그와 유사한 형태의 격리 도선(600)으로 회로 블록 A, B, C(620,

630, 640)와 격리시킴으로서, 격리 블록(610)과 회로 블록 A, B, C(620, 630, 640)간의 간섭 현상을 효과적으로 줄일 수 있다.

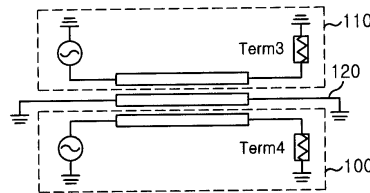
[0043] 지금까지 본 발명의 일 실시예에 국한하여 설명하였으나 본 발명의 기술이 당업자에 의하여 용이하게 변형 실시될 가능성이 자명하다. 이러한 변형된 실시예들은 본 발명의 특허청구범위에 기재된 기술사상에 포함된다고 하여야 할 것이다.

도면의 간단한 설명

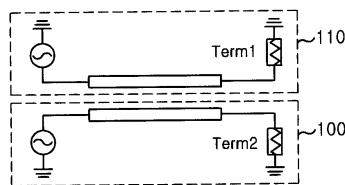
- [0044] 도 1은 본 발명의 일 실시예에 따른 간섭 효과를 줄이기 위한 레이아웃 구조를 도시한 도면이며,
- [0045] 도 2a 내지 도 2b는 격리 도선이 없는 레이아웃 구조 및 독립 도선의 레이아웃 구조를 도시한 도면이며,
- [0046] 도 3a는 입력 신호 전력차가 10dB, 위상차가 90°인 경우 도선이 나란히 그려진 경우의 중단 신호 파형이며,
- [0047] 도 3b는 입력 신호 전력차가 10dB, 위상차가 90°인 경우 접지면과 격리된 도선을 사이에 두고 도선이 나란히 그려진 경우의 중단 신호 파형이며,
- [0048] 도 4는 본 발명의 일 실시예가 적용된 병렬 구조의 증폭기에 대한 레이아웃 구조를 도시한 도면이며,
- [0049] 도 5는 본 발명의 다른 실시예에 따른 인덕터를 포함하는 레이아웃에 격리 도선이 추가된 구조를 도시한 도면이며,
- [0050] 도 6은 본 발명의 또는 다른 실시예에 따른 인덕터를 포함하는 레이아웃에 폐곡선 형태의 격리 도선이 추가된 구조를 도시한 도면이다.

도면

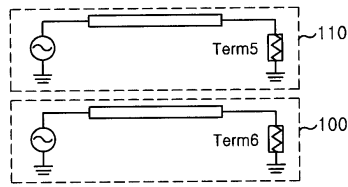
도면1



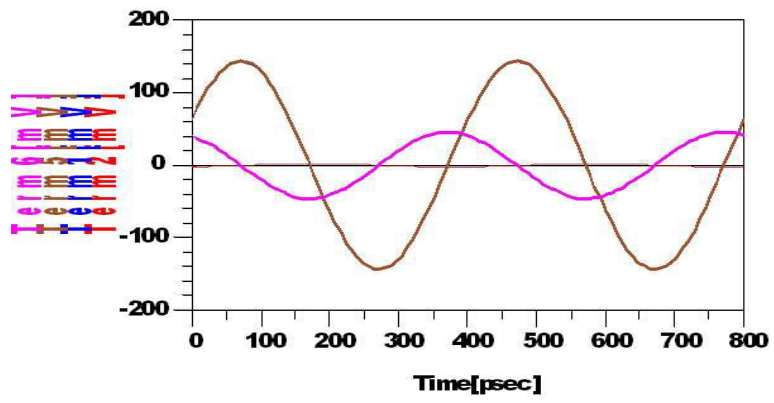
도면2a



도면2b



도면3a



도면3b

