



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0004746  
(43) 공개일자 2009년01월12일

- |  |  |
|--|--|
| <p>(51) Int. Cl.<br/>G02F 1/1343 (2006.01) G02F 1/136 (2006.01)<br/>H01L 21/027 (2006.01)</p> <p>(21) 출원번호 10-2008-0064846<br/>(22) 출원일자 2008년07월04일<br/>심사청구일자 없음</p> <p>(30) 우선권주장<br/>JP-P-2007-00177991 2007년07월06일 일본(JP)</p> | <p>(71) 출원인<br/>소니 가부시끼 가이샤<br/>일본국 도쿄도 미나토쿠 코난 1-7-1</p> <p>(72) 발명자<br/>가와시마 노리유키<br/>일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시<br/>끼 가이샤내</p> <p>(74) 대리인<br/>유미특허법인</p> |
|--|--|

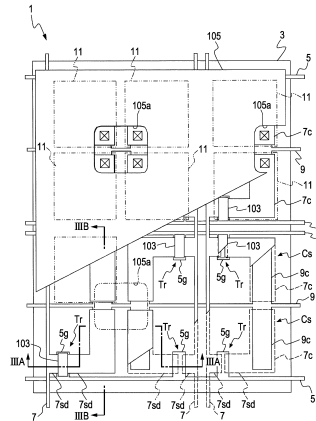
전체 청구항 수 : 총 12 항

(54) 표시 장치 및 그 제조 방법

(57) 요약

기판 상에 배열된, 화소 전극 스위칭용의 복수의 화소 회로; 및 상기 복수의 화소 회로를 덮는 층간 절연막을 포함하는 표시 장치를 제공한다. 이 표시 장치에서, 상기 층간 절연막은, 바닥부(bottom portions)에 상기 복수의 화소 회로의 접속 부분을 노출시키는 복수의 접속 구멍을 가지고, 상기 복수의 화소 회로 중 인접하는 화소 회로들의 접속 부분은 상기 접속 구멍의 상기 바닥부에 노출되어 있다. 상기 표시 장치의 제조 방법도 제공된다.

대표도 - 도2



**특허청구의 범위**

**청구항 1**

기관 상에 배열된, 화소 전극 스위칭용의 복수의 화소 회로; 및  
 상기 복수의 화소 회로를 덮는 층간 절연막  
 을 포함하고,  
 상기 층간 절연막은, 상기 화소 회로의 접속 부분을 바닥부에 노출시키는 접속 구멍을 가지고,  
 상기 접속 구멍의 바닥부에는 상기 화소 회로 중 인접하는 화소 회로들의 접속 부분이 노출되어 있는,  
 표시 장치.

**청구항 2**

제1항에 있어서,  
 상기 층간 절연막 상에 배치되고, 상기 접속 구멍의 바닥부에서 각각의 상기 화소 회로에 독립적으로 접속되는  
 화소 전극을 더 포함하는 표시 장치.

**청구항 3**

제2항에 있어서,  
 각각의 상기 화소 전극과 접속되는, 상기 인접하는 화소 회로들의 접속 부분은 인접하는 화소들 사이의 중앙에  
 배치되어 있는, 표시 장치.

**청구항 4**

제1항에 있어서,  
 상기 화소 회로는 주사선과 신호선의 교차부(intersection)에 배치되어 있고,  
 주사선 방향으로 인접하여 배치된 상기 화소 회로는, 상기 신호선에 대하여 선대칭으로 배열되어 있으며,  
 상기 접속 구멍은, 상기 주사선 방향으로 인접하여 배치된 상기 화소 회로에 배치되어 있는, 표시 장치.

**청구항 5**

제1항에 있어서,  
 상기 화소 회로는 주사선과 신호선의 교차부에 배치되어 있고,  
 신호선 방향으로 인접하여 배치된 상기 화소 회로는, 상기 주사선에 대하여 선대칭으로 배열되어 있으며,  
 상기 접속 구멍은, 상기 신호선 방향으로 인접하여 배치된 상기 화소 회로에 배치되어 있는, 표시 장치.

**청구항 6**

제1항에 있어서,  
 상기 화소 회로는 주사선과 신호선의 교차부에 배치되어 있고,  
 주사선 방향으로 인접하여 배치된 상기 화소 회로는, 상기 신호선에 대하여 선대칭으로 배열되어 있으며,  
 신호선 방향으로 인접하여 배치된 상기 화소 회로는, 상기 주사선에 대하여 선대칭으로 배열되어 있고,  
 상기 접속 구멍은, 상기 신호선 방향 및 상기 주사선 방향으로 인접하여 배치된 상기 화소 회로에 배치되어 있  
 는, 표시 장치.

**청구항 7**

제5항 또는 제6항에 있어서,

상기 화소 회로에 접속되는 복수의 공통 배선을 더 포함하고,

상기 복수의 공통 배선은 서로 인접하여 배치되는 2개의 주사선 사이에 배치된 2개의 화소 회로에 의해 각각 공통으로 사용되는, 표시 장치.

**청구항 8**

제1항에 있어서,

상기 층간 절연막은 유기 재료를 포함하는, 표시 장치.

**청구항 9**

기판 상에 배열된 복수의 화소 회로;

상기 복수의 화소 회로를 덮는 층간 절연막; 및

상기 층간 절연막 상에 배치되고, 각각의 상기 화소 회로에 접속되는 복수의 화소 전극

을 포함하고,

상기 화소 회로 중 인접하는 화소 회로들의 상기 화소 전극과의 접속 부분이, 인접하는 화소들 사이의 중앙에 배치되어 있는

표시 장치.

**청구항 10**

기판 상에 배열되도록 화소 전극 스위칭용의 복수의 화소 회로를 형성하는 단계; 및

상기 기판 상에, 상기 복수의 화소 회로의 접속 부분을 바닥부에 노출시키는 접속 구멍을 가지는 층간 절연막을 형성하는 단계

를 포함하고,

상기 접속 구멍의 바닥부에는, 상기 화소 회로 중 인접하는 화소 회로들의 접속 부분을 노출시키는

표시 장치의 제조 방법.

**청구항 11**

제10항에 있어서,

상기 층간 절연막을 형성한 후, 상기 층간 절연막 상에 배열되고, 상기 접속 구멍의 바닥부에서 각각의 상기 화소 회로에 독립적으로 접속되는 복수의 화소 전극을 형성하는 단계를 더 포함하는 표시 장치의 제조 방법.

**청구항 12**

제10항에 있어서,

상기 층간 절연막을 형성하는 단계는 인쇄법에 의해 수행되는, 표시 장치의 제조 방법.

**명세서**

**발명의 상세한 설명**

**기술 분야**

<1> 본 발명은 표시 장치 및 그 제조 방법에 관한 것이며, 특히 화소 전극 스위칭용 화소 회로를 포함하는 액티브 매트릭스(active matrix) 표시 장치, 및 그 제조 방법에 관한 것이다.

<2> 관련출원의 상호 참조

<3> 본 발명은 2007년 7월 6일에 일본 특허청에 출원된, 일본 특허출원 제2007-177991호와 관련된 대상 발명을 포함하며, 그 내용 전부는 참조에 의해 본 명세서에 포함된다.

### 배경 기술

- <4> 최근, 전자 페이퍼(electronic paper)와 같은 가요성(flexible property)을 가지는 표시 장치의 개발이 시도되고 있다. 전술한 표시 장치에서, 플라스틱 기판 상에 저온 프로세스로 형성 가능한 유기 박막 트랜지스터(thin film transistor, TFT)가, 화소 전극을 구동하는 스위칭 소자로서 사용된다. 또, 전술한 표시 장치의 제조에는, 비용 절감을 위해, 인쇄 프로세스가 집중적으로 도입되고 있다.
- <5> 유기 TFT를 포함하는 표시 장치의 제조 시에, 층간 절연막 내에 접속 구멍을 형성하기 위해, 실리콘 TFT의 경우와 같이, 레지스터 패턴 형성을 위한 포토리소그래피 및 레지스트를 마스크로 사용하는 반응성 이온 에칭(reactive ion etching)을 사용하는 경우, 레지스트용으로 사용되는 현상액 및/또는 박리액에 의해 발생하는 손상과, 반응성 이온 에칭 동안의 플라즈마 손상으로 인해, 트랜지스터 특성이 열화되기 쉽다. 그러므로, 유기 TFT를 포함하는 표시 장치의 제조 시에, 접속 구멍을 가지는 층간 절연막을 형성하기 위해, 인쇄 프로세스를 사용하는 것이 또한 요구되고 있다.
- <6> 또, 유기 TFT를 스위칭 소자로서 사용하는 전술한 표시 장치는, 150 dpi(dots per inch) 이상의 해상도를 충족시켜야 한다. 이 경우, 화소 하나의 크기는 200 $\mu$ m 스퀘어(square) 이하로 축소된다. 그러므로, 스위칭 소자를 포함하는 화소 회로를, 층간 절연막을 사이에 두고 그 위에 제공된 화소 전극과 접속하기 위한 접속 구멍은, 개구 직경이 50 $\mu$ m 이하일 것을 필요로 한다.
- <7> 그러나, 스크린 인쇄에 의해, 개구 직경이 대략 100 $\mu$ m인 접속 구멍을 포함하는 층간 절연막을 형성하는 경우, 일반적으로 사용되는 500 메시(mesh) 스크린판(screen plate)의 유제 패턴(emulsion pattern)을 지지하는 메시 교점(mesh intersection)의 수는 수 개에 불과하다. 그러므로, 반복 인쇄에 의해, 예를 들어 유제 부분의 박리에 의한 인쇄 결함이 발생할 수 있다. 또한, 개구 직경이 대략 50 $\mu$ m인 접속 구멍을 포함하는 층간 절연막은 사실상 스크린 인쇄에 의해 형성될 수 없다.
- <8> 따라서, 화소 회로의 접속 부분에 미리 비아 포스트(vis post)를 인쇄하고, 스크린 인쇄법이나 잉크젯법으로 층간 절연막을 인쇄하는 방법, 및 이 방법을 사용하여 표시 장치를 제조하는 방법이 제안되었다(심사청구되지 않은 일본 특허공개공보 제2006-295116호 및 "Journal of Applied Physics", 2004년, vol.96, p.2286 참조)

### 발명의 내용

#### 해결 하고자하는 과제

- <9> 그러나, 전술한 방법으로 비아 포스트를 인쇄한 후에 층간 절연막을 인쇄하여 형성하더라도, 더욱 미세한 비아 포스트를 형성하는 것은 여전히 곤란하다. 또, 비아 포스트가 고밀도로 제공되어 있는 상태에서 두꺼운 층간 절연막을 형성하는데 적합한 고점도의 수지를 인쇄하는 경우, 평탄한 표면의 층간 절연막을 형성하는 것은 곤란하다. 또, 전술한 바와 같은, 층간 절연막의 표면 평탄성(surface flatness)의 열화는, 그 위에 형성되는 화소 전극의 표면 평탄성을 열화시켜, 색상 불균일(color irregularity)이 발생할 수 있다.
- <10> 따라서, 두꺼운 막인 경우에도 표면 평탄성을 가지고, 그 위에 인쇄법에 의해 고밀도로 상층 및 하층의 접속부를 배치할 수 있는 층간 절연막을 포함하며, 색상 불균일 없이 고정밀도의 영상을 표시할 수 있는 표시 장치를 제공하는 것이 바람직하고, 그러한 표시 장치의 제조 방법을 제공하는 것이 바람직하다

#### 과제 해결수단

- <11> 본 발명의 실시예에 따르면, 기판 상에 배열된 화소 전극 스위칭용의 복수의 화소 회로; 및 상기 복수의 화소 회로를 덮는 층간 절연막을 포함하는 표시 장치가 제공된다. 특히, 상기 층간 절연막은, 상기 복수의 화소 회로의 접속 부분을 바닥부에 노출시키는 복수의 접속 구멍을 가지고, 상기 접속 구멍의 바닥부에는 상기 복수의 화소 회로 중 인접하는 화소 회로들의 접속 부분이 노출된다.
- <12> 전술한 구성의 표시 장치에서는, 인접하는 화소 회로들과 상기 층간 절연막에 제공된 각각의 화소 전극은, 하나의 접속 구멍의 바닥부 각각에서 서로 독립적으로 접속된다. 그러므로, 하나의 화소 회로와 하나의 화소 전극이 서로 접속되는 하나의 접속 구멍을, 화소 회로의 하나의 접속 부분마다 형성하는 경우와 비교하여, 개구 직경이 큰 접속 구멍을 형성할 수 있으므로, 접속 구멍의 형상 정밀도의 마진(margin)이 증대된다.
- <13> 또 본 발명의 실시예에 따른 표시 장치의 제조 방법은, 먼저 기판 상에 화소 전극 스위칭용의 복수의 화소 회로를 배열되도록 형성한다. 그 후, 상기 복수의 화소 회로 중 인접하는 화소 회로들의 일부분을 바닥부에서 노출

시키는 접속 구멍을 가지는 층간 절연막을 형성한다.

<14> 전술한 제조 방법에서는, 접속 구멍을 가지는 층간 절연막을 기판 상에 형성하는 프로세스가 사용되므로, 화소 회로와 화소 전극의 접속을 위한 비아 포스트를 형성한 후에 층간 절연막을 형성하는 경우와 비교하여, 두꺼운 막인 경우에도 인쇄에 의해 용이하게 평탄한 표면의 층간 절연막을 얻을 수 있다.

**효과**

<15> 전술한 본 발명의 실시예에 따르면, 두꺼운 막인 경우에도 평탄한 표면의 층간 절연막을 인쇄법에 의해 형성할 수 있고, 이 층간 절연막에 형성되는 접속 구멍의 형상 정밀도의 마진을 증대할 수 있다. 그러므로, 화소 회로와 화소 전극 사이의 미세한 접속부를 고밀도로 형성 및 배치할 수 있다. 그 결과, 고정밀도의 표시 장치를 인쇄법을 사용하여 만들 수 있고, 색상 불균일 없이 표시를 행할 수 있다.

**발명의 실시를 위한 구체적인 내용**

<16> 이하, 본 발명의 실시예를 도면을 참조하여 설명한다. 이하의 실시예에서는, 먼저 액정 표시 장치(liquid crystal display device) 및 전기 영동 표시 장치(electrophoretic display device)에 적합한 표시 장치의 구성을 설명하고, 다음에, 그 제조 방법을 설명한다.

<17> [제1 실시예]

<18> 본 실시예에서는, 화소 전극의 스위칭 소자로서 바텀 게이트형(bottom gate type) 박막 트랜지스터를 사용하는 액티브 매트릭스형 표시 장치를 설명한다.

<19> 회로 구성

<20> 도 1은 본 발명의 제1 실시예의 표시 장치(1)의 회로 구성의 일례를 나타낸 도면이다. 먼저, 이 도면에 따라 표시 장치(1)의 회로 구성을 설명한다.

<21> 도면에 나타낸 표시 장치(1)는, 예를 들면 액정 표시 장치 또는 전기 영동 표시 장치이며, 구동 측의 기판(3) 상에는, 표시 영역(3a)과 주변 영역(3b)이 설정되어 있다. 표시 영역(3a)에는, 복수의 주사선(5)과 복수의 신호선(7)이 횡방향과 종방향으로 각각 배치되어 있고, 각각의 교차부(intersction)에 대응하는 위치에, 하나의 화소(a)를 포함하는 화소 어레이부가 제공되어 있다. 또, 표시 영역(3a)에는, 주사선(5)과 평행으로 복수의 공통 배선(common line)(9)이 제공되어 있다. 한편, 주변 영역(3b)에는, 주사선(5)을 주사 구동하는 주사선 구동 회로(5b)와, 휘도 정보에 따른 영상 신호(즉, 입력 신호)를 신호선(7)에 공급하는 신호선 구동 회로(7b)가 배치되어 있다.

<22> 각 화소(a)에는, 예를 들면 스위칭 소자로서의 박막 트랜지스터(Tr)와 저장용 커패시턴스(storage capacitance)(Cs)를 포함하는 화소 회로가 제공되고, 또한 이 화소 회로에 접속된 화소 전극(11)이 제공되어 있다. 또, 화소 전극(11)은 이후에 평면도 및 단면도를 참조하여 상세하게 설명하는 바와 같이, 화소 회로를 덮는 층간 절연막 상에 형성되어 있다.

<23> 박막 트랜지스터(Tr)는, 예를 들면 유기 TFT이고, 그 게이트가 하나의 주사선(5)에 접속되고, 소스 또는 드레인 이 하나의 대응하는 신호선(7)에 접속되며, 나머지 소스 또는 드레인이 저장용 커패시턴스(Cs) 및 화소 전극(11)의 하나의 전극에 접속되어 있다. 또 저장용 커패시턴스(Cs)의 다른 전극은 하나의 공통 배선(9)에 접속되어 있다. 공통 배선(9)은 도시하지 않은 대향 기판(counter substrate) 측에 제공된 공통 전극에 접속되어 있다.

<24> 신호선(7)으로부터 기록되는 영상 신호는 박막 트랜지스터(Tr)를 통하여 저장용 커패시턴스(Cs)에 저장되고, 저장된 신호량에 대응하는 전압이 화소 전극(11)에 공급되도록 구성되어 있다.

<25> 전술한 바와 같은 회로 구성에서, 화소(a)의 화소 회로는, 주사선(5)에 대하여 선대칭으로 배열되어 있고, 더욱 상세하게는 주사선(5)과 평행한 방향선에 대하여 선대칭으로 배열되어 있다. 또한, 화소(a)의 화소 회로는, 신호선(7)에 대하여 선대칭으로 배열되어 있다. 더욱 상세하게는 화소 회로는 신호선(7)과 평행한 방향선에 대하여 선대칭으로 배열되어 있다.

<26> 따라서, 각 화소(a)의 화소 전극(11)과 화소 회로 사이의 접속 부분이, 주사선(5) 방향으로 인접하는 화소(a)들 사이의 중앙에, 또한 신호선(7) 방향으로 인접하는 화소(a)들 사이의 중앙에 배치되도록 설계된다. 또, 2개의 주사선(5) 사이에 제공된 2개의 화소(a)는 하나의 공통 배선(9)을 사용하므로, 공통 배선(9)의 개수를 통상 형

성되는 것의 반으로 줄일 수 있다. 본 실시예에서는, 화소 전극(11)과 회소 회로로 각각 이루어지는 접속 부분들이 인접하는 화소(a) 사이의 중앙에 배치되도록, 또한 화소(a) 내에 배치되는, 전극과 같은 부재들이 가능한 한 주사선(5) 및 신호선(7)에 대하여 선대칭으로 배치되도록 배열될 수 있고, 상기한 부재의 크기 및 위치는 변경될 수 있다.

- <27> 전술한 화소 회로의 구성은 어디까지나 일례이며, 필요에 따라 화소 회로 내에 커패시턴스 소자를 더 제공하거나, 복수의 트랜지스터를 제공하여 화소 회로를 구성할 수도 있다. 또, 주변 영역(3b)에는, 화소 회로의 변경에 따라 필요한 구동 회로를 추가로 제공할 수도 있다.
- <28> 층 구성
- <29> 도 2는 제1 실시예에 따른 표시 장치(1)의 주요부를 나타낸 평면도이고, 도 3a는 도 2의 IIIA-III A 선을 따른 단면도이며, 도 3b는 도 2의 IIIB-IIIB 선을 따른 단면도이다. 이하, 이들 도면을 참조하여 표시 장치(1)의 층 구성을 설명한다. 본 실시예에서는, 예로서, 150dpi로 배열되도록 각각 대략 170 $\mu$ m 스퀘어 크기의 화소를 형성하는 층 구성을 설명한다.
- <30> 이들 도면에 나타난 바와 같이, 구동 측의 기관(3) 상에 제공되는 제1 층으로서, 복수의 주사선(5)과 복수의 공통 배선(9)이 서로 평행으로 제공되어 있다. 이들 주사선(5)과 공통 배선(9)은 각각 3개의 선을 포함하는, 즉 2개의 주사선(5)과 1개의 공통 배선(9)이 사이에 제공되는 복수의 세트를 구성한다.
- <31> 각 주사선(5)으로부터는, 각 화소(a) 부분에 있어, 박막 트랜지스터(Tr)의 게이트 전극(5g)이 공통 배선(9) 측을 향해 연장되어 있다. 또, 각 화소(a) 부분의 커패시터 소자(Cs)의 하부 전극(9c)이 양쪽에 위치한 두 개의 주사선(5)을 향해 연장되어 있다. 즉, 하나의 공통 배선(9)으로부터는, 2개의 주사선(5) 사이에 제공된 2개의 화소(a)를 향해 하부 전극(9c)이 연장되어 있다.
- <32> 전술한 주사선(5) 및 공통 배선(9)을 덮는 게이트 절연막(101)(단면도에만 도시함)이 제공되어 있다.
- <33> 이 게이트 절연막(101) 상에 제공되는 제2 층으로서, 신호선(7), 박막 트랜지스터(Tr)의 소스와 드레인(7sd), 그리고 커패시터 소자(Cs)의 상부 전극(7c)이 제공된다. 신호선(7)으로부터는, 각 화소(a) 부분에 있어 박막 트랜지스터(Tr)의 소스(7sd)와 드레인(7sd) 중 하나가 연장되어 있다. 또, 나머지 소스 또는 드레인(7sd)과 상부 전극(7c)이, 각 화소(a) 부분에 있어 연속 패턴을 형성하고 있다.
- <34> 본 실시예에서, 신호선(7)으로부터 연장되는 소스(7sd)와 드레인(7sd) 중 하나는, 2개의 신호선(7)의 내측을 향해 연장된다. 한편, 상부 전극(7c)과의 연속 패턴을 형성하는 나머지 소스 또는 드레인(7sd)은, 2개의 신호선(7) 사이의 위치에서, 하나의 공통 배선(9)을 사용하는 4개의 화소(a)들 사이의 중앙부에 접속되도록 되어 있다. 이 상부 전극(7c)과 나머지 소스 또는 드레인(7sd)의 연속 패턴이, 후술하는 화소 전극(11)과의 접속 부분이다.
- <35> 전술한 바와 같이, 이 제1 실시예에서는, 화소 전극(11)과의 접속 부분으로서 사용되는, 커패시터 소자(Cs)의 상부 전극(7c)과 이에 접속되는 소스 또는 드레인(7sd)의 연속 패턴이, 4개의 화소(a) 사이의 중앙부에 배치되어 있다.
- <36> 또, 각 화소(a)에 있어, 소스(7sd)와 드레인(7sd) 사이에 게이트 전극(5g)이 제공되는 위치에, 박막 트랜지스터(Tr)의 활성 영역으로 사용될 반도체층(103)이 제공되어 있다.
- <37> 또, 전술한 화소 회로들을 덮도록, 층간 절연막(105)이 제공되어 있다. 이 층간 절연막(105)은, 화소 회로와 그 위에 형성되는 화소 전극 사이에 기생 커패시턴스가 생기지 않도록, 또한 표면 평탄성을 가지도록 두껍게 형성되는 것이 바람직하다.
- <38> 특히, 이 층간 절연막(105)에는, 4개의 화소(a)에 각각 위치되는 접속 구멍(105a)이 제공되어 있다. 각 접속 구멍(105a)의 바닥부에는, 전술한 바와 같이, 인접하는 화소 회로들의 일부분으로서 4개의 화소(a) 사이의 중앙부에 배치된 4개의 상부 전극(7c)이 노출되어 있다. 즉, 하나의 접속 구멍(105a) 내에, 4개의 화소(a)의 화소 회로를 구성하는 상부 전극(7c)이 노출되어 있다.
- <39> 접속 구멍(105a)은, 상부 전극(7c)에 대한 접속을 보장하기 위해 형성될 수 있으며, 화소 개구를 고려한 경우에는, 개구 면적(개구 형상)을 가능한 한 작게 줄이는 것이 바람직하다. 예를 들면, 이 경우에 화소(a)를 대략 170 $\mu$ m 스퀘어의 크기로 설계하면, 접속 구멍(105a)은 대략 110 내지 130 $\mu$ m의 개구 직경을 가지도록 형성될 수 있다.
- <40> 이 층간 절연막(105) 상에 제공되는 제3 층으로서, 복수의 화소 전극(11)이 배열을 이루어 형성되어 있다.

하나의 화소 전극(11)은, 층간 절연막(105) 내에 제공된 접속 구멍(105a)의 바닥부에서 화소 회로를 구성하는 대응하는 상부 전극(7c)과 직접 접속되어 있다. 그러므로, 하나의 접속 구멍(105a) 내에서, 4개의 화소 전극(11)의 단부가 각각의 상부 전극(7c)에 직접 접속되어 있다. 상부 전극(7c)과 공통 배선(9) 사이에는 게이트 절연막(101)이 제공되어 있으므로, 화소 전극(11)과 공통 배선(9) 사이에 절연을 확보할 수 있다.

- <41> 예를 들면, 액정 표시 장치의 경우에, 전술한 화소 전극(11)은 도시하지 않은 배향막(alignment film)으로 덮인다.
- <42> 또, 구동 측의 기관(3)에 있어 화소 전극(11)이 형성되는 일측에는, 대향 기관(도시하지 않음)이 제공되어 있다. 이 대향 기관의 화소 전극(11)을 향한 면 상에는, 모든 화소에 공통인 공통 전극이 제공되어 있다. 또, 예를 들면, 액정 표시 장치의 경우에, 공통 전극을 덮기 위해 배향막이 제공되고, 2개의 기관 상에 제공된 공통 전극과 화소 전극(11) 사이에는, 액정층(예를 들면, 폴리머 분산형 액정)이 그것과 각각 접촉하는 배향막들과 함께 제공되어 있다. 또, 전기 영동 표시 장치의 경우에는, 화소 전극(11)과 공통 전극 사이에, 실리콘 이온 중에 대전된 그래파이트 미립자와 산화 티탄 미립자를 분산시킨 마이크로 캡슐(microcapsule)이 제공된다.
- <43> 제조 방법
- <44> 도 4a 내지 도 4c는 전술한 표시 장치(1)를 제조하는 단계를 각각 나타낸 도면이다. 이들 도면은 도 2의 IIIA - IIIA 선을 따른 단면도에 대응하는 제조 단계를 나타내며, 이하 도 4a 내지 도 4c와 함께 도 2의 평면도를 참조하여 표시 장치(1)의 제조 방법을 설명한다. 또, 도 2에 나타낸 구성에 대한 상세한 설명은 반복하지 않는다.
- <45> 먼저, 도 4a에 나타낸 바와 같이, 구동 측의 기관(3)을 준비한다. 이 기관으로서, 폴리(에테르 술폰)(PES)으로 이루어지는 플라스틱 기관을 사용한다. 또, 지지 기관으로서, 예를 들면 유리, 금속 호일, 또는 폴리(에틸렌 나프탈레이트)(PEN), 폴리이미드(PI), 폴리카보네이트(PC), 폴리아크릴레이트(PAR), 폴리(에테르 에테르 케톤)(PEEK), 폴리(페닐렌 술파이드)(PPS), 또는 폴리(에틸렌 테레프탈레이트)(PET)와 같은 플라스틱을 사용할 수도 있다.
- <46> 다음에, 제1 층의 배선으로서, 복수의 주사선(5) 및 이로부터 연장되는 복수의 게이트 전극(5g)을 패턴 형성하고, 또한 복수의 공통 배선(9) 및 이로부터 연장되는 복수의 커패시터 소자(Cs)의 하부 전극(9c)을 패턴 형성한다.
- <47> 이 방법에서는, 예를 들면, 다이 코팅법(die coating)에 의해, 기관(3) 상에 은 잉크를 도포하고, 이어서 150℃로 열처리함으로써, 은으로 이루어지는 도전성 막을 50nm 두께로 형성한다. 그 후에, 스크린 인쇄법에 의해 레지스트 잉크를 도전성 막 상에 패턴 형성한다. 다음에, 인쇄한 레지스트 패턴을 마스크로 사용하여 은 에칭액으로 습식 에칭함으로써 도전성 막을 패터닝하여, 전술한 제1 층의 배선을 패턴 형성한다.
- <48> 에칭용 마스크로 사용되는 레지스트 패턴의 형성 방법으로서, 예를 들면 잉크젯법, 포토리소그래피법, 또는 레이저 묘화법(laser drawing method)을 사용할 수 있다. 또, 잉크젯법, 스크린 인쇄법, 마이크로컨택트(microcontact) 인쇄법, 또는 오프셋 인쇄법에 의한 직접 패터닝을 사용할 수도 있다. 그러나, 이후의 단계에서 형성될 상층의 배선 및 전극 사이에 양호한 절연 특성을 확보하기 위해서는, 이 단계에서 형성되는 게이트 전극(5g) 등은 표면이 평탄하고 두께가 100nm 이하와 같이, 가능한 한 얇은 것이 바람직하다.
- <49> 또, 이들 제1 층의 배선 재료로서, 은 이외에도, 금, 백금, 팔라듐, 동, 니켈, 또는 알루미늄과 같은 금속이나, 예를 들어 폴리(3,4-에틸렌디옥시티오펜)/폴리(4-스티렌술포네이트)[PEDOT/PSS] 또는 폴리아닐린(PANI)을 포함하는 도전성 유기 재료를 사용할 수도 있다.
- <50> 다음에, 제1 층의 배선을 덮는 게이트 절연막(101)을 형성한다.
- <51> 이 단계에서는, 예를 들면, 다이 코팅법에 의해 가교성(cross-linkable) 고분자 재료(high molecular weight material), 폴리(비닐 페놀)(PVP)을 도포한 다음, 150℃로 열처리함으로써 게이트 절연막(101)을 형성한다. 이 게이트 절연막(101)은, 트랜지스터가 저전압에서 동작되기 때문에, 1μm 이하의 두께 및 표면 평탄성을 가지도록 형성되는 것이 바람직하다.
- <52> 전술한 게이트 절연막(101)의 형성 방법으로서, 전술한 방법 외에도, 예를 들면 그라비아(gravure) 코팅법, 롤(roll) 코팅법, 키스(kiss) 코팅법, 나이프(knife) 코팅법, 슬릿 slit 코팅법, 블레이드(blade) 코팅법, 스피ن(spin) 코팅법, 또는 잉크젯법을 이용할 수도 있다. 또, 게이트 절연막(101)의 재료로서, PVP 외에도, 예를 들면 폴리이미드, 폴리아미드, 폴리에스테르, 폴리아크릴레이트, 폴리(비닐 알코올), 에폭시 수지, 또는 노

볼락 수지를 사용할 수도 있다.

- <53> 다음에, 게이트 절연막(101) 상에, 제2 층의 배선으로서, 신호선(7), 박막 트랜지스터(Tr)의 소스 및 드레인(7sd), 그리고 커패시턴스 소자(Cs)의 상부 전극(7c)을 패턴 형성한다.
- <54> 이 단계에서는 먼저, 예를 들면, 먼저 다이 코팅법에 의해, 은 잉크를 균일하게 도포하고, 이어서 150℃로 열처리함으로써, 은으로 이루어지는 도전성 막을 50nm의 두께로 형성한다. 다음에, 스크린 인쇄법에 의해 레지스트 잉크를 도전성 막 상에 패턴 형성한다. 그 후에, 인쇄한 레지스트 패턴을 마스크로 하여 은 에칭액을 사용한 습식 에칭에 의해 도전성 막을 패터닝함으로써, 전술한 제2 층의 배선을 패턴 형성한다.
- <55> 제2 층의 배선의 형성 시에, 에칭용 마스크로 사용되는 레지스트 패턴의 형성 방법으로서, 예를 들면 잉크젯법, 포토리소그래피법, 또는 레이저 묘화법을 사용할 수 있다. 또, 제1 층의 배선을 형성하는 경우처럼, 잉크젯법, 스크린 인쇄법, 마이크로컨택트 인쇄법, 또는 오프셋 인쇄법에 의한 직접 패터닝을 사용할 수도 있다.
- <56> 이 단계에서는, 소스 및 드레인(7sd)을 포함하는 제2 층의 배선으로서, 은 외에 p형 반도체와 양호한 오믹 접촉(ohmic contact)을 가지는 금, 백금, 팔라듐, 동, 니켈과 같은 금속이나, 예를 들면 폴리(3,4-에틸렌디옥시티오펜)/폴리(4-스틸렌술포네이트)[PEDOT/PSS], 또는 폴리아닐린(PANI)을 포함하는 도전성 유기 재료를 사용할 수도 있다.
- <57> 다음에, 각 화소(a)의 소스(7sd)와 드레인(7sd) 사이의, 게이트 전극(5g) 위에, 반도체층(103)을 형성한다. 본 실시예에서, 이 반도체층(103)은 유기 반도체층(103)이다.
- <58> 이 단계에서는, 예를 들면, 잉크젯법에 의해, 펜타센 유도체를 0.5 중량 퍼센트 농도로 포함하는 톨루엔 용액을 도포한 후, 용매를 100℃로 증발시켜 제거하여, 50nm 두께의 유기 반도체층(103)을 형성한다. 필요에 따라, 소수성 격벽(hydrophobic partition) 등을 사용함으로써, 유기 반도체층(103)을 용이하게 패터닝할 수 있다.
- <59> 이 단계에서, 유기 반도체층(103)으로는, 전술한 펜타센 유도체 외에, 폴리티오펜, 플루오린-티오펜 코폴리머, 또는 폴리아릴아민과 같은 고분자 재료; 또는 펜타센, 루브렌, 티오펜 올리고머, 또는 나프타센 유도체와 같은 저분자 재료(low molecular weight material)를 사용할 수도 있다.
- <60> 또, 유기 반도체층(103)의 형성 방법으로서, 상기한 잉크젯법 외에, 스핀 코팅법, 디스펜서법, 플렉소그래픽(flexographic) 인쇄법, 그라비아 인쇄법, 또는 오프셋 인쇄법과 같은 인쇄법을 사용할 수도 있다. 또, 저분자 재료의 경우에는, 섀도우 마스크(shadow mask)를 사용한 진공 증착법에 의해 유기 반도체층(103)을 패턴 형성할 수도 있다.
- <61> 이후, 도 4b에 나타난 바와 같이, 제2 층의 배선 및 유기 반도체층(103)을 덮도록, 층간 절연막(105)을 형성한다.
- <62> 이 단계에서는, 스크린 인쇄법에 의해, 미리 접속 구멍(105a)이 형성되어 있는 층간 절연막(105)을 패턴 형성한다. 도 2의 평면도에 나타난 바와 같이, 50dpi로 배열되도록 각각 170 $\mu$ m 스퀘어 크기의 화소를 형성하는 경우에는, 먼저, 150 $\mu$ m 스퀘어의 유제 패턴을 가지는 스크린판을 사용하여, 폴리이미드로 이루어지는 수지 페이스트를 인쇄한다. 이 단계에서는, 층 구성에서 설명한 바와 같이 4개의 화소(a) 사이의 중앙에 배치된 상부 전극(7c)을 덮도록 유제 패턴을 형성한다. 다음에, 수지 페이스트를 120℃로 소성한다.
- <63> 그 결과, 4개의 인접한 화소(a)에 각각 위치되는 접속 구멍(105a)을 가지는 층간 절연막(105)을 인쇄로 형성하고, 각 접속 구멍(105a)의 바닥부에서 4개의 인접한 화소(a)의 상부 전극(7c)을 노출시킨다.
- <64> 유제 패턴이 150 $\mu$ m 스퀘어인 경우, 인쇄된 수지 페이스트는 소성 시에 점도가 감소하여 기관(3) 상에 침하(sag)되므로, 접속 구멍(105a)은 대략 110 내지 130 $\mu$ m 스퀘어의 좁은 개구 직경을 가지도록 패턴 형성된다. 또 인쇄 시에, 640번 또는 840번과 같은 고정밀도 메시를 사용하는 경우, 반복 인쇄의 신뢰성을 확보하면서 유제 패턴의 크기를 줄일 수 있다. 그러므로, 개구 직경이 대략 100 $\mu$ m인 접속 구멍을 형성할 수 있고, 또한 200dpi 이상의 고정밀도의 표시 장치의 구동 기관(디스플레이 백플레인)을 제작할 수도 있다.
- <65> 전술한 인쇄에 사용하는 수지 페이스트는, 전술한 것 외에, 예를 들면 에폭시 수지, 폴리에스테르 수지, 페놀 수지, 우레탄 수지, 또는 아크릴 수지를 사용할 수 있다. 하지만, 바텀 게이트 구조의 박막 트랜지스터(Tr)는 유기 반도체층(103) 상에 층간 절연막(105)을 형성하므로, 수지 페이스트에 포함되는 용매와 수지의 가열 처리에 의해 트랜지스터 특성이 열화되지 않는 재료를 선택하는 것이 바람직하다.
- <66> 층간 절연막(105)의 형성은 스크린 인쇄법에 한정되지 않으며, 잉크젯법 또는 디스펜서법과 같은 인쇄법에 의해



수행될 수 있다.

- <67> 그 후에, 도 4c에 나타난 바와 같이, 접속 구멍(105a)의 바닥부에서 각 상부 전극(7c)에 대하여 독립적으로 접속되도록, 층간 절연막(105) 상에 화소 전극(11)을 패턴 형성한다.
- <68> 이 단계에서는, 도전성 페이스트를 사용한 스크린 인쇄법에 의해 화소 전극(11)을 패턴 형성한다. 도전성 페이스트로서는, 예를 들면 은 페이스트(후지쿠라 카세이사(Fujikura Kasei Co.,)에서 제조한 XA-9024: 상품명)를 사용하고, 인쇄 후에 150℃로 열처리를 행한다. 이 단계에서는, 접속 구멍(105a) 내에서 화소 전극(11)이 패터닝되므로, 접속 구멍(105a)은 화소 전극(11)으로 채워지지 않는다. 그러므로, 접속 구멍(105a) 내에 공기가 잔류하는 것에 의해 가열 경화 후에 발생하는, 화소 회로와의 접속 불량(심사 청구되지 않은 일본 공개특허공보 제2001-274547호 참조)을 방지할 수 있다.
- <69> 전술한 화소 전극(11)의 형성에 사용되는 도전성 페이스트로서는, 은 페이스트 이외에도, 금 페이스트, 백금 페이스트, 동 페이스트, 니켈 페이스트, 팔라듐 페이스트 또는 이들의 합금을 포함하는 페이스트를 사용할 수도 있다. 또, 화소 전극(11)의 형성에는, 스크린 인쇄 이외에도, 잉크젯법, 스크린 인쇄법, 마이크로컨택트 인쇄법, 또는 오프셋 인쇄법에 의한 직접 패터닝을 사용할 수도 있다. 또, 화소 전극(11)의 재료는, 형성 방법에 따라, 예를 들면 금속 또는 예를 들면 폴리(3,4-에틸렌디옥시티오펜)/폴리(4-스틸렌술포네이트)[PEDOT/PSS], 또는 폴리아닐린(PANI)을 포함하는 도전성 유기 재료를 적절히 선택할 수 있다.
- <70> 이후, 액정 표시 장치의 경우에는, 화소 전극(11)을 덮는 배향막을 형성하여 구동 측 기관에 대한 프로세스를 완료한다. 그 후에, 공통 전극이 배향막으로 덮여 있는 대향 기관과, 이와 같이 제작된 구동 기관 사이에, 액정층을 제공하여 표시 장치를 얻는다.
- <71> 또, 전기 영동 표시 장치의 경우에는, 화소 전극(11)이 제공된 구동 기관과 공통 전극이 제공된 대향 기관 사이에, 실리온 이온 중에 대전한 그래파이트 미립자와 산화 티탄 미립자를 분산시킨 마이크로캡슐을 제공하여, 표시 장치를 얻는다.
- <72> 이상 설명한 제1 실시예에서는, 화소 전극(11)과 화소 전극 스위칭용 화소 회로 사이의 층간 절연막(105) 내에 접속 구멍(105a)이 제공되고, 각 접속 구멍(105a)의 바닥부에서, 4개의 화소(a)의 화소 회로를 구성하는 커패시턴스 소자의 상부 전극(7c)이 4개의 화소 전극(11) 각각에 독립적으로 접속한 구성이다.
- <73> 따라서, 화소 회로와 화소 전극(11) 사이의 하나의 접속부마다 하나의 접속 구멍이 제공되는 경우와 비교하여, 개구 직경이 큰 접속 구멍(105a)을 형성할 수 있고, 접속 구멍(105a)의 형상 정밀도에 대한 마진을 증대시킬 수 있다. 또, 전술한 표시 장치(1)의 제조 시에는, 하나의 접속 구멍(105a) 내에 복수의 접속을 독립적으로 형성하므로, 화소 회로를 형성한 후에, 접속 구멍(105a)을 가지는 층간 절연막(105)을 형성하는 방법을 사용할 수 있다. 그러므로, 콘택트(contact)로 사용될 비아 포스트를 형성한 후에 층간 절연막을 형성하는 방법과 비교하여, 두꺼운 막인 경우에도 표면이 평탄한 층간 절연막(105)을 용이하게 얻을 수 있다.
- <74> 따라서, 두꺼운 막인 경우에도 표면이 평탄하고, 또한 고밀도로 상층 및 하층의 접속부를 배치할 수 있는 층간 절연막(105)을 인쇄법에 의해 형성할 수 있고, 그 결과 색상 불균일 없이 고정밀도로 표시할 수 있는, 표시 장치를 얻을 수 있다. 또, 인쇄법만을 사용함으로써, 전자 페이퍼와 같은 가요성을 가지는 고정밀도의 표시 장치를 저비용으로 제조할 수 있다.
- <75> [제2 실시예]
- <76> 본 실시예에서는, 화소 전극의 스위칭 소자로서 탑 게이트형(top gate type)의 박막 트랜지스터를 사용한 액티브 매트릭스형 표시 장치를 설명한다.
- <77> 회로 구성
- <78> 제2 실시예의 표시 장치의 회로 구성은, 도 1을 참조하여 설명한 제1 실시예의 회로 구성과 동일하며, 제1 실시예에서의 설명과 동일한 설명은 반복하지 않는다.
- <79> 층 구성
- <80> 도 5는 제2 실시예에 따른 표시 장치(1')의 주요부 평면도이고, 도 6a는 도 5의 VIA-VIA 선을 따른 단면도이고, 도 6b는 도 5의 VIB-VIB 선을 따른 단면도이다. 이하, 이들 도면을 참조하여 표시 장치(1')의 층 구성을 설명한다. 본 실시예에서는, 예로서, 150dpi로 배열되도록 대략 170 $\mu$ m 스퀘어 크기의 화소(a)를 설계하는 층 구성을 설명한다.

- <81> 이들 도면에 나타낸 바와 같이, 구동 측의 기관(3) 상에 제공된 제1 층에는, 복수의 신호선(7), 복수의 박막 트랜지스터(Tr)의 소스 및 드레인(7sd), 및 복수의 커패시턴스 소자(Cs)의 하부 전극(7c')이 제공되어 있다. 신호선(7)으로부터는, 각 화소(a) 부분에 있어 박막 트랜지스터(Tr)의 소스(7sd)와 드레인(7sd) 중 하나가 연장되어 있다. 또, 나머지 소스 또는 드레인(7sd)과 하부 전극(7c')은 각 화소(a) 부분에 있어서 연속 패턴을 형성한다.
- <82> 본 실시예에서, 신호선(7)으로부터 연장되는 소스(7sd)와 드레인(7sd) 중 하나는, 2개의 신호선(7)의 내측을 향해 연장된다. 한편, 하부 전극(7c')과 연속 패턴을 형성하는 나머지 소스 또는 드레인(7sd)은, 2개의 신호선(7) 사이의 위치에서, 후술하는 하나의 공통 배선(9)을 사용하는 4개의 화소(a) 사이의 중앙부에 접속된다. 하부 전극(7c')과 나머지 소스 또는 드레인(7sd)의 연속 패턴은, 후술하는 화소 전극(11)과의 접속 부분이다.
- <83> 또, 각 화소(a)의 소스(7sd)와 드레인(7sd) 사이에는, 박막 트랜지스터(Tr)의 활성 영역으로 사용될 반도체층(103)이 제공되어 있다.
- <84> 신호선(7), 소스(7sd)와 드레인(7sd), 하부 전극(7c'), 및 반도체층(103)을 덮도록 게이트 절연막(101)이 제공되어 있다. 이 게이트 절연막(101)은, 후술하는 화소 전극(11)과 이에 접속되는, 하부 전극(7c')과 나머지 소스 또는 드레인(7sd)을 각각 구성하는 연속 패턴과의 사이에 배치되는 하나의 층간 절연막이다.
- <85> 특히, 이 게이트 절연막(101)에는, 4개의 화소(a)에 각각 위치되는 접속 구멍(101a)이 제공되어 있다. 각 접속 구멍(101a)의 바닥부에는, 전술한 바와 같이, 2개의 신호선(7) 사이의 인접하는 화소 회로들의 일부분으로서, 4개의 화소(a) 사이의 중앙부에 배치되고 동일한 공통 배선(9)을 사용하는 4개의 하부 전극(7c')이 노출되어 있다. 즉, 하나의 접속 구멍(101a) 내에, 4개의 화소(a)의 화소 회로를 구성하는 하부 전극(7c')이 노출되어 있다.
- <86> 이 게이트 절연막(101) 상에 제공되는 제2 층으로서, 복수의 주사선(5)과 복수의 공통 배선(9)이 서로 평행으로 배치되어 있다. 이들 주사선(5)과 공통 배선(9)은 각각 3개의 선, 즉 2개의 주사선(5)과 이들 사이에 배치되는 1개의 공통 배선(9)을 포함하는 복수의 세트를 구성한다.
- <87> 각 화소(a) 부분에 있어, 박막 트랜지스터(Tr)의 게이트 전극(5g)은 각 주사선(5)으로부터 공통 배선(9) 측을 향해 연장되어 있다. 또, 각 화소(a) 부분에 있어, 커패시턴스 소자(Cs)의 상부 전극(9c')은 각 공통 배선(9)으로부터 그 양쪽에 위치된 주사선(5)을 향해 연장되어 있다. 즉, 하나의 공통 배선(9)으로부터는, 2개의 주사선(5) 사이에 제공된 2개의 화소(a)를 향해 상부 전극(9c')이 연장되어 있다.
- <88> 제2 층, 즉 주사선(5), 게이트 전극(5g), 및 상부 전극(9c')은 게이트 절연막(101) 상에 배치되어 있다. 또, 게이트 절연막(101) 내에 제공된 접속 구멍(101a)의 바닥부에는, 공통 배선(9)이 하부 전극(7c')에 대하여 절연되는 위치에 배치되어 있다.
- <89> 전술한 바와 같이 커패시턴스 소자(Cs)와 박막 트랜지스터(Tr)로 구성되는 각 화소 회로에서는, 연속 패턴으로서 제공되는 커패시턴스 소자(Cs)의 하부 전극(7c')과 나머지 소스 또는 드레인(7sd)이 화소 전극(11)과의 접속 부분을 형성한다. 또, 이 접속 부분이, 전술한 4개의 화소(a) 사이의 중앙부에 배치되어 있다.
- <90> 또, 전술한 화소 회로를 덮도록, 층간 절연막(105)이 제공되어 있다. 이 층간 절연막(105)은, 화소 회로와 그 위에 형성되는 화소 전극 사이에 기생 커패시턴스가 발생하지 않도록, 두껍고 평탄한 표면을 가지도록 형성되는 것이 바람직하다.
- <91> 특히, 층간 절연막(105)에는, 4개의 화소(a)에 각각 위치되는 접속 구멍(105a)이 게이트 절연막(101) 내에 형성된 접속 구멍(101a)과 중첩하도록 제공되어 있다. 이하, 접속 구멍(101a)과 접속 구멍(105a)이 서로 중첩되는 부분을 접속 구멍(105a')이라고 한다. 각 접속 구멍(105a')의 바닥부에는, 전술한 바와 같이, 인접하는 화소 회로들의 일부분으로서, 4개의 화소(a) 사이의 중앙부에 배치된 4개의 하부 전극(7c')이 노출되어 있다. 즉, 하나의 접속 구멍(105a') 내에, 4개의 화소(a)의 화소 회로를 구성하는 하부 전극(7c')이 노출되어 있다.
- <92> 공통 배선(9)은 접속 구멍(105a')을 통해 노출될 수 있다. 하지만 본 실시예에서는, 상부 전극(9c')이 노출되지 않도록 접속 구멍(105a')을 각각 형성하고, 신뢰성 있는 접속을 위해 충분한 면적을 가지도록 하부 전극(7c')을 개구 바닥부에 각각 노출시킨다. 예를 들면, 대략 170 $\mu$ m 스퀘어 크기로 화소(a)를 설계하는 본 실시예에서는, 개구는 대략 110 내지 130 $\mu$ m의 직경을 가질 수 있다.
- <93> 또, 이 층간 절연막(105) 상에 제공되는 제3 층으로서, 복수의 화소 전극(11)이 배열을 이루어 형성되어 있다. 하나의 화소 전극(11)은, 접속 구멍(105a')의 바닥부에서, 화소 회로를 구성하는 대응하는 하부 전극

(7c')에 직접 접속되어 있다. 그러므로, 하나의 접속 구멍(105a') 내에는, 4개의 화소 전극(11)의 단부가 각각의 하부 전극(7c')에 직접 접속되어 있다.

<94> 예를 들면, 액정 표시 장치의 경우에는, 전술한 화소 전극(11)은 도시하지 않은 배향막으로 덮여 있다.

<95> 또, 구동 측의 기관(3)에 있어서 화소 전극(11)이 형성되어 있는 일측에는, 도시하지 않은 대향 기관이 제공되어 있다. 이 대향 기관의 화소 전극(11)을 향하는 면 상에는, 공통 전극이 제공되어 있다. 또, 예를 들면, 액정 표시 장치의 경우에는, 공통 전극을 덮도록 배향막이 제공되고, 2개의 기관 상에 제공되는 화소 전극(11)과 공통 전극 사이에는, 거기에 접촉하는 배향막을 가지는 액정층이 제공되어 있다. 또, 전기 영동 표시 장치의 경우에는, 화소 전극(11)과 공통 전극 사이에, 실리콘 이온 중에 대전한 그래파이트 미립자와 산화 티탄 미립자를 분산시킨 마이크로 캡슐이 제공되어 있다.

<96> 제조 방법

<97> 도 7a 내지도 7d는 전술한 표시 장치(1')의 제조 단계를 각각 나타낸 도면이다. 이들 도면은 도 5의 VIA-VIA 선을 따른 단면도에 대응한 제조 단계를 나타내며, 이하 도 7a 내지 도 7d와 함께 도 5의 평면도를 참조하여 표시 장치(1')의 제조 방법을 설명한다. 또, 도 5에 나타낸 구성에 대한 상세한 설명은 반복하지 않는다.

<98> 먼저, 도 7a에 나타낸 바와 같이, 구동 측의 기관(3)을 준비한다. 이 기관으로서, 제1 실시예의 경우와 같이, 폴리(에테르 술폰)(PES)으로 이루어지는 플라스틱 기관을 사용한다. 또, 지지 기관으로서, 예를 들면 유리, 금속 호일, 또는 폴리(에틸렌 나프탈레이트)(PEN), 폴리이미드(PI), 폴리카보네이트(PC), 폴리아크릴레이트(PAR), 폴리(에테르 에테르 케톤)(PEEK), 폴리(페닐렌 술파이드)(PPS), 또는 폴리(에틸렌 테레프탈레이트)(PET)와 같은 플라스틱을 사용할 수도 있다.

<99> 다음에, 제1 층의 배선으로서, 신호선(7), 박막 트랜지스터(Tr)의 소스 및 드레인(7sd), 및 커패시턴스 소자(Cs)의 하부 전극(7c')을 패턴 형성한다.

<100> 이 방법에서는, 예를 들면, 다이 코팅법에 의해, 기관(3) 상에 은 잉크를 도포하고, 이어서 150℃로 열처리함으로써, 은으로 이루어지는 50nm 두께의 도전성 막을 형성한다. 그 후에, 스크린 인쇄법에 의해 레지스트 잉크를 도전성 막 상에 패턴 형성한다. 다음에, 인쇄한 레지스트 패턴을 마스크로 사용하여 은 에칭액으로 습식 에칭함으로써 도전성 막을 패터닝하여, 전술한 제1 층의 배선을 패턴 형성한다.

<101> 제1 층의 배선의 형성 시에, 에칭용 마스크로 사용되는 레지스트 패턴의 형성 방법으로서, 예를 들면 잉크젯법, 포토리소그래피법, 또는 레이저 묘화법을 사용할 수 있다. 또, 잉크젯법, 스크린 인쇄법, 마이크로컨택트 인쇄법, 또는 오프셋 인쇄법에 의해 직접 패터닝을 사용할 수도 있다.

<102> 또, 제1 층의 배선 재료로서, 은 이외에도, p형 반도체와 양호한 오믹 접촉을 가지는 금, 백금, 팔라듐, 동, 또는 니켈과 같은 금속이나, 예를 들어 폴리(3,4-에틸렌디옥시티오펜)/폴리(4-스틸렌술포네이트)[PEDOT/PSS] 또는 폴리아닐린(PANI)을 포함하는 도전성 유기 재료를 사용할 수도 있다.

<103> 다음에, 각 화소(a) 내의 소스(7sd)와 드레인(7sd) 사이에 반도체층(103)을 패턴 형성한다.

<104> 이 단계에서는, 예를 들면, 잉크젯법에 의해, 펜타센 유도체를 0.5 중량 퍼센트 농도로 포함하는 톨루엔 용액을 도포한 후, 용매를 100℃에서 증발시켜 제거하여, 50nm 두께의 유기 반도체층(103)을 형성한다. 필요에 따라, 소수성 격벽 등을 사용함으로써, 유기 반도체층(103)을 용이하게 패터닝할 수 있다.

<105> 이 단계에서, 유기 반도체층(103)으로는, 전술한 펜타센 유도체 외에, 폴리티오펜, 플루오린-티오펜 코폴리머, 또는 폴리아릴아민과 같은 고분자 재료; 또는 펜타센, 루브렌, 티오펜 올리고머, 또는 나프타센 유도체와 같은 저분자 재료를 사용할 수도 있다.

<106> 또, 유기 반도체층(103)의 형성 방법으로서, 전술한 잉크젯법 외에, 스핀 코팅법, 디스펜서법, 플렉소그래픽 인쇄법, 그라비아 인쇄법, 또는 오프셋 인쇄법과 같은 인쇄법을 사용할 수도 있다. 또, 저분자 재료의 경우에는, 새도우 마스크를 사용한 진공 증착법에 의해 유기 반도체층(103)을 패턴 형성할 수도 있다.

<107> 다음에, 제1 층의 배선 및 유기 반도체층(103)을 덮도록 게이트 절연막(101)을 형성한다.

<108> 이 단계에서는, 이 단계에서는, 예를 들면, 스크린 인쇄법에 의해 가교성 고분자 재료, 폴리(비닐 페놀)(PVP)을 도포하여 하부 전극(7c')을 노출시키는 접속 구멍(101a)을 가지는 막을 형성한 다음, 150℃로 열처리함으로써 게이트 절연막(101)을 형성한다. 이 단계에서는, 4개의 화소(a)에 위치되어 그 4개의 하부 전극(7c')을 노출시

키도록 접속 구멍(101a)을 각각 형성한다. 또, 접속 구멍(101a)의 개구 직경이, 후속 단계에서 형성되는 층간 절연막의 접속 구멍보다 크도록 스크린판을 설계한다. 예를 들면, 150dpi로 배열되도록 170 $\mu$ m 스퀘어 크기를 가지는 화소를 설계하는 경우에, 170 $\mu$ m 스퀘어의 유제 패턴을 가지는 스크린판을 사용한다.

- <109> 이 게이트 절연막(101)은, 트랜지스터가 저전압에서 동작되기 때문에, 1 $\mu$ m 이하의 두께 및 표면 평탄성을 가지도록 형성되는 것이 바람직하다.
- <110> 전술한 바와 같은 게이트 절연막(101)을 구성하는 재료로서는, PVP 외에도, 예를 들면 폴리이미드, 폴리아미드, 폴리에스테르, 폴리아크릴레이트, 폴리(비닐 알코올), 에폭시 수지, 노볼락 수지, 또는 불소 수지를 사용할 수도 있다. 또, 전술한 게이트 절연막(101)을 형성하는 방법으로서는 스크린 인쇄법 외에도, 예를 들면 그라비아 인쇄법, 오프셋 인쇄법, 잉크젯법, 또는 디스펜서법을 사용할 수도 있다.
- <111> 다음에, 도 7b에 나타난 바와 같이, 게이트 절연막(101) 상에, 제2 층의 배선으로서, 복수의 주사선(5) 및 이로부터 연장되는 복수의 게이트 전극(5g), 복수의 공통 배선(9) 및 이로부터 연장되는 복수의 커패시턴스 소자(Cs)의 상부 전극(9c')을 패턴 형성한다.
- <112> 이 단계에서는, 먼저 다이 코팅법에 의해, 은 잉크를 도포하고, 이어서 150 $^{\circ}$ C로 열처리함으로써, 은으로 이루어지는 도전성 막을 50nm의 두께로 형성한다. 다음에, 스크린 인쇄법에 의해 레지스트 잉크를 도전성 막 상에 패턴 형성한다. 그 후에, 인쇄한 레지스트 패턴을 마스크로 하여 은 에칭액을 사용한 습식 에칭에 의해 도전성 막을 패터닝함으로써, 전술한 제2 층의 배선을 패턴 형성한다.
- <113> 에칭용 마스크로 사용되는 레지스트 패턴의 형성 방법으로서, 예를 들면 잉크젯법, 포토리소그래피법, 또는 레이저 묘화법을 사용할 수 있다. 또, 잉크젯법, 스크린 인쇄법, 마이크로컨택트 인쇄법, 또는 오프셋 인쇄법에 의한 직접 패터닝을 사용할 수도 있다. 그러나, 이후의 단계에서 형성될 상층의 배선 및 전극 사이에 양호한 절연 특성을 확보하기 위해서는, 이 단계에서 형성되는 게이트 전극(5g) 등은 표면이 평탄하고 두께가 100nm 이하와 같이, 가능한 한 얇은 것이 바람직하다.
- <114> 또, 제2 층의 배선 재료로서는, 은 이외에도, 금, 백금, 팔라듐, 동, 니켈 또는 알루미늄과 같은 금속이나, 예를 들면 폴리(3,4-에틸렌디옥시티오펜)/폴리(4-스틸렌술포네이트)[PEDOT/PSS] 또는 폴리아닐린(PANI)을 포함하는 도전성 유기 재료를 사용할 수도 있다.
- <115> 다음에, 도 7c에 나타난 바와 같이, 제2 층의 배선을 덮도록 층간 절연막(105)을 형성한다.
- <116> 이 단계에서는, 스크린 인쇄법에 의해, 미리 접속 구멍(105a)이 제공된 층간 절연막(105)을 패턴 형성한다. 도 5의 평면도에 나타난 바와 같이, 50dpi로 배열되도록 170 $\mu$ m 스퀘어 크기의 화소를 설계하는 경우에, 먼저 150 $\mu$ m 스퀘어의 유제 패턴을 가지는 스크린판을 사용하여, 폴리이미드 수지 페이스트를 인쇄한다. 이 단계에서, 유제 패턴은 4개의 화소(a) 사이의 중앙에 배치된 하부 전극(7c')을 덮도록 형성된다. 다음에, 수지 페이스트를 120 $^{\circ}$ C로 소성한다.
- <117> 그 결과, 4개의 화소(a)에 각각 위치되는 접속 구멍(105a)을 가지는 층간 절연막(105)을 인쇄로 형성하고, 게이트 절연막(101)의 접속 구멍(101a)과 접속 구멍(105a)이 서로 중첩되는 접속 구멍(105a')의 바닥부에 4개의 화소(a)의 하부 전극(7c')을 노출시킨다.
- <118> 유제 패턴이 150 $\mu$ m 스퀘어인 경우, 인쇄된 수지 페이스트는 소성 시에 점도가 감소하여 기관(3) 상에 침하되므로, 접속 구멍(105a)은 대략 110 내지 130 $\mu$ m 스퀘어의 좁은 개구 직경을 가지도록 패턴 형성된다. 또 인쇄 시에, 640번 또는 840번과 같은 고정밀도 메시를 사용하는 경우, 반복 인쇄의 신뢰성을 확보하면서 유제 패턴의 크기를 줄일 수 있다. 그러므로, 개구 직경이 대략 100 $\mu$ m인 접속 구멍을 형성할 수 있고, 또한 200dpi 이상의 고정밀도의 표시 장치의 구동 기관(디스플레이 백플레인)을 제작할 수도 있다.
- <119> 전술한 인쇄에 사용하는 수지 페이스트는, 전술한 것 외에, 예를 들면 에폭시 수지, 폴리에스테르 수지, 페놀 수지, 우레탄 수지, 또는 아크릴 수지를 사용할 수 있다.
- <120> 층간 절연막(105)의 형성은 스크린 인쇄법에 한정되지 않으며, 잉크젯법 또는 디스펜서법과 같은 인쇄법에 의해 수행될 수 있다.
- <121> 그 후에, 도 7d에 나타난 바와 같이, 접속 구멍(105a')의 바닥부에서 각 하부 전극(7c')에 대하여 독립적으로 접속되도록, 층간 절연막(105) 상에 화소 전극(11)을 패턴 형성한다.
- <122> 이 단계에서는, 도전성 페이스트를 사용한 스크린 인쇄법에 의해 화소 전극(11)을 패턴 형성한다. 도전성 페이

스트로서는, 예를 들면 은 페이스트(후지쿠라 카세이사에서 제조한 XA-9024: 상품명)을 사용하고, 인쇄 후에 150℃로 열처리를 행한다. 이 단계에서는, 접속 구멍(105a') 내에서 화소 전극(11)이 패터닝되므로, 접속 구멍(105a')은 화소 전극(11)으로 채워지지 않는다. 그러므로, 접속 구멍(105a') 내에 공기가 잔류하는 것에 의해 가열 경화 후에 발생하는, 화소 회로와의 접속 불량(심사청구되지 않은 일본 공개특허공보 제2001-274547호 참조)을 방지할 수 있다.

- <123> 전술한 화소 전극(11)의 형성에 사용되는 도전성 페이스트로서는, 은 페이스트 이외에도, 금 페이스트, 백금 페이스트, 동 페이스트, 니켈 페이스트, 팔라듐 페이스트 또는 이들의 합금을 포함하는 페이스트를 사용할 수도 있다. 또, 화소 전극(11)의 형성에는, 스크린 인쇄 이외에도, 잉크젯법, 스크린 인쇄법, 마이크로컨택트 인쇄법, 또는 오프셋 인쇄법에 의한 직접 패터닝을 사용할 수도 있다. 또, 화소 전극(11)의 재료는, 형성 방법에 따라, 예를 들면 금속, 또는 예를 들면 폴리(3,4-에틸렌디옥시티오펜)/폴리(4-스틸렌술포네이트)[PEDOT/PSS], 또는 폴리아닐린(PANI)을 포함하는 도전성 유기 재료를 적절히 선택할 수 있다.
- <124> 이후, 액정 표시 장치의 경우에는, 화소 전극(11)을 덮는 배향막을 형성하여 구동 측 기판에 대한 프로세스를 완료한다. 그 후에, 공통 전극이 배향막으로 덮여 있는 대향 기판과, 이와 같이 제작된 구동 기판 사이에, 액정층을 제공하여 표시 장치를 얻는다.
- <125> 또, 전기 영동 표시 장치의 경우에는, 화소 전극(11)이 제공된 구동 기판과 공통 전극이 제공된 대향 기판 사이에, 실리콘 이온 중에 대전한 그래파이트 미립자와 산화 티탄 미립자를 분산시킨 마이크로캡슐을 제공하여, 표시 장치를 얻는다.
- <126> 이상 설명한 제2 실시예에서는, 화소 전극(11)과 화소 전극 스위칭용 화소 회로 사이에 형성되는 층간 절연막(105)와 게이트 절연막(101) 내에 접속 구멍(105a')이 제공되고, 각 접속 구멍(105a')의 바닥부에서, 4개의 화소(a)의 화소 회로를 구성하는 커패시턴스 소자(Cs)의 하부 전극(7c')이 4개의 화소 전극(11) 각각에 독립적으로 접속한 구성이다.
- <127> 따라서, 제1 실시예와 같이, 화소 회로와 대응하는 화소 전극(11) 사이에 형성되는 하나의 접속부마다 하나의 접속 구멍이 제공되는 경우와 비교하여, 개구 직경이 큰 접속 구멍(105a')을 형성할 수 있고, 접속 구멍(105a')의 형상 정밀도에 대한 마진을 증대시킬 수 있다. 또, 전술한 표시 장치(1')의 제조 시에는, 하나의 접속 구멍(105a) 내에 복수의 접속을 독립적으로 형성하므로, 화소 회로를 형성한 후에, 접속 구멍(105a')을 가지는 층간 절연막(105)을 형성하는 방법을 사용할 수 있다. 그러므로, 콘택트(contact)로 사용될 비아 포스트를 형성한 후에 층간 절연막을 형성하는 방법과 비교하여, 두꺼운 막인 경우에도 표면이 평탄한 층간 절연막(105)을 용이하게 얻을 수 있다.
- <128> 따라서, 제1 실시예와 같이, 두꺼운 막인 경우에도 표면이 평탄하고, 또한 고밀도로 상층 및 하층의 접속부를 배치할 수 있는 층간 절연막(105)을 인쇄법에 의해 형성할 수 있고, 그 결과 색상 불균일 없이 고정밀도로 표시할 수 있는, 표시 장치를 얻을 수 있다. 또, 인쇄법만을 사용함으로써, 전자 페이퍼와 같은 가요성을 가지는 고정밀도의 표시 장치를 저비용으로 제조할 수 있다.
- <129> 또, 제2 실시예에서는, 화소 전극(11)의 스위칭 소자로서 탑 게이트형의 박막 트랜지스터(Tr)를 사용하기 때문에, 반도체층(103)은 게이트 전극(5g)에 의해 화소 전극(11)으로부터 차폐된다. 그러므로, 반도체층(103)에 형성되는 채널 영역이 화소 전극(11)의 전위에 의해 영향을 받는 것을 방지할 수 있고, 의도하지 않는 트랜지스터의 임계 전압 시프트를 억제할 수 있으므로, 안정된 표시를 행할 수 있다.
- <130> 전술한 제1 실시예 및 제2 실시예에서는, 주사선(5) 방향 및 신호선(7) 방향으로 서로 인접하는 4개의 화소가 하나의 접속 구멍을 공유하는 구성을 설명하였다. 그러나, 본 발명에 따르면, 상기한 두 방향 중 한 방향에 인접하여 배치된 2개의 화소가 하나의 접속 구멍을 공유할 수 있으며, 이 경우에도, 전술한 것과 마찬가지로의 효과를 얻을 수 있다. 예를 들면, 주사선(5) 방향으로 인접하여 배치된 2개의 화소가 하나의 접속 구멍을 공유하는 경우, 이들 2개의 화소는 신호선(7)에 대하여 선대칭으로 배열된다. 한편, 신호선(7) 방향으로 인접하여 배치된 2개의 화소가 하나의 접속 구멍을 공유하는 경우, 이들 2개의 화소는 주사선(5)에 대하여 선대칭으로 배열되어 하나의 공통 배선(9)을 공유할 수 있다.
- <131> 또, 제1 실시예 및 제2 실시예에서는, 접속 구멍(105a)이 제공된 층간 절연막(105)의 형성에, 인쇄법을 사용하는 프로세스를 설명하였다. 그러나, 층간 절연막을 형성한 후, 이 층간 절연막 내에 접속 구멍을 형성하는 프로세스에 의해서도, 접속 구멍의 형상 고정밀도에 대한 마진을 증대시키는 효과를 얻을 수 있다.
- <132> 또, 전술한 제1 실시예 및 제2 실시예에서는, 액정 표시 장치와 전기 영동 표시 장치를 예로 설명하였다. 그러

나, 본 발명은, 화소 전극 스위칭용 화소 회로, 화소 회로를 덮는 층간 절연막, 및 층간 절연막 상에 제공되는 화소 전극을 포함하는 액티브 매트릭스형 표시 장치에 널리 적용 가능하다. 전술한 표시 장치의 다른 예로서는, 유기 전계 발광 소자를 배열한 표시 장치를 예로서 언급할 수 있다.

<133> 이 표시 장치에서는, 적어도 2개의 박막 트랜지스터와 커패시터 소자로 화소 회로가 각각 구성된다. 또, 화소 회로를 덮는 층간 절연막 상에 화소 전극이 형성되어, 접속 구멍을 통하여 화소 회로에 접속되며, 화소 전극 상에 유기 발광층을 사이에 두고 공통 전극층을 제공된다. 전술한 구성에서는, 전술한 실시예들과 같이, 층간 절연막에 제공된 각각의 접속 구멍에서 화소 회로를 각각의 화소 전극에 독립적으로 접속시키는 경우, 마찬가지로의 효과를 얻을 수 있다.

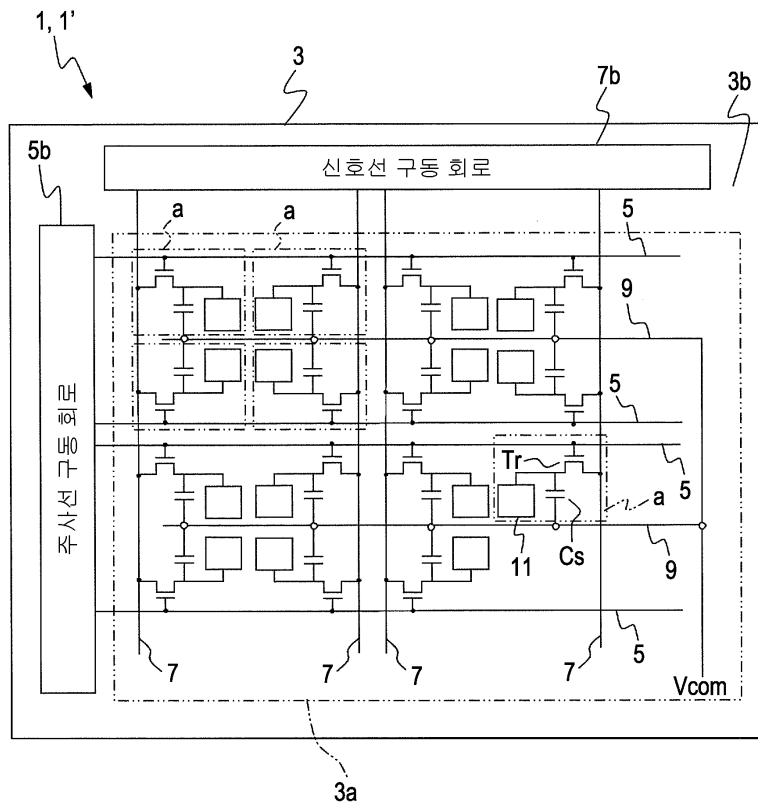
<134> 해당 기술분야의 당업자는, 첨부된 청구항의 범위 또는 그와 동등한 범위 내인 한 설계 요건 및 다른 인자에 따라, 다양한 변형, 조합, 부조합 및 변경이 가능하다는 것을 알아야 한다.

**도면의 간단한 설명**

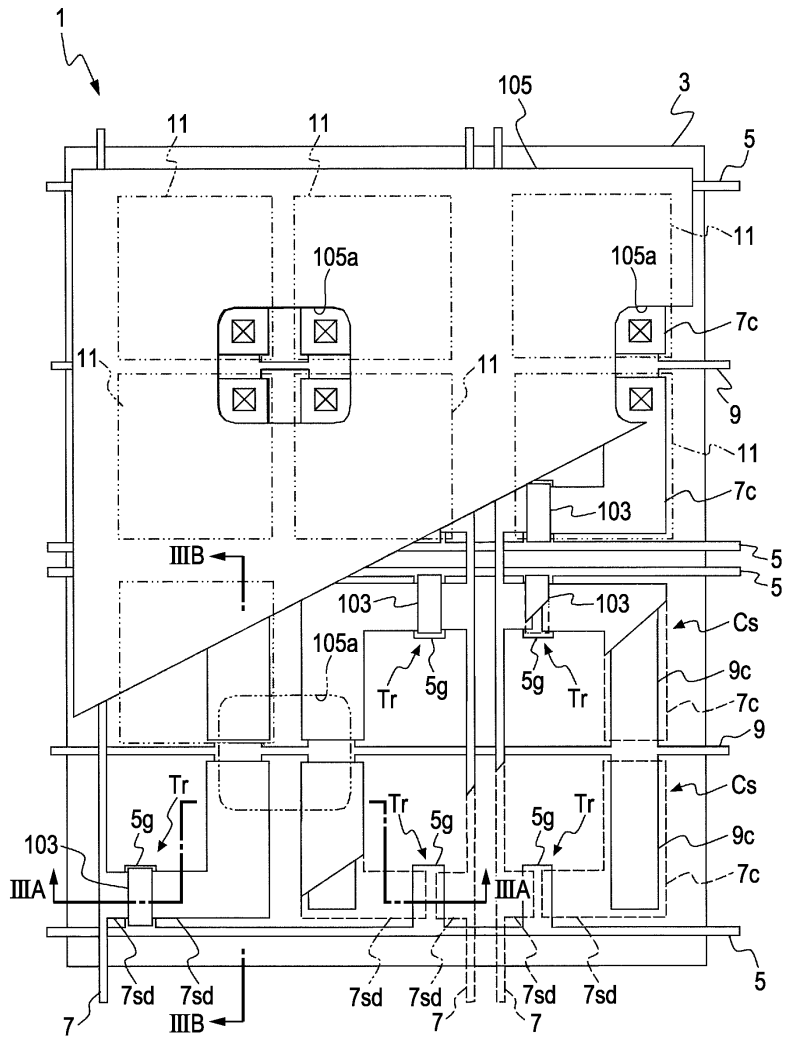
- <135> 도 1은 본 발명의 실시예에 따른 표시 장치의 회로 구성을 설명하는 도면이다.
- <136> 도 2는 본 발명의 제1 실시예에 따른 표시 장치의 층 구성을 설명하는 평면도이다.
- <137> 도 3a 및 도 3b는 각각, 본 발명의 제1 실시예에 따른 표시 장치의 층 구성을 설명하는 단면도이다.
- <138> 도 4a 내지 도 4c는 각각, 본 발명의 제1 실시예에 따른 표시 장치의 제조 단계를 설명하는 단면도이다.
- <139> 도 5는 본 발명의 제2 실시예에 따른 표시 장치의 층 구성을 설명하는 평면도이다.
- <140> 도 6a 및 도 6b는 각각, 본 발명의 제2 실시예에 따른 표시 장치의 층 구성을 설명하는 단면도이다.
- <141> 도 7a 내지 도 7d는 각각, 본 발명의 제2 실시예에 따른 표시 장치의 제조 단계를 설명하는 단면도이다.

**도면**

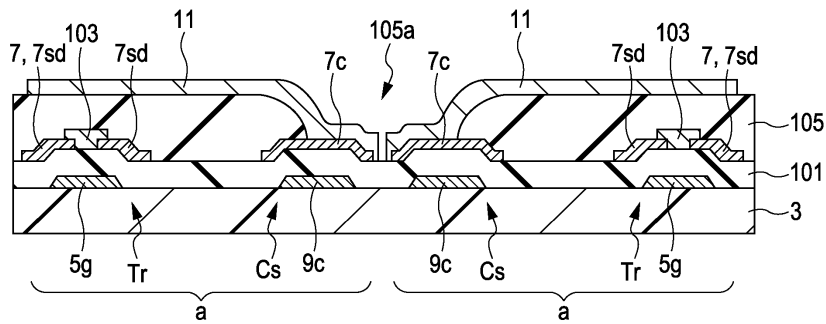
**도면1**



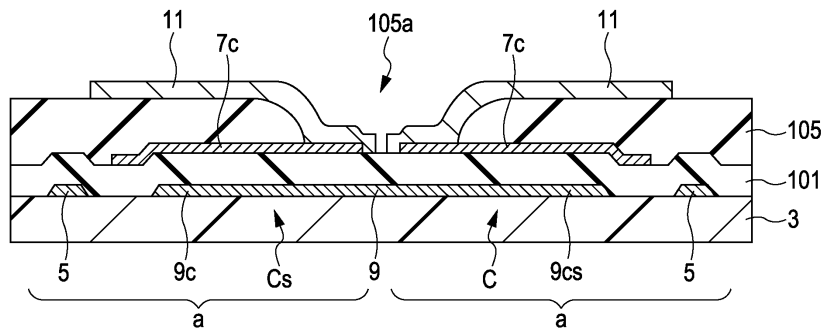
도면2



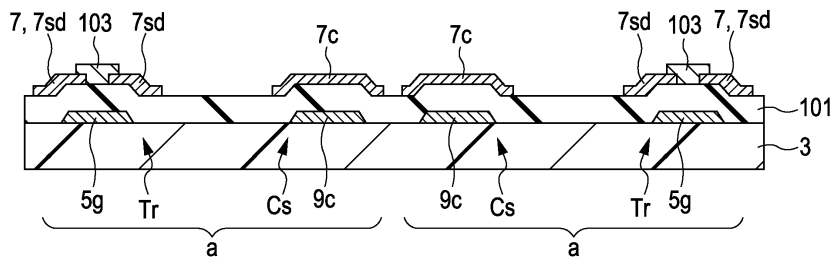
도면3a



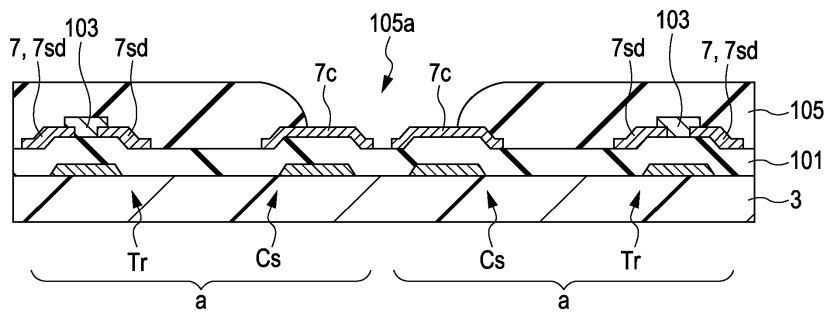
도면3b



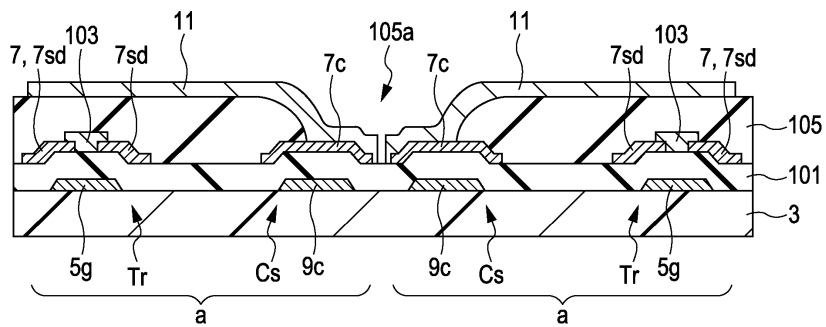
도면4a



도면4b

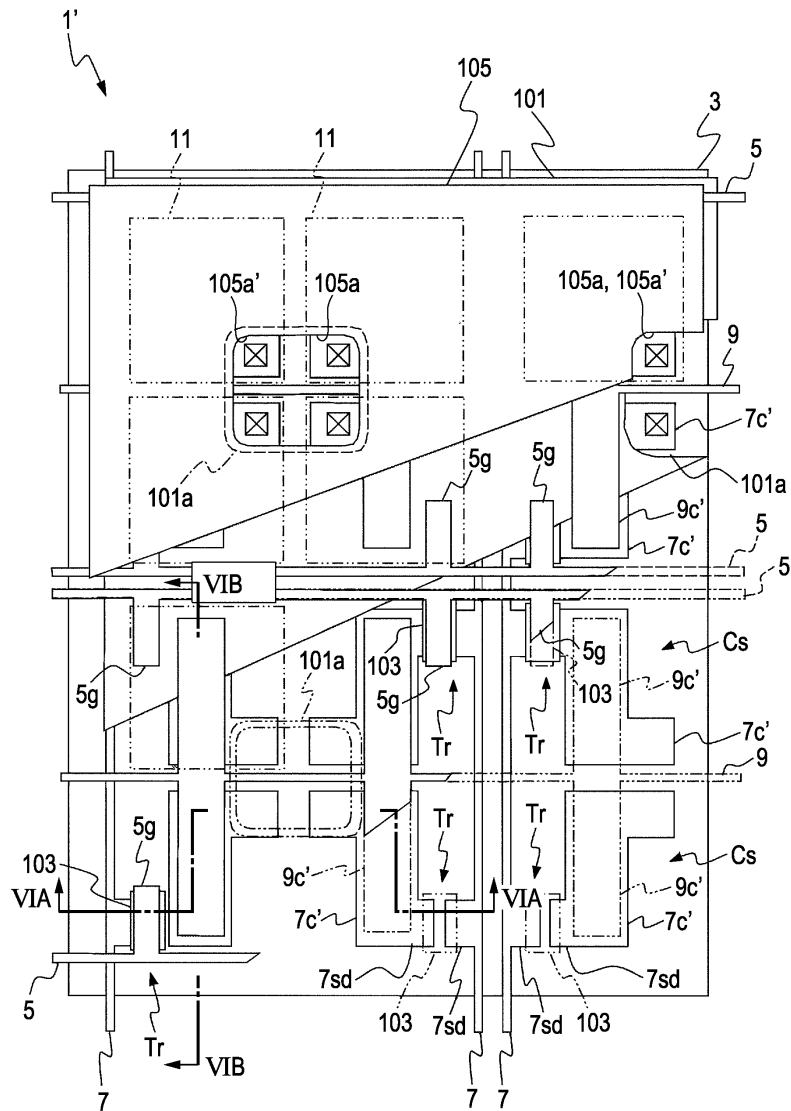


도면4c

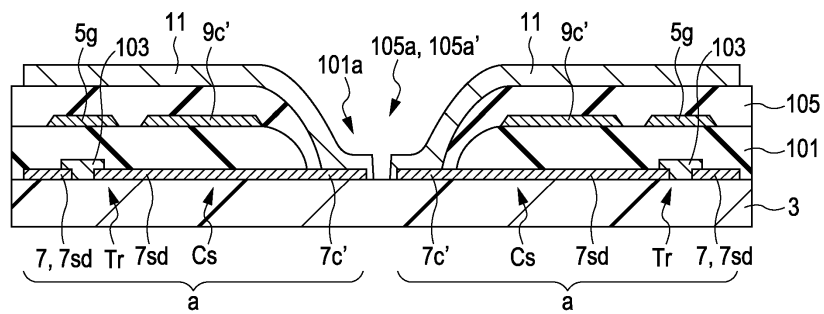




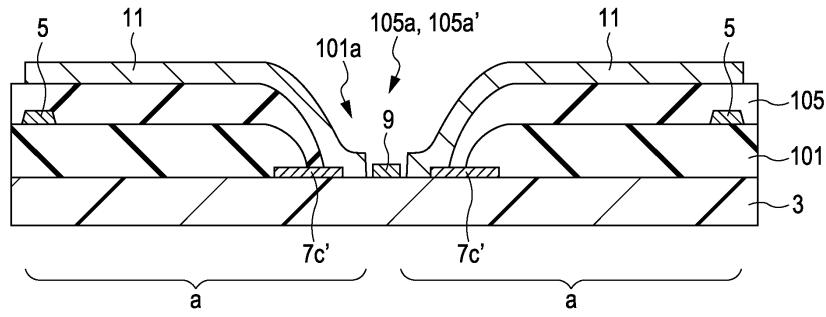
도면5



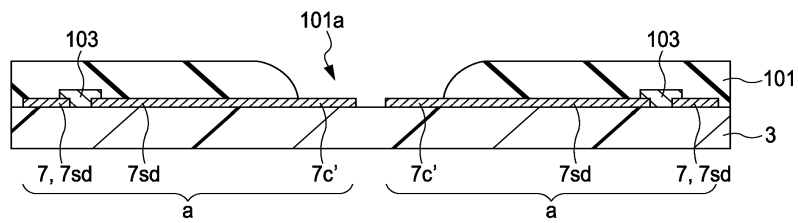
도면6a



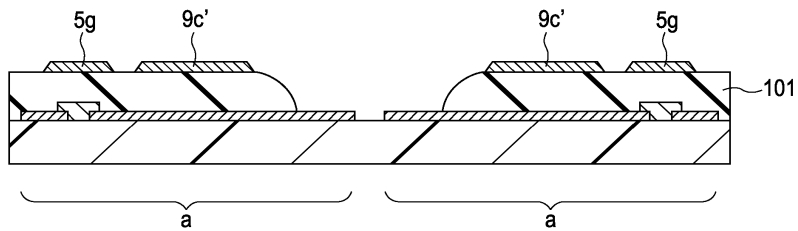
도면6b



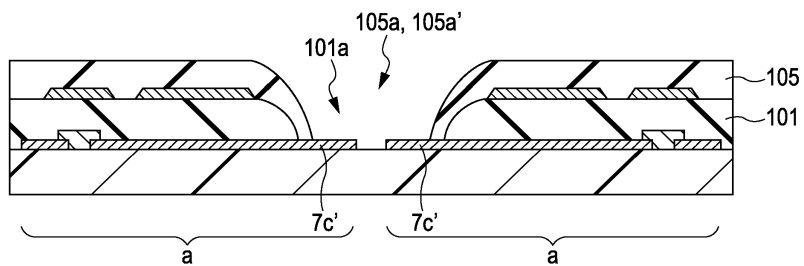
도면7a



도면7b



도면7c



도면7d

