



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I451410 B

(45)公告日：中華民國 103 (2014) 年 09 月 01 日

(21)申請案號：098112213

(22)申請日：中華民國 98 (2009) 年 04 月 13 日

(51)Int. Cl. : G11C11/14 (2006.01)

G11C11/40 (2006.01)

(30)優先權：2008/04/18 日本

2008-108479

(71)申請人：新力股份有限公司(日本) SONY CORPORATION (JP)

日本

(72)發明人：大森廣之 OHMORI, HIROYUKI (JP)；細見政功 HOSOMI, MASANORI (JP)；五十嵐實 IKARASHI, MINORU (JP)；山元哲也 YAMAMOTO, TETSUYA (JP)；山根一陽 YAMANE, KAZUTAKA (JP)；大石雄紀 OISHI, YUKI (JP)；鹿野博司 KANO, HIROSHI (JP)

(74)代理人：陳長文

(56)參考文獻：

JP 2007-287923A

US 6980469B2

US 7286395B2

US 2007/0019337A1

US 2007/0159875A1

WO 2007/015358A1

審查人員：蕭明椿

申請專利範圍項數：10 項 圖式數：16 共 0 頁

(54)名稱

磁性記憶體元件之記錄方法

(57)摘要

本發明提供一種記錄方法，該磁性記憶體元件包含：記憶層，其係將資訊作為磁體之磁化方向保持；及磁化基準層，其對於記憶層介隔絕緣層而設置；且藉由通過絕緣層而流於記憶層與磁化基準層之間之電流進行記錄；即使於施加有甚大於反轉臨限值之寫入脈波之情況下，仍可保持與施加有稍微大於反轉臨限值之寫入脈波之情況相同程度之錯誤率。

於記錄 1 個資訊時，朝同向施加 1 個以上之主脈波及 1 個以上之副脈波；將主脈波設為具有足以記錄資訊之脈波高及脈波寬之脈波；令副脈波為符合脈波寬比主脈波短之脈波、亦或脈波高比主脈波低之脈波之至少一條件之脈波；於主脈波後施加 1 個以上副脈波。

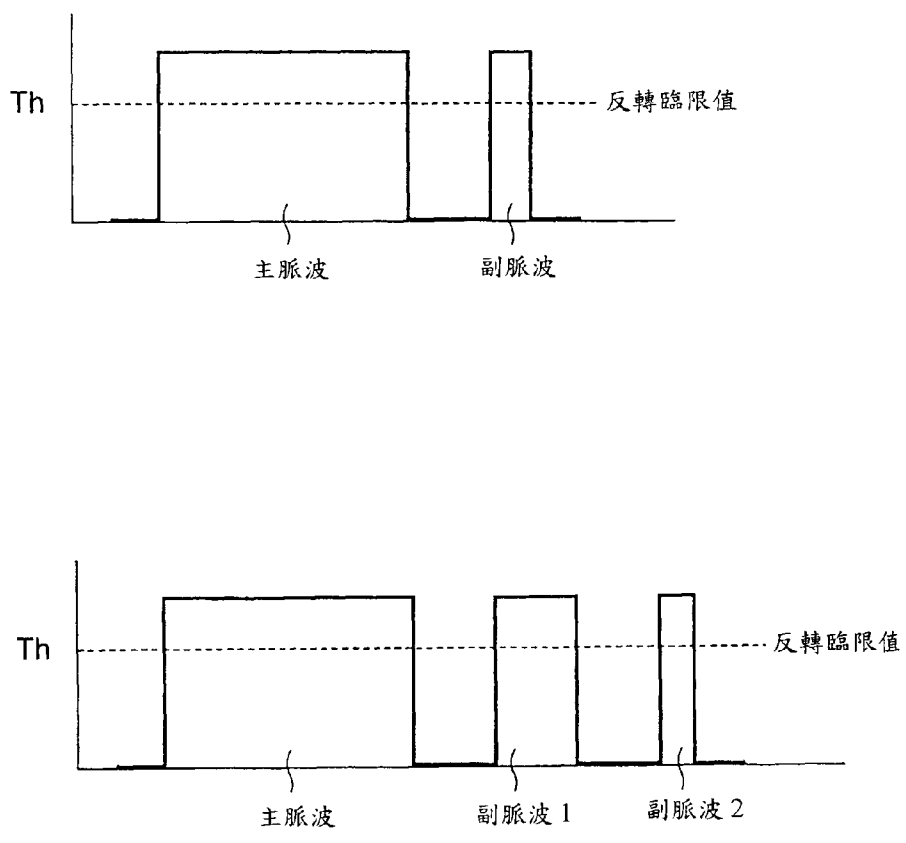


圖 1



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98112213

※申請日： 98.4.13

※IPC 分類：

一、發明名稱：(中文/英文)

磁性記憶體元件之記錄方法

G11C 1/14 (2006.01)

G11C 1/40 (2006.01)

二、中文發明摘要：

本發明提供一種記錄方法，該磁性記憶體元件包含：記憶層，其係將資訊作為磁體之磁化方向保持；及磁化基準層，其對於記憶層介隔絕緣層而設置；且藉由通過絕緣層而流於記憶層與磁化基準層之間之電流進行記錄；即使於施加有甚大於反轉臨限值之寫入脈波之情況下，仍可保持與施加有稍微大於反轉臨限值之寫入脈波之情況相同程度之錯誤率。

於記錄1個資訊時，朝同向施加1個以上之主脈波及1個以上之副脈波；將主脈波設為具有足以記錄資訊之脈波高及脈波寬之脈波；令副脈波為符合脈波寬比主脈波短之脈波、亦或脈波高比主脈波低之脈波之至少一條件之脈波；於主脈波後施加1個以上副脈波。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種磁性記憶體元件之記錄方法，該磁性記憶體元件包含：記憶層，其係磁化方向可變化，將資訊作為磁體之磁化方向保持；及磁化基準層，其對於記憶層介隔絕緣層而設置，為磁化方向之基準；且藉由通過絕緣層而流於記憶層與磁化基準層之間之電流，進行資訊的記錄。

【先前技術】

於電腦等資訊機器，作為隨機存取記憶體(Random Access Memory：隨機存取記憶體)係廣泛使用動作高速、可進行高密度記錄之DRAM(Dynamic RAM：動態RAM)。然而，由於DRAM為電源切斷後，資訊即消失的揮發性記憶體，因此強烈期待即使電源切斷仍可保持資訊、對機器之低消耗電力化不可或缺的非揮發性記憶體之高速化及高密度大容量化。

作為非揮發性記憶體，快閃記憶體等已實用化，但近年來，作為高速、大容量、低消耗電力之非揮發性記憶體，利用磁性電阻效果之磁性記憶體受到矚目而開發正在進展。例如利用通道磁性電阻(Tunnel Magnetoresistance；TMR)效果之磁性記憶體元件，亦即由MTJ元件所組成，藉由利用電流所激發之磁場來使記憶層之磁化方向反轉，以記錄資訊之磁性隨機存取記憶體(Magnetic RAM：MRAM)已實用化(例如Freescale Semiconductor公司製之MR2A16(

商品名)等)。

圖9(a)係表示MTJ元件之基本構造及其記憶資訊之讀出動作之說明圖。如圖9(a)所示，MTJ元件100具有所謂磁性通道接合(Magnetic Tunnel Junction: MTJ)，其係於記憶層105與磁化基準層103之2種強磁層之間，夾持有非磁之薄絕緣層即通道絕緣層104之構造。記憶層105係由具有單軸磁性各向異性之強磁導體所組成，能以來自外部的作用使磁化方向變化，且將磁化方向作為資訊保持。例如該磁化方向對於磁化基準層103之磁化方向「平行」亦或「反平行」，係分別作為「0」及「1」之資訊記憶。

從MTJ元件100之資訊讀出係利用TMR效果，其係由於上述2種磁層之相對磁化方向之差異，對於通過通道絕緣層104而流於記憶層105與磁化基準層103之間之通道電流之電阻值會變化。該電阻值係於記憶層105之磁化方向與磁化基準層103之磁化方向平行時，取定最小值，於反平行時取定最大值。

圖9(b)係表示由MTJ元件100所組成之MRAM之記憶體胞(memory cell)的構造之一例之部分立體圖。於該MRAM，作為列布線之字元線及作為行布線之位元線配置成矩陣狀，於其等之各交點之位置配置有MTJ元件100，形成相當於1位元之記憶體胞。

於記憶體胞之上部，寫入用位元線122及讀出用位元線123係將層間絕緣膜夾於其間而設置，MTJ元件100相接於讀出用位元線123而配置於其下，進一步於MTJ元件100之引

出電極層106之下，夾著絕緣層而配置有寫入用字元線121。

另一方面，於記憶體胞之下部，在例如矽基板等之半導體基板111設置MOS(Metal Oxide Semiconductor：金屬/氧化物/半導體)型場效電晶體，作為用以於讀出動作時選擇該記憶體胞之選擇用電晶體110。電晶體110之閘極電極115係將胞間相連而形成帶狀，其兼作讀出用字元線。而且，源極區域114係經由讀出用連接插塞107而連接於MTJ元件100之引出電極層106；汲極區域116係連接於作為讀出用之列布線之感測線124。

於如此所構成之MRAM，對期望之記憶體胞之MTJ元件100之資訊寫入(記錄)，係藉由分別於該記憶體胞所含之列之寫入用字元線121及行之寫入用位元線122流入寫入電流，於2條寫入用布線之交點的位置，產生由該等電流所造成之磁界的合成磁界而進行。藉由該合成磁界，期望之記憶體胞之MTJ元件100之記憶層105係往特定之磁化方向，亦即往對於磁化基準層103之磁化方向「平行」亦或「反平行」之方向磁化，進行資訊之寫入(記錄)。

而且，從MTJ元件100之資訊讀出係於包含有期望之記憶體胞之列之讀出用字元線，即於閘極電極115施加選擇信號，使該列之選擇用電晶體110全部為開啟(導通)狀態。配合此，於包含有期望之記憶體胞之行之讀出用位元線123與感測線124之間，施加讀出電壓。其結果，僅選擇期望之記憶體胞，該MTJ元件100之記憶層105之磁化方向之差異係作為利用TMR效果而流於MTJ元件100之通道電流

的大小差異而檢測。通道電流係從感測線124取出往(省略圖示)周邊電路而測定。

TMR型之MRAM係利用根據奈米磁體特有之自旋依存傳導現象之磁性電阻效果，進行資訊讀出之非揮發性記憶體，由於藉由磁化方向之反轉進行重寫，因此實質上可進行無限次重寫，關於存取時間亦有報告為高速(參考例如 R. Scheuerlein et al., ISSCC Digest of Technical Papers, pp.128-129, Feb.2000)。

然而，在以電流磁界進行寫入之MRAM，為了重寫而須流有大量電流(例如數mA程度)，消耗電力變大。而且，若MTJ元件微細化，則重寫所必要之電流顯示出增大的趨勢，另一方面，由於寫入用布線變細，因此難以流入對重寫充分之電流。而且，若高積體化進展，於鄰接之其他記憶體胞誤寫入之確率變高。進一步由於分別需要寫入用布線及讀出用布線，因此構造上複雜。由於該等原因，限制以電流磁界進行寫入之MRAM之高密度大容量化。

因此，作為根據不同原理而對磁性記憶體元件之記憶層寫入(記錄)資訊之元件，於寫入時利用藉由自旋注入所進行之磁化反轉之磁性記憶體元件係受到矚目。自旋注入係藉由於磁化方向固定之強磁導電層(磁化基準層)流入電流，創造出由自旋的方向偏向一方之電子集團所組成之電流(自旋偏極電流：spin-polarized current)，並將該電流注入於磁化方向可變化之磁導電層(記憶層)之操作。如此一來，於自旋偏極電流流於記憶層時，藉由經自旋偏極之電

子與構成記憶層之磁體之電子的相互作用，使記憶層之磁化方向與磁化基準層之磁化方向一致之力(力矩)會發揮作用。因此，藉由流入某臨限值以上之電流密度之自旋偏極電流，可使記憶層之磁化方向反轉(參考例如後述之專利文獻1及非專利文獻1)。

圖10係表示後述專利文獻2所示之磁化方向藉由自旋注入而反轉之MTJ元件(以下稱為自旋注入MTJ元件)所組成、利用藉由自旋注入所造成之磁化反轉之MRAM(以下稱為自旋力矩MRAM)之構造之一例之部分立體圖。於該自旋力矩MRAM，作為列布線之字元線215及作為行布線之位元線218配置成矩陣狀，於其等之各交點之位置配置有1個自旋注入MTJ元件220，形成有相當於1位元之記憶體胞。圖10係表示記憶體胞4個份。

於下部之半導體基板211，後述之選擇用電晶體210形成於各記憶體胞，字元線215兼作選擇用電晶體210之閘極電極。而且，汲極區域216係於圖中左右之選擇用電晶體共通地形成，於該汲極區域216連接有列布線219。

圖11係表示自旋力矩MRAM之記憶體胞之構造之部分剖面圖。於記憶體胞之中央部，從下層依序疊層有基底層201、反強磁層202、磁化固定層203a、中間層203b、磁化基準層203c、通道絕緣層204、記憶層205及保護層206之各層，形成有自旋注入MTJ元件220。自旋注入MTJ元件220之層構成基本上係與通常之MTJ元件100相同。

磁化固定層203a、中間層203b及磁化基準層203c係疊層

於反強磁層 202 之上，作為全體構成固定磁化層。由強磁導體所組成之磁化固定層 203a 之磁化方向係藉由反強磁層 202 而固定。同樣由強磁導體所組成之磁化基準層 203c 係介隔非磁層之中間層 203b 而與磁化固定層 203a 形成反強磁結合。其結果，磁化基準層 203c 之磁化方向係固定於磁化固定層 203a 之磁化方向的相反方向。於圖 11 所示之例中，磁化固定層 203a 之磁化方向固定於朝左，磁化基準層 203c 之磁化方向固定於朝右。

若將固定磁化層製成上述疊層鐵構造，則可使固定磁化層對於外部磁界之感度降低，因此可抑制由於外部磁界所造成之固定磁化層的磁化變動，使 MTJ 元件之安定性提升。而且，由於從磁化固定層 203a 及磁化基準層 203c 所漏出之磁通相互抵銷，因此藉由調整該等之膜厚，可將從固定磁化層漏洩之磁通抑制在最少。

記憶層 5 係由具有單軸磁性各向異性之強磁導體所組成，以來自外部的作用可使磁化方向變化，且可將磁化方向作為資訊保持。例如該磁化方向對於磁化基準層 203c 之磁化方向「平行」亦或「反平行」，係分別作為「0」及「1」之資訊記憶。於磁化基準層 203c 與記憶層 205 之間，設置有非磁之薄絕緣層之通道絕緣層 204，藉由磁化基準層 203c、通道絕緣層 204 及記憶層 205 形成磁性通道接合 (MTJ)。

另一方面，於記憶體胞之下部，在矽基板等之半導體基板 211 中經元件分離之井區域 211a，作為用以選擇該記憶

體胞之選擇用電晶體210而設置有由閘極絕緣膜212、源極電極213、源極區域214、閘極電極215、汲極區域216及汲極電極217所組成之MOS型場效電晶體。

如上述，選擇用電晶體210之閘極電極215係將胞(cell)間相連而形成為帶狀，並兼作作為第1列布線之字元線。而且，汲極電極217係連接於作為第2列布線之列布線219，源極電極213係經由連接插塞207而連接於自旋注入MTJ元件220之基底層201。另一方面，自旋注入MTJ元件220之保護層206係連接於設置在記憶體胞之上部、作為行布線之位元線218。

對期望之記憶體胞之自旋注入MTJ元件220記錄資訊時，於包含有期望之記憶體胞之列的字元線215施加選擇信號，使該列之選擇用電晶體210全部為開啟(導通)狀態。配合此，於包含有期望之記憶體胞之行的位元線218與列布線219之間，施加寫入電壓。其結果，選擇期望之記憶體胞，自旋偏極電流貫流於該自旋注入MTJ元件220之記憶層205，將記憶層205往特定之磁化方向磁化，進行資訊記錄。

此時，首先，自旋注入MTJ元件220之磁化基準層203c之磁化方向對於記憶層205之磁化方向處於「反平行」之狀態，藉由寫入使其反轉為記憶層205之磁化方向對於磁化基準層203c之磁化方向「平行」之狀態之情況時，如圖11所示，將臨限值以上之電流密度之寫入電流從記憶層205流往磁化基準層203c。藉此，作為實體而言，臨限值

以上之電子密度之自旋偏極電子流會從磁化基準層203c流往記憶層205，引發磁化反轉。

相反地，使對於記憶層205之磁化方向處於「平行」狀態之磁化基準層203c之磁化方向反轉為「反平行」狀態之情況時，將臨限值以上之電流密度之寫入電流往上述之相反方向，亦即從磁化基準層203c流往記憶層205，作為實體而言，臨限值以上之電子密度之電子流會從記憶層205流往磁化基準層203c。

而且，來自自旋注入MTJ元件220之資訊讀出係與MTJ元件100同樣利用TMR效果來進行。自旋注入MTJ元件220之寫入及讀出兩者均利用記憶層205中之電子、與貫流該層之自旋偏極電流之相互作用，讀出係於自旋偏極電流之電流密度小的區域進行，寫入係於自旋偏極電流之電流密度大、超過臨限值之區域進行。

由於藉由自旋注入所進行之磁化反轉之可否係取決於自旋偏極電流之電流密度，因此於自旋注入MTJ元件220，記憶層之體積越小，與體積成比例，以更少的電流即可進行磁化反轉(參考非專利文獻1)。而且，於選擇用電晶體210所選擇之記憶體胞寫入資訊，因此與藉由電流磁場所進行之寫入不同，不會有於鄰接之其他胞誤寫入之虞。而且，於寫入及讀出可共用大部分之布線，因此構造簡化。進一步而言，由於比起磁場寫入，磁體形狀的影響更小，因此容易提高製造時之良率。從該等觀點來看，自旋力矩MRAM比起以電流磁場進行寫入之MRAM，更適於微細

化、高密度大容量化。

然而，由於使用選擇用電晶體210進行寫入(記錄)，因此產生其他問題點。亦即，於寫入時可流於自旋注入MTJ元件220之電流係受到可流於選擇用電晶體210之電流(電晶體之飽和電流)限制。一般而言，隨著電晶體之閘極寬或閘極長變小，電晶體之飽和電流亦變小，因此為了確保對自旋注入MTJ元件220之寫入電流，選擇用電晶體210之小型化受到限制。因此，為了儘可能將選擇用電晶體210小型化，將自旋力矩MRAM最大限度地高密度大容量化，儘可能使寫入電流之臨限值減少係不可或缺。

而且，為了防止通道絕緣層204絕緣損壞，亦必須使寫入電流之臨限值減少。而且，為了減少MRAM之消耗電力，亦必須儘可能使寫入電流臨限值減少。

而藉由自旋注入所進行之磁化反轉所需要之電流之臨限值，就現象論而言顯示出與記憶層205之自旋制動常數 α 、飽和磁化量 M_s 之二次方及體積 V 成比例，與自旋注入效率 η 成反比。因此，藉由適當選擇該等，可降低磁化反轉所需要之電流之臨限值。

然而，另一方面，自旋注入MTJ元件220為了成為可靠之記憶體元件，必須確保記憶層205之記憶體保持特性(磁化之熱安定性)，磁化方向不因熱運動而變化。熱安定性係與記憶層205之飽和磁化量 M_s 及體積 V 成比例。

記憶層205之飽和磁化量 M_s 及體積 V 係與磁化反轉所需要之電流之臨限值及熱安定性雙方相關，處於當縮小該等

因子，使磁化反轉所需要之電流的臨限值降低時，熱安定性亦降低之取捨關係。

因此，為了使磁化反轉所需要之電流的臨限值降低，必須一面慎重地謀求與熱安定性之確保之同時成立，一面主要改善自旋注入之效率 η 。本案發明者係為了使自旋力矩MRAM可成為比其他記憶體更有競爭力之記憶體，持續銳意開發可使磁化反轉所需要之電流密度之臨限值減低、與記憶體保持特性(熱安定性)確保同時成立之MTJ材料(參考日本特開2006-165265號公報、日本特開2007-103471號公報、日本特開2007-48790號公報、專利文獻2及日本特願2006-350113等)。其結果，不斷接近其實現。

[先行技術文獻]

[專利文獻1]日本特開2003-17782號公報(第6及7頁、圖2)

[專利文獻2]日本特開2007-287923號公報(第7-15頁、圖2)

[非專利文獻1]F.J.Albert et al., Appl. Phys. Lett., Vol. 77, (2002), p.3809

【發明內容】

[發明所欲解決之問題]

然而，本案發明者使用上述MTJ材料，製作並調查寫入電流密度之臨限值小的自旋注入MTJ元件之處，辨明以往在論文或學會發表中亦未報告之特殊現象出現。亦即，於該自旋注入MTJ元件，確認到即使若考慮到寫入錯誤率，將所施加之寫入脈波設定稍微大於反轉臨限值(作為進行外插所得之推測值)，可確保 10^{-25} 以下之寫入錯誤率，但

若將所施加之寫入脈波設定甚大於反轉臨限值，則會有寫入脈波變得越大，反而寫入錯誤率越增加之趨勢(參考圖12)。於此，於大於反轉臨限值之記錄電壓所引發之錯誤稱為「高記錄電壓錯誤」。

對具有數百Mbit之容量之自旋力矩MRAM記憶體晶片之實際寫入，係考慮到自旋注入MTJ元件之反轉臨限值之偏差或起因於電晶體及布線之反轉臨限值之偏差等，設定為施加甚大於反轉臨限值之平均值之寫入脈波。因此，若上述現象出現，於對自旋力矩MRAM記憶體晶片之實際寫入，無法確保 10^{-25} 以下之寫入錯誤率。

而且，由於MRAM或自旋力矩RAM係作為構成記憶層之磁體之磁化方向而保持有資訊，因此若暴露於強烈的外部磁場，則記憶層之磁化方向會變化，資訊消失。特別於寫入(記錄)過程之中途，對於外部磁場之耐受性顯著降低，因此需要用以使作用於磁性記憶體元件之外部磁場減少之磁性屏蔽，於前述市售之MRAM(MR2A16)亦有配備。然而，為了以磁性屏蔽獲得磁場遮蔽效果，需要某程度之厚度及體積，無法避免記憶體IC之體積或重量增加、或者價格上升。

特別於自旋力矩RAM，例如於文獻(K.Ito et al., J.Phys.D., Vol. 40, 2007年, p.1261)表示有外部磁場影響記錄電流或反轉時間，進一步於文獻(G.D.Fuchs et al., Apl.Phys.Let., Vol. 86, 2005年, p.152509)表示有由於通電所造成之自旋注入MTJ元件之發熱，對於外部磁場之耐受性進一步降低

之可能性，必須預先更提高對於外部磁場之耐受性。

本發明係有鑑於此類狀況而完成，其目的在於提供一種磁性記憶體元件之記錄方法，該磁性記憶體元件包含：記憶層，其係磁化方向可變化，將資訊作為磁體之磁化方向保持；及磁化基準層，其對於記憶層介隔絕緣層而設置，為磁化方向之基準；且藉由通過絕緣層而流於記憶層與磁化基準層之間之電流，進行資訊的記錄；即使於施加有甚大於反轉臨限值之寫入脈波之情況下，仍可保持於施加有稍微大於反轉臨限值之寫入脈波之情況下所獲得之寫入錯誤率，而且對於外部磁場之耐受性提升。

[解決問題之技術手段]

本案發明者經重複進行銳意研究，結果發現藉由設計寫入脈波之施加方法，可解決上述問題，終至完成本發明。

亦即，本發明係關於一種磁性記憶體元件之記錄方法，其係對於磁性記憶體元件之記錄方法，該磁性記憶體元件至少包含：記憶層，其係包含有強磁導體，磁化方向可變化，將資訊作為磁體之磁化方向保持；及基準磁化層，其係對於前述記憶層介隔絕緣層而設置，包含有強磁導體，磁化方向固定而為磁化方向之基準；且藉由通過前述絕緣層而流於前述記憶層與前述基準磁化層之間之電流，進行資訊的記錄；其特徵為：於記錄1個資訊時，朝同向施加1個以上之主脈波及1個以上之副脈波；於前述1個以上之主脈波後，施加1個以上之副脈波；將於前述主脈波後施加之副脈波設為符合脈波寬比前述主脈波短之脈波，亦或脈

波高比前述主脈波低之脈波之至少一方條件之脈波。

此外，前述脈波為電壓控制、電流控制、亦或電力控制均可。

【實施方式】

[發明之效果]

若依據本發明之磁性記憶體元件之記錄方法，藉由如後述實施型態及實施例所示，於記錄1個資訊時，於前述1個以上之主脈波後，施加前述1個以上之副脈波，將於前述主脈波後施加之副脈波設為符合脈波寬比前述主脈波短之脈波，亦或脈波高比前述主脈波低之脈波之至少一方條件之脈波，即使於施加有甚大於反轉臨限值之寫入脈波之情況下，仍可保持與以稍微大於反轉臨限值之寫入脈波所獲得同樣之寫入錯誤率。

顯現先前所述之高記錄電壓錯誤之機構或藉由本發明將寫入錯誤率抑制在較小之機制，並非可謂已完全闡明。然而，從於施加有稍微大於反轉臨限值之寫入脈波之情況下未構成問題，於施加有甚大於反轉臨限值之寫入脈波之情況下產生問題，而且寫入脈波越大，寫入錯誤率越增加來思慮，可推測相較於反轉臨限值過剩之寫入電力的注入會引起問題。

於以往藉由單一脈波所進行之寫入，由於過剩之寫入電力注入所產生之寫入錯誤未修正而以原樣成為結果，因此寫入錯誤率高。而且，寫入時對於外部磁場之耐受性低。相對於此，於本發明，於前述1個以上之主脈波後，施加1

個以上之副脈波，因此以藉由該副脈波所進行之寫入，可修正於前述主脈波所產生之寫入錯誤之可能性高。而且，由於將於前述主脈波後施加之副脈波設為符合脈波寬比前述主脈波短之脈波，亦或脈波高比前述主脈波低之脈波之至少一方條件之脈波，因此於藉由前述副脈波所進行之寫入，難以積存過剩的能量，不易出現上述高記錄電壓錯誤。藉由以上效果，利用本發明之磁性記憶體元件之記錄方法，寫入錯誤率減少，而且寫入時對於外部磁場之耐受性提升。

於本發明之磁性記憶體元件之記錄方法，於包含有前述1個以上之主脈波、及其後施加之前述1個以上之前述副脈波之脈波列中，宜至少設置一組連續3個脈波之組合、且脈波寬及脈波高之至少一方漸次減少之組合。

而且，於前述1個以上之主脈波之末端與其後施加之前述1個以上之前述副脈波之前端之間，設置3 ns以上之時間間隔。(此外，脈波之末端及前端分別係脈波之下降及上升中，高度成為脈波高之最大值之一半的位置。以下同。)

而且，包含有前述1個以上之主脈波、及其後施加之前述1個以上之前述副脈波之脈波列中，於任意選擇之連續2個脈波之組合，宜將後脈波設為符合脈波寬2 ns以上、10 ns以下，亦或脈波高為前脈波之0.7倍以上、0.95倍以下之至少一方條件之脈波，且於前脈波之末端與後脈波之前端之間設置5 ns以上之時間間隔。

而且，包含有前述1個以上之主脈波、及其後施加之前

述1個以上之前述副脈波之脈波列中，於任意選擇之連續2個脈波之組合，宜使後脈波符合脈波寬3 ns以下，亦或脈波高為前脈波之0.95倍以下之至少一方條件，且前脈波之末端與後脈波之前端之時間間隔設為小於5 ns。

接著，於圖式參考下，更具體說明本發明較佳之實施型態。

實施型態1

於實施型態1，主要針對關於請求項1~3之自旋注入MTJ元件之記錄方法之例說明。

於圖15及圖16，表示本實施型態所用之自旋力矩MRAM之記憶體胞之構造及自旋注入MTJ元件之構成。

圖15係表示由磁化方向藉由自旋注入而反轉之MTJ元件(以下稱為自旋注入MTJ元件)所組成，並利用藉由自旋注入所造成之磁化反轉之MRAM(以下稱為自旋力矩MRAM)之構造之一例之部分立體圖。於該自旋力矩MRAM，作為列布線之字元線15及作為行布線之位元線18配置成矩陣狀，於其等之各交點之位置配置有1個自旋注入MTJ元件20，形成有相當於1位元之記憶體胞。圖15係表示記憶體胞4個份。

於下部之半導體基板11，後述之選擇用電晶體10形成於各記憶體胞，字元線15兼作選擇用電晶體10之閘極電極。而且，汲極區域16係於圖中左右之選擇用電晶體共通地形成，於該汲極區域16連接有列布線19。

圖16係表示自旋力矩MRAM之記憶體胞之構造之部分剖

面圖。於記憶體胞之中央部，從下層依序疊層有基底層1、反強磁層2、磁化固定層3a、中間層3b、磁化基準層3c、通道絕緣層4、記憶層5及保護層6之各層，形成有自旋注入MTJ元件20。

磁化固定層3a、中間層3b及磁化基準層3c係疊層於反強磁層2之上，作為全體構成固定磁化層。由強磁導體所組成之磁化固定層3a之磁化方向係藉由反強磁層2而固定。同樣由強磁導體所組成之磁化基準層3c係介隔非磁層之中間層3b而與磁化固定層3a形成反強磁結合。其結果，磁化基準層3c之磁化方向係固定於磁化固定層3a之磁化方向的相反方向。於圖16所示之例中，磁化固定層3a之磁化方向固定於朝左，磁化基準層3c之磁化方向固定於朝右。

若將固定磁化層製成上述疊層鐵構造，則可使固定磁化層對於外部磁界之感度降低，因此可抑制由於外部磁界所造成之固定磁化層的磁化變動，使MTJ元件之安定性提升。而且，由於從磁化固定層3a及磁化基準層3c所漏出之磁通相互抵銷，因此藉由調整該等之膜厚，可將從固定磁化層漏洩之磁通抑制在最小。

記憶層5係由具有單軸磁性各向異性之強磁導體所組成，以來自外部的作用可使磁化方向變化，且可將磁化方向作為資訊保持。例如該磁化方向對於磁化基準層3c之磁化方向「平行」亦或「反平行」，分別作為「0」及「1」之資訊記憶。於磁化基準層3c與記憶層5之間，設置有非磁之薄絕緣層之通道絕緣層4，藉由磁化基準層3c、通道

絕緣層4及記憶層5形成磁性通道接合(MTJ)。

另一方面，於記憶體胞之下部，在矽基板等之半導體基板11中經元件分離之井區域11a，作為用以選擇該記憶體胞之選擇用電晶體10而設置有由閘極絕緣膜12、源極電極13、源極區域14、閘極電極15、汲極區域16及汲極電極17所組成之MOS型場效電晶體。

如上述，選擇用電晶體10之閘極電極15係將胞間相連而形成為帶狀，並兼作為第1列布線之字元線。而且，汲極電極17係連接於作為第2列布線之列布線19，源極電極13係介隔連接插塞7而連接於自旋注入MTJ元件20之基底層1。另一方面，自旋注入MTJ元件20之保護層6係連接於設置在記憶體胞之上部、作為行布線之位元線18。

對期望之記憶體胞之自旋注入MTJ元件20記錄資訊時，於包含有期望之記憶體胞之列的字元線15施加選擇信號，使該列之選擇用電晶體10全部為開啟(導通)狀態。配合此，於包含有期望之記憶體胞之行的位元線18與列布線19之間，施加寫入電壓。其結果，選擇期望之記憶體胞，自旋偏極電流貫流於該自旋注入MTJ元件20之記憶層5，將記憶層5往特定之磁化方向磁化，進行資訊記錄。

此時，首先，自旋注入MTJ元件20之磁化基準層3c之磁化方向對於記憶層5之磁化方向處於「反平行」之狀態，藉由寫入使其反轉為記憶層5之磁化方向對於磁化基準層3c之磁化方向「平行」之狀態之情況時，如圖9所示，將臨限值以上之電流密度之寫入電流從記憶層5流往磁化基

準層 3c。藉此，作為實體而言，臨限值以上之電子密度之自旋偏極電子流會從磁化基準層 3c 流往記憶層 5，引發磁化反轉。

相反地，使對於記憶層 5 之磁化方向處於「平行」狀態之磁化基準層 3c 之磁化方向反轉為「反平行」狀態之情況時，將臨限值以上之電流密度之寫入電流往上述之相反方向，亦即從磁化基準層 3c 流往記憶層 5，作為實體而言，臨限值以上之電子密度之電子流會從記憶層 5 流往磁化基準層 3c。

而且，來自自旋注入 MTJ 元件 20 之資訊讀出係利用 TMR 效果來進行。自旋注入 MTJ 元件 20 之寫入及讀出兩者均利用記憶層 5 中之電子、與貫流該層之自旋偏極電流之相互作用，讀出係於自旋偏極電流之電流密度小的區域進行，寫入係於自旋偏極電流之電流密度大、超過臨限值之區域進行。

此外，磁化基準層 3c 係為了於記錄動作中，使磁化不會反轉或不安定化，與 PtMn、IrMn 等反強磁體組合而固定磁化方向、使用 CoPt 等頑磁性大的材料、加工為大於記憶層 5 之面積而使用或藉由外部磁場往特定方向磁化均可。

磁化基準層 3c 作為單獨的強磁體層，或如圖 16 所示，介隔 Ru 等之非磁金屬所組成之中間層 3b 而與磁化固定層 3a 反平行地磁性結合均可。磁化基準層 3c 之磁化為面內磁化或垂直磁化均可。而且，磁化基準層 3c 配置於記憶層 5 之下側、配置於上側或者配置於上下均可。

通道絕緣層4宜由氧化物或氮化物等之陶瓷材料組成。特別若作為通道絕緣層4設置氧化鎂MgO層，於磁化基準層3c及記憶層5之至少通道絕緣層4側設置CoFeB層，則可取得較大之磁性電阻變化率，因此較適宜。

圖1係表示根據實施型態1之磁性記憶體元件之記錄方法之寫入脈波列之例之曲線圖。於實施型態1，於記錄1個資訊時，於主脈波後，施加脈波高與主脈波相同、脈波寬比主脈波短之副脈波。主脈波及副脈波為電壓控制、電流控制、亦或電力控制均可。

圖1(1)係表示於1個主脈波後施加1個副脈波之情況。主脈波係與以往以單一脈波進行寫入之情況相同，其為具有足以記錄資訊之脈波高及脈波寬之脈波。該情況下，如前述，對具有數百Mbit之容量之自旋力矩MRAM記憶體晶片之實際寫入，係考慮到自旋注入MTJ元件之反轉臨限值之偏差或起因於電晶體及布線之反轉臨限值之偏差等，施加甚大於反轉臨限值之平均值之寫入脈波。其結果，出現寫入脈波越大，反而寫入錯誤率越增加之高記錄電壓錯誤。

於以往藉由單一脈波所進行之寫入，由於藉由上述主脈波進行寫入而產生之寫入錯誤未修正而原樣成為結果，因此寫入錯誤率高。而且，寫入時對於外部磁場之耐受性低。相對於此，於本實施型態，於主脈波後，施加具有超過反轉臨限值之脈波高之副脈波，因此以藉由副脈波所進行之寫入，可修正於主脈波所產生之寫入錯誤的可能性高。而且，由於副脈波之脈波寬比主脈波之脈波寬短，因

此於藉由副脈波所進行之寫入，難以積存過剩能量，不易出現上述高記錄電壓錯誤。藉由以上效果，於根據本實施型態之磁性記憶體元件之記錄方法中，寫入錯誤率減少，寫入時對於外部磁場之耐受性提升。

此時，於主脈波之末端與副脈波之前端之間，宜設置3 ns以上，更宜設置5 ns以上之時間間隔。此係為了充分確保用以使於藉由主脈波進行寫入所積存之過剩能量散逸之時間。

圖 1(2)係表示於1個主脈波後施加2個副脈波，對應於請求項 2，將主脈波、副脈波 1 及副脈波 2 作為脈波寬漸次減少之連續3個脈波之組合而構成之例。該情況下，利用藉由副脈波 1 所進行之寫入及藉由副脈波 2 所進行之寫入，重複 2 次修正，而且越後來施加之脈波，其脈波寬越短，不易出現由於過剩能量之積存所造成的高記錄電壓錯誤，因此寫入錯誤率改善之可能性變得更高。

圖 2 係表示根據實施型態 1 之寫入脈波列之例之曲線圖，其表示有各種主脈波之例。圖 2(a) 及圖 2(b) 係於主脈波中設置停止寫入電力注入之 1 ns 程度之短停止期間之例。如圖 2(a) 所示，即使於主脈波之中間部設置停止期間，仍無效果，但若如圖 2(b) 所示，於主脈波之末端附近設置停止期間，會具有使一定期間內注入之寫入電力有效地逐漸減少，使上述高記錄電壓錯誤不易出現之效果(參考日本特願 2008-107768)。

圖 2(c) 及圖 2(d) 係施加 2 個主脈波之例。圖 2(c) 係表示施

加脈波高及脈波寬均相等之主脈波1及主脈波2之情況，圖2(d)係表示施加脈波高及脈波寬互異之主脈波1及主脈波2之情況。無論如何，藉由先行之主脈波1所進行之寫入均因藉由後續之主脈波2所進行之寫入而無效，因此未特別有施加複數主脈波之效果。

圖3係表示根據實施型態1之寫入脈波列之例之曲線圖，其表示有各種副脈波之例。圖3(a)係於主脈波後施加2個，一般為施加複數副脈波之例，利用藉由副脈波所進行之寫入，重複2次修正，一般重複複數次，因此寫入錯誤率改善之可能性變得更高。該情況下，如既已利用圖1(b)所敘述，期待構成為副脈波之脈波寬漸次減少。另一方面，圖3(b)及圖3(c)係設置有先行於最後之主脈波之副脈波之例，未特別有施加此類副脈波之效果。

實施型態2

於實施型態2，主要針對關於請求項1及2之自旋注入MTJ元件之記錄方法之其他例說明。

圖4及圖5係表示根據實施型態2之磁性記憶體元件之記錄方法之寫入脈波列之例之曲線圖。於實施型態2，於記錄1個資訊時，於主脈波後，施加脈波寬與主脈波相同、脈波高比主脈波低之副脈波。主脈波及副脈波為電壓控制、電流控制、亦或電力控制均可。

圖4係表示於1個主脈波後施加1個副脈波之情況，圖4(a)及(b)係用以說明其效果之說明圖。主脈波係與以往以單一脈波進行寫入之情況相同，其為具有足以記錄資訊之脈波

高及脈波寬之脈波。該情況下，如前述，對具有數百 Mbit 之容量之自旋力矩 MRAM 記憶體晶片之實際寫入，係考慮到自旋注入 MTJ 元件之反轉臨限值之偏差或起因於電晶體及布線之反轉臨限值之偏差等，施加甚大於反轉臨限值之平均值之寫入脈波。

其結果，如圖 4(a) 所示，於具有平均之反轉臨限值之磁性記憶體元件，出現於藉由主脈波所進行之寫入，比反轉臨限值過剩之寫入電力注入，反而寫入錯誤率增加之高記錄電壓錯誤。相對於此，副脈波之脈波高雖高於平均之反轉臨限值，但並非比平均之反轉臨限值顯著高之程度。因此，若施加副脈波會寫入進行，修正於主脈波所產生之寫入錯誤。而且，於藉由副脈波所進行之寫入，甚少注入過剩能量，因此不易出現上述高記錄電壓錯誤。藉由以上效果，於具有平均之反轉臨限值之磁性記憶體元件，寫入錯誤率減少，寫入時對於外部磁場之耐受性提升。

另一方面，如圖 4(b) 所示，於反轉臨限值高之磁性記憶體元件，會有副脈波之脈波高小於反轉臨限值之情況。於該磁性記憶體元件，即使施加副脈波，仍不會進行寫入，副脈波無效，原樣維持藉由主脈波之寫入結果。然而，於反轉臨限值高之磁性記憶體元件，主脈波之脈波高並非比反轉臨限值顯著高之程度，於藉由主脈波之寫入，甚少出現由於過剩能量之注入而寫入錯誤率增加之高記錄電壓錯誤。亦即，藉由主脈波進行寫入錯誤率小之良好寫入，無修正的必要。

從以上結果來看，若利用圖4所示之寫入脈波列，無論對於具有平均之反轉臨限值之磁性記憶體元件，亦或對於反轉臨限值高之磁性記憶體元件，均可進行寫入錯誤率小之良好寫入。

圖5係表示於1個主脈波後施加2個副脈波，對應於請求項2，將主脈波、副脈波1及副脈波2作為脈波高漸次減少之連續3個脈波之組合而構成之例。該情況下，如圖5(a)所示，對於具有平均之反轉臨限值之磁性記憶體元件，利用藉由副脈波1所進行之寫入來進行修正，與圖4(a)所示之情況具有同樣效果。副脈波2為無效。如圖5(b)所示，於反轉臨限值高之磁性記憶體元件，與圖4(b)所示之情況相同，主脈波之脈波高並非比反轉臨限值顯著高之程度，藉由主脈波進行良好寫入，無修正的必要。而且，如圖5(c)所示，對於反轉臨限值低之磁性記憶體元件，利用藉由副脈波1所進行之寫入及藉由副脈波2所進行之寫入，重複2次修正，而且越後來施加之脈波，越不易出現由於過剩能量注入所造成之高記錄電壓錯誤，因此寫入錯誤率改善之可能性變得更高。

從以上結果來看，若利用圖5所示之寫入脈波列，相較於利用圖4所示之寫入脈波列之情況，可進行進一步寫入錯誤率更小之良好寫入。

[實施例]

於實施例中，於包含有自旋注入MTJ元件之自旋力矩MRAM，適用根據本發明之實施型態1及2之記錄方法，並

驗證本發明之效果。實施例1及2係作為請求項3~5之根據的實驗，實施例4係作為請求項2之根據的實驗。實驗係一面於元件之長軸方向施加磁場，一面重複進行抹除、記錄、再生，並測定寫入錯誤率。施加磁場之方向係與所欲記錄之磁化方向相反之方向。

實施例1

於實施例1，對應於根據實施型態1之磁性記憶體元件之記錄方法，施加圖1(1)所示之寫入脈波列。所用之自旋力矩MRAM係包含有由下述層所構成之自旋注入MTJ元件20。

基底層1	: 膜厚5 nm之Ta膜；
反強磁層2	: 膜厚30 nm之PtMn膜；
磁化固定層3a	: 膜厚2 nm之CoFe膜；
中間層3b	: 膜厚0.7 nm之Ru膜；
磁化基準層3c	: 膜厚2 nm之CoFeB膜；
通道絕緣層4	: 膜厚0.8 nm之氧化鎂MgO膜；
記憶層5	: 膜厚3 nm之CoFeB膜；
保護層6	: 膜厚5 nm之Ta膜

自旋注入MTJ元件20之俯視形狀係長軸長度為150~250 nm，短軸長度為70~85 nm之橢圓形，記憶層5之頑磁性為140 Oe。一面於該自旋注入MTJ元件20施加50 Oe之外部磁場，一面接續於脈波電壓0.8 V、脈波寬30 ns之主脈波，施加脈波電壓0.8 V、脈波寬W之副脈波。此時，將副脈波之脈波寬W、及主脈波之末端與副脈波之前端之間之脈波

間隔D予以各種改變，調查該等與寫入錯誤率之關係。

圖6係表示施加有脈波寬W為1~30 ns之副脈波的情況下之寫入錯誤率與脈波間隔D之關係之曲線圖。從圖6可得知2種不同趨勢。亦即，於作為副脈波利用脈波寬W為1 ns之脈波之情況下，在脈波間隔D為1 ns之情況時，錯誤率改善效果顯著，若脈波間隔D超過5 ns，幾乎無改善效果。

另一方面，於作為副脈波利用脈波寬W為2 ns或3 ns之脈波之情況下，在脈波間隔D為3 ns以上，更期待為5 ns以上之情況時，藉由本發明之錯誤率改善效果顯著。若作為副脈波利用脈波寬W為5 ns以上之脈波之情況下，改善效果變小，若副脈波之脈波寬W與主脈波之脈波寬相同而為30 ns，完全未見有改善。

實施例2

於實施例2，對應於根據實施型態2之磁性記憶體元件之記錄方法，施加圖4所示之寫入脈波列。所用之自旋力矩MRAM係與實施例1所用之自旋注入MTJ元件20具有相同之層構成，包含有記憶層5之頑磁性為125 Oe之自旋注入MTJ元件20。一面於該自旋注入MTJ元件20施加50 Oe之外部磁場，一面接續於脈波電壓0.9 V、脈波寬30 ns之主脈波，施加脈波電壓V、脈波寬30 ns之副脈波。此時，將副脈波之脈波電壓V、及主脈波之末端與副脈波之前端之間之脈波間隔D予以各種改變，調查該等與寫入錯誤率之關係。

圖7係表示一面於1~10 ns之範圍內改變脈波間隔D，一

面調查寫入錯誤率及主脈波與副脈波之脈波電壓比之關係之結果的曲線圖。雖未如圖6程度明確，但於圖7認為亦有2種不同趨勢。

於脈波間隔D設為3 ns以上之情況下，僅於主脈波與副脈波之脈波電壓比為0.7以上、1.0以下之情況時，出現改善效果，特別於脈波電壓比為0.8以上、0.95以下之情況時，改善效果顯著。有效之副脈波的脈波電壓存在有下限，係表示正進行藉由副脈波之寫入。

另一方面，於脈波間隔D設為1 ns或2 ns之情況下，於主脈波與副脈波之脈波電壓比為0.8以上、0.95以下之情況時出現之改善效果，據判係與上述同樣為依據本發明之效果，脈波電壓比為0.3以上、0.95以下，副脈波之脈波電壓小於反轉臨限值之情況時出現之改善效果，據判係依據其他發明之效果。

實施例3

於實施例3，調查根據實施型態1之磁性記憶體元件之記錄方法之對於外部磁場之耐受性。所用之自旋力矩MRAM係與實施例1所用之自旋注入MTJ元件20具有相同之層構成，包含有記憶層5之頑磁性為212 Oe之自旋注入MTJ元件20。一面於該自旋注入MTJ元件20施加0~200 Oe之外部磁場，一面調查使寫入脈波電壓在0.5~0.7 V之範圍內變化之情況下之寫入錯誤率。電壓之極性為正。

圖8係以等高線連結上述外部磁場、及寫入錯誤率相對於寫入脈波電壓分別為0.1、0.01及0.001之位置而表示之

曲線圖。若外部磁場變大，則必須對抗強大的外部磁場以於記錄層寫入資訊，因此為了維持相同之寫入錯誤率，需要更大的寫入脈波電壓。因此，預測上述等高線在圖8會成為右升之曲線。而且，若外部磁場為一定，則預測脈波電壓越大，寫入錯誤率變得越小。

圖8(b)係表示以脈波寬100 ns之單一脈波記錄之比較例之情況之結果。該情況下，於外部磁場較小之區域，上述等高線係如預測成為右升之曲線，但於外部磁場大之區域，預測落空，出現即使增大脈波電壓，寫入錯誤率仍未改善的現象。於該區域，在外部磁場一定之情況下，脈波電壓越大，寫入錯誤率反而變越大，即引起前述高記錄電壓錯誤。

另一方面，圖8(a)係於脈波寬100 ns之主脈波後，設置10 ns之脈波間隔後施加脈波寬3 ns之副脈波之情況。該情況下，到外部磁場大的區域為止，上述等高線成為右升之曲線。而且，若外部磁場為一定，則脈波電壓越大，寫入錯誤率變越小。如此，於根據實施型態1之記錄方法，增大寫入脈波電壓之情況時之寫入錯誤率受到改善，可擴大寫入之動作範圍，於強大的外部磁場作用之情況下，對於磁場之耐受性提升。

如此，若依據根據實施型態1之磁性記憶體元件之記錄方法，於受到外部磁場作用之廣泛的動作環境下，可進行錯誤少之記錄動作，於大容量之自旋力矩MRAM，可減少遮蔽外部磁場之磁性屏蔽之厚度或大小，可將自旋力矩MRAM予以小型化、輕量化、低價化。

實施例4

於實施例4，調查作為寫入脈波列，利用在脈波寬10 ns之主脈波組合有各種脈波寬及脈波間隔之副脈波之脈波列之情況下之寫入錯誤率。此時，對應於實施型態1，主脈波及副脈波之脈波高設為相同，後來施加之副脈波之脈波寬係與先前施加之副脈波之脈波寬相同，亦或短於其。所用之自旋力矩MRAM係具有與實施例1所用之自旋注入MTJ元件20相同之層構成，包含有記憶層5之頑磁性為130 Oe之自旋注入MTJ元件20。一面於該自旋注入MTJ元件20使50 Oe之外部磁場作用，一面施加脈波電壓為1.1 V之主脈波及副脈波。

於表1表示結果。表1係依時間序列順序，表示主脈波及副脈波之脈波寬及脈波間隔，於最後表示利用該寫入脈波列之情況下之寫入錯誤率。

[表1]

	副脈波 (ns)	脈波間隔 (ns)	主脈波 (ns)	脈波間隔1 (ns)	副脈波1 (ns)	脈波間隔2 (ns)	副脈波2 (ns)	脈波間隔3 (ns)	副脈波3 (ns)	寫入錯誤率 (%)
脈波例1			10	10	2					4.2×10^{-3}
脈波例2			10	10	3					1.3×10^{-3}
脈波例3			10	10	3	10	2			2.8×10^{-5}
脈波例4			10	10	3	10	1	1	1	7.6×10^{-4}
脈波例5			10	10	3	5	2	1	1	1.8×10^{-5}
比較例1			10							8.0×10^{-2}
比較例2	3	10	10							8.1×10^{-2}
脈波例6	3	10	10	10	3					1.1×10^{-3}
脈波例7			10	1	1					2.2×10^{-3}
脈波例8			10	1	1	1	1			1.7×10^{-4}

比較例1係施加有單一脈波之情況，該情況下之寫入錯誤率為 8.0×10^{-2} 。比較例2係先行於主脈波而施加有副脈波之情況。該情況下之寫入錯誤率為 8.1×10^{-2} ，與比較例1在誤差範圍內不變，表示先行於主脈波之副脈波無效。

脈波列1及脈波列2係於主脈波之10 ns後，施加1個副脈波之情況，作為該情況下之副脈波之脈波寬係3 ns比2 ns良好。此係由於對充分進行藉由副脈波之寫入而言，若採用2 ns，脈波寬可能稍微過短。脈波列3~5係於主脈波後，施加2個或3個副脈波之情況，寫入錯誤率較副脈波為1個之脈波列2更改善。

脈波列6若先行之無效的副脈波除外，主脈波以後之脈波構成與脈波列2相同，寫入錯誤率亦大致相同。脈波列7及脈波列8係於主脈波之1 ns後，施加脈波寬為1 ns之短副脈波之情況，比起比較例1，其寫入錯誤率改善。該情況下，接連2個脈波寬為1 ns之短副脈波之脈波列8係較副脈波為1個之脈波列7，其寫入錯誤率更改善。其中，如前述，於脈波列7及脈波列8之結果，可能重疊有本發明之效果及其他發明之效果。

接著，說明以上實施型態之寫入脈波的發生電路。

圖13係表示從1個矩形脈波生成上述實施型態之包含有主脈波及副脈波之寫入脈波之寫入脈波發生電路之構成之圖。

該寫入脈波發生電路30係使用複數緩衝器32、33、34及複數邏輯電路35、36構成。於寫入脈波發生電路30之輸入

端31輸入有矩形之脈波信號。輸入於輸入端31之矩形之脈波信號係輸入於或閘邏輯之邏輯電路36之一輸入端、及閘邏輯之邏輯電路35之非反轉輸入端、及串聯地連接之緩衝器32、33。於此，串聯地連接之緩衝器32、33係用以生成副脈波之寬，藉由緩衝器32、33之延遲時間之選定，可選定任意的副脈波之時間 $td1$ 。緩衝器32、33之輸出係輸入於及閘邏輯之邏輯電路35之非反轉輸入端。及閘邏輯之邏輯電路35之輸出係通過緩衝器34而輸入於或閘邏輯之邏輯電路36之另一輸入端。於此，緩衝器34係生成主脈波及副脈波之間之時間 $td2$ ，藉由緩衝器34之延遲時間之選定，可設定任意的時間 $td2$ 。然後，藉由或閘邏輯之邏輯電路36，獲得以主脈波及副脈波所構成之寫入脈波，並從寫入脈波發生電路30之輸出端37輸出。

圖14係表示使用波形記憶體及D/A轉換電路所生成之寫入脈波之寫入脈波發生電路40之構成之圖。於波形記憶體41儲存有以主脈波及副脈波所構成之寫入脈波之波形資料。寫入脈波之波形資料係將可從 2^N 階段中選擇輸出位準之N位元作為1字元，以複數字元之時間序列資料構成。於波形記憶體41設置有讀出用之N個埠，該等N個埠係與D/A轉換電路42之N個輸入端分別連接。D/A轉換電路42係藉由波形記憶體41，將寫入脈波之波形資料於每N位元之資料(1字元)輸入，轉換為類比信號並作為寫入脈波輸出。D/A轉換電路42能以例如梯狀電阻電路等構成。藉由使用此類寫入脈波發生電路，能以高自由度獲得寫入脈波之波

形，可容易且以高自由度獲得上述各實施型態之寫入脈波。

此外，於圖8之例中，為了可從 2^3 階段中決定輸出位準，將1字元之位元數N設為「3」，但本發明不限定於此。

以上，根據實施型態說明本發明，但本發明不受該等例任何限制，於不脫離發明主旨之範圍內當然可適宜地變更。

[產業上之可利用性]

若依據本發明，可實現一種改善寫入時之過渡特性，寫入失敗少，寫入電流密度之臨限值小，可高積體化、高速化及低消耗電力化之自旋注入磁化反轉型MTJ元件，可對小型、輕量且低價格之非揮發性記憶體之實用化做出貢獻。

【圖式簡單說明】

圖1係表示根據本發明之實施型態1之磁性記憶體元件之記錄方法之寫入脈波列之例之曲線圖；

圖2(a)~(d)係表示同樣磁性記憶體元件之記錄方法之寫入脈波列之例之曲線圖；

圖3(a)~(c)係表示同樣磁性記憶體元件之記錄方法之寫入脈波列之例之曲線圖；

圖4(a)、4(b)係表示根據本發明之實施型態2之磁性記憶體元件之記錄方法之寫入脈波列之例之曲線圖；

圖5(a)~(c)係表示同樣磁性記憶體元件之記錄方法之寫入脈波列之例之曲線圖；

圖6係表示本發明之實施例1之磁性記憶體元件之記錄方法之寫入錯誤率與脈波間隔之關係之曲線圖；

圖7係表示本發明之實施例2之磁性記憶體元件之記錄方法之寫入錯誤率與副脈波之高度之關係之曲線圖；

圖8(a)、8(b)係表示依據本發明之實施例3之磁性記憶體元件之記錄方法之對於外部磁場之耐受性之曲線圖；

圖9係表示MTJ元件之基本構造及其記憶資訊之讀出動作之說明圖(a)，及表示由MTJ元件所組成之MRAM之記憶體胞之構造之一例之部分立體圖(b)；

圖10係表示專利文獻2所示之自旋力矩MRAM之構造之部分立體圖；

圖11係表示同樣由自旋注入MTJ元件所組成之自旋力矩MRAM之記憶體胞之構造之部分剖面圖；

圖12係表示寫入脈波電壓與寫入錯誤率之關係之曲線圖；

圖13係表示從1個矩形脈波生成上述實施型態之包含有主脈波及副脈波之寫入脈波之寫入脈波發生電路之構成之圖；

圖14係表示使用波形記憶體及D/A轉換電路生成寫入脈波之寫入脈波發生電路之構成之圖；

圖15係表示關於本發明之實施型態之自旋力矩MRAM之記憶體胞之構造之部分立體圖；及

圖16係表示關於本發明之實施型態之自旋注入MTJ元件之構成之剖面圖。

【主要元件符號說明】

1	基底層
2	反強磁層
3a	磁化固定層
3b	中間層
3c	磁化基準層
4	通道絕緣層
5	記憶層
6	保護層
7	連接插塞
10	選擇用電晶體
11	半導體基板
11a	井區域
12	閘極絕緣膜
13	源極電極
14	源極區域
15	閘極電極
16	汲極區域
17	汲極電極
18	位元線
19	列布線
20	自旋注入磁化反轉MTJ元件
21	元件分離構造
30, 40	寫入脈波發生電路

七、申請專利範圍：

1. 一種磁性記憶體元件之記錄方法，該磁性記憶體元件至少包含：記憶層，其係包含有強磁導體，磁化方向可變化，將資訊作為磁體之磁化方向保持；及基準磁化層，其對於前述記憶層介隔絕緣層而設，包含有強磁導體，磁化方向固定而為磁化方向之基準；且藉由通過前述絕緣層而流於前述記憶層與前述基準磁化層之間之電流進行資訊的記錄；
於記錄 1 個資訊時，朝同向施加 1 個以上之主脈波及 1 個以上之副脈波；
於前述 1 個以上之主脈波後，施加 1 個以上之前述副脈波；
令施加於前述主脈波後之副脈波為符合脈波寬比前述主脈波短之脈波、亦或脈波高比前述主脈波低之脈波之至少一條條件之脈波。
2. 如請求項 1 之磁性記憶體元件之記錄方法，其中於包含前述 1 個以上之主脈波及其後施加之前述 1 個以上之前述副脈波之脈波列中，至少設置一組連續 3 個脈波之組合且為脈波寬及脈波高之至少一方漸次減少之組合。
3. 如請求項 1 之磁性記憶體元件之記錄方法，其中於前述 1 個以上之主脈波之末端與其後施加之前述 1 個以上之前述副脈波之前端之間，設置 3 ns 以上之時間間隔。
4. 如請求項 1 或 2 之磁性記憶體元件之記錄方法，其中包含前述 1 個以上之主脈波及其後施加之前述 1 個以上之前述

副脈波之脈波列中，於任意選擇之連續2個脈波之組合中，令後脈波為符合脈波寬為2 ns以上10 ns以下、亦或脈波高為前脈波之0.7倍以上0.95倍以下之至少一條條件之脈波，且於前脈波之末端與後脈波之前端之間設置5 ns以上之時間間隔。

5. 如請求項1或2之磁性記憶體元件之記錄方法，其中包含有前述1個以上之主脈波及其後施加之前述1個以上之前述副脈波之脈波列中，於任意選擇之連續2個脈波之組合中，令後脈波符合脈波寬為3 ns以下、亦或脈波高為前脈波之0.8倍以下之至少一條條件，且令前脈波之末端與後脈波之前端之時間間隔小於5 ns。
6. 如請求項1或2之磁性記憶體元件之記錄方法，其中包含有前述1個以上之主脈波及其後施加之前述1個以上之前述副脈波之脈波列中，於任意選擇之連續2個脈波之組合中，令後脈波符合脈波寬為3 ns以下、亦或脈波高為前脈波之0.95倍以下之至少一條條件，且令前脈波之末端與後脈波之前端之時間間隔為小於5 ns。
7. 如請求項3之磁性記憶體元件之記錄方法，其中脈波之末端及前端分別係脈波之下降及上升中高度成為脈波高之最大值之一半的位置。
8. 如請求項4之磁性記憶體元件之記錄方法，其中脈波之末端及前端分別係脈波之下降及上升中高度成為脈波高之最大值之一半的位置。
9. 如請求項5之磁性記憶體元件之記錄方法，其中脈波之

： 末端及前端分別係脈波之下降及上升中高度成為脈波高
之最大值之一半的位置。

10. 如請求項6之磁性記憶體元件之記錄方法，其中脈波之
末端及前端分別係脈波之下降及上升中高度成為脈波高
之最大值之一半的位置。

八、圖式：

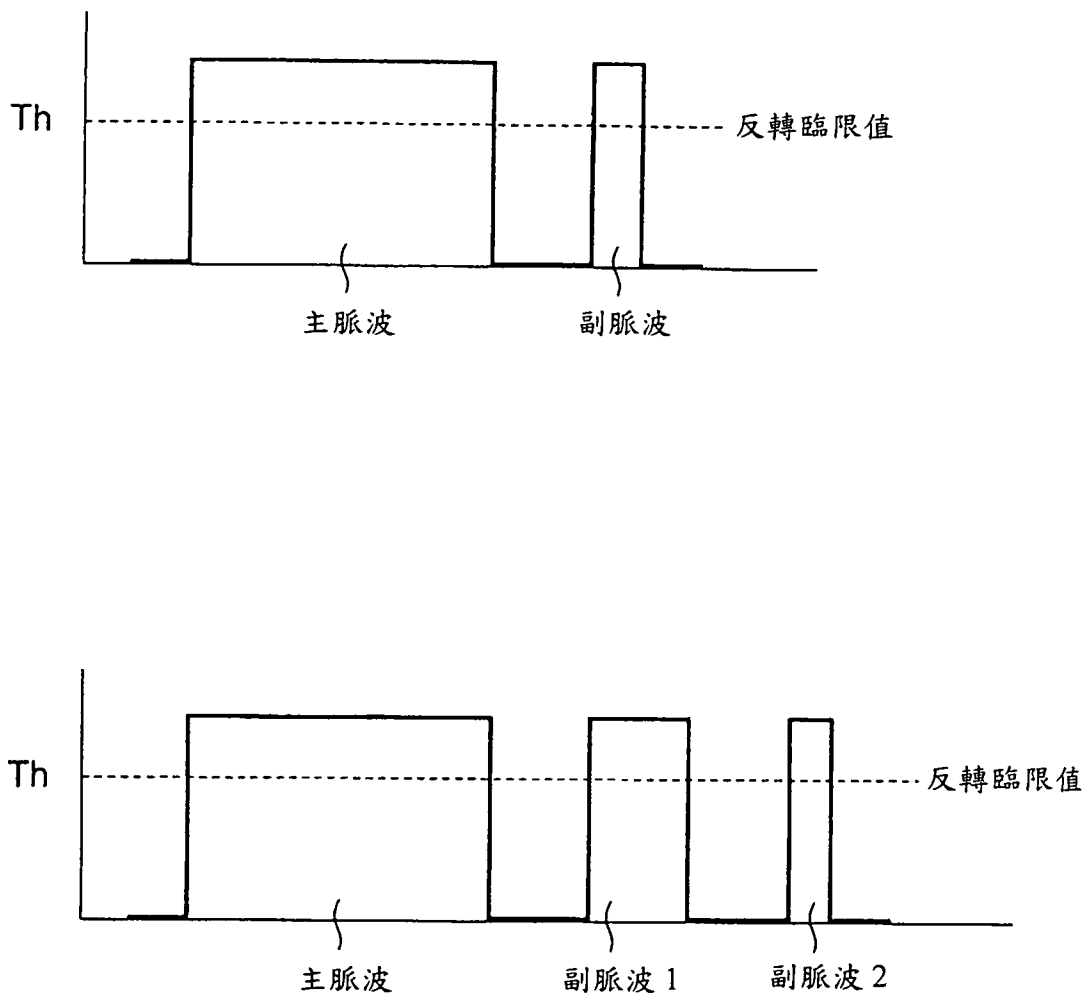


圖 1

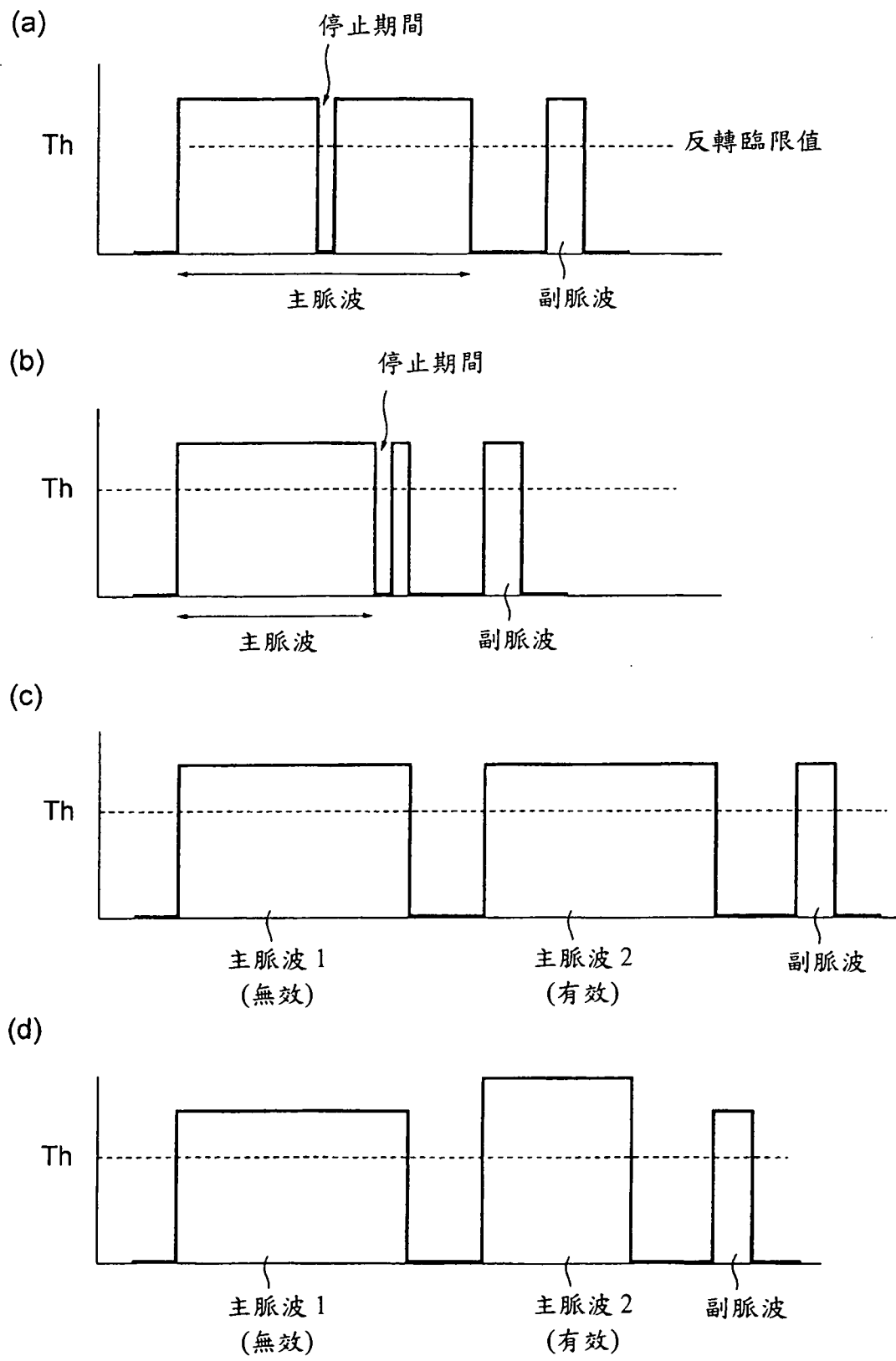


圖 2

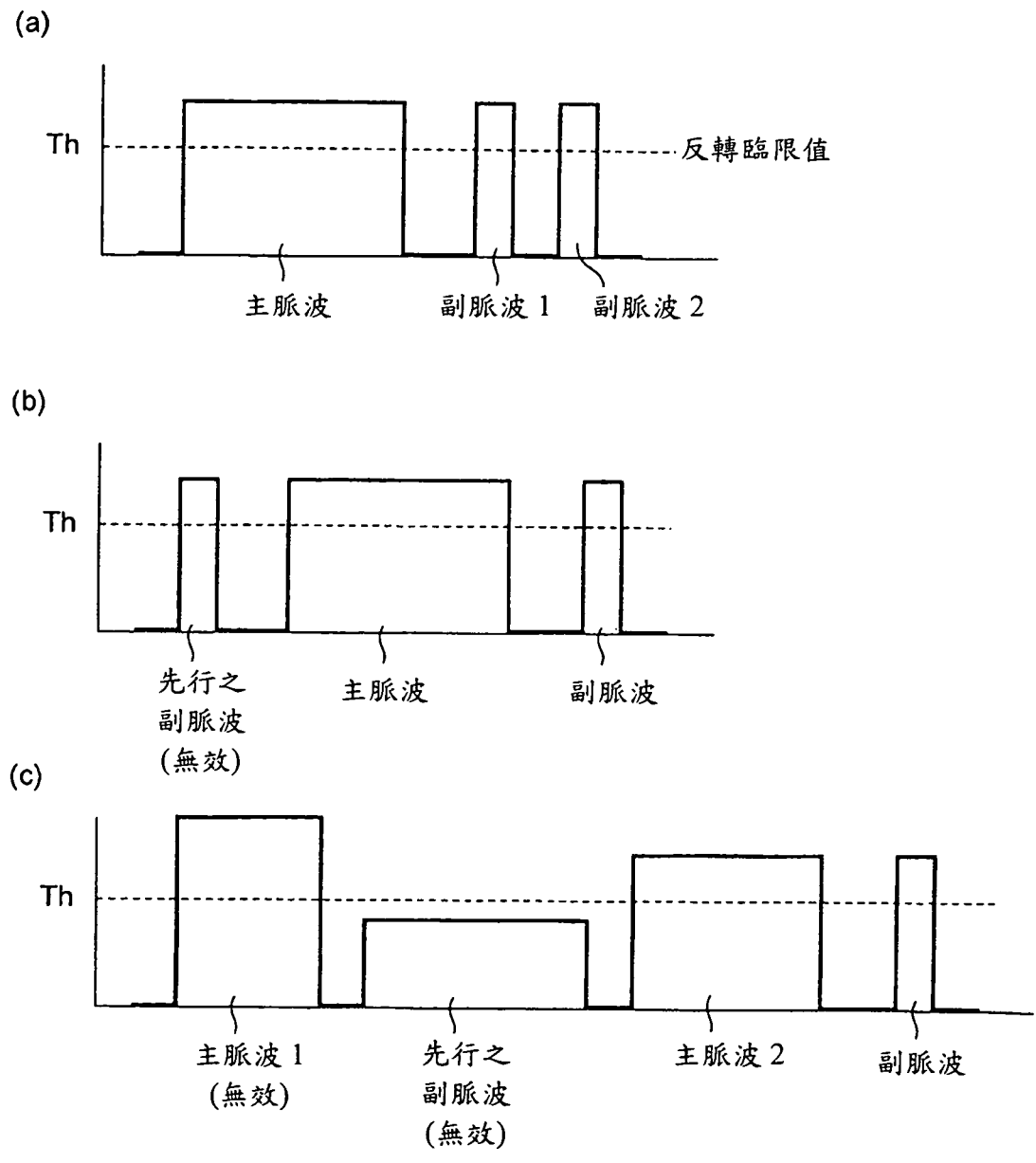
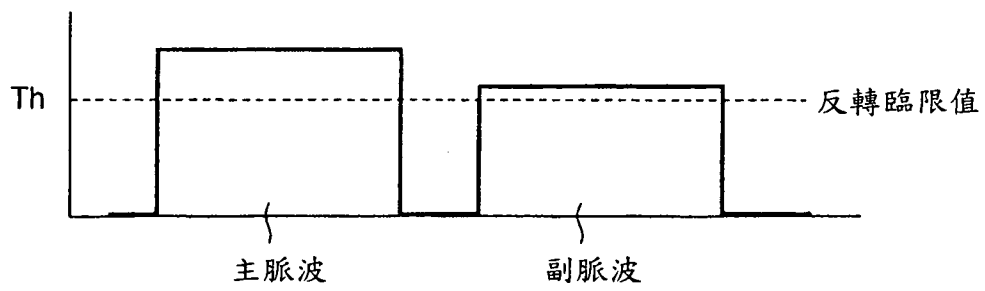
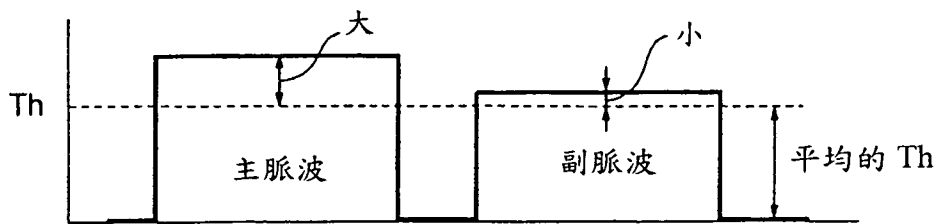


圖 3



(a) 平均之反轉臨限值的記憶體元件



(b) 高反轉臨限值的記憶體元件

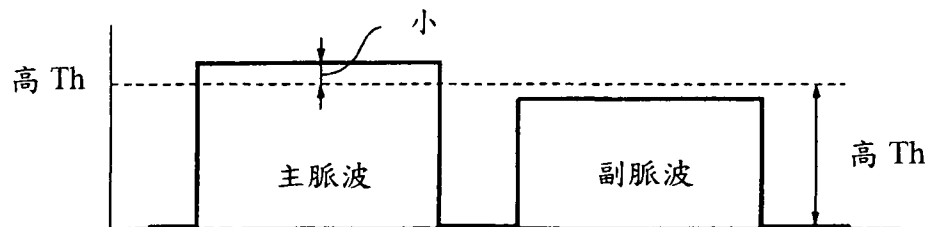
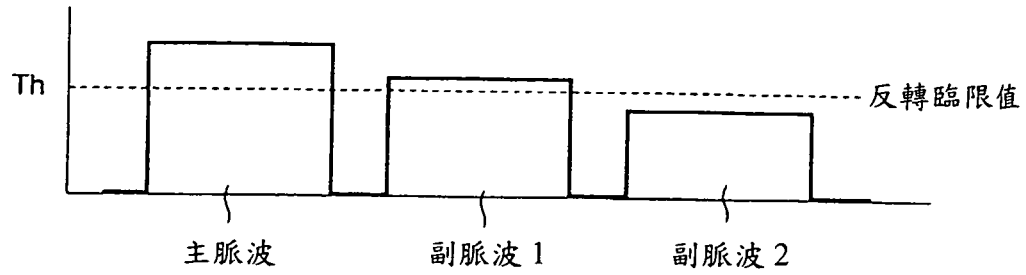
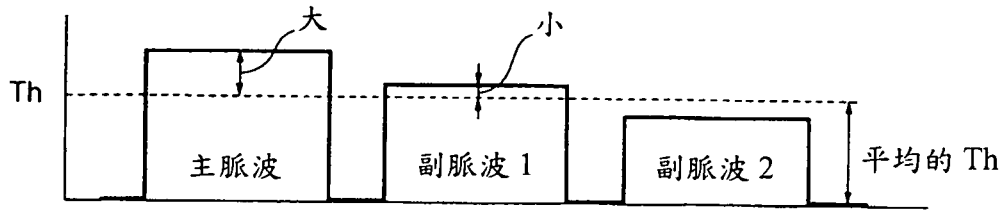


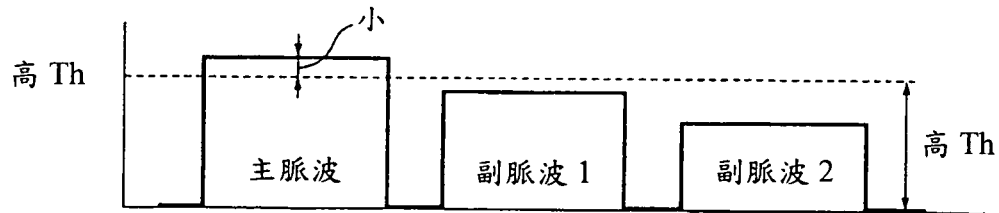
圖 4



(a) 平均之反轉臨限值的記憶體元件



(b) 高反轉臨限值的記憶體元件



(c) 低反轉臨限值的記憶體元件

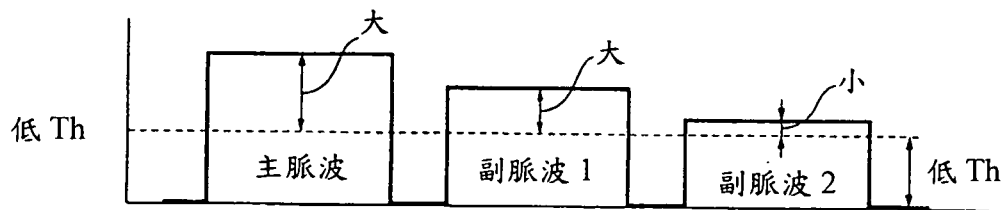


圖 5

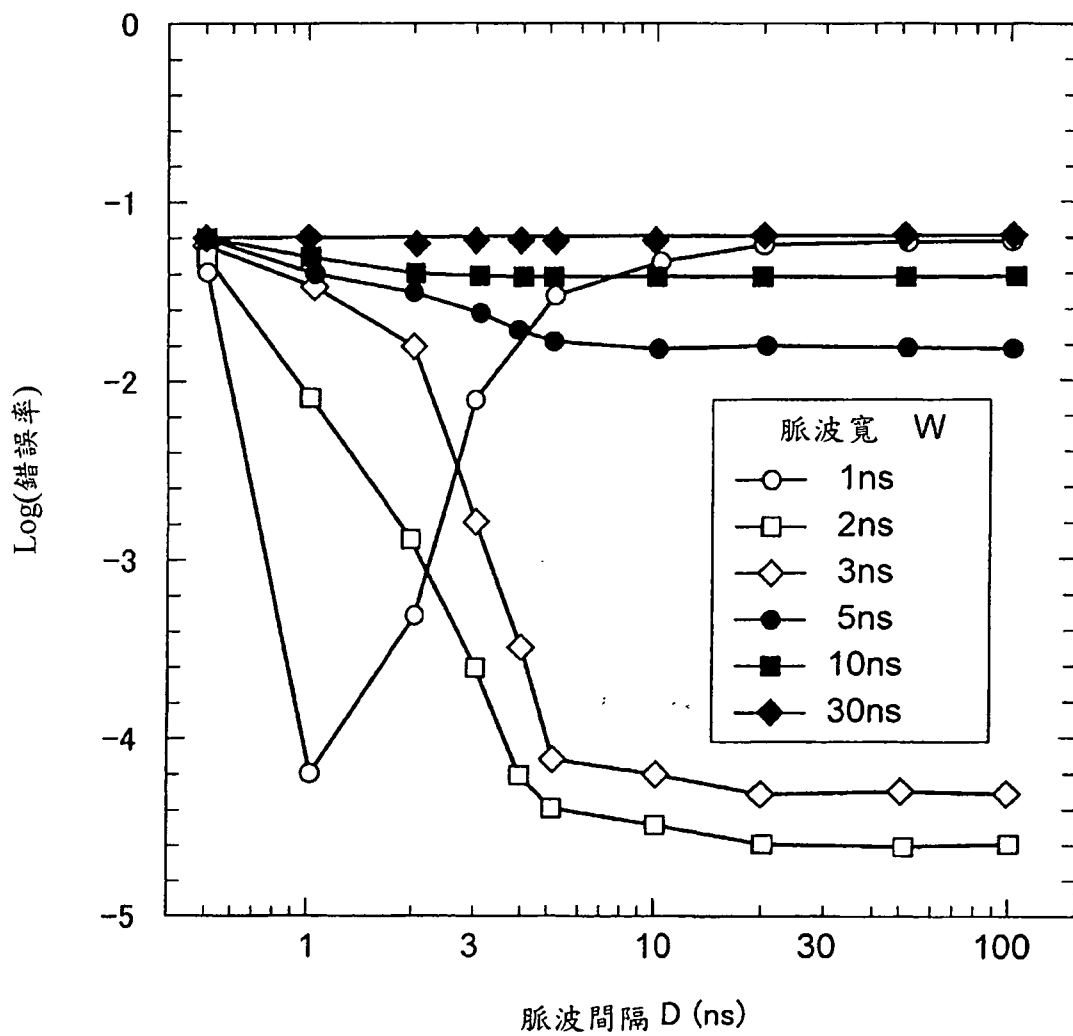
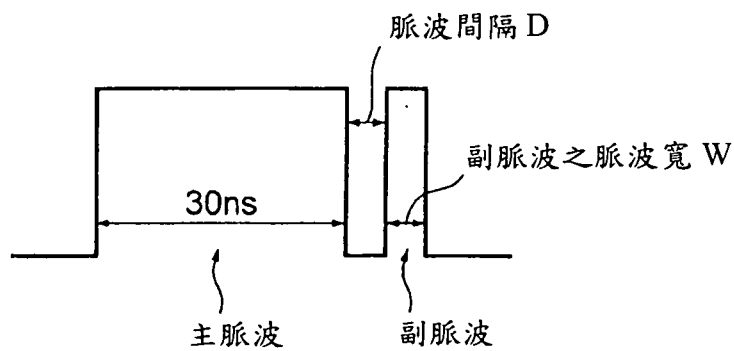


圖 6

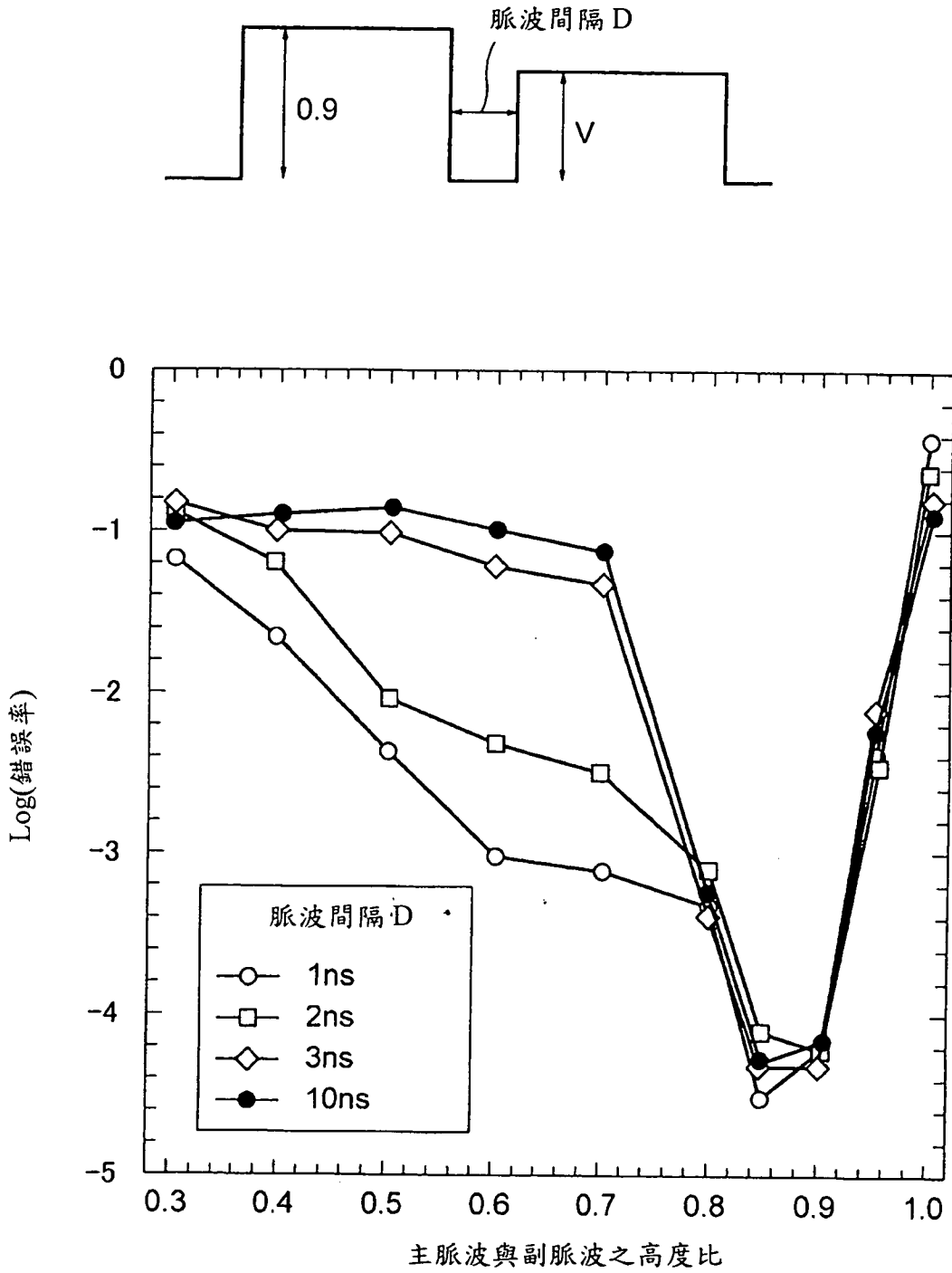
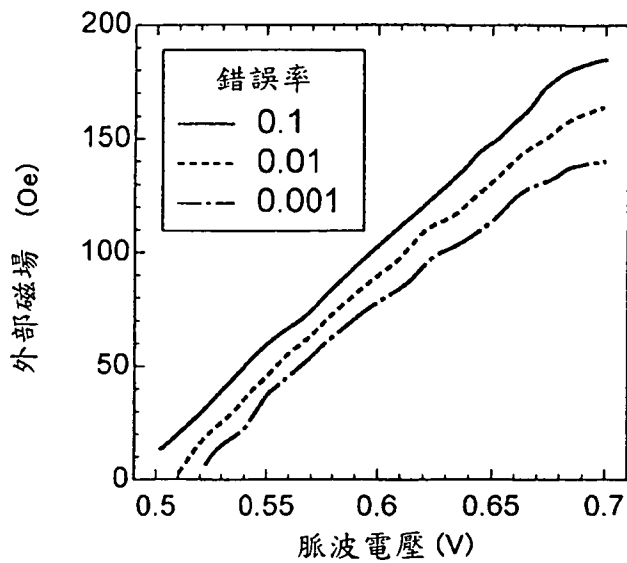
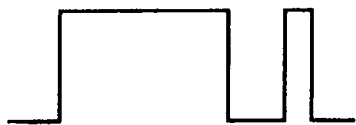


圖 7

(a) 實施例



(b) 比較例

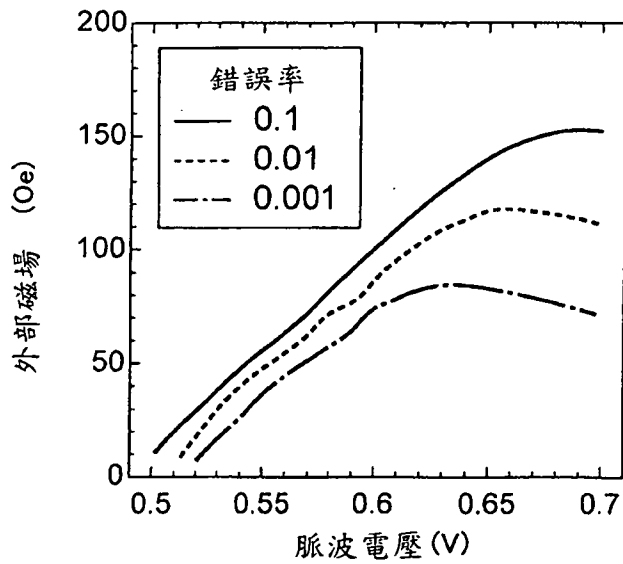
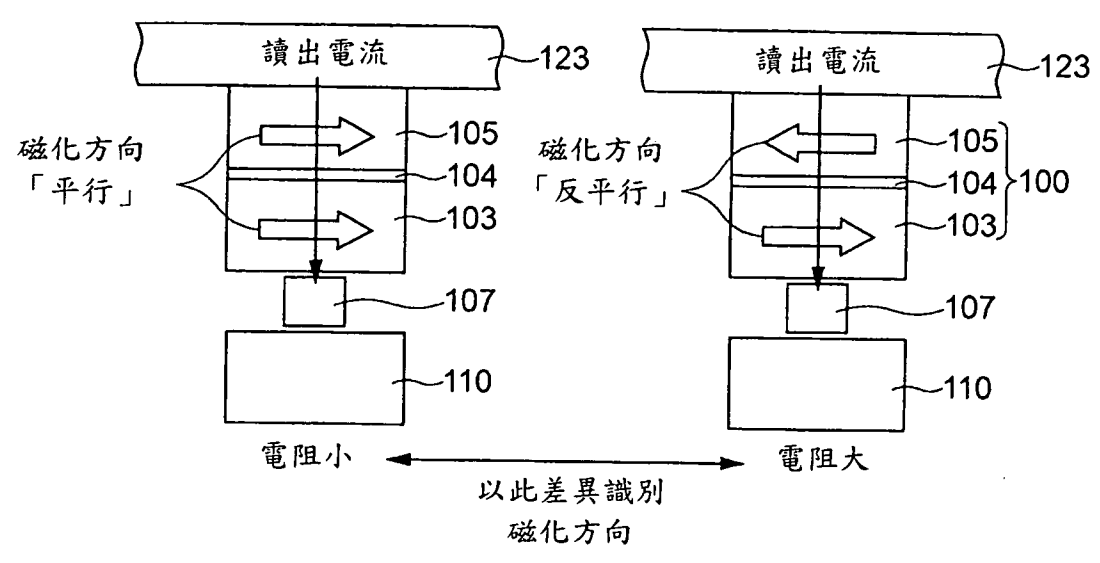


圖 8

(a)



(b)

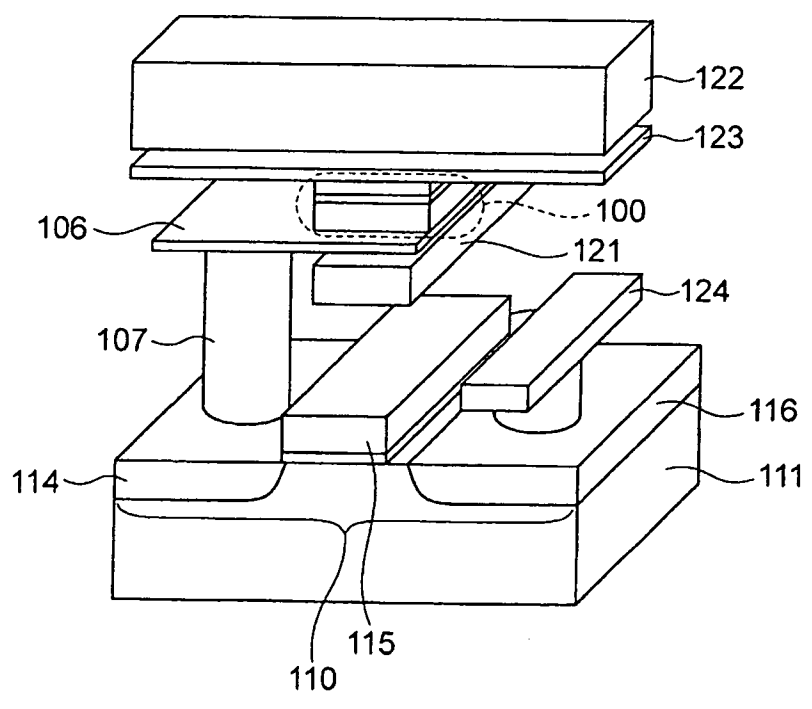


圖 9

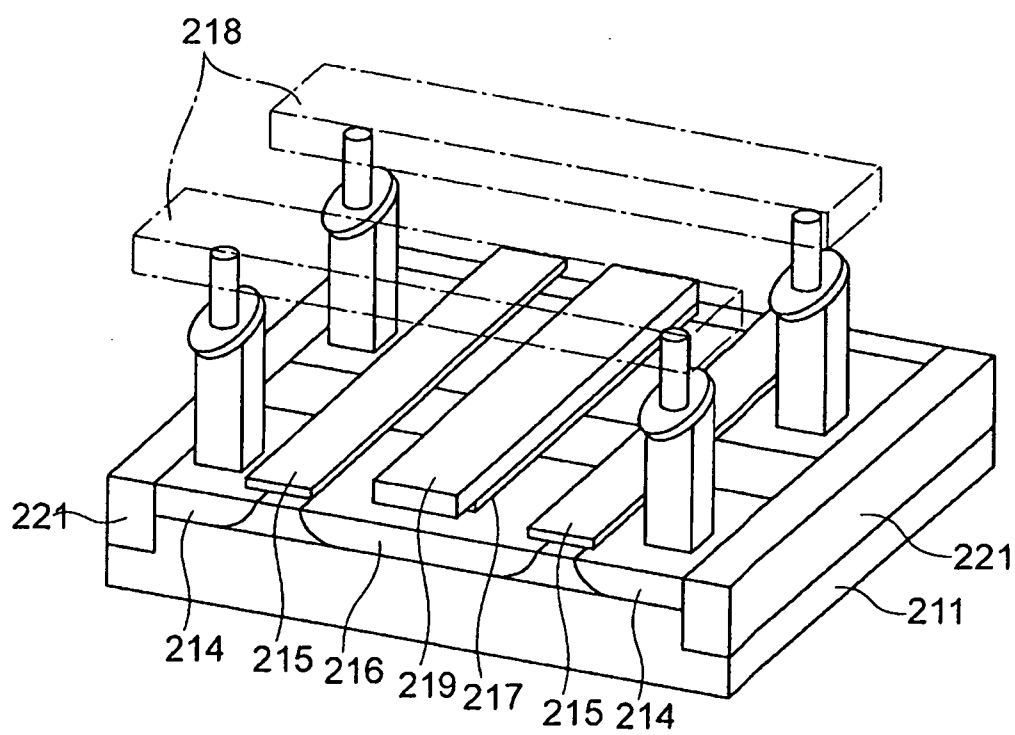


圖 10

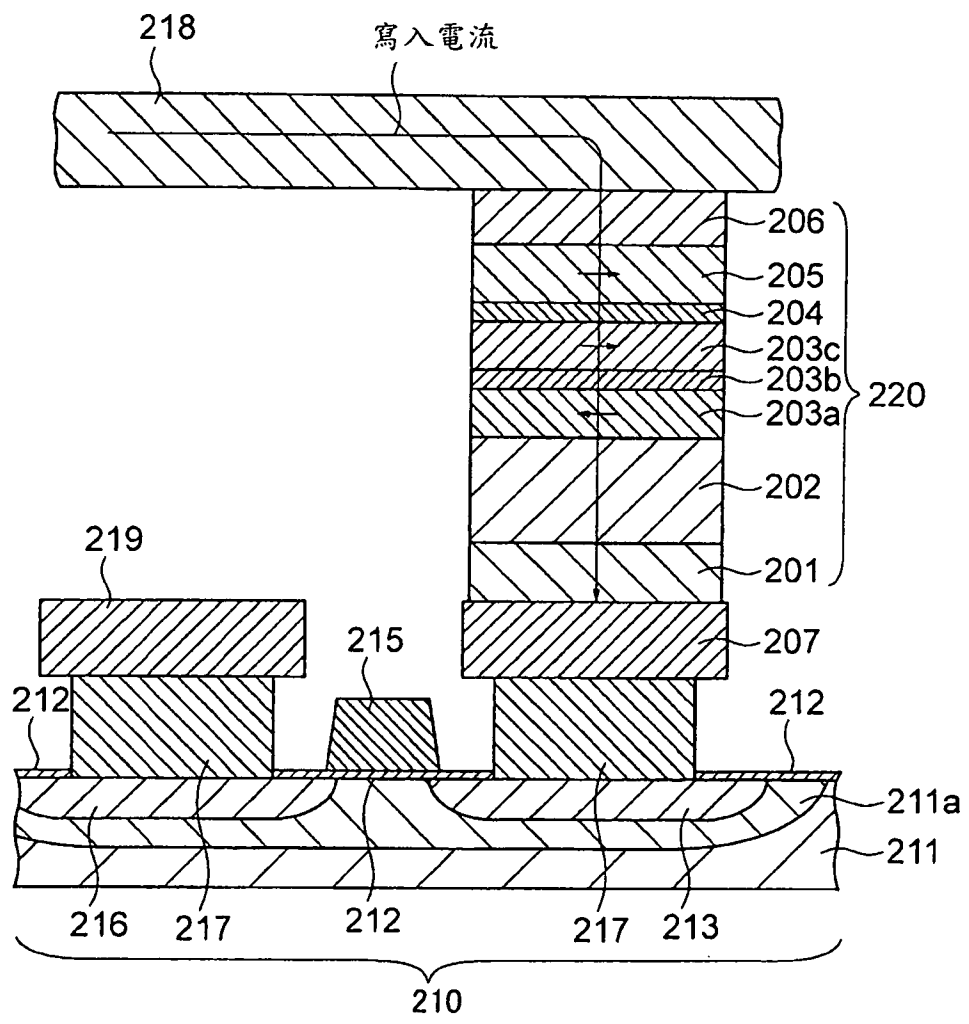


圖 11

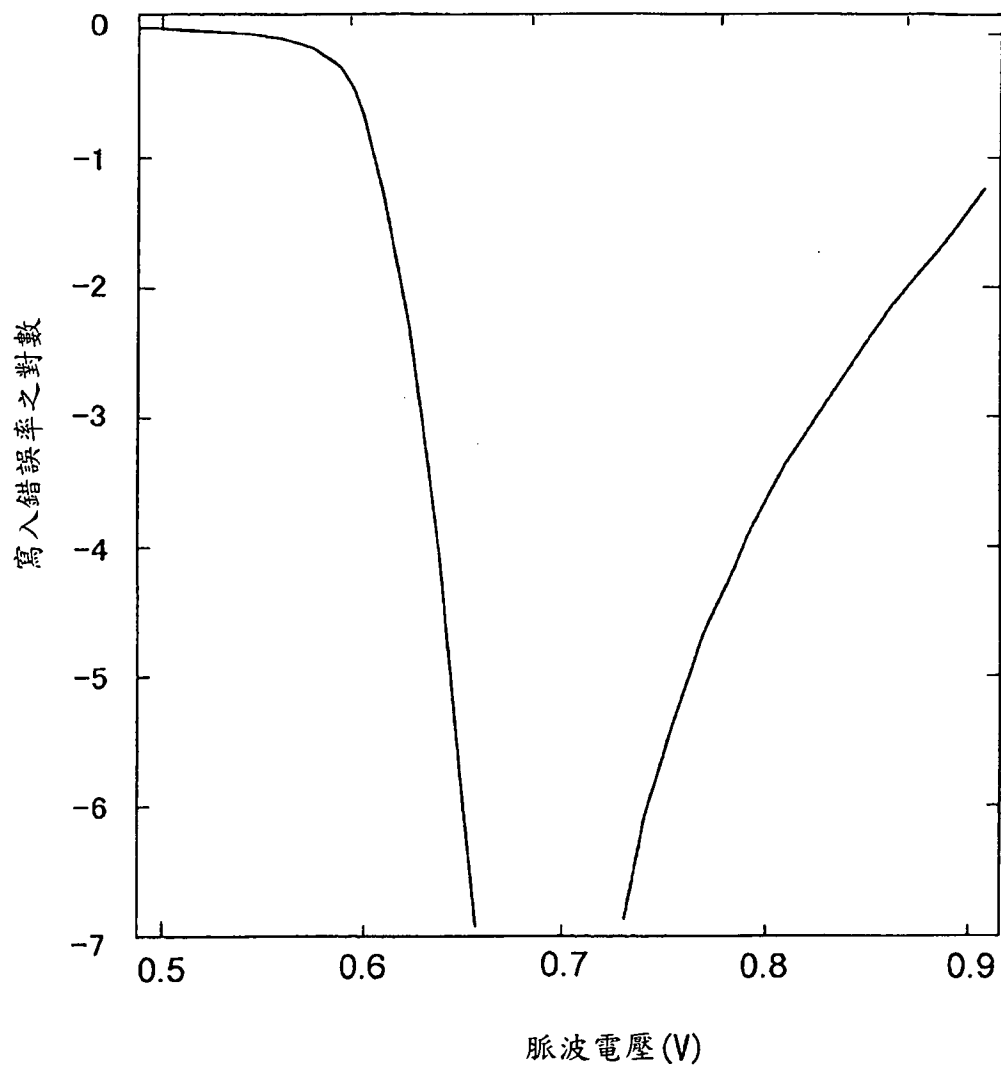


圖 12

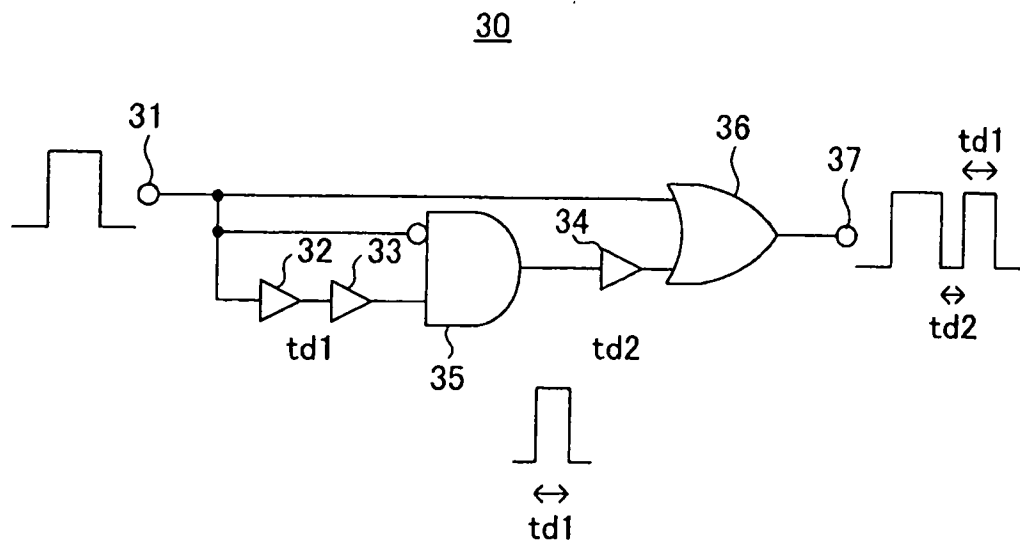


圖 13

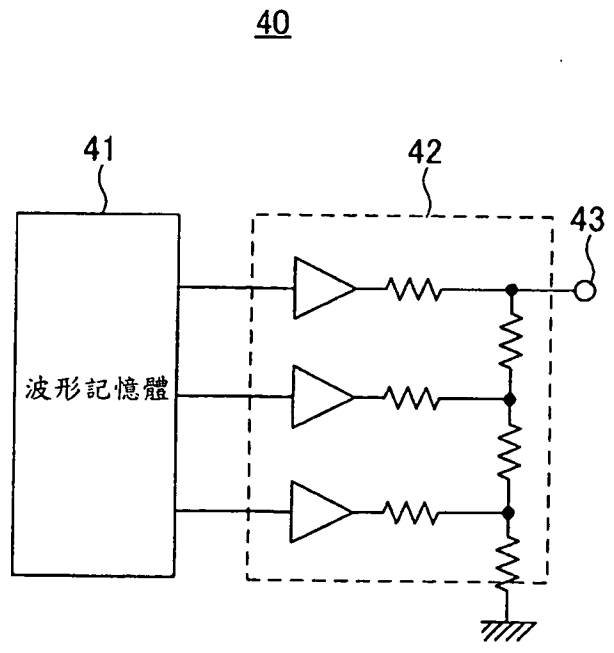


圖 14

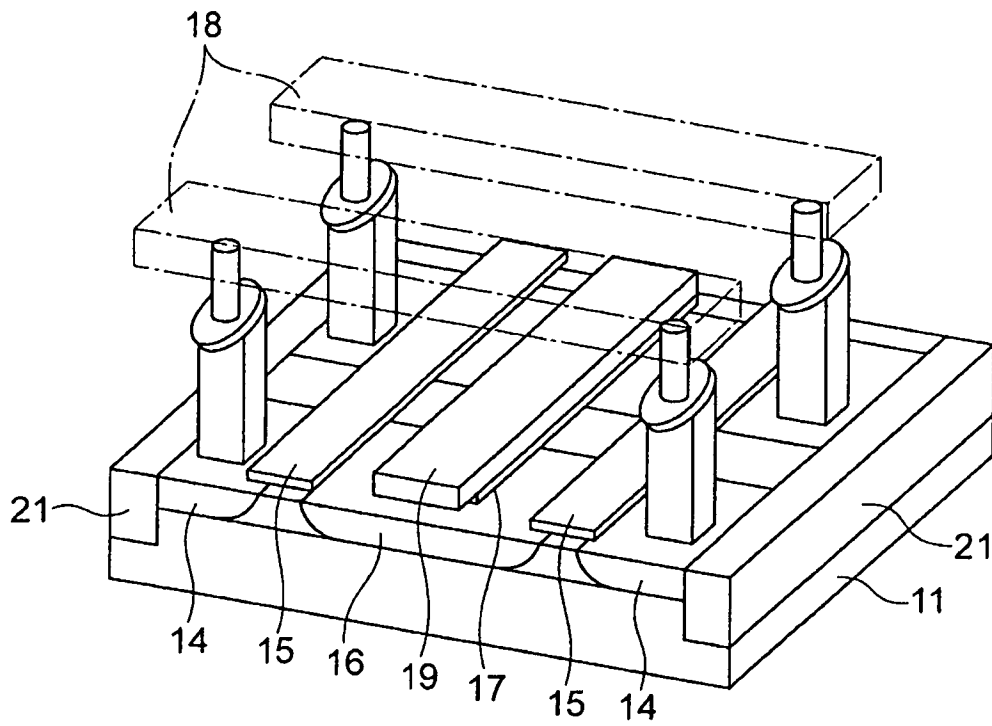


圖 15

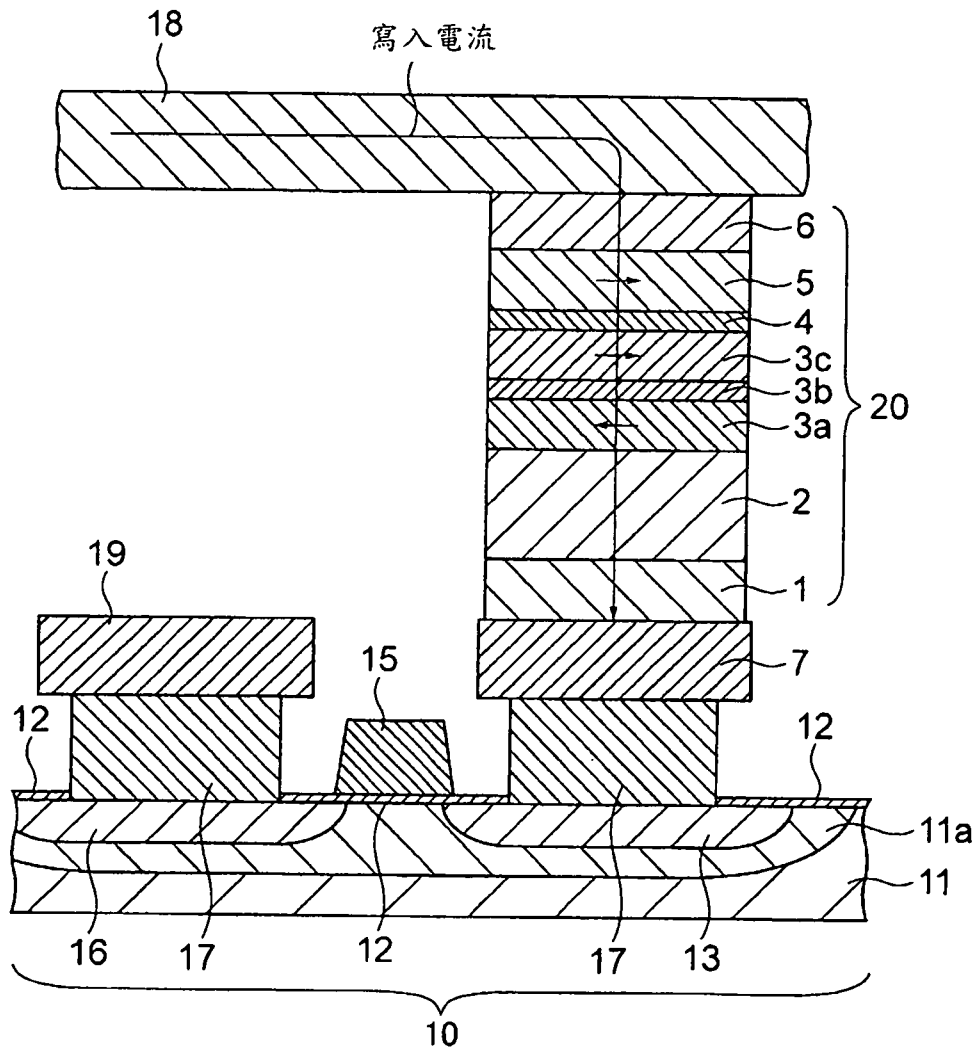


圖 16