



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월30일  
(11) 등록번호 10-2071078  
(24) 등록일자 2020년01월21일

(51) 국제특허분류(Int. Cl.)  
H01L 23/495 (2006.01) H01L 23/12 (2006.01)  
(21) 출원번호 10-2012-0141266  
(22) 출원일자 2012년12월06일  
심사청구일자 2017년10월25일  
(65) 공개번호 10-2014-0073711  
(43) 공개일자 2014년06월17일  
(56) 선행기술조사문헌  
KR100216989 B1\*  
(뒷면에 계속)

(73) 특허권자  
매그나칩 반도체 유한회사  
충북 청주시 흥덕구 향정동 1  
(72) 발명자  
김현동  
경기도 고양시 일산서구 고양대로255번길 46,  
1002동 502호(대화동, 현대아이파크)  
(74) 대리인  
김종선

전체 청구항 수 : 총 11 항

심사관 : 윤성주

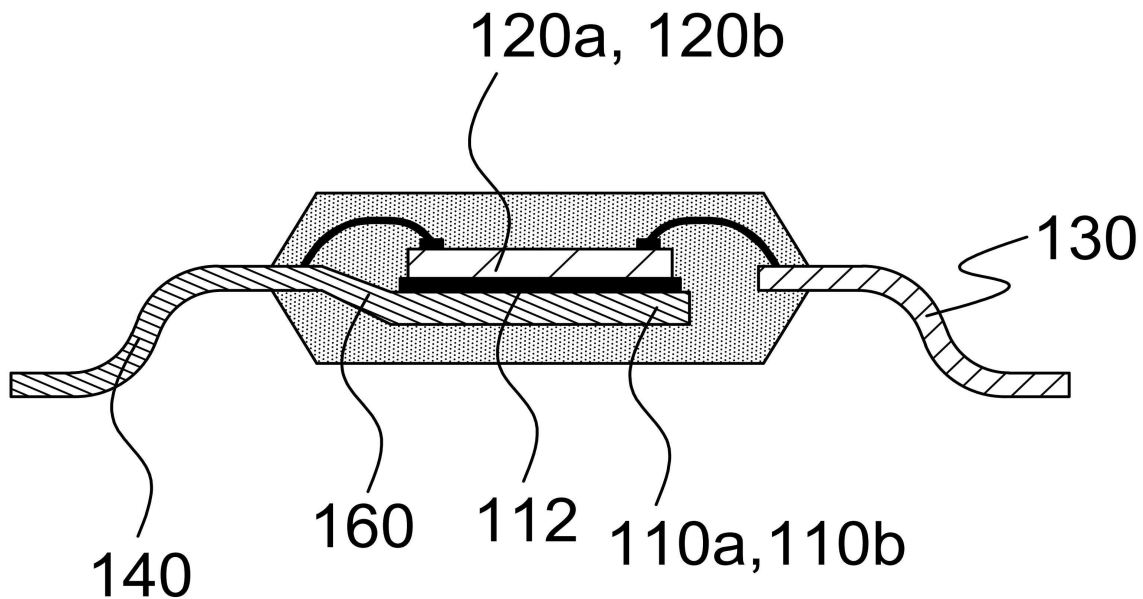
(54) 발명의 명칭 멀티 칩 패키지

(57) 요약

본 발명은 멀티 칩 패키지에 관한 것이다. 본 발명은 표면 실장형 소자로서 사용되는 스몰 아웃라인 패키지(SOP)에 1개의 제어 IC 칩과 2개의 MOSFET 칩이 배치되게 칩을 배열시키고, 또한 쿼드 플랫 패키지(QFP)에 1개의 제어 IC 칩과 3개의 MOSFET 칩이 배치되게 배열시키고 있다. 그리고 제어 IC 칩 및 MOSFET 칩은 하나의 리드

(뒷면에 계속)

대표도 - 도3



프레임 패드가 아닌 각각 대응되어 제공되는 리드 프레임 패드 상에 실장된다. 아울러 칩들이 실장되는 리드 프레임 패드와 연결되는 리드 프레임 및 고정 프레임에 단차부를 형성하여, 리드 프레임 패드가 그 리드 프레임 및 고정 프레임보다 낮은 위치에 위치되도록 한다. 이와 같은 본 발명에 따르면 패키지가 실장되는 PCB 기판의 사용 면적을 절감할 수 있고 개별 리드 프레임 패드의 사용으로 인하여 칩 상호간의 열적/전기적 간섭을 최소화할 수 있는 이점이 있다. 또한 단차부에 의하여 몰딩 처리된 패키지 내부로 습기가 유입되는 것을 차단할 수 있는 이점도 있다.

(56) 선행기술조사문헌

JP2000138343 A\*

KR1020060045597 A\*

CN101834176 A\*

KR1020120089543 A\*

JP2009200338 A\*

KR1020040080275 A\*

JP08316270 A\*

\*는 심사관에 의하여 인용된 문헌

## 명세서

### 청구범위

#### 청구항 1

복수 개의 리드 프레임 패드;

상기 리드 프레임 패드 상에 각각 접착되는 반도체 칩;

상기 반도체 칩과 본딩 와이어(bonding wire)를 통해 연결되는 리드 프레임; 및

상기 리드 프레임 패드마다 일체로 형성되며 상기 리드 프레임 패드가 패키지 형성용 기판의 저면 상방에 위치되게 지지하도록 형성되는 고정 프레임을 포함하고,

상기 반도체 칩은 1개의 제어 IC 칩 및 복수 개의 MOSFET 칩을 포함하며,

상기 제어 IC 칩과 연결되는 제1 리드 프레임은 일부가 지그재그(Zigzag) 형태로 형성되고,

상기 MOSFET 칩의 드레인 단자와 연결되는 제2 리드 프레임의 너비는 상기 제1 리드 프레임의 너비보다 넓고, 상기 제2 리드 프레임은 적어도 하나의 몰드부를 포함하는 것을 특징으로 하는 멀티 칩 패키지.

#### 청구항 2

제 1 항에 있어서,

상기 멀티 칩 패키지는 스몰 아웃라인 패키지 또는 쿼드 플랫 패키지 타입에 적용됨을 특징으로 하는 멀티 칩 패키지.

#### 청구항 3

제 1 항에 있어서,

상기 고정 프레임에는 상기 리드 프레임 패드와의 연결 부위에 단차부가 형성됨을 특징으로 하는 멀티 칩 패키지.

#### 청구항 4

삭제

#### 청구항 5

스몰 아웃라인 패키지(SOP)용 멀티 칩 패키지에 있어서,

제 1 리드 프레임 패드;

상기 제 1 리드 프레임 패드의 좌/우 방향에 대칭되게 배치되는 제 2 리드 프레임 패드 및 제 3 리드 프레임 패드;

상기 제 1 리드 프레임 패드 내지 제 3 리드 프레임 패드 상에 접착되는 제 1 내지 제 3 반도체 칩;

상기 제 1 반도체 칩 내지 제 3 반도체 칩과 본딩 와이어를 통해 연결되는 리드 프레임; 및

상기 제 1 리드 프레임 패드 내지 제 3 리드 프레임 패드와 일체로 형성되면서 패키지 형성용 기판의 저면 상방에 상기 제 1 리드 프레임 패드 내지 제 3 리드 프레임 패드가 위치되도록 지지하는 고정 프레임을 포함하고,

상기 제 1 반도체 칩에 연결된 제1 리드 프레임은 일부가 지그재그 형태로 형성되되,

상기 제 2 반도체 칩의 드레인 단자 또는 상기 제 3 반도체 칩의 드레인 단자와 연결되는 제2 리드 프레임의 너비는 상기 제1 리드 프레임의 너비보다 넓고, 상기 제2 리드 프레임은 적어도 하나의 몰드부를 포함하는 것을 특징으로 하는 멀티 칩 패키지.

**청구항 6**

제 5 항에 있어서,  
 상기 제 1 반도체 칩은 제어 IC 칩이고,  
 상기 제 2 반도체 칩과 제 3 반도체 칩은 MOSFET 칩임을 특징으로 하는 멀티 칩 패키지.

**청구항 7**

제 6 항에 있어서,  
 상기 고정 프레임 및 상기 제2 리드 프레임에는 일부가 절곡되는 단차부가 형성됨을 특징으로 하는 멀티 칩 패키지.

**청구항 8**

쿼드 플랫 패키지(QFP)용 멀티 칩 패키지에 있어서,  
 제 1 리드 프레임 패드;  
 상기 제 1 리드 프레임 패드의 일 측 방향에 나란하게 배치되는 제 2 리드 프레임 패드 내지 제 4 리드 프레임 패드;  
 상기 제 1 리드 프레임 패드 내지 제 4 리드 프레임 패드 상에 접촉되는 제 1 반도체 칩 내지 제 4 반도체 칩;  
 상기 제 1 반도체 칩 내지 제 4 반도체 칩과 본딩 와이어를 통해 연결되는 복수의 리드 프레임; 및  
 상기 제 1 리드 프레임 패드 내지 제 4 리드 프레임 패드와 일체로 형성되면서 패키지 형성용 기관의 저면 상방에 상기 제 1 리드 프레임 패드 내지 제 4 리드 프레임 패드가 위치되도록 지지하는 고정 프레임을 포함하고,  
 상기 제 1 반도체 칩은 제어 IC 칩이며, 상기 제 2 반도체 칩 내지 제 4 반도체 칩은 MOSFET 칩이며, 상기 MOSFET 칩의 드레인(Drain)과 연결되는 리드 프레임의 외부노출부분의 폭은 상기 MOSFET 칩의 소스(Source)와 연결되는 리드 프레임의 외부노출부분의 폭 및 상기 제어 IC 칩과 연결되는 리드 프레임의 외부노출부분의 폭보다 넓게 형성됨을 특징으로 하는 멀티 칩 패키지.

**청구항 9**

삭제

**청구항 10**

제 8 항에 있어서,  
 상기 고정 프레임 및 상기 MOSFET 칩의 드레인(Drain)과 연결되는 리드 프레임에는 일부가 절곡되는 단차부가 형성됨을 특징으로 하는 멀티 칩 패키지.

**청구항 11**

제 8 항에 있어서,  
 상기 제어 IC 칩과 연결되는 리드 프레임은 일부가 지그재그(Zigzag) 형태로 형성됨을 특징으로 하는 멀티 칩 패키지.

**청구항 12**

삭제

**청구항 13**

제 8 항에 있어서,

상기 제어 IC 칩과 연결되는 리드 프레임들의 상면에는 상기 리드 프레임들의 길이 방향과 직교하는 방향으로 접착수단이 부착됨을 특징으로 하는 멀티 칩 패키지.

**청구항 14**

제 13 항에 있어서,

상기 접착수단은 열 테이프(tape)임을 특징으로 하는 멀티 칩 패키지.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 멀티 칩 패키지에 관한 것으로, 더욱 상세하게는 표면 실장형 소자인 스몰 아웃라인 패키지(SOP :small out-line package) 또는 쿼드 플랫 패키지(QFP:Quad flat package)에 복수 개(3 ~ 4개)의 칩(chip)을 배치하여 하나의 패키지 형태로 제공하는 멀티 칩 패키지에 관한 것이다.

**배경 기술**

[0002] 반도체 소자의 실장 밀도를 높이면서도 전체 소자의 크기를 감소시킬 수 있는 패키지 기술에 대한 연구가 활발하다. 패키지 기술은 한정된 크기의 PCB 기판에 패키지의 크기를 줄이면서도 더 많은 수의 패키지를 실장할 수 있도록 반도체 소자(예컨대, IC 칩, 스위칭 소자 등)를 패키지 내에 적절하게 배치하는 기술을 포함한다.

[0003] 특히 하나의 패키지에 2 ~ 3 개의 반도체 소자를 실장시키는 멀티 칩 패키지에 대한 연구가 활발하게 진행되고 있다. 멀티 칩 패키지는 서로 다른 기능을 갖는 두 개 이상의 반도체 소자들을 리드 프레임 패드(Lead frame pad)상에 배열하여 하나의 패키지로 제작한 형태를 말한다.

[0004] 이와 같이 다수의 칩이 구비된 패키지의 일 예로, 그 패키지를 구성하는 하나의 리드 프레임 패드(Lead frame pad) 위에 2 ~ 4개의 칩을 실장하는 구조가 있다. 이때 칩들은 리드 프레임 패드의 주변을 둘러싸고 있는 리드 프레임과 본딩 와이어(bonding wire)로 연결된다.

[0005] 하지만, 복수의 칩을 하나의 리드 프레임 패드 위에 단순 배치시켜 패키지를 제작하는 경우, 패키지 내에서 서로 인접하고 있는 칩 간에는 열적/전기적 간섭 현상이 발생하는 문제를 초래한다. 즉 리드 프레임 패드는 그 재질이 금속재질로 구성되기 때문에 칩 상호 간을 절연하지 않거나 칩을 격리하는 별도의 구조체가 제공되고 있지 않아 열전/전기적 간섭 현상이 일어나는 것이다. 이러한 열적/전기적 간섭 현상은 칩의 오동작을 유발하며, 이에 패키지가 장착된 제품 불량률 초래한다.

[0006] 물론, 열적/전기적 간섭 현상을 최소화하기 위하여 칩 상호 간을 절연하거나 칩(20)을 각각 격리시키기 위한 구조를 제공할 수 있지만, 이는 패키지의 제작 공정을 번거롭게 함은 물론이고 패키지의 크기가 커지는 다른 문제를 야기하게 된다.

[0007] 다른 예로, 각각의 칩을 패키지 형태로 제작하고 이를 PCB 기판에 실장하는 구조도 제안된 바 있다.

[0008] 하지만, 칩 별로 패키지화하는 개별 패키지인 경우에도 문제점이 있다.

[0009] 즉 개별 패키지마다 PCB 기판이 필요하기 때문에 PCB 기판의 사이즈가 커질 수밖에 없다. 또한 PCB 기판에 개별 패키지를 실장할 경우 개별 패키지마다 리드 프레임이 제공되기 때문에 리드 프레임에 대한 솔더링 작업 공수가 앞에서 설명한 2 ~ 4개의 칩이 실장된 패키지에 비해 늘어나게 된다. 더욱이 개별 패키지가 실장된 PCB 기판을 서로 연결해야 하기 때문에 추가 작업이 필요하게 된다.

[0010] 특히 상기 개별 패키지인 경우는 제한된 크기의 PCB 기판에 많은 패키지를 집적시켜 성능 향상을 도모하고자 하는 패키지 기술과는 모순된다.

[0011] 이처럼 하나의 리드 프레임 패드 상에 복수의 칩을 배치 설계하는 패키지 형태 및 개별 패키지 형태 등과 같이 다양한 멀티 칩 패키지 기술이 제안되고 있다.

[0012] 하지만 이와 같은 패키지 기술은 진술한 바와 같이 여러 문제점을 내포하고 있고, 소형화 및 경량화를 원하는 멀티 칩 패키지의 설계 요구에도 역행된다. 이와 같은 문제점은 멀티 칩 패키지를 최적으로 설계하지 못하는 하

나의 원인이 될 수 있다.

[0013] 이 때문에 이를 해결하고자 지속적인 연구개발이 이루어지고 있는 실정이다.

[0014] 그럼에도 일부 패키지 종류에서는 아직까지도 멀티 칩 패키지 기술을 최적으로 설계하기 위한 연구 개발이 미흡한 실정에 놓여있다.

**발명의 내용**

**해결하려는 과제**

[0015] 이에 본 발명의 목적은 상기한 문제점을 해결하기 위한 것으로, 개선된 칩 배열방안에 따라 표면 실장형 패키지인 기존의 쿼드 플랫 패키지 및 스몰 아웃라인 패키지에 장착되는 칩의 개수보다 더 많은 칩이 집적화된 멀티 칩 패키지를 제공하는 것이다.

**과제의 해결 수단**

[0016] 상기한 목적을 달성하기 위한 본 발명의 특징에 따르면, 복수 개의 리드 프레임 패드; 상기 리드 프레임 패드 상에 각각 접촉되는 반도체 칩; 상기 반도체 칩과 본딩 와이어(bonding wire)를 통해 연결되는 리드 프레임; 및 상기 리드 프레임 패드마다 일체로 형성되며 상기 리드 프레임 패드가 패키지 형성용 기판의 저면 상방에 위치되게 지지하도록 형성되는 고정 프레임을 포함하는 멀티 칩 패키지가 제공되고, 상기 멀티 칩 패키지는 스몰 아웃라인 패키지 또는 쿼드 플랫 패키지 타입에 적용됨을 특징으로 한다.

[0017] 그리고 상기 고정 프레임에는 상기 리드 프레임 패드와의 연결 부위에 단차부가 형성된다.

[0018] 또한 상기 반도체 칩은, 1개의 제어 IC 칩 및 복수 개의 MOSFET 칩임을 특징으로 한다.

[0019] 본 발명의 다른 특징에 따르면, 스몰 아웃라인 패키지(SOP)용 멀티 칩 패키지에 있어서, 제 1 리드 프레임 패드; 상기 제 1 리드 프레임 패드의 좌/우 방향에 대칭되게 배치되는 제 2 리드 프레임 패드 및 제 3 리드 프레임 패드; 상기 제 1 리드 프레임 패드 내지 제 3 리드 프레임 패드 상에 접촉되는 제 1 내지 제 3 반도체 칩; 상기 제 1 반도체 칩 내지 제 3 반도체 칩과 본딩 와이어를 통해 연결되는 리드 프레임; 및 상기 제 1 리드 프레임 패드 내지 제 3 리드 프레임 패드와 일체로 형성되면서 패키지 형성용 기판의 저면 상방에 상기 제 1 리드 프레임 패드 내지 제 3 리드 프레임 패드가 위치되도록 지지하는 고정 프레임을 포함하는 멀티 칩 패키지가 제공된다.

[0020] 여기서, 상기 제 1 반도체 칩은 제어 IC 칩이고, 상기 제 2 반도체 칩과 제 3 반도체 칩은 MOSFET 칩이 적용된다.

[0021] 그리고 상기 고정 프레임 및 상기 MOSFET 칩의 드레인과 연결되는 리드 프레임에는 일부가 절곡되는 단차부가 형성된다.

[0022] 본 발명의 또 다른 특징에 따르면, 쿼드 플랫 패키지(QFP)용 멀티 칩 패키지에 있어서, 제 1 리드 프레임 패드; 상기 제 1 리드 프레임 패드의 일 측 방향에 나란하게 배치되는 제 2 리드 프레임 패드 내지 제 4 리드 프레임 패드; 상기 제 1 리드 프레임 패드 내지 제 4 리드 프레임 패드 상에 접촉되는 제 1 반도체 칩 내지 제 4 반도체 칩; 상기 제 1 반도체 칩 내지 제 4 반도체 칩과 본딩 와이어를 통해 연결되는 복수의 리드 프레임; 및 상기 제 1 리드 프레임 패드 내지 제 4 리드 프레임 패드와 일체로 형성되면서 패키지 형성용 기판의 저면 상방에 상기 제 1 리드 프레임 패드 내지 제 4 리드 프레임 패드가 위치되도록 지지하는 고정 프레임을 포함하는 멀티 칩 패키지가 제공된다.

[0023] 여기서, 상기 제 1 반도체 칩은 제어 IC 칩이고, 상기 제 2 반도체 칩 내지 제 4 반도체 칩은 MOSFET 칩이 적용된다.

[0024] 그리고 상기 고정 프레임 및 상기 MOSFET 칩의 드레인과 연결되는 리드 프레임에는 일부가 절곡되는 단차부가 형성되고, 또한 상기 제어 IC 칩과 연결되는 리드 프레임은 일부가 지그재그(Zigzag) 형태로 형성된다.

[0025] 그리고 상기 제어 IC 칩과 연결되는 리드 프레임들의 상면에는 상기 리드 프레임들의 길이 방향과 직교하는 방향으로 접촉수단이 부착되고, 상기 접촉수단은 열 테이프(tape)가 사용된다.

**발명의 효과**

- [0026] 이와 같은 본 발명의 멀티 칩 패키지에 따르면 다음과 같은 효과가 있다.
- [0027] 즉 패키지에 제공되는 칩마다 칩이 실장되는 리드 프레임 패드가 독립적으로 제공되기 때문에 칩 상호간의 열적/전기적 간섭을 최소화시킬 수 있다.
- [0028] 또한 멀티 칩 패키지 형태인 쿼드 플랫 패키지(QFP) 및 스몰 아웃라인 패키지(SOP)의 칩 배열 상태를 개선하여 쿼드 플랫 패키지인 경우 1개의 제어 IC 칩과 3개의 MOSFET 칩이 실장되며 스몰 아웃라인 패키지인 경우 1개의 제어 IC 칩과 2개의 MOSFET 칩이 실장되기 때문에, PCB 기판의 사용면적 감소 및 제작 비용이 절감되는 효과를 기대할 수 있다.
- [0029] 그리고 쿼드 플랫 패키지에서는 MOSFET 칩의 드레인단과 연결되는 리드 프레임의 폭을 다른 리드 프레임의 폭보다 더 넓게 형성하고 있어, MOSFET 칩에서 발생하는 열을 외부로 용이하게 방출시킬 수 있다. 이에 열 방출을 위한 별도의 히트 싱크가 필요하지 않아 패키지 구조를 단순하게 할 수 있는 효과가 예상된다.
- [0030] 또한 제어 IC 칩과 연결되는 리드 프레임은 일부가 지그재그(Zigzag) 형태로 형성되어 외부로부터 유입될 수 있는 수분에 의한 박리 현상을 방지할 수 있다. 특히 리드 프레임상에 열 접촉 테이프를 부착함으로써 리드 프레임의 길이가 길어 발생할 수 있는 휨 현상을 방지하고 있다.

**도면의 간단한 설명**

- [0031] 도 1은 본 발명의 제 1 실시 예에 따른 스몰 아웃라인 패키지를 보인 평면도
- 도 2는 도 1의 디자인된 실제 패키지 사진을 보인 도면
- 도 3은 도 2의 측면 개략도
- 도 4는 본 발명의 제 2 실시 예에 따른 쿼드 플랫 패키지를 보인 평면도
- 도 5는 도 4의 디자인된 쿼드 플랫 패키지를 몰딩(Moldig) 전에 촬영한 사진 도면

**발명을 실시하기 위한 구체적인 내용**

- [0032] 이하 본 발명에 의한 멀티 칩 패키지의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0033] 본 실시 예에서는 인쇄회로기판(PCB)의 표면에 표면 실장기술(SMT)을 이용하여 실장하는 패키지로서 제공되는 스몰 아웃라인 패키지(SOP : Small Outline Package) 및 쿼드 플랫 패키지(QFP : Quad Flat Package)에 칩을 추가하여 멀티 칩 패키지로 구성하는 것이고, 구체적으로 스몰 아웃라인 패키지는 3개의 칩을 배치하고, 쿼드 플랫 패키지는 4개의 칩을 배치하여 제작되는 멀티 칩 패키지를 제공할 것이다.
- [0034] 여기서, 쿼드 플랫 패키지는 패키지의 네 모서리 변으로부터 리드 프레임이 돌출되는 패키지 구조이다. 그리고 스몰 아웃라인 패키지는 패키지의 양 측면으로부터 리드 프레임이 돌출되는 패키지 구조이다. 스몰 아웃라인 패키지는 PCB 기판의 사용면적을 감소하면서 신호전달속도를 단축하기 위해 리드 프레임의 길이가 쿼드 플랫 패키지 등의 다른 패키지에 형성된 리드 프레임보다 짧게 형성되고 있다.
- [0035] 한편, 상기 쿼드 플랫 패키지 및 스몰 아웃라인 패키지는 현재 최대 2개의 칩만이 패키지 내에 실장되도록 설계되고 있는 상태로서, 패키지가 장착된 제품의 최적 성능을 수행하기 위해서는 다수의 패키지가 필요하게 된다. 그만큼 PCB 기판의 사용면적이 늘어날 수밖에 없다.
- [0036] 따라서 하나의 쿼드 플랫 패키지 및 스몰 아웃라인 패키지에 더 많은 칩을 실장 할 필요성이 요구된다.
- [0037] 이러한 스몰 아웃라인 패키지 및 쿼드 플랫 패키지에 대한 구조를 제 1 실시 예와 제 2 실시 예로 구분하여 아래에서 상세하게 살펴보기로 한다.
- [0038] 먼저 도 1 내지 도 3을 참조하면서 제 1 실시 예에 대하여 설명한다.
- [0039] 도 1에는 본 발명의 제 1 실시 예에 따른 스몰 아웃라인 패키지의 평면도가 도시되어 있고, 도 2에는 도 1에 디자인된 실제 패키지 사진을 보인 도면이 도시되어 있다.
- [0040] 이에 도시된 바와 같이, 패키지 형성용 기판(100)상에 리드 프레임 패드(110a)(110b)가 구성된다. 리드 프레임 패드(110a)(110b)는 패키지에 제공될 칩(chip)의 개수와 대응되게 제공된다. 제 1 실시 예에서 칩은 총 3개가 제공되기 때문에 리드 프레임 패드(110a)(110b) 역시 3개가 구비된다. 1개의 리드 프레임 패드(110a)는 패키지

형성용 기판(100)의 중앙에 위치하고 2개의 리드 프레임 패드(110b)는 리드 프레임 패드(110a)를 기준으로 좌우측 방향으로 대칭되게 설치된다. 또한 리드 프레임 패드(110a)(110b)의 형상은 칩의 형상과 동일하며 그 크기는 칩의 크기보다는 약간 크게 형성되는 것이 좋다. 이는 리드 프레임 패드(110a)(110b) 상에 칩이 안정되게 장착될 수 있도록 하기 위함이다. 여기서 각 리드 프레임 패드(110a)(110b)의 크기는 모두 동일하거나 서로 다른 크기로 이루어질 수 있다. 즉 칩의 크기가 서로 다른 경우에는 그 칩이 장착되는 리드 프레임 패드의 크기 또한 달라지는 것이다.

[0041] 이와 같이 리드 프레임 패드(110a)(110b)는 칩의 개수에 따라 개별적으로 적용되기 때문에 종래 하나의 리드 프레임 패드 상에 복수 개의 칩을 장착하는 경우에 비하여 칩 상호 간의 열적/전기적 간섭을 배제할 수 있게 된다.

[0042] 각 리드 프레임 패드(110a)(110b)에는 1개의 제어 IC 칩(120a)과 스위칭 소자로 사용되는 MOSFET 칩(120b)이 각각 장착된다. 제어 IC 칩(120a)은 중앙의 리드 프레임 패드(110a)에 장착되고, MOSFET 칩(120b)는 좌우측에 위치한 리드 프레임 패드(110b)에 장착된다. 여기서 제어 IC 칩(120a)은 'MAP3321' 칩이 사용되며, 액정표시장치에 적용될 경우 백라이트 광원으로 사용되는 LED를 제어하는 LED 드라이버의 백라이트 기능을 제어하는 역할을 수행한다. 물론 제품에 따라 적용되는 칩 및 칩의 기능은 달라질 수 있을 것이다. 상기 제어 IC 칩(120a) 및 MOSFET 칩(120b)은 리드 프레임 패드(110a)(110b)상에 도포된 전도성 접착제인 은 에폭시(Ag epoxy)(112, 도 3 참조)에 의해 결합한다. 참고로 도 3은 리드 프레임 패드(110a)(110b)과 제어 IC 칩/MOSFET 칩(120a)(120b)이 몰드 컴파운드(mold compound)에 의하여 몰딩 처리된 상태를 보이고 있다.

[0043] 제어 IC 칩(120a) 및 MOSFET 칩(120b)을 중심으로 리드 프레임(130)이 방사형으로 형성된다. 리드 프레임(130)은 패키지가 PCB 기판(미도시)에 장착되면 제어 IC 칩/MOSFET 칩(120a)(120b)과 PCB 기판의 회로를 서로 연결하는 기능을 한다. 리드 프레임(130)은 전도성 물질인 구리(Cu)로 이루어진다.

[0044] 리드 프레임 패드(110a)(110b)는 패키지 형성용 기판(100)의 저면 상방에 고정된 상태이어야 한다. 이를 위해 고정 프레임(140)(150)이 사용된다. 고정 프레임(140)(150)은 리드 프레임 패드(110a)(110b)에 일체로 형성되는 것으로, 실질적으로 리드 프레임 패드(110a)(110b)에서 고정 프레임(140)(150)이 연장되어 형성된 것으로 볼 수 있다. 물론 고정 프레임(140)(150) 이외에 리드 프레임(130) 중 일부가 리드 프레임 패드(110a)(110b)를 지지하는 용도로 사용되기도 한다. 즉, MOSFET 칩(120b)이 안착되는 리드 프레임 패드(110b)에서 MOSFET 칩(120b)의 구동에 따라 발생하는 열을 방출하도록 드레인단에 연결되는 리드 프레임이 해당된다. 상기 리드 프레임도 리드 프레임 패드(110b)로부터 연장되어 형성된 것이라 할 수 있다. 상기 리드 프레임은 핀 번호 15번 및 26번이고 이는 도 2에서 확인할 수 있다.

[0045] 한편, 리드 프레임(즉 핀 번호 15번, 26번)과 고정 프레임(140)(150)에는 일부분이 절곡되는 단차부(160)가 형성되어 있다. 단차부(160)는 리드 프레임 패드(110a)(110b)가 리드 프레임(130)보다 낮은 위치에 위치되게 하는 역할을 한다. 이렇게 하는 이유는 패키지 외부로부터 유입될 수 있는 습기 유입을 차단하기 위한 것이다. 이와 같은 구조는 도 3을 통해 확인할 수 있다. 도 3은 도 1의 측면 개략도로서, 도시된 바와 같이 리드 프레임 패드(110a)(110b)가 단차부(160)에 의하여 리드 프레임(130)보다 낮은 위치에 놓여져 있음을 알 수 있다.

[0046] 계속해서, 제어 IC 칩/MOSFET 칩(120a)(120b)과 리드 프레임(130)은 본딩 와이어(bonding wire)(170)에 의해 연결된다. 본딩 와이어(170)는 통상 구리 재질의 와이어(Cu wire)에 납이(Pb) 코팅되어 형성되고 있다.

[0047] 이와 같이 제 1 실시 예에서는 스몰 아웃라인 패키지에 1개의 제어 IC 칩(120a) 및 그 제어 IC 칩(120a)을 중심으로 좌우방향에 2개의 MOSFET 칩(120b)이 배열되어 설계됨을 알 수 있다. 물론 상기 패키지의 디자인은 패키지를 적용하여 제품을 만드는 제조사의 요구 사항이 충족되어야 함은 당연하다.

[0048] 한편, 제 1 실시 예에 따라 제조된 스몰 아웃라인 패키지에 부여된 핀 번호의 기능은 [표 1]과 같다.



표 1

PIN NO	Description	PIN NO	Description
1	SOU1	2	LUVP
3	NCS	4	COMP1
5	COMP2	6	PWM1
7	PWM2	8	VCC
9	SGND	10	FBP
11	REF	12	OD1
13	OD2	14	SOU2
15	DRN2	16	OVP2
17	SEL	18	MODE
19	CS2	20	GATE2
21	PGND	22	GATE1
23	CS1	24	FLT
25	OVP1	26	DRN1

[0049]

[0050]

[0051]

[0052]

[0053]

[0054]

[0055]

[0056]

다음에는 도 4 및 도 5를 참조하여 제 2 실시 예에 대하여 설명한다.

도 4에는 본 발명의 제 2 실시 예에 따른 쿼드 플랫 패키지를 보인 평면도가 도시되어 있다.

이에 도시된 바와 같이, 패키지 형성용 기판(200)상에 1개의 리드 프레임 패드(210a) 및 3개의 리드 프레임 패드(210b)가 구성된다. 각 리드 프레임 패드(210a)(210b)의 위치는 우측 부분에 제어 IC 칩이 놓일 리드 프레임 패드(210a)가 위치하며 좌측 부분에 3개의 MOSFET 칩이 놓일 리드 프레임 패드(210b)가 나란하게 위치한다. 그리고 리드 프레임 패드(210a)(210b)의 형상 및 크기는 앞에서 설명한 제 1 실시 예와 같이 칩의 형상과 동일하며 칩의 크기보다는 약간 크게 형성된다.

각 리드 프레임 패드(210a)(210b)에는 1개의 제어 IC 칩(220a)과 스위칭 소자로서 3개의 MOSFET 칩(220b)이 각각 장착된다. 제어 IC 칩(220a)은 우측에 위치한 리드 프레임 패드(210a)에 장착되고, MOSFET 칩(220b)는 좌측에 위치한 리드 프레임 패드(210b)에 장착된다. 제어 IC 칩(220a)은 'MAP3331' 칩이 사용되며 액정표시장치에 적용될 경우 백라이트 광원으로 사용되는 LED를 제어하는 LED 드라이버의 백라이트 기능을 제어하는 역할을 수행한다. 물론 적용되는 제품에 따라 적용되는 칩 및 칩의 기능은 달라질 수 있을 것이다. 상기 제어 IC 칩(220a) 및 MOSFET 칩(220b)은 리드 프레임 패드(210a)(210b)상에 도포된 전도성 접착제인 은 에폭시(Ag epoxy)(112, 도 3 참조)에 의해 결합한다.

이와 같이 제어 IC 칩/MOSFET 칩(220a)(220b)의 개수에 따라 리드 프레임 패드(210a)(210b)도 독립적으로 적용되기 때문에 하나의 리드 프레임 패드 상에 복수 개의 칩을 장착할 때 발생하는 칩 상호 간의 열적/전기적 간섭을 배제할 수 있다.

제어 IC 칩(220a) 및 MOSFET 칩(220b)의 신호를 PCB 기판(미도시)으로 전달하기 위한 리드 프레임(230)(240a)(240b)이 구성된다. 리드 프레임 230은 제어 IC 칩(220a) 용으로 사용되고, 리드 프레임 240a 및 240b는 MOSFET 칩(220b) 용으로 사용된다. 실시 예에서 리드 프레임(230)(240a)(240b)은 총 34개가 구비되며 이들 각각의 기능에 대해서는 후술하는 [표 2]를 참조하기로 한다. 리드 프레임(230)(240a)(240b)은 전도성 물질인 구리(Cu)로 이루어진다.

리드 프레임 패드(210a)(210b)은 패키지 형성용 기판(200)의 저면 상방에 고정된 상태이다. 이를 위하여 제어

IC 칩(220a)이 실장되는 리드 프레임 패드(210a)에는 고정 프레임(250)이 일체로 형성된다. 그리고 MOSFET 칩(220b)이 실장되는 리드 프레임 패드(210b)는 그 리드 프레임 패드(210b)로부터 연장되는 고정 프레임(260)과 함께 드레인단과 연결되는 리드 프레임(240b)에 의하여 지지된다. 즉 리드 프레임(240b)은 MOSFET 칩(220b)이 구동되면 그에 따라 발생하는 열을 방출하면서 동시에 리드 프레임 패드(210b)를 지지하는 용도로 사용된다. 한편 리드 프레임(240b)은 다른 리드 프레임(230)(240a)에 비하여 그 폭이 상대적으로 넓게 형성되고 있다. 이렇게 하는 이유는 MOSFET 칩의(220b) 드레인에서 발생하는 열을 외부로 용이하게 방출시키기 위함이다. 실질적으로 리드 프레임의 폭이 넓을수록 열 방출 효과는 커지기 때문이다.

[0057] 리드 프레임(240b) 및 고정 프레임(250)(260)에는 일부분이 절곡된 단차부(270)가 구성된다. 도면에서는 일부 단차부에만 도면 부호를 표시하고 있다. 단차부(270)는 제어 IC 칩/MOSFET 칩(220a)(220b)이 장착된 리드 프레임 패드(210a)(210b)가 리드 프레임(230)(240) 및 고정 프레임(250)(260)보다 낮은 위치에 있도록 하는 역할을 한다. 이는 외부로부터 수분 흡수를 최소화하기 위함이다. 이의 구조는 제 1 실시 예의 도 3과 동일하기 때문에, 도 3을 참조하면 될 것이다.

[0058] 계속해서 제어 IC칩/MOSFET 칩(220a)(220b)과 리드 프레임(230)(240a)은 본딩 와이어(bonding wire)(280)에 의해 연결된다. 본딩 와이어(280)는 통상 구리 와이어(Cu wire)에 납이(Pb) 코팅되어 형성되고 있다.

[0059] 한편 제어 IC 칩(220a)과 연결되는 리드 프레임(230)의 형상은 도 4 및 도 5에서와 같이 일부가 지그재그(Zigzag) 형태로 형성된다. 이와 같이 지그재그 형태로 리드 프레임(230)의 일부를 형성하는 것은 외부로부터 흡수될 수 있는 수분에 의하여 리드 프레임(230)이 박리(Delamination) 되는 현상을 최소화하기 위한 것이다.

[0060] 또한 리드 프레임(230) 상에는 리드 프레임(230)을 고정하면서 그 리드 프레임(230)이 휘는 것을 방지하도록 열 테이프(tape)(310)가 부착된다. 열 테이프(310)는 소정 너비를 가지면서 리드 프레임(230)의 길이 방향과 직교하는 방향을 따라 형성되고 있다. 물론, 열 테이프(310) 이외에 리드 프레임(230) 상면에 위치한 상태에서 리드 프레임(230)을 고정시키는 다른 접착부재가 사용될 수 있음은 당연할 것이다.

[0061] 이와 같이 제 2 실시 예에서는 쿼드 플랫 패키지(QFP : Quad Flat Package)에 1개의 제어 IC 칩(220a) 및 제어 IC 칩(220a)의 측 방향에 3개의 MOSFET 칩(220b)을 배열하여 설계되고 있다.

[0062] 이때 쿼드 플랫 패키지(QFP : Quad Flat Package)의 설계시에는 패키지를 적용하여 제품을 만드는 제조사의 요구 사항이 충족되어야 함은 당연하다. 요구 사항은 리드 프레임(230)(240a)(240b)은 최소 28개 이상, 제어 IC칩(220a)의 리드 프레임(230) 간격은 최소 1.25 mm, 그리고 MOSFET 칩(220b)의 리드 프레임(240a)(240b) 간격은 최소 1.6 mm로 하여 설계되는 것이 요구된다.

[0063] 한편, 제 2 실시 예에 따라 제조된 쿼드 플랫 패키지(QFP)에 부여된 핀 번호의 기능은 [표 2]와 같다. 핀 번호는 도 5를 참조한다. 도 5는 도 4의 디자인된 쿼드 플랫 패키지를 몰딩(Moldig) 전에 촬영한 사진 도면을 도시하고 있다.

표 2

PIN NO		Description	PIN NO		Description
1	DRN1	Ch1 internal Dim MOSFET Drain	2	FBP	Error Amp. Non-inverting Input/Positive Current Sense
3	REF	Reference voltage	4	OD1	First over duty reference
5	OD2	Second over duty reference	6	COMP1	Ch1 Error Amp. Compensation
7	COMP2	Ch2 Error Amp. Compensation	8	COMP3	Ch3 Error Amp. Compensation
9	SGND	Signal GND	10	VCC	Input Power Supply
11	GATE1	Ch1 Gate drive Output for Boost Convert	12	CS1	Ch1 current sense of the Boost Convert
13	PGND	Power Ground	14	CS2	Ch2 current sense of the Boost Convert
15	GATE2	Ch2 Gate drive Output for Boost Convert	16	CS3	Ch3 current sense of the Boost Convert
17	GATE3	Ch3 Gate drive Output for Boost Convert	18	NC	No Connection
19	LUVF	Line under voltage protection	20	NCS	Negative current sensor for LED String Failure protection
21	FLT	LED string failure protection output for power supply	22	PWM1	Ch1 PWM Dimming Input
23	PWM2	Ch2 PWM Dimming Input	24	PWM3	Ch3 PWM Dimming Input
25	SEL	Selection for OD1 or OD2	26	MODE	3D mode input
27	OVP1	Ch1 Over Voltage Protection	28	OVP2	Ch2 Over Voltage Protection
29	OVP3	Ch3 Over Voltage Protection	30	DRN3	Ch3 internal Dim MOSFET Drain
31	SOU3	Ch3 internal Dim MOSFET Source	32	SOU2	Ch2 internal Dim MOSFET Source
33	DRN2	Ch2 internal Dim MOSFET Drain	34	SOU1	Ch1 internal Dim MOSFET Source

[0064]

[0065]

이상에서 설명한 바와 같이, 본 발명의 실시 예에서는 표면 실장형 소자로서 사용되는 스몰 아웃라인 패키지(SOP)에 1개의 제어 IC 칩과 2개의 MOSFET 칩이 배치되게 칩을 배열시키고, 또한 쿼드 플랫 패키지(QFP)에 1개의 제어 IC 칩과 3개의 MOSFET 칩이 배치되게 배열시킴으로써, PCB 기판의 사용면적을 최소화하고, 아울러 각각의 칩은 대응되는 각각의 리드 프레임 패드에 실장되게 하여 칩 상호간에서 발생하는 열적/전기적 간섭 현상을 배제하고 있음을 알 수 있다.

[0066]

이상과 같이 본 발명의 도시된 실시 예를 참고하여 설명하고 있으나, 이는 예시적인 것들에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 요지 및 범위에 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 청구범위의 기술적인 사상에 의해 정해져야 할 것이다.

[0067]

즉 본 실시 예는 상술한 바와 같이 스몰 아웃라인 패키지와 쿼드 플랫 패키지에 총 3개의 칩 또는 4개의 칩이 배열되도록 칩 배열상태를 제공하고 있으나, 더 많은 수의 칩을 각각의 리드 프레임 패드 상에 실장하도록 하는 구성도 본 발명에 적용될 수 있다.

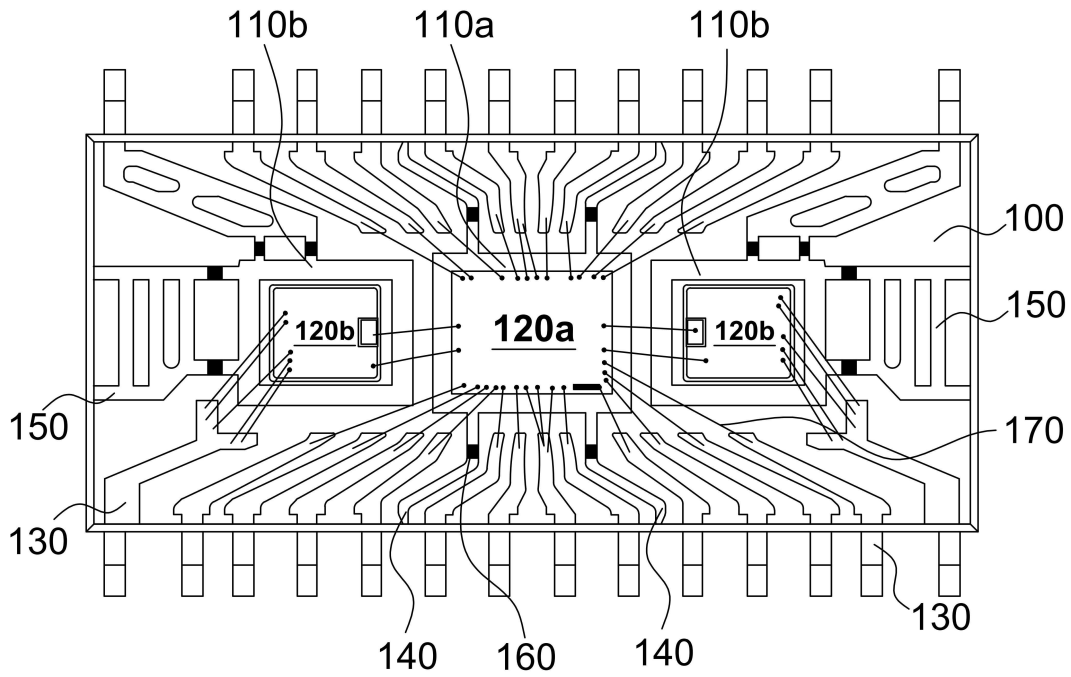
**부호의 설명**

[0068]

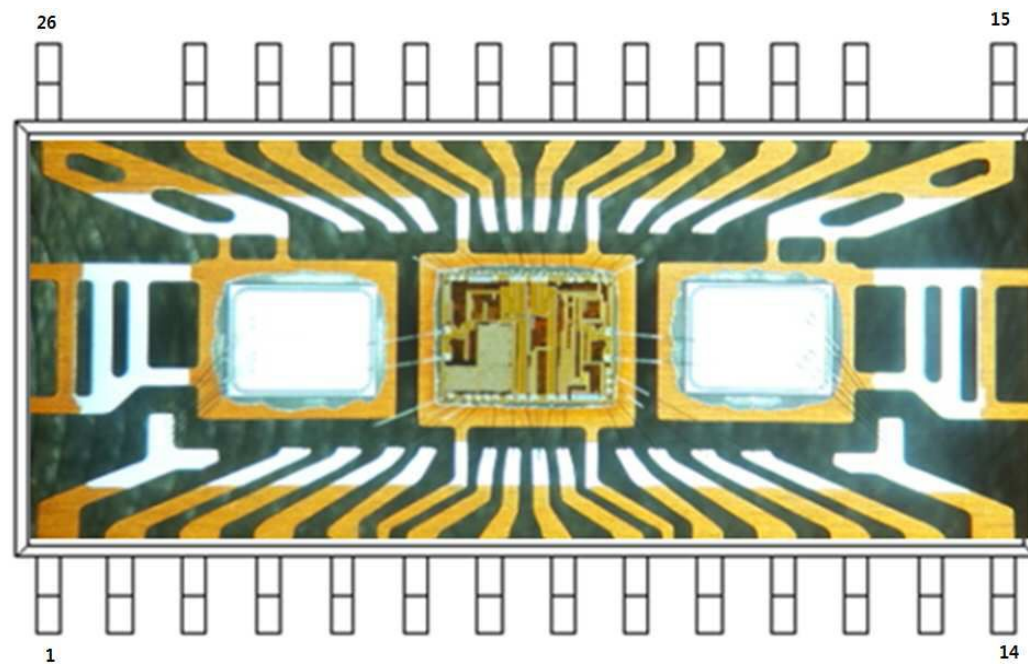
- 100, 200 : 패키지 형성용 기판,
- 110a, 110b, 210a, 210b : 리드 프레임 패드
- 120a, 220a : 제어 IC 칩
- 120b, 220b : MOSFET 칩
- 130, 230, 240a, 240b : 리드 프레임
- 140, 150, 250, 260 : 고정 프레임
- 160, 270 : 단차부
- 170, 280 : 본딩 와이어
- 310 : 열 테이프

도면

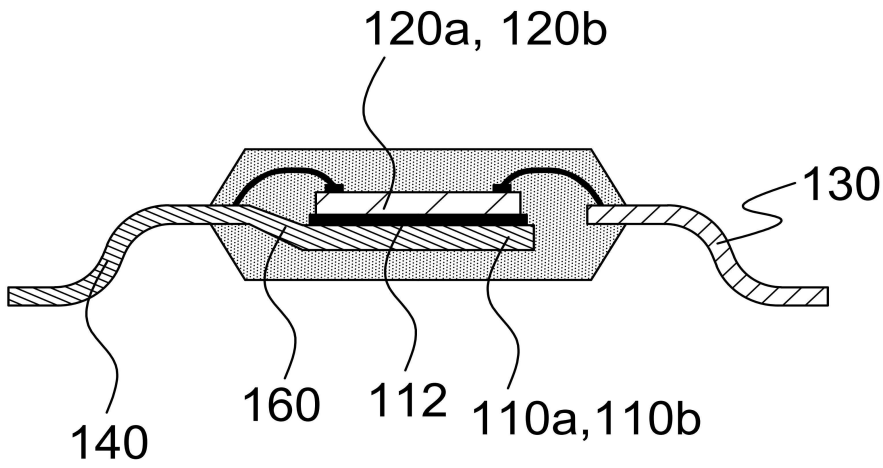
도면1



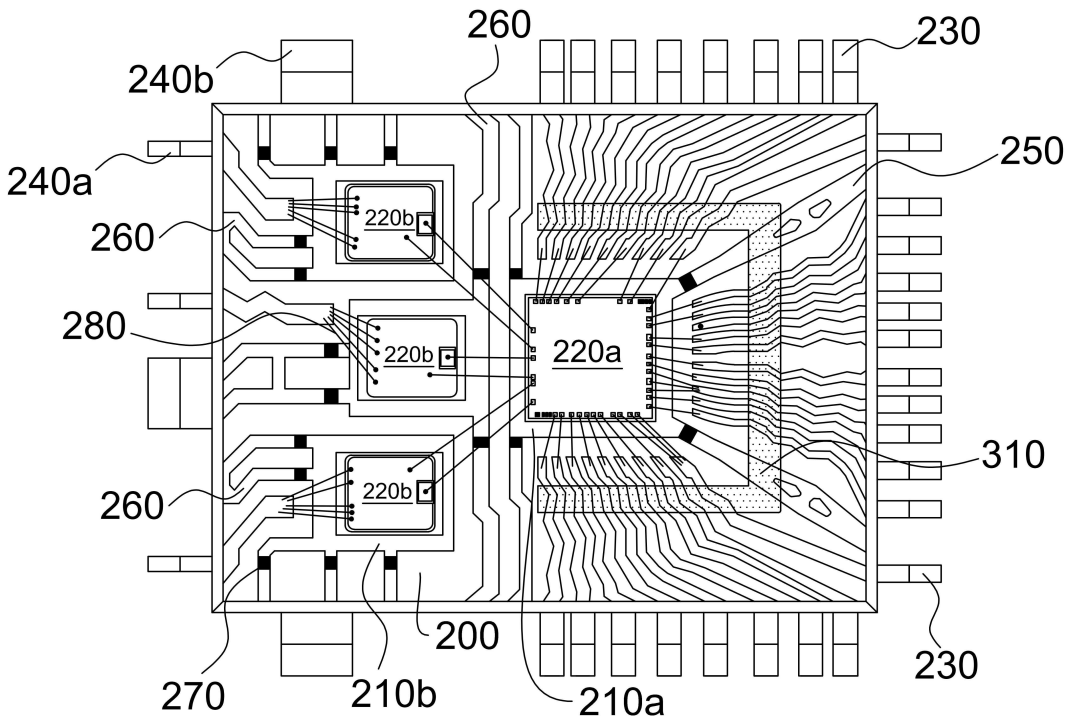
도면2



도면3



도면4



도면5

