

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4626149号
(P4626149)

(45) 発行日 平成23年2月2日(2011.2.2)

(24) 登録日 平成22年11月19日(2010.11.19)

(51) Int. Cl. F I
G 1 1 C 11/15 (2006.01) G 1 1 C 11/15 1 4 0
H O 1 L 27/105 (2006.01) H O 1 L 27/10 4 4 7
H O 1 L 21/8246 (2006.01) H O 1 L 43/08 Z
H O 1 L 43/08 (2006.01)

請求項の数 7 (全 21 頁)

(21) 出願番号	特願2004-12287(P2004-12287)	(73) 特許権者	000002185 ソニー株式会社
(22) 出願日	平成16年1月20日(2004.1.20)		東京都港区港南1丁目7番1号
(65) 公開番号	特開2005-209251(P2005-209251A)	(74) 代理人	100122884 弁理士 角田 芳末
(43) 公開日	平成17年8月4日(2005.8.4)	(74) 代理人	100113516 弁理士 磯山 弘信
審査請求日	平成18年8月2日(2006.8.2)	(72) 発明者	五十嵐 実 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	別所 和宏 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 磁気メモリの初期化方法

(57) 【特許請求の範囲】

【請求項1】

情報を磁性体の磁化状態によって保持する記憶層が、非磁性層を介して積層されて、反強磁性結合した複数層の磁性層から成り、定常状態では前記非磁性層を介して対向する2層の前記磁性層の磁化の向きが概ね反平行状態である磁気記憶素子と、

互いに交差する第1の配線と第2の配線とを備え、

前記第1の配線と前記第2の配線とが交差する交点付近に、それぞれ前記磁気記憶素子の磁化容易軸が前記第1の配線及び前記第2の配線に対して傾斜角度を有するように、前記磁気記憶素子が配置されて成る磁気メモリに対して、

前記第1の配線の電流のパルスと、前記第2の配線の電流のパルスとを、ほぼ同じ時刻で印加を停止することにより、前記磁気メモリの各前記磁気記憶素子の前記記憶層の磁化状態を全て同じ状態に揃える

磁気メモリの初期化方法。

【請求項2】

前記第1の配線の電流のパルスと、前記第2の配線の電流のパルスとにおいて、印加の停止時刻の差が、前記電流のパルスの停止前における交差磁化状態から反平行磁化状態に移るために要する時間よりも短い時間である請求項1に記載の磁気メモリの初期化方法。

【請求項3】

前記第1の配線の電流のパルスと、前記第2の配線の電流のパルスとにおいて、印加の

10

20

停止時刻の差が1ナノ秒以内である請求項1に記載の磁気メモリの初期化方法。

【請求項4】

前記磁気記憶素子は、前記記憶層に対して、非磁性層を介して磁化の向きが固定された磁化固定層が配置された構成である請求項1に記載の磁気メモリの初期化方法。

【請求項5】

前記磁化固定層が非磁性層を介した2層の磁性層から成り、前記磁化固定層の2層の磁性層のうち、前記記憶層に近い一方の磁性層の飽和磁化と膜厚との積が、前記磁化固定層の他方の磁性層の飽和磁化と膜厚との積以上であり、前記記憶層の複数層の磁性層のうち前記磁化固定層に最も近い磁性層の磁化の向きが、前記磁化固定層の前記一方の磁性層の磁化の向きに対して反平行となる状態に、各前記磁気記憶素子の前記記憶層の磁化状態を揃える請求項4に記載の磁気メモリの初期化方法。

10

【請求項6】

前記磁化固定層が非磁性層を介した2層の磁性層から成り、前記磁化固定層の2層の磁性層のうち、前記記憶層から遠い一方の磁性層の飽和磁化と膜厚との積が、前記磁化固定層の他方の磁性層の飽和磁化と膜厚との積以上であり、前記記憶層の複数層の磁性層のうち前記磁化固定層に最も近い磁性層の磁化の向きが、前記磁化固定層の前記一方の磁性層の磁化の向きに対して反平行となる状態に、各前記磁気記憶素子の前記記憶層の磁化状態を揃える請求項4に記載の磁気メモリの初期化方法。

【請求項7】

前記記憶層と前記磁化固定層との間の非磁性層がトンネル絶縁層であり、前記磁化固定層が非磁性層を介した複数層の磁性層から成り、前記トンネル絶縁層の界面荒さを増大させることにより、磁化固定層の複数層の磁性層のうち前記トンネル絶縁層側の磁性層の磁化と前記記憶層の複数層の磁性層のうち前記トンネル絶縁層側の磁性層の磁化とを強磁性結合させ、これら強磁性結合させた2層の磁性層の磁化の向きが平行となる状態に、各前記磁気記憶素子の前記記憶層の磁化状態を揃える請求項4に記載の磁気メモリの初期化方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気メモリの初期化方法に関するものであり、特に不揮発性メモリに用いて好適なものである。

30

【背景技術】

【0002】

コンピュータ等の情報機器においては、ランダム・アクセス・メモリとして、動作が高速で、高密度のDRAMが広く使用されている。

しかし、DRAMは電源を切ると情報が消えてしまう揮発性メモリであるため、情報が消えない不揮発のメモリが望まれている。

【0003】

情報通信機器、特に携帯端末等の個人用小型機器の飛躍的な普及に伴い、これを構成するメモリやロジック等の素子に対して、高集積化、高速化、低電力化等、一層の高性能化が要請されている。

40

特に、不揮発性メモリは、機器の高機能化に必要な不可欠な部品と考えられている。

例えば、電源の消耗やトラブル、サーバーとネットワークが何らかの障害により切断された場合でも、不揮発性メモリはシステムや個人の重要な情報を保護することができる。

また、最近の携帯機器は、不要の回路ブロックをスタンバイ状態にしてできるだけ消費電力を抑えるように設計されているが、高速のワークメモリと大容量ストレージメモリを兼ねることができる不揮発性メモリを実現することができれば、消費電力とメモリの無駄を無くすることができる。

さらに、高速の大容量不揮発性メモリが実現できれば、電源を入れると瞬時に起動できる“インスタント・オン”機能も可能になってくる。

50

【 0 0 0 4 】

不揮発性メモリとしては、半導体を用いたフラッシュメモリや、強誘電体を用いた F R A M (Ferro electric Random Access Memory) 等が挙げられる。

しかしながら、フラッシュメモリは、書き込み速度が μ 秒のオーダーと遅いため、高速なアクセスに向かないという欠点がある。

一方、F R A M においては、書き換え可能回数が $10^{12} \sim 10^{14}$ と有限であるため、完全に S R A M や D R A M を置き換えるには耐久性が小さく、また強誘電体キャパシタの微細加工が難しいという問題が指摘されている。

【 0 0 0 5 】

これらの欠点がない不揮発性メモリとして注目されているのが、磁性体の磁化で情報を記録する磁気ランダム・アクセス・メモリ (M R A M ; Magnetic Random Access Memory) である (例えば、非特許文献 1 参照) 。

10

【 0 0 0 6 】

初期の M R A M は、A M R (anisotropic magnetoresistive) 効果や、G M R (Giant magnetoresistance) 効果等を利用した、スピンバルブをベースにした構成であった (非特許文献 2 及び非特許文献 3 参照) 。

しかし、これらの構成では、負荷のメモリセル抵抗が $10 \sim 100$ と低いため、読み出し時のビット当たりの消費電力が大きく大容量化が難しいという欠点があった。

【 0 0 0 7 】

そこで、T M R (Tunnel Magnetoresistance) 効果を利用した構成の M R A M が提案されている。

20

当初は、室温における抵抗変化率が $1 \sim 2\%$ しかなかったが (非特許文献 4 参照) 、近年では 20% 近くの抵抗変化率が得られるようになり (非特許文献 5 参照) 、T M R 効果を利用した M R A M に注目が集まるようになってきている。

【 0 0 0 8 】

M R A M では、マトリクス状に配列された T M R 効果型の記憶素子を有するとともに、その素子群のうち特定の素子に情報を記録するために、素子群を縦横に横切るワード書き込み線とビット書き込み線を有しており、その交差領域に位置する記憶素子のみ、選択的に情報の記録 (書き込み) を行うように構成されている。

【 0 0 0 9 】

30

そして、記憶素子に情報の記録を行う方法には、アステロイド特性を利用した方法 (例えば、特許文献 1 参照) とスイッチング特性を利用した方法 (例えば、特許文献 2 参照) がある。

アステロイド特性を利用した方法は、選択性が各記憶素子の保磁力特性に依存するために、素子の寸法や磁気特性のばらつきに弱いという欠点があった。

これに対して、スイッチング特性を利用した方法は、素子選択に使える磁界範囲が広いので、素子ごとの特性ばらつきが多少あっても、大規模なメモリを実現しやすい、という利点がある。

【 0 0 1 0 】

ここで、スイッチング特性を利用した M R A M の模式的断面図を図 7 に示す。

40

メモリセルに記録された情報を読み出すために、メモリセルを電氣的に選択するためには、ダイオードまたは M O S トランジスタ等を用いることができるが、図 7 に示す構成は M O S トランジスタを用いている。

【 0 0 1 1 】

まず、M R A M のメモリセルを構成する磁気記憶素子 101 の構成を説明する。

第 1 の磁化固定層 112 及び第 2 の磁化固定層 114 は、非磁性層 113 を介して配置されていることにより、反強磁性結合している。さらに、第 1 の磁化固定層 112 は、反強磁性層 111 と接して配置されており、これらの層間に働く交換相互作用によって、強い一方向の磁気異方性を有する。そして、これら 4 層 111 , 112 , 113 , 114 により固定層 102 が構成される。

50

第1の記憶層116及び第2の記憶層118は、非磁性層117を介して配置されていることにより、反強磁性結合している。これら第1の記憶層116及び第2の記憶層118は、それぞれの磁化M1、M2の向きが比較的容易に回転するように構成される。そして、これら3層116、117、118により記憶層(自由層)103が構成される。

第2の磁化固定層114と第1の記憶層116との間、即ち固定層102と記憶層(自由層)103との間には、トンネル絶縁層115が形成されている。このトンネル絶縁層115は、上下の磁性層116及び114の磁氣的結合を切るとともに、トンネル電流を流す役割を担う。これにより、磁性層の磁化の向きが固定された固定層102と、トンネル絶縁層115と、磁化の向きを変化させることが可能な記憶層(自由層)103とにより、TMR(Tunneling Magnetoresistance)素子が構成されている。

10

そして、上述の各層111~118と、下地膜110及びトップコート膜119により、TMR素子から成る磁気記憶素子101が構成されている。

【0012】

また、シリコン基板130中に選択用MOSトランジスタ131が形成され、この選択用MOSトランジスタ131の一方の拡散層133上に接続プラグ108を介して、引き出し電極109が形成されている。この引き出し電極109上に、磁気記憶素子101の下地膜110が接続されている。選択用MOSトランジスタ131のもう一方の拡散層132は、図示しないが、接続プラグを介してセンス線に接続されている。選択用MOSトランジスタのゲート130は、選択信号線と接続されている。

磁気記憶素子101のトップコート膜119は、その上のビット線(BL)106に接続されている。また、磁気記憶素子101の下方には絶縁膜を介して、書き込みワード線(WL)105が配置されている。

20

【0013】

定常状態において、第1の記憶層116の磁化M1と第2の記憶層118の磁化M2とは、概ね反平行状態(向きが正反対の状態)にある。同様に、非磁性層113を介した強い反強磁性結合により、第1の磁化固定層112の磁化M11と第2の磁化固定層114の磁化M12は、ほぼ完全な反平行状態にある。

通常、第1の磁化固定層112と第2の磁化固定層114とは、飽和磁化膜厚積が等しい構成とされるため、磁極磁界の漏洩成分は無視できるくらい小さい。

【0014】

また、図7のMRAMを直上より見た模式的平面図を図8に示す。

磁気記憶素子101は、平面形状が楕円形状であり、楕円の長軸方向に磁化容易軸60があり、楕円の短軸方向に磁化困難軸61があり、これら磁化容易軸60と磁化困難軸61とが直交している。

また、ビット線106及びワード線105は、格子状に配置され、両者のなす角度は一定(図8ではほぼ直交している)である。磁気記憶素子101は、その磁化容易軸60がワード線105に対して傾斜角度($0 < \theta < 90^\circ$)を有するように、ワード線105及びビット線106の交点に配置されている。

30

【0015】

この構成のメモリセルにおいて、磁気記憶素子101の記憶層103に情報を記録する際には、第1の記憶層116の磁化M1及び第2の記憶層118の磁化M2の向きを反転させるために、ビット線106及びワード線105に、それぞれ、ビット電流Ib及びワード線電流Iwを流す。ビット線電流Ib及びワード線電流Iwは、それぞれ、ビット線電流磁界Hb及びワード線電流磁界Hwを誘起する。ワード線電流磁界Hwとビット線電流磁界Hbの合成磁界は、後述するように、時計回りまたは反時計回りに回る回転磁界を形成する。

40

そして、電流磁界Hb、Hwの印加によって、第1の記憶層116の磁化M1の向きを変えることにより、記憶層103に情報(例えば、情報"1"又は情報"0")を記録することができる。

また、記録された情報の読み出しは、磁気抵抗効果によるトンネル電流の変化を検出し

50

て行うことができる。

【0016】

ここで、図7に示した構成の磁気記憶素子101の磁化容易軸方向に外部磁界Hが印加されたときの磁化曲線の例を図9に示す。

第1の記憶層116の磁化M1と第2の記憶層118の磁化M2の合成磁化Mの大きさは、外部磁界の大きさによって顕著に変化する。

最初のしきい値はスピントロポリング磁界 H_{sf} である。外部磁界Hがこのスピントロポリング磁界 H_{sf} 以下ならば、第1の記憶層116の磁化M1と第2の記憶層118の磁化M2が、常に反平行状態()を保つ。

外部磁界Hが H_{sf} を超えると、第1の記憶層116の磁化M1及び第2の記憶層118の磁化M2が、交差磁化状態をとって外部磁界Hに拮抗する。ただし、二つの磁化M1, M2がなす角度は180度以下である。この状態から外部磁界Hを取り去れば、最初の反平行状態に戻ることが多い。

次のしきい値は飽和磁界 H_{sat} である。外部磁界Hが飽和磁界 H_{sat} を超えると、第1の記憶層116の磁化M1と第2の記憶層118の磁化M2は平行状態()となる。一旦、飽和磁界 H_{sat} 以上の外部磁界Hを印加してしまうと、記憶層103は最初の反平行状態の記憶を忘却するので、外部磁界を取り去っても最初の磁化状態に戻るには限らない。

【0017】

続いて、図7のMRAMの磁気記憶素子101において、外部磁界Hとしてワード線電流磁界 H_w とビット線電流磁界 H_b を印加したとき、記憶層103の第1の記憶層116の磁化M1及び第2の記憶層118の磁化M2の向きの変化を説明する。

外部磁界Hを印加することにより、図9に示したように、記憶層103の第1の記憶層116の磁化M1及び第2の記憶層118の磁化M2の向きが変化するが、外部磁界Hを印加する前の状態と、外部磁界Hを取り去った後の状態との関係により、3種類の動作に大別することができる。

【0018】

まず、外部磁界Hの印加の前の状態と、外部磁界Hを取り去った後の状態とで、第1の記憶層116の磁化M1と第2の記憶層118の磁化M2の向きが反転する(2つの磁化M1, M2の向きが入れ替わり、交番的に変化する)動作がある。以下、このような動作を、Toggle動作と呼ぶ。

また、外部磁界Hの印加の前の状態と、外部磁界Hを取り去った後の状態とで、第1の記憶層116の磁化M1と第2の記憶層118の磁化M2の向きが同じ向きになる(2つの磁化M1, M2の向きが入れ替わらない)動作がある。以下、このような動作を、Nonswitching動作と呼ぶ。

さらにまた、外部磁界Hの印加の前の状態に係わらず、外部磁界Hを取り去った後の状態では、第1の記憶層116の磁化M1と第2の記憶層118の磁化M2が、それぞれ決まった向きに変化する動作がある。この動作では、外部磁界Hを印加している間に、2層の磁化M1, M2が同じ向き(平行)になってしまい、外部磁界Hを印加する前の反平行状態の記憶が失われるため、外部磁界Hを除去した後の状態では、2層の磁化M1, M2が一方通行な磁化回転をして、ある決まった向きに変化する。以下、このような動作を、Direct動作と呼ぶ。

【0019】

次に、3種類の動作のそれぞれにおいて、ワード線電流 I_w 及びビット線電流 I_b の電流パルスと、第1の記憶層116の磁化M1及び第2の記憶層118の磁化M2の向きの時間変化と、磁化M1, M2の変化に伴う磁気記憶素子101のTMR素子の電気抵抗Rの時間変化を示す。

【0020】

まず、Toggle動作における、電流パルス、各記憶層の磁化の向きの時間変化、TMR素子の電気抵抗の時間変化の一例を、図10に示す。

10

20

30

40

50

図10では、1ビットの記録を行うサイクルにおいて、時間原点を時刻 T_0 として、時刻 T_1 、 T_2 、 T_3 、 T_4 と時刻が経過して、最後に定常状態に戻るまでの磁化 M_1 、 M_2 の向き及びTMR素子の電気抵抗 R の変化を示している。以下、他の動作の場合の図でも同様である。

【0021】

ワード線電流 I_w のパルスは、時間原点 T_0 からある時間経過した時刻 T_1 に立ち上がり、時刻 T_3 に立ち下がる。ビット線電流 I_b のパルスは、ワード線電流 I_w のパルスより遅れて、時刻 T_2 に立ち上がり、時刻 T_4 に立ち下がる。

このように電流パルスに時間差を設けることにより、各電流磁界 H_w 、 H_b の合成磁界を回転磁界として、第1の記憶層116の磁化 M_1 及び第2の記憶層118の磁化 M_2 の向きを回転させることができる。

10

TMR素子の電気抵抗 R は、第1の記憶層116の磁化 M_1 と第2の磁化固定層114の磁化 M_1 2の向きが等しい場合に、低抵抗(これを例えば情報"0"とする)となり、第1の記憶層116の磁化 M_1 と第2の磁化固定層114の磁化 M_1 2の向きが反平行である場合に、高抵抗(これを例えば情報"1"とする)となる。

【0022】

まず、時刻 T_0 において、第1の記憶層116の磁化 M_1 と第2の記憶層114の磁化 M_2 は、反平行状態をとっており、二つの磁化 M_1 、 M_2 の向きがなす角度は 180 度となっている。

時刻 T_1 から時刻 T_2 までの間に、第1の記憶層116の磁化 M_1 と第2の記憶層118の磁化 M_2 とがなす角度が 180 度以下になる。

20

時刻 T_2 から時刻 T_3 までの間には、第1の記憶層116の磁化 M_1 と第2の記憶層118の磁化 M_2 とがなす角度が鋭角(90 度以下)になる。

時刻 T_3 以降で第1の記憶層116の磁化 M_1 と第2の記憶層118の磁化 M_2 とがスピフロップし、時刻 T_4 を過ぎて再び反平行状態に戻る。このとき、第1の記憶層116の磁化 M_1 及び第2の記憶層118の磁化 M_2 は、それぞれ初期状態に対して向きが逆転している。

【0023】

次に、No switching動作における、電流パルス、各記憶層の磁化の向きの時間変化、TMR素子の電気抵抗の時間変化の一例を、図11に示す。

30

この例では、ワード線電流 I_w のパルスを図10とは逆の向きにしている。ビット線電流 I_b のパルスは図10と同じである。

【0024】

ワード線電流 I_w のパルスは、時間原点の時刻 T_0 からある時間経過した時刻 T_1 に立ち上がり、時刻 T_3 に立ち下がる。ビット線電流 I_b のパルスは、ワード線電流 I_w のパルスより遅れて、時刻 T_2 に立ち上がり、時刻 T_4 に立ち下がる。

このように電流パルスに時間差を設けることにより、各電流磁界 H_w 、 H_b の合成磁界を回転磁界として、第1の記憶層116の磁化 M_1 及び第2の記憶層118の磁化 M_2 の向きを回転させることができる。

【0025】

40

まず、時刻 T_0 において、第1の記憶層116の磁化 M_1 と第2の記憶層114の磁化 M_2 は、反平行状態をとっており、二つの磁化 M_1 、 M_2 の向きがなす角度は 180 度となっている。

時刻 T_1 から時刻 T_2 までの間に、第1の記憶層116の磁化 M_1 と第2の記憶層118の磁化 M_2 とがなす角度が 180 度以下になる。

この場合は、時刻 T_2 から時刻 T_3 までの間で、ワード線電流磁界 H_w 及びビット線電流磁界 H_b により形成される回転磁界の向きが、磁気記憶素子101の磁化容易軸の方向(正方向または負方向のいずれか)を向かないので、スピフロッピングが起こらない。

その結果、時刻 T_4 以降では、磁化状態は初期状態に対して変化しない。

【0026】

50

次に、Direct動作における、電流パルス、各記憶層の磁化の向きの時間変化、MR素子の電気抵抗の時間変化の例を、図12及び図13にそれぞれ示す。

図12に示す例では、電流パルスをいずれも図10と同じ向きにしている。一方、図13に示す例では、電流パルスをいずれも図10とは逆の向きにしている。

【0027】

図12及び図13において、ワード線電流 I_w のパルスは、時間原点の時刻 T_0 からある時間経過した時刻 T_1 に立ち上がり、時刻 T_3 に立ち下がる。ビット線電流 I_b のパルスは、ワード線電流 I_w のパルスより遅れて、時刻 T_2 に立ち上がり、時刻 T_4 に立ち下がる。

このように電流パルスに時間差を設けることにより、各電流磁界 H_w 、 H_b の合成磁界を回転磁界として、第1の記憶層116の磁化 M_1 及び第2の記憶層118の磁化 M_2 の向きを回転させることができる。

【0028】

まず、時刻 T_0 において、第1の記憶層116の磁化 M_1 と第2の記憶層114の磁化 M_2 は、反平行状態をとっており、二つの磁化 M_1 、 M_2 の向きがなす角度は 180 度となっている。

時刻 T_1 から時刻 T_2 までの間に、スピントロピングが起こり、第1の記憶層116の磁化 M_1 及び第2の記憶層118の磁化 M_2 がなす角度は 90 度以下になる。

時刻 T_2 から時刻 T_3 までの間に、第1の記憶層116の磁化 M_1 及び第2の記憶層118の磁化 M_2 の向きが、ほぼ同じ向きに揃ってしまい、ワード線電流磁界 H_w 及びビット線電流磁界 H_b により形成される回転磁界の向きとほぼ等しくなる。

時刻 T_3 以降では、第1の記憶層116の磁化 M_1 及び第2の記憶層118の磁化 M_2 が、スピントロップして再び反平行状態に戻るが、その磁化状態は初期状態に依存しない。

【0029】

続いて、ワード線電流磁界 H_w 及びビット線電流磁界 H_b の各振幅・向きを変化させたときに、3種類の磁化回転動作のそれぞれの発生状況を表す磁化回転モード図を、図14に示す。

【0030】

図14に示すように、ビット線電流磁界 H_b 及びワード線電流磁界 H_w の合成磁界がスピントロピング磁界 H_{sf} 以下ならば、その領域は全てNo switching動作の領域81である。ビット線電流磁界 H_b 及びワード線電流磁界 H_w の合成磁界が磁化容易軸方向以外になる、第二象限及び第四象限も、概ねNo switching動作の領域81である。

一方、ビット線電流磁界 H_b 及びワード線電流磁界 H_w の合成磁界が飽和磁界 H_{sat} を超えたところは、Direct動作の領域82となることが多い。

そして、ビット線電流磁界 H_b 及びワード線電流磁界 H_w の合成磁界がスピントロピング磁界 H_{sf} 以上飽和磁界 H_{sat} 未満であり、かつ、第一象限及び第三象限に属する範囲は、Toggle動作の領域80となることが期待できる。

【0031】

なお、第1の記憶層116の磁化 M_1 と第2の記憶層118の磁化 M_2 のなす2つの安定状態()及び()に非対称性がある場合は、Toggle動作の領域80とNo switching動作の領域81の境界に、Direct動作の領域が現れることがある。

【0032】

マトリクス状に配列されたメモリセル群において、ワード線とビット線の交点に配置された特定のメモリセルのみを選択的に磁化反転させるには、選択されたメモリセルが所属するワード線及びビット線に電流を流す。

【0033】

このとき、選択されたメモリセルに印加される合成磁界が、Toggle動作の領域8

10

20

30

40

50

0又はDirect動作の領域82の範囲に含まれている必要がある。

一方、ワード線またはビット線を共有する選択されていないメモリセルが磁化反転するのを避けるには、非選択メモリセルへ印加される合成磁界が、No switching動作の領域81の範囲に含まれていることが必要である。

【0034】

【非特許文献1】Wang et al., IEEE Trans. Magn., 1997, Vol. 33, p. 4498

【非特許文献2】J.M. Daughton, Thin Solid Films, 1992, vol. 216, p. 162-168

【非特許文献3】D.D. Tang et al., IEDM Technical Digest, 1997, p. 995-997

【非特許文献4】R. Meservey et al., Physics Reports, 1994, vol. 238, p. 214-217

【非特許文献5】T. Miyazaki et al., J. Magnetism & Magnetic Material, 1995, vol. 139, L 10
231

【特許文献1】特開平10-116490号公報

【特許文献2】米国特許出願公開第2003/0072174号明細書

【発明の開示】

【発明が解決しようとする課題】

【0035】

上述したように、スイッチング特性を利用したMRAMの従来の構成においては、記憶層103として2層以上の強磁性層を用いて、ビット情報の記録を行っている。

【0036】

従来のスイッチング特性を利用したMRAMでは、図14の大部分の領域がメモリ素子 20
として機能するToggle動作の領域80となっている。

【0037】

ところで、MRAMの各メモリ素子の情報を初期化するためには、MRAM全体で各メモリ素子の磁化状態を揃える必要がある。

しかしながら、Toggle動作の領域80においては、ビット情報を担う磁化状態の極性を交番的に変化させることはできるが、磁化状態の極性を入力信号に応じて非交番的に変化させることはできないため、全てのメモリセルでメモリ素子の磁化状態の極性をToggle動作により交番的に変化させると、MRAM全体でメモリ素子の磁化状態を揃えることはできない。

【0038】

そのため、Toggle動作を使用して、MRAMの各メモリ素子のビット情報を初期化するには、(1)各メモリセルの磁化状態を読み出し、(2)書き換える必要のあるメモリセルのメモリ素子のみを選択的にToggle動作させる、という2段階の手順を踏まなければならないという問題があった。

このとき、初期化に要する時間が長くなってしまうたり、初期化に要する消費電力が増大してしまうたりすることが考えられる。

【0039】

これに対して、磁化状態の極性を非交番的に変化させるためには、Direct動作をさせればよい。

そして、全てのメモリセルで、メモリ素子の磁化状態の極性をDirect動作により 40
非交番的に変化させると、MRAM全体でメモリ素子の磁化状態を一方に揃えることができる。これにより、1段階の手順でMRAMの各メモリ素子の情報を初期化することが可能である。

【0040】

しかしながら、Direct動作の領域82は、通常、図14に示したように、Toggle動作の領域80よりも外側(高磁界側)に存在するため、MRAMの各メモリ素子のビット情報を初期化する目的で、Direct動作させようとする、高磁界を発生させるために、非常に大きな波高値の電流パルスを印加しなければならないという問題があった。

【0041】

上述した問題の解決のために、本発明においては、初期化に要する時間の短縮を図り、初期化に要する電流のパルスの波高値の低減を図ることができる磁気メモリの初期化方法を提供するものである。

【課題を解決するための手段】

【0042】

本発明の磁気メモリの初期化方法は、情報を磁性体の磁化状態によって保持する記憶層が、非磁性層を介して積層されて、反強磁性結合した複数層の磁性層から成り、定常状態では非磁性層を介して対向する2層の磁性層の磁化の向きが概ね反平行状態である磁気記憶素子と、互いに交差する第1の配線と第2の配線とを備え、第1の配線と第2の配線とが交差する交点付近に、それぞれ磁気記憶素子の磁化容易軸が第1の配線及び第2の配線に対して傾斜角度を有するように、磁気記憶素子が配置されて成る磁気メモリに対して、第1の配線の電流のパルスと第2の配線の電流のパルスとをほぼ同じ時刻で印加を停止することにより、磁気メモリの各磁気記憶素子の記憶層の磁化状態を全て同じ状態に揃えるものである。

10

【0043】

上述の本発明の磁気メモリの初期化方法によれば、情報を磁性体の磁化状態によって保持する記憶層が、非磁性層を介して積層されて、反強磁性結合した複数層の磁性層から成り、定常状態では非磁性層を介して対向する2層の磁性層の磁化の向きが概ね反平行状態である磁気記憶素子と、互いに交差する第1の配線と第2の配線とを備え、第1の配線と第2の配線とが交差する交点付近に、それぞれ磁気記憶素子の磁化容易軸が第1の配線及び第2の配線に対して傾斜角度を有するように、磁気記憶素子が配置されて成る磁気メモリに対して、第1の配線の電流のパルスと第2の配線の電流のパルスとをほぼ同じ時刻で印加を停止することにより、磁気メモリの各磁気記憶素子の記憶層の磁化状態を全て同じ状態に揃えるので、第1の配線と第2の配線の各電流のパルスの印加の停止時刻の時間差がなくなり、その分、（前述したDirect動作により）記憶層の各磁性層の磁化を揃える動作に関わる電流パルスの持続時間を全体として短縮することが可能になる。

20

また、第1の配線の電流のパルスと第2の配線の電流のパルスとをほぼ同じ時刻で印加を停止することにより、前述したDirect動作を比較的弱い磁界で行うことが可能になるため、初期化に要する各配線の電流のパルスの波高値を、低くすることが可能になる。

30

【発明の効果】

【0044】

上述の本発明によれば、磁気メモリの各磁気記憶素子の記憶層の磁化状態を揃える初期化を、従来よりも、高速かつ低電流で行うことが可能になる。

従って、本発明によれば、磁気メモリにおいて、小型化や大容量化、信頼性の向上、低消費電力化を、容易に図ることが可能になる。

【発明を実施するための最良の形態】

【0045】

まず、本発明方法を適用するスイッチング特性を利用したMRAMの一形態の概略構成図（模式的断面図）を図1に示す。

40

本形態においても、図7に示した従来の構成と同様に、メモリセルの読み出しのために選択用MOSトランジスタを用いている。

【0046】

まず、MRAMのメモリセルを構成する磁気記憶素子1の構成を説明する。

第1の磁化固定層12及び第2の磁化固定層14は、非磁性層13を介して配置されていることにより、反強磁性結合している。さらに、第1の磁化固定層12は、反強磁性層11と接して配置されており、これらの層間に働く交換相互作用によって、強い一方向の磁気異方性を有する。そして、これら4層11, 12, 13, 14により固定層2が構成される。即ち、固定層2は、2層の磁性層（第1の磁化固定層12及び第2の磁化固定層14）を有している。

50

第1の記憶層16及び第2の記憶層18の2層の磁性層は、非磁性層17を介して配置されていることにより、反強磁性結合している。これら第1の記憶層16及び第2の記憶層18は、それぞれの磁化M1、M2の向きが比較的容易に回転するように構成される。そして、これら3層16、17、18により記憶層(自由層)3が構成される。即ち、記憶層(自由層)3は、2層の磁性層(第1の記憶層16及び第2の記憶層18)を有している。

第2の磁化固定層14と第1の記憶層16との間、即ち固定層2と記憶層(自由層)3との間には、トンネル絶縁層15が形成されている。このトンネル絶縁層15は、上下の磁性層16及び14の磁氣的結合を切るとともに、トンネル電流を流す役割を担う。これにより、磁性層の磁化の向きが固定された固定層2と、トンネル絶縁層15と、磁化の向きを変化させることが可能な記憶層(自由層)3とにより、TMR(Tunneling Magnetoresistance)素子が構成されている。

10

【0047】

第2の記憶層18の上には、トップコート膜19が形成されている。このトップコート膜19は、磁気記憶素子1と接続された配線(ビット線)6との相互拡散防止、接触抵抗の低減及び第2の記憶層18の酸化防止という役割がある。

反強磁性層11の下には、下地膜10が形成されている。この下地膜10は、上方に積層される層の結晶性を高める作用がある。

【0048】

第1及び第2の磁化固定層12及び14と、第1及び第2の記憶層16及び18とは、例えば、ニッケルまたは鉄またはコバルト、或いはこれらの合金を主成分とする強磁性体が用いられる。

20

非磁性層13、17の材料としては、例えば、タンタル、クロム、ルテニウム等が使用できる。

反強磁性層11の材料としては、例えば、鉄、ニッケル、白金、イリジウム、ロジウム等のマンガン合金、コバルトやニッケル酸化物等が使用できる。

下地膜10には、例えば、クロム、タンタル等を使用できる。

トップコート膜19には、例えば、銅、タンタル、TiN等の材料が使用できる。

【0049】

これらの磁性層12、14、16、18及び導体膜10、13、17、19は、主にスパッタリング法により形成される。

30

トンネル絶縁層15は、スパッタリングで形成された金属膜を酸化、もしくは窒化させることにより得ることができる。

【0050】

そして、上述の各層11~18と、下地膜10及びトップコート膜19により、TMR素子から成る磁気記憶素子1が構成されている。

【0051】

また、シリコン基板30中に選択用MOSトランジスタ31が形成され、この選択用MOSトランジスタ31の一方の拡散層33上に接続プラグ8を介して、引き出し電極9が形成されている。この引き出し電極9上に、磁気記憶素子1の下地膜10が接続されている。選択用MOSトランジスタ31のもう一方の拡散層32は、図示しないが、接続プラグを介してセンス線に接続されている。選択用MOSトランジスタのゲート7は、選択信号線と接続されている。

40

磁気記憶素子1のトップコート膜19は、その上のビット線(BL)6に接続されている。また、磁気記憶素子101の下方には絶縁膜を介して、書き込みワード線(WL)5が配置されている。

【0052】

定常状態において、第1の記憶層16の磁化M1と第2の記憶層18の磁化M2とは、概ね反平行状態(向きが正反対の状態)にある。同様に、非磁性層13を介した強い反強磁性結合により、第1の磁化固定層12の磁化M11と第2の磁化固定層14の磁化M1

50

2 は、ほぼ完全な反平行状態にある。

【0053】

また、図1のMRAMを直上より見た模式的平面図を図2に示す。

磁気記憶素子1は、図8の磁気記憶素子101と同様に、平面形状が楕円形状になっている。

楕円の長軸方向に磁化容易軸60があり、楕円の短軸方向に磁化困難軸61があり、これら磁化容易軸60と磁化困難軸61と直交している。

また、ビット線(BL)6及びワード線(WL)5は、そのなす角度が一定(ほぼ直交する)となっている。磁気記憶素子1は、その磁化容易軸60がワード線5に対して傾斜角度($0 < \theta < 90^\circ$)を有するように、ワード線5及びビット線6の交点に配置されている。

10

【0054】

この構成のメモリセルにおいて、磁気記憶素子1の記憶層3に情報を記録する際には、第1の記憶層16の磁化M1及び第2の記憶層18の磁化M2の向きを反転させるために、ビット線6及びワード線5に、それぞれ、ビット電流I_b及びワード線電流I_wを流す。ビット線電流I_b及びワード線電流I_wは、それぞれ、ビット線電流磁界H_b及びワード線電流磁界H_wを誘起する。ワード線電流磁界H_wとビット線電流磁界H_bの合成磁界は、後述するように、時計回りまたは反時計回りに回る回転磁界を形成する。

【0055】

また、磁気記憶素子1の記憶層3に記録された情報を読み出す際には、ビット線6と、選択用MOSトランジスタ31の拡散層32に接続されたセンス線との間に電圧をかけて、選択用MOSトランジスタ31のゲート7をオン状態にすることにより、磁気記憶素子1の膜厚方向に電流を流す。これにより、トンネル絶縁層15を挟む磁性層(第2の磁化固定層14及び第1の記憶層16)におけるトンネル磁気抵抗効果を利用して、記憶層3の磁性層の磁化の向きを検出することにより、記憶層3に記録された情報を読み出すことができる。

20

【0056】

そして、図1に示した構成のメモリセルを用いて、それぞれ多数のワード線(WL)5及びビット線(BL)6に対して、各交点に磁気記憶素子1を配置することにより、多数のメモリセルを有し、記憶容量の大きい磁気メモリ(磁気記憶装置)を構成することができる。

30

このように磁気メモリを構成した場合に、あるメモリセルの磁気記憶素子1の記憶層3に情報を記録するためには、多数あるワード線5及びビット線6から、記録を行うメモリセルに対応するそれぞれ1本のワード線5及びビット線6を選択し、ワード線5及びビット線6に電流を流して、記録を行うメモリセルの磁気記憶素子1に対して電流磁場H_w、H_bを印加する。これにより、そのメモリセルの磁気記憶素子1の記憶層3に回転磁界が印加され、その記憶層3において、第1の記憶層16の磁化M1及び第2の記憶層18の磁化M2が反転(Toggling動作)して、情報の書き込み(記録)が行われる。

一方、情報の記録を行わないメモリセルでは、ワード線5或いはビット線6の少なくとも一方は選択されていないため、第1の記憶層16の磁化M1及び第2の記憶層18の磁化M2が反転(Toggling動作)するために十分な回転磁界が印加されないことから、情報の書き込み(記録)が行われず、記憶層3に既に記録されている情報が保持される。

40

【0057】

次に、本発明の磁気メモリの初期化方法の一実施の形態として、図1に示した構成のスイッチング特性を利用したMRAMに対して、初期化を行う方法を説明する。

本実施の形態における電流パルスの時間変化を図3Aに示す。また、本実施の形態におけるTMR素子の電気抵抗の時間変化を図3Bに示す。

本実施の形態では、特に、図3Aに示すように、ワード線電流I_wのパルスの印加とビット線電流I_bのパルスの印加とを同時に開始及び停止する。

【0058】

50

このようなタイミングで各電流 I_w , I_b のパルスを印加することにより、TMR素子の電気抵抗は図3Bに示すように変化する。

図3Bと図12とを比較すると、TMR素子の電気抵抗の変化において、図12の時刻T1から時刻T2までの過程（反平行磁化状態から交差磁化状態へ遷移する過程）、即ち印加開始時の遅延時間が省略され、時刻T2以降の磁化状態へ直接遷移していることがわかる。

また、図12の時刻T3から時刻T4までの過程（交差磁化状態から反平行磁化状態へ遷移する過程）、即ち印加停止時の遅延時間が省略され、時刻T4以降の磁化状態へ直接遷移していることがわかる。

【0059】

このように、図12に示した従来のDirect動作における遅延時間（T1 - T2及びT4 - T3）が省略されたことにより、全体として電流 I_w , I_b のパルスの持続時間が減少している。

これにより、磁気メモリ（MRAM）の初期化の際に必要なとする消費電力を低減することができると共に、磁気メモリ（MRAM）の初期化に必要なとなる時間も大幅に短縮することができる。

また、このタイミングで電流パルスを印加すると、本来はToggle動作の領域であるはずの低い電流パルス波高値でも、Direct動作させることが可能になる。

【0060】

なお、図3Aに示すように、ワード線電流 I_w のパルスの印加とビット線電流 I_b のパルスの印加とを同時に停止する場合だけでなく、ワード線電流 I_w のパルスの印加の停止時刻とビット線電流 I_b のパルスの印加の停止時刻との間の時間差（遅延時間；図12ではT4 - T3）を、パルスの印加時間と比較して十分に短くして、両者のパルスの印加をほぼ同時に停止する場合も、磁気メモリの初期化の際の消費電力を低減し、磁気メモリの初期化に必要なとなる時間を大幅に短縮する効果が得られる。

【0061】

この場合、電流パルスの印加の停止時刻の時間差を、電流パルスの印加停止前の交差磁化状態から反平行磁化状態に遷移する時間よりも短い時間とすることが望ましい。

また、十分な効果を得るためには、パルスの印加時間にもよるが、電流パルスの印加の停止時刻の時間差を最大でも1ナノ秒以下とすることが望ましい。

【0062】

上述の本実施の形態によれば、ワード線電流 I_w のパルスの印加とビット線電流 I_b のパルスの印加を同時に開始及び停止し、遅延時間をなくしたことにより、Direct動作に関わる電流パルスの持続時間を全体として短縮することが可能になる。

これにより、磁気メモリ（MRAM）の各メモリセルの磁気記憶素子1の記憶層（自由層）3の磁化状態を揃えて、磁気メモリ（MRAM）の初期化を行うために必要となる消費電力量を、従来よりも低減することができる。

【0063】

また、パルスの印加停止時の遅延時間をなくしたことにより、低い波高値の電流パルスを用いてDirect動作を行うことが可能になる。

【0064】

即ち、本実施の形態によれば、従来よりも高速かつ低電流でメモリ素子の初期化を行うことができる。

【0065】

そして、磁気記憶素子を微細化するためには、消費電力を低減する必要があるため、本実施の形態によって初期化に要する消費電力を低減することができるため、磁気メモリ（MRAM）のメモリセルを構成する磁気記憶素子1を微細化して、磁気メモリ（MRAM）の小型化や大容量化（記憶容量の増大）を図ることが容易に可能となる。

また、初期化に要する電流を低減することが可能になるため、電流を流す配線におけるエレクトロン・マイグレーション破断の発生を低減することができ、これにより磁気メモ

10

20

30

40

50

リ(MRAM)の信頼性の向上を図ることができる。

従って、本実施の形態によれば、磁気メモリ(MRAM)において、小型化や大容量化、信頼性の向上、低消費電力化を、容易に図ることが可能になる。

【0066】

なお、本発明では、ワード線電流 I_w のパルスの印加停止時刻とビット線電流 I_b のパルスの印加停止時刻とを略同時にするが、ワード線電流 I_w のパルスの印加開始時刻とビット線電流 I_b のパルスの印加開始時刻には、時間差が設けられていてもよい。その場合を、図4と図5にそれぞれ示す。図4及び図5では、いずれも、ワード線電流 I_w のパルスが先に印加開始されるようになっている。

これら図4及び図5に示す場合でも、図12及び図13に示した従来のDirect動作における遅延時間($T_4 - T_3$)が省略されているため、全体として電流 I_w , I_b のパルスの持続時間が減少している。

これにより、磁気メモリ(MRAM)の初期化の際に必要なとする消費電力を低減することができると共に、磁気メモリ(MRAM)の初期化に必要なとなる時間も大幅に短縮することができる。また、本来はToggle動作の領域であるはずの低い電流パルス波高値でも、Direct動作させることが可能になる。

即ち、これらの場合でも、従来よりも高速かつ低電流でメモリ素子の初期化を行うことができる。

従って、磁気メモリ(MRAM)において、小型化や大容量化、信頼性の向上、低消費電力化を、容易に図ることが可能になる。

【0067】

ここで、本発明の初期化方法によって得られる磁化回転モードの改善効果を調べた。

磁気記憶素子を、 $0.30\mu\text{m}$ (長軸方向) $\times 0.15\mu\text{m}$ (短軸方向)として、図12に示した従来の初期化方法の場合と、本発明の初期化方法の場合、即ちワード線電流 I_w のパルスの印加とビット線電流 I_b のパルスの印加を同時に停止した場合とで、素子の磁化回転モードの分布を比較した。

それぞれの磁化回転モードの分布を図6A及び図6Bに示す。図6Aは図12に示した従来の初期化方法の場合であり、図6Bは図3A及び図3Bに示した本発明の初期化方法の実施の形態の場合である。

【0068】

従来は、ワード線電流 I_w のパルスの印加の停止時刻とビット線電流 I_b のパルスの印加の停止時刻との間に、遅延時間を設けていた。

その遅延時間(時間差)は、電流パルス印加停止前の交差磁化状態から反平行磁化状態(または)に遷移する時間よりも長い時間が必要である。

これにより、図6Aに示すように、Toggle動作の領域80が広がるため、Direct動作の領域82とするには強い磁界を印加する必要があった。

このため、Direct動作を利用してビット情報の初期化を行うには、波高値の高い電流パルスが必要であった。

【0069】

これに対して、図6Bより、本発明の初期化方法を採用した場合には、図6AでToggle動作の領域80であった領域の多くが、Direct動作の領域82に変わることがわかる。

従って、本発明の初期化方法を採用することにより、比較的弱い磁界でDirect動作を行うことが可能になり、波高値の低い電流パルスでDirect動作を利用してビット情報の初期化を行うことが可能になる。

【0070】

ところで、完全に理想的な積層構造を持った磁気記憶素子は、記憶層の二つの安定な磁化状態(例えば記憶層が2層の磁性層から成るときは、 と の2つの磁化状態)が磁氣的に同値なエネルギー状態にあるため、Direct動作によって最終的に得られる記憶層の磁化状態が不定になる可能性がある。

このため、磁気メモリ全体で各メモリセルの磁気記憶素子の記憶層の磁化状態が揃わなくなり、磁気メモリの初期化が達せられなくなるおそれがある。

【0071】

そこで、このような場合には、Direct動作後の磁化状態を固定するために、以下に挙げる構成とすることが考えられる。

【0072】

まず、第1の構成として、例えば図1の磁気記憶素子1の構成において、飽和磁化 MS_1 で膜厚 t_1 である第1の磁化固定層12と、飽和磁化 MS_2 で膜厚 t_2 である第2の磁化固定層14とが、 $MS_2 \cdot t_2 > MS_1 \cdot t_1$ の条件を満たすように構成する。

この構成とすることにより、磁化固定層2から磁極磁界を記憶層3に対して漏洩させることができ、第2の磁化固定層14の磁化 M_{12} の向きと第1の記憶層16の磁化 M_1 の向きとが、互いに反平行となる状態を、磁氣的に低いエネルギー状態と設定することができる。これにより、Direct動作後の磁化状態は、この磁氣的に低いエネルギー状態に固定されるため、磁気メモリ全体で各メモリセルの磁気記憶素子の記憶層の磁化状態が揃い、磁気メモリを初期化することが可能になる。

10

【0073】

即ち、磁化固定層を非磁性層を介した2層の磁性層から成る構成として、この磁化固定層の2層の磁性層のうち、記憶層に近い一方の磁性層の飽和磁化と膜厚との積が、磁化固定層の他方の磁性層の飽和磁化と膜厚との積以上であれば、記憶層の複数層の磁性層のうち磁化固定層に最も近い磁性層の磁化の向きが、磁化固定層の（記憶層に近い）一方の磁性層の磁化の向きに対して反平行となる状態に、各磁気記憶素子の記憶層の磁化状態を揃えることができる。そして、このように各磁気記憶素子の記憶層の磁化状態を揃えることにより、磁気メモリを初期化することができる。

20

【0074】

次に、第2の構成として、例えば図1の磁気記憶素子1の構成において、飽和磁化 MS_1 で膜厚 t_1 である第1の磁化固定層12と、飽和磁化 MS_2 で膜厚 t_2 である第2の磁化固定層14とが、 $MS_1 \cdot t_1 > MS_2 \cdot t_2$ の条件を満たすように構成する。

この構成とすることにより、磁化固定層2から磁極磁界を記憶層3に対して漏洩させることができ、第1の磁化固定層12の磁化 M_{11} の向きと第1の記憶層16の磁化 M_1 の向きとが、互いに反平行となる状態を、磁氣的に低いエネルギー状態と設定することができる。これにより、Direct動作後の磁化状態は、この磁氣的に低いエネルギー状態に固定されるため、磁気メモリ全体で各メモリセルの磁気記憶素子の記憶層の磁化状態が揃い、磁気メモリを初期化することが可能になる。

30

【0075】

即ち、磁化固定層を非磁性層を介した2層の磁性層から成る構成として、この磁化固定層の2層の磁性層のうち、記憶層から遠い一方の磁性層の飽和磁化と膜厚との積が、磁化固定層の他方の磁性層の飽和磁化と膜厚との積以上であれば、記憶層の複数層の磁性層のうち磁化固定層に最も近い磁性層の磁化の向きが、磁化固定層の（記憶層から遠い）一方の磁性層の磁化の向きに対して反平行となる状態に、各磁気記憶素子の記憶層の磁化状態を揃えることができる。そして、このように各磁気記憶素子の記憶層の磁化状態を揃えることにより、磁気メモリを初期化することができる。

40

【0076】

なお、これら第1の構成及び第2の構成において、一方の磁性層の飽和磁化と膜厚との積が、他方の磁性層の飽和磁化と膜厚との積以上にするためには、例えば、膜厚は同じで一方の磁性層の飽和磁化を大きくしたり、飽和磁化は同じで一方の磁性層の膜厚を厚くしたり、一方の磁性層の飽和磁化を大きくかつ膜厚を厚くしたりする等、様々な構成が考えられる。

【0077】

さらに、第3の構成として、例えば図1の磁気記憶素子1の構成において、トンネル絶縁層15の界面荒さを増大させた構成とする。

50

この構成とすることにより、トンネル絶縁層15を挟む2層の磁性層14, 16の磁化、即ち第2の磁化固定層14の磁化M12と第1の記憶層16の磁化M1とを強磁性結合させるため、第2の磁化固定層14の磁化M12の向きと第1の記憶層16の磁化M1の向きとが、互いに平行となる状態を、磁氣的に低いエネルギー状態と設定することができる。これにより、Direct動作後の磁化状態は、この磁氣的に低いエネルギー状態に固定されるため、磁気メモリ全体で各メモリセルの磁気記憶素子の記憶層の磁化状態が揃い、磁気メモリを初期化することが可能になる。

【0078】

即ち、記憶層と磁化固定層との間がトンネル絶縁層であり、磁化固定層が非磁性層を介した複数層の磁性層から成り、トンネル絶縁層の界面荒さを増大させた構成とすることにより、磁化固定層の複数層の磁性層のうちトンネル絶縁層側の磁性層の磁化と記憶層の複数層の磁性層のうちトンネル絶縁層側の磁性層の磁化とを強磁性結合させ、これら強磁性結合させた2層の磁性層の磁化の向きが平行となる状態に、各磁気記憶素子の記憶層の磁化状態を揃えることができる。そして、このように各磁気記憶素子の記憶層の磁化状態を揃えることにより、磁気メモリを初期化することができる。

10

【0079】

これら第1の構成～第3の構成を採用することにより、記憶層の二つの安定な磁化状態が磁氣的に同値なエネルギー状態にある場合でも、磁化固定層やトンネル絶縁層からの作用により磁氣的に異なるエネルギー状態とすることができ、磁氣的に低いエネルギー状態となる方の磁化状態に揃えることが可能になる。

20

従って、この磁氣的に低いエネルギー状態となる方の磁化状態になるように、各配線（例えばワード線及びビット線）に流す電流パルスの向きを設定することにより、磁気メモリを初期化することができる。

【0080】

これに対して、記憶層の二つの安定な磁化状態が磁氣的に異なるエネルギー状態にある場合には、磁氣的に低いエネルギー状態となる方の磁化状態に揃えることが容易に可能であるため、その磁化状態になるように、各配線（例えばワード線及びビット線）に流す電流パルスの向きを設定することにより、容易に磁気メモリを初期化することができる。

【0081】

前述した各実施の形態では、図1に示したように、記憶層3と固定層2との間にトンネル絶縁層15を設けてTMR素子から成る磁気記憶素子1を構成した場合に本発明を適用していたが、トンネル絶縁層の代わりに非磁性導電層を設けてGMR素子から成る磁気記憶素子を構成した場合にも、本発明を適用することができ、上述の実施の形態と同様に本発明の効果を得ることができる。

30

【0082】

また、記憶層に対して、トンネル絶縁層或いは非磁性導電層即ち非磁性層を介して固定層を設けた構成（TMR素子やGMR素子等）に限らず、本発明は、固定層を設けずに他の検出手段によって記憶層の磁性層の磁化の向きを検出して、磁気記憶素子の記憶層に記録された情報の読み出しを行う構成にも適用することが可能である。

固定層を設けた構成以外の他の検出手段としては、例えば、ホール素子を利用した構成や、光学的手段により検出を行う構成が考えられる。

40

【0083】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【図面の簡単な説明】

【0084】

【図1】本発明を適用するスイッチング特性を利用したMRAMの一形態の模式的断面図である。

【図2】図1のMRAMを直上より見た模式的平面図である。

【図3】A 本発明の一実施の形態の電流パルスの時間変化を示す図である。 B 図3

50

Aの電流パルスの印加によるTMR素子の電気抵抗の時間変化を示す図である。

【図4】本発明の一実施の形態における、電流パルス、各記憶層の磁化の向き、TMR素子の電気抵抗の時間変化の一例を示す図である。

【図5】本発明の一実施の形態における、電流パルス、各記憶層の磁化の向き、TMR素子の電気抵抗の時間変化の一例を示す図である。

【図6】磁化回転モードの分布を比較する図である。A 従来の初期化方法の場合である。B 図3Aの電流パルスを用いる初期化方法の場合である。

【図7】スイッチング特性を利用したMRAMの模式的断面図である。

【図8】図7のMRAMを直上より見た模式的平面図である。

【図9】図7の磁気記憶素子の磁化容易軸方向に外部磁界が印加されたときの磁化曲線の一例である。 10

【図10】Toggle動作における、電流パルス、各記憶層の磁化の向き、TMR素子の電気抵抗の時間変化の一例を示す図である。

【図11】Non-switching動作における、電流パルス、各記憶層の磁化の向き、TMR素子の電気抵抗の時間変化の一例を示す図である。

【図12】Direct動作における、電流パルス、各記憶層の磁化の向き、TMR素子の電気抵抗の時間変化の一例を示す図である。

【図13】Direct動作における、電流パルス、各記憶層の磁化の向き、TMR素子の電気抵抗の時間変化の一例を示す図である。

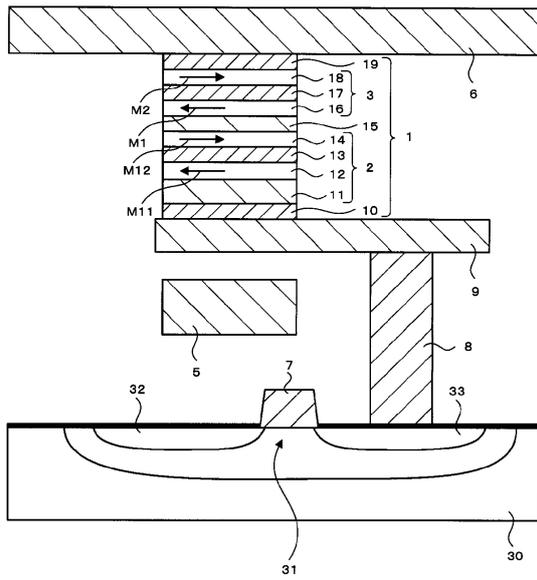
【図14】図7の磁気記憶素子の磁化回転モードの分布を示す図である。 20

【符号の説明】

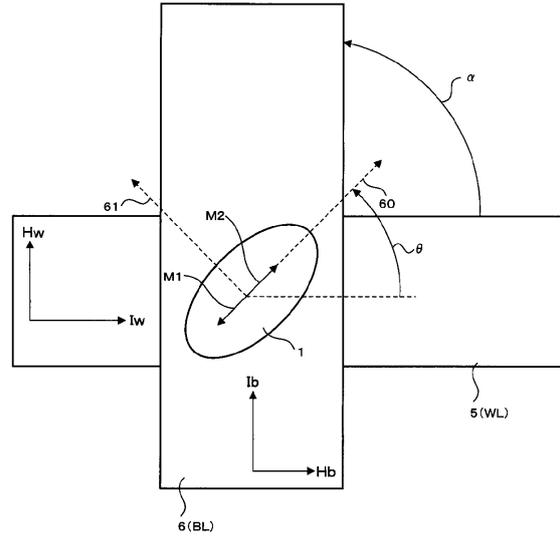
【0085】

1 磁気記憶素子、2 固定層、3 記憶層(自由層)、5 ワード線、6 ビット線、11 反強磁性層、12 第1の磁化固定層、13, 17 非磁性層、14 第2の磁化固定層、15 トンネル絶縁層、16 第1の記憶層、18 第2の記憶層、30 シリコン基板、31 選択用MOSトランジスタ

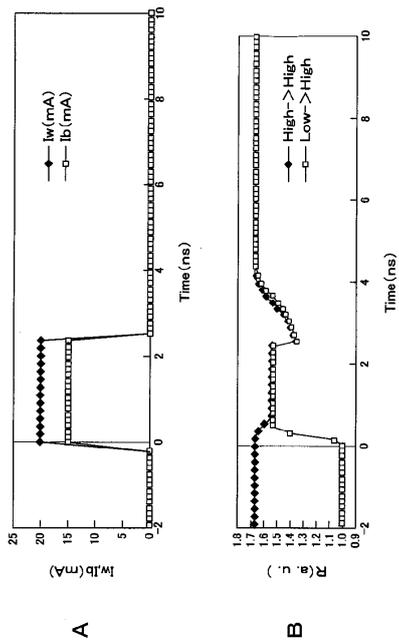
【 図 1 】



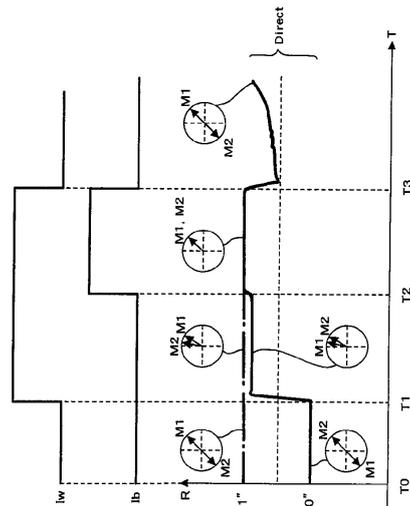
【 図 2 】



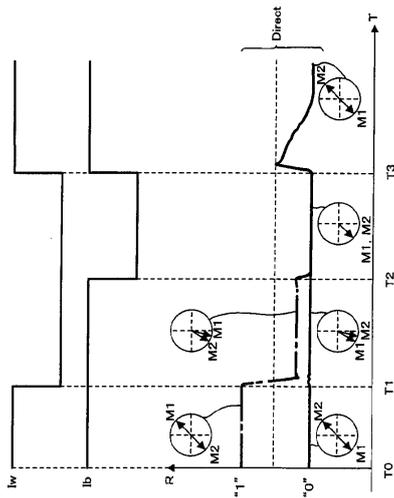
【 図 3 】



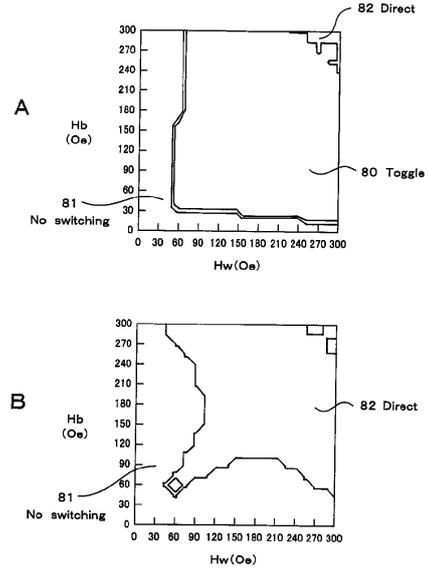
【 図 4 】



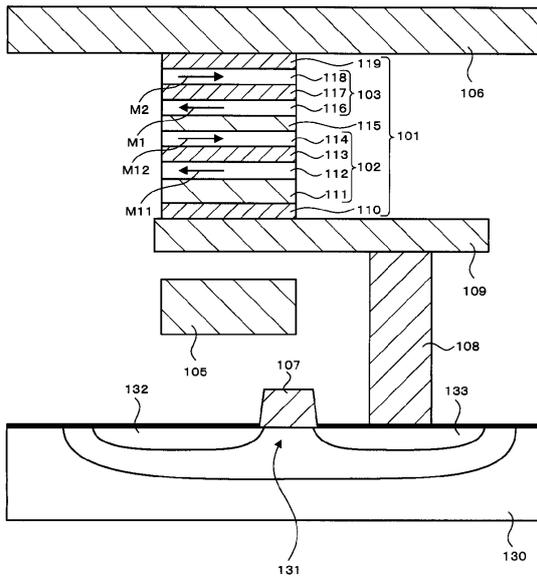
【 図 5 】



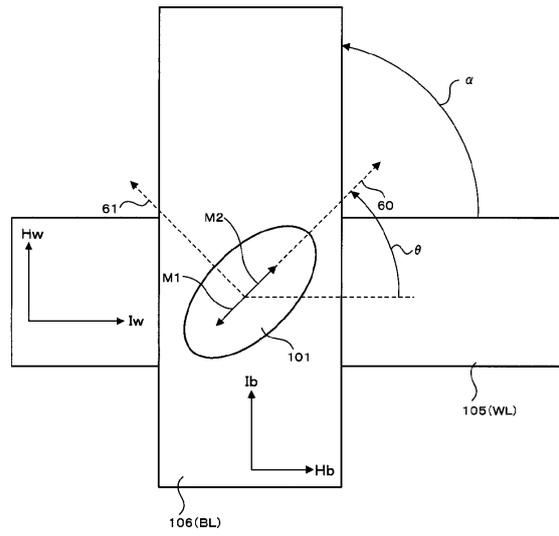
【 図 6 】



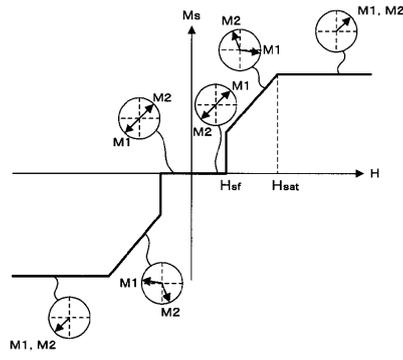
【 図 7 】



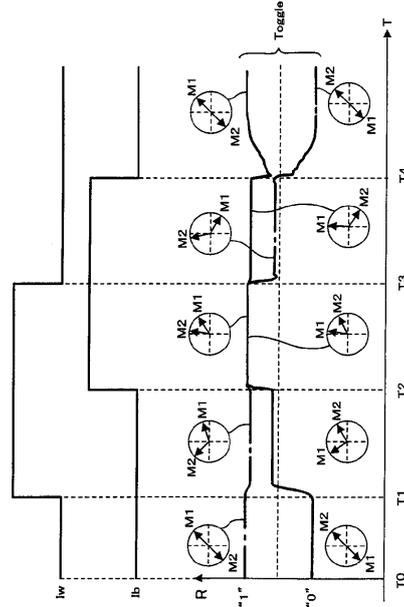
【 図 8 】



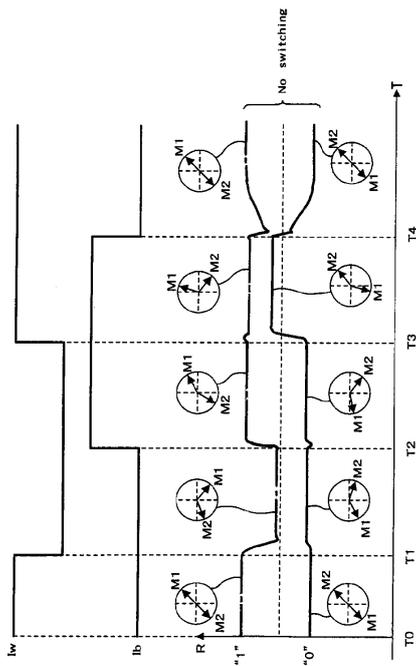
【 9 】



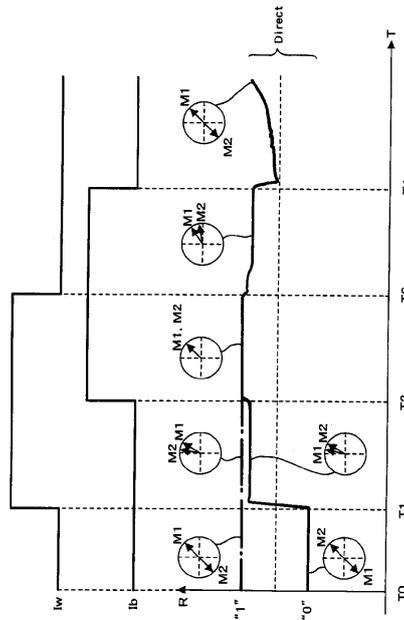
【 10 】



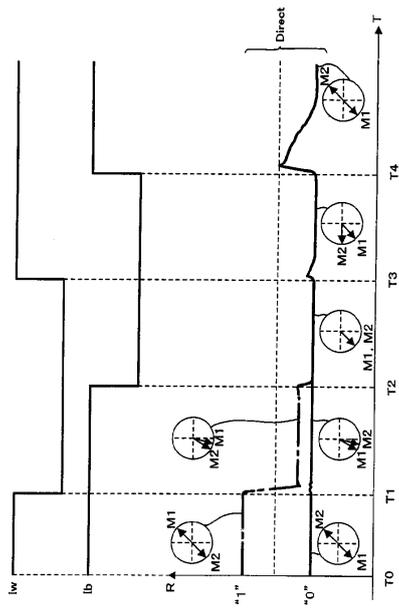
【 11 】



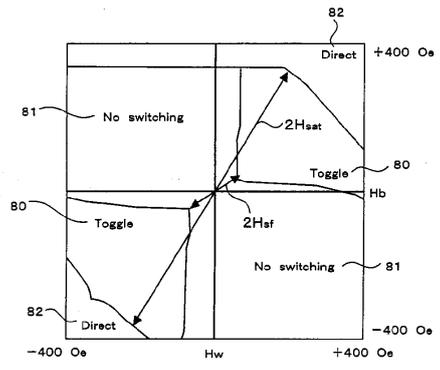
【 12 】



【 13 】



【 14 】



フロントページの続き

- (72)発明者 肥後 豊
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 細見 政功
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 鹿野 博司
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 窪 真也
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 水口 徹也
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 成沢 浩亮
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 大場 和博
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 大森 広之
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 曾根 威之
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 山田 直美
東京都品川区北品川6丁目7番35号 ソニー株式会社内
- (72)発明者 山元 哲也
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 須原 宏光

- (56)参考文献 国際公開第03/107350(WO, A1)
特開2002-358775(JP, A)
特開2003-123463(JP, A)
特開平09-050692(JP, A)
特開2003-289133(JP, A)
特開2003-031771(JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/15
H01L 27/105
H01L 21/8246