

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-329760
(P2007-329760A)

(43) 公開日 平成19年12月20日(2007.12.20)

(51) Int. Cl.	F I	テーマコード (参考)
H03K 19/177 (2006.01)	H03K 19/177	5F064
H01L 21/82 (2006.01)	H01L 21/82	5J042
	A	

審査請求 未請求 請求項の数 8 O L (全 17 頁)

(21) 出願番号	特願2006-160124 (P2006-160124)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成18年6月8日(2006.6.8)	(74) 代理人	100089118 弁理士 酒井 宏明
		(72) 発明者	山田 裕 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
		(72) 発明者	菅野 伸一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
		Fターム(参考)	5F064 AA07 BB09 BB13 BB15 BB37 DD01 FF04 FF36 FF52 5J042 BA11 CA20 DA01

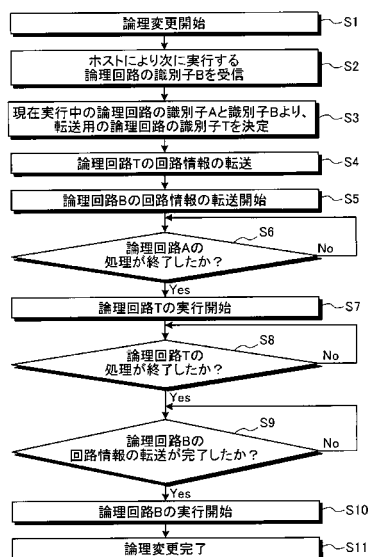
(54) 【発明の名称】 プログラマブル論理デバイス、回路情報入力制御装置および半導体装置

(57) 【要約】

【課題】 データ転送用に特別な回路を専用に用意することなく、データの通信部分が処理性能全体のボトルネックとならないようにすることができるとともに、メモリに記録するのと同程度の回路間の設計の独立性を確保することができるプログラマブル論理デバイスを提供する。

【解決手段】 処理回路部において論理回路Aと論理回路Bとを続けて実行する際に(S1~S5)、処理回路部が論理回路Aの実行終了後に(S6のYes)、回路情報入力制御部の制御によって論理回路Aと論理回路Bのどちらでも利用するデータの転送を行うためのデータ転送用論理回路である論理回路Tに切り替え(S7)、処理回路部が論理回路Tによるデータ転送の実行を終了した後(S8のYes)、回路情報入力制御部の制御によって論理回路Bに切り替える(S9~S10)。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の回路情報を選択的に与えることで複数の論理回路を実現可能な処理回路部と、
前記論理回路を実現する回路情報が設定される回路情報設定メモリと、
前記処理回路部に信号線を介して接続されており、前記回路情報設定メモリに設定されている前記回路情報に応じて前記処理回路部における前記論理回路の切り替えの制御を行なう回路情報入力制御部と、

を備え、

前記回路情報入力制御部は、前記処理回路部が第 1 の論理回路の実行中に第 2 の論理回路への変更要求を受けた場合、前記処理回路部が第 1 の論理回路の実行終了後に、前記第 1 の論理回路と前記第 2 の論理回路のどちらでも利用するデータの転送を行うためのデータ転送用論理回路に切り替え、前記処理回路部が前記データ転送用論理回路によるデータ転送の実行を終了した後、前記第 2 の論理回路に切り替える、
ことを特徴とするプログラマブル論理デバイス。

10

【請求項 2】

前記処理回路部は、前記回路情報設定メモリとは別に、前記データ転送用論理回路で利用可能な一もしくは複数の前記論理回路を実現する前記回路情報が予め入力されているメモリを有している、
ことを特徴とする請求項 1 記載のプログラマブル論理デバイス。

【請求項 3】

前記処理回路部は、ロジックブロックおよびスイッチブロックに冗長に複数個のメモリを持たせることで、前記データ転送用論理回路を実行中に、前記第 2 の論理回路を実現する前記回路情報の入力を可能とする、
ことを特徴とする請求項 1 記載のプログラマブル論理デバイス。

20

【請求項 4】

前記データ転送用論理回路を実現する回路情報は、通信経路を実現する回路情報のみから構成されている、
ことを特徴とする請求項 3 記載のプログラマブル論理デバイス。

【請求項 5】

前記処理回路部と前記回路情報入力制御部とを接続する信号線は、前記処理回路部のデータ転送に用いるブロックにのみ接続されている第 1 の信号線と前記処理回路部のデータ転送以外に用いるブロックにのみ接続されている第 2 の信号線とで構成されているとともに、前記回路情報設定メモリを複数有しており、

30

前記回路情報入力制御部は、前記データ転送用論理回路の前記データ転送に用いるブロックの回路情報を一の前記回路情報設定メモリから読み出し、前記第 1 の信号線を介して前記処理回路部内部の前記データ転送に用いるブロックに対して書き込むことにより前記データ転送用論理回路の回路情報を転送するとともに、前記第 2 の論理回路の前記データ転送以外に用いるブロックの回路情報を他の前記回路情報設定メモリから読み出し、前記第 2 の信号線を介して前記処理回路部内部の前記データ転送以外に用いるブロックに対して書き込むことにより前記第 2 の論理回路の回路情報を転送する、
ことを特徴とする請求項 1 記載のプログラマブル論理デバイス。

40

【請求項 6】

前記データ転送に用いるブロックは前記処理回路部のスイッチブロックであり、前記データ転送以外に用いるブロックは前記処理回路部のロジックブロックである、
ことを特徴とする請求項 5 記載のプログラマブル論理デバイス。

【請求項 7】

複数の回路情報を選択的に与えることで複数の論理回路を実現可能な処理回路部に信号線を介して接続され、回路情報設定メモリに設定されている前記回路情報に応じて前記処理回路部における前記各論理回路の切り替えの制御を行なう回路情報入力制御装置であって、

50

前記処理回路部が第1の論理回路の実行中に第2の論理回路への変更要求を受けた場合、前記処理回路部が第1の論理回路の実行終了後に、前記第1の論理回路と前記第2の論理回路のどちらでも利用するデータの転送を行うためのデータ転送用論理回路に切り替え、前記処理回路部が前記データ転送用論理回路によるデータ転送の実行を終了した後、前記第2の論理回路に切り替える、
ことを特徴とする回路情報入力制御装置。

【請求項8】

請求項1ないし6のいずれか一記載のプログラマブル論理デバイスと、
このプログラマブル論理デバイスを制御するための制御装置と、
前記プログラマブル論理デバイスの処理回路部における各論理回路にかかる回路情報を保存する記憶装置と、
を備えることを特徴とする半導体装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、動的にプログラムを変更可能なプログラマブル論理デバイス、回路情報入力制御装置および半導体装置に関する。

【背景技術】

【0002】

動的にプログラムを変更可能なプログラマブル論理デバイスにおいてそれぞれのプログラム間でデータの受け渡しを行なう方法としては、特許文献1に記載の技術がある。この特許文献1に記載の技術によれば、プログラマブル論理デバイスの外部の共有メモリを介してデータの転送を行なうようにしている。より詳細には、1つめの論理回路で出力したデータを、外部の共有メモリへ一度保存して、2つめの論理回路を実行する際に、共有メモリから読み込むことで転送を実現する、というものである。すなわち、外部メモリとのデータの通信が入出力部分に集中することにより、通信部分がシステム全体の性能の支配的な要素となる。 20

【0003】

上述のように共有メモリを介してデータを転送する手法は、転送データを一度必ずメモリに記録することで回路設計の自由度は高くなるため、それぞれ論理回路で独立した設計が可能であり、論理回路ごとの最適化が容易だが、メモリアクセス速度が律速する。 30

【0004】

また、特許文献2や非特許文献1によれば、内部データをプログラマブル論理デバイスの内部データを転送する方法として、2つの論理回路で転送するデータの配置を同じメモリ素子に割り当てている。このように2つの論理回路に対して同じ記憶装置を割り当てる場合においては、論理回路の変更を行なうことでデータの転送が可能である。

【0005】

【特許文献1】特開2001-202236号公報

【特許文献2】特許第3674515号公報

【非特許文献1】平成17年8月25日、株式会社オーム社発行 末吉敏則・天野英晴編 「リコンフィギャラブルシステム」 p189～p208 「第7章 NECエレクトロニクス社 DRP」 40

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献2や非特許文献1に記載の技術によれば、2つの論理回路でメモリの割り当てが物理的に制限されることから、通信性能の向上を目的とした論理回路の回路動作速度や回路規模などの最適化や、一度設計した回路を部品として別の用途に対して流用する再利用性の向上が困難である。

【0007】

本発明は、上記に鑑みてなされたものであって、データ転送用に特別な回路を専用を用意することなく、データの通信部分が処理性能全体のボトルネックとならないようにすることができるとともに、メモリに記録するのと同程度の回路間の設計の独立性を確保することができるプログラブル論理デバイス、回路情報入力制御装置および半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、目的を達成するために、本発明のプログラブル論理デバイスは、複数の回路情報を選択的に与えることで複数の論理回路を実現可能な処理回路部と、前記論理回路を実現する回路情報が設定される回路情報設定メモリと、前記処理回路部に信号線を介して接続されており、前記回路情報設定メモリに設定されている前記回路情報に応じて前記処理回路部における前記論理回路の切り替えの制御を行なう回路情報入力制御部と、を備え、前記回路情報入力制御部は、前記処理回路部が第1の論理回路の実行中に第2の論理回路への変更要求を受けた場合、前記処理回路部が第1の論理回路の実行終了後に、前記第1の論理回路と前記第2の論理回路のどちらでも利用するデータの転送を行うためのデータ転送用論理回路に切り替え、前記処理回路部が前記データ転送用論理回路によるデータ転送の実行を終了した後、前記第2の論理回路に切り替える。

10

【0009】

また、本発明の回路情報入力制御装置は、複数の回路情報を選択的に与えることで複数の論理回路を実現可能な処理回路部に信号線を介して接続され、回路情報設定メモリに設定されている前記回路情報に応じて前記処理回路部における前記各論理回路の切り替えの制御を行なう回路情報入力制御装置であって、前記処理回路部が第1の論理回路の実行中に第2の論理回路への変更要求を受けた場合、前記処理回路部が第1の論理回路の実行終了後に、前記第1の論理回路と前記第2の論理回路のどちらでも利用するデータの転送を行うためのデータ転送用論理回路に切り替え、前記処理回路部が前記データ転送用論理回路によるデータ転送の実行を終了した後、前記第2の論理回路に切り替える。

20

【0010】

また、本発明の半導体装置は、請求項1ないし6のいずれか一記載のプログラブル論理デバイスと、このプログラブル論理デバイスを制御するための制御装置と、前記プログラブル論理デバイスの処理回路部における各論理回路にかかる回路情報を保存する記憶装置と、を備える。

30

【発明の効果】

【0011】

本発明によれば、データ転送用に特別な回路を専用を用意することなく、データの通信部分が処理性能全体のボトルネックとならないようにすることができるとともに、メモリに記録するのと同程度の回路間の設計の独立性を確保することができるという効果を奏する。

【発明を実施するための最良の形態】

【0012】

以下に添付図面を参照して、この発明にかかるプログラブル論理デバイス、回路情報入力制御装置および半導体装置の最良な実施の形態を詳細に説明する。

40

【0013】

[第1の実施の形態]

本発明の第1の実施の形態を図1ないし図15に基づいて説明する。

【0014】

[プログラブル論理デバイスの構成]

図1は、本発明の第1の実施の形態にかかるプログラブル論理デバイス50を備える半導体装置100を示すブロック図である。図1に示すように、半導体装置100は、動的にプログラムを変更可能なプログラブル論理デバイス50を備えている。このプログラブル論理デバイス50には、プログラブル論理デバイス50を制御するための制御

50

装置であるホストプロセッサ10と、複数の回路情報や処理に用いるデータなどが保存された記憶装置であるメインメモリ20とが接続されている。なお、メインメモリ20に保存される論理回路の回路情報はユーザが予め用意するものであり、各論理回路にはユーザにより一意に定まる識別子が割り当てられている。

【0015】

プログラマブル論理デバイス50は、図1に示すように、処理回路部51と回路情報入力制御部(回路情報入力制御装置)52とを回路情報入力信号線53により接続して構成されている。

【0016】

まず、プログラマブル論理デバイス50を構成する処理回路部51について説明する。図2は、処理回路部51の構成を例示的に示す回路図である。図2に示すように、処理回路部51は、ルックアップテーブルなどのロジックブロック(LB)51Lと、データバスを構成するためのスイッチブロック(SB)51Sと、論理回路内部の処理で利用するデータを保存するためのメモリ(MEM)51Mとから構成されている。また、ロジックブロック(LB)51Lと、スイッチブロック(SB)51Sと、メモリ(MEM)51Mとは、回路情報入力信号線53により接続されている。なお、図2中、無表記の四角形もスイッチブロック(SB)51Sと基本的には同じ構造のものである。ただし、図2中、SBと表記されているものとは、入出力のポート数の点で異なるものである。

10

【0017】

図3は、ロジックブロック51Lの構成を例示的に示す模式図である。図3に示すように、ロジックブロック51Lは、真理値表の内容を保存するメモリ51LMと、入力信号をセクタ信号としてメモリ51LMの内容を出力するセクタ51LSとから構成されており、任意の論理を実現する。

20

【0018】

なお、図3に示すロジックブロック51Lの構成は一例であり、ロジックブロック51Lは、算術演算や論理演算を行うことが出来、処理を定義する情報を保存するメモリを持つ演算装置であれば、形態を特定しない。例えば、プロセッサや命令メモリを持つALU(Arithmetic and Logic Unit)でも良い。また、任意の論理が処理できなくとも良い。

【0019】

図4は、スイッチブロック51Sの構成を例示的に示す模式図である。図4に示すように、スイッチブロック51Sは、格子状に配置したスイッチ51SSと、スイッチ51SSのON/OFFを制御するためのメモリ51SMとから構成されている。

30

【0020】

なお、図4に示すスイッチブロック51Sの構成は一例であり、スイッチブロック51Sは、経路の情報を保存するメモリと、同時に複数組に対して通信する手段があれば良い。

【0021】

すなわち、プログラマブル論理デバイス50の処理回路部51においては、上述したようなロジックブロック51Lのメモリ51LMおよびスイッチブロック51Sのメモリ51SMに対し、外部からの回路情報入力信号線53を介して回路情報を表現したデータを入力することで、ユーザの定義した論理回路を実現する。

40

【0022】

次に、回路情報入力制御部52について説明する。回路情報入力制御部52は、処理回路部51の実行する論理回路の切り替えの制御を行なうものである。ここで、図5は回路情報入力制御部52の構成を示すブロック図である。図5に示すように、回路情報入力制御部52は、現在実行中の論理回路の識別子を保存するメモリ52Maと、次に実行する論理回路の識別子を保存するメモリ52Mbと、メモリ52Maとメモリ52Mbに保存された識別子から転送用の論理回路の識別子を得るためのテーブル52Tと、論理回路の回路情報が設定される回路情報設定メモリであるコンフィギュレーションメモリ54と、回路情報入力制御部52の状態遷移を制御するコントローラ52Pとから構成されている

50

。

【 0 0 2 3 】

回路情報入力制御部 5 2 は、上述した構成により、ホストプロセッサ 1 0 から送信される制御命令や変更する論理回路の識別子等の信号に従い、メインメモリ 2 0 からコンフィギュレーションメモリ 5 4 への論理回路の回路情報の転送と、メインメモリ 2 0 からテーブル 5 2 T へのテーブル情報の転送といった初期化処理を行なう。また、回路情報入力制御部 5 2 は、コンフィギュレーションメモリ 5 4 から処理回路部 5 1 への論理回路の回路情報の転送と、処理回路部 5 1 の実行する論理回路の切り替えの制御といった論理回路変更処理も行なう。

【 0 0 2 4 】

なお、論理回路変更の際には、回路情報入力信号線 5 3 を介して、ロジックブロック 5 1 L のメモリ 5 1 L M およびスイッチブロック 5 1 S のメモリ 5 1 S M へとコンフィギュレーションメモリ 5 4 から出力する回路情報を書き込む。

【 0 0 2 5 】

[プログラマブル論理デバイスでの処理]

次に、プログラマブル論理デバイス 5 0 での処理の一例として、以下のようなプログラムを処理する場合について説明する。

```

for ( int i = 0 ; i < 1 0 0 0 ; i++ ) {
    // 論理回路 A で処理
    z = x + y ;
    a = IN + b ;
    b = IN >> z ;
}
for ( int i = 0 ; i < 1 0 0 0 ; i++ ) {
    // 論理回路 B で処理
    OUT = a + b ;
    c = IN << a ;
    d = IN + c ;
}

```

【 0 0 2 6 】

上記のプログラムをプログラマブル論理デバイス 5 0 の処理回路部 5 1 で実行する場合においては、例えば、論理回路 A については図 6 に示す論理回路で処理し、論理回路 B については図 7 に示す論理回路で処理する。図 6 に示した論理回路 A と図 7 に示した論理回路 B とでは、上記プログラム中の変数 a , b が、物理的に異なるメモリ 5 1 M にそれぞれ割り当ててある。

【 0 0 2 7 】

本実施の形態のプログラマブル論理デバイス 5 0 においては、このような場合に効率的に処理を行なうことを目的として、図 8 に示すように、第 1 の論理回路である論理回路 A と第 2 の論理回路である論理回路 B の間に第 3 の論理回路であるデータ転送用の論理回路 T を実行するようにしたものである。

【 0 0 2 8 】

図 9 は、論理回路 T を示す回路図である。図 9 に示すように、論理回路 T は、論理回路 A と論理回路 B のどちらでも利用するデータの転送を行なう。ここでは、論理回路 T は、変数 a , b のみ転送をしており、x , y , z の転送は行なわない。また、転送のみを行なうため、ロジックブロック 5 1 L は利用せずとも論理回路を実現できる点が特徴である。

【 0 0 2 9 】

図 1 0 は、上記プログラムを実行した場合のタイムチャートである。図 1 0 に示すように、論理回路 A と論理回路 B はそれぞれ 1 0 0 0 サイクル実行するが、論理回路 T は変数 a , b の転送のみを行なうため 1 サイクルで処理が完了する。

10

20

30

40

50

【 0 0 3 0 】

[回路情報入力制御部による論理回路の変更方法]

回路情報入力制御部 5 2 は、現在実行中の論理回路 A から論理回路 B への論理回路変更では、まず、現在処理を行なっている論理回路 A と、ホストプロセッサ 1 0 に要求された論理回路 B との間でデータ転送を行なう論理回路 T の回路情報を処理回路部 5 1 へと書き込み、論理回路 T を実行する。続いて、論理回路 B の回路情報を処理回路部 5 1 へと書き込み、論理回路 T の処理が終了した後、論理回路 B を実行する。論理回路 T の終了の識別は、処理サイクル数を外部から指定しても良いし、処理終了を伝える制御信号を設けても良い。

【 0 0 3 1 】

図 1 1 は、プログラマブル論理デバイス 5 0 における論理回路変更処理の流れを示すフローチャートである。以下では、図 1 1 のフローチャートの流れに従い、論理回路変更の手順を示す。なお、ホストプロセッサ 1 0 から論理回路変更が要求される論理回路の回路情報は予めコンフィギュレーションメモリ 5 4 に保存されているものとする。つまり、論理回路変更要求を行なう前に、予め回路情報をコンフィギュレーションメモリ 5 4 へと書き込んでおく。

【 0 0 3 2 】

図 1 1 に示すように、プログラマブル論理デバイス 5 0 の回路情報入力制御部 5 2 は、ホストプロセッサ 1 0 から送信されたプログラマブル論理デバイス 5 0 の論理回路変更の R E Q 信号を受信すると、論理回路の変更が可能な状態ならば、A C K 信号をホストプロセッサ 1 0 へ送信し、論理回路変更を開始する (ステップ S 1)。論理回路の変更が不可能な状態ならば、変更可能な状態になるまで待機する。ホストプロセッサ 1 0 は、回路情報入力制御部 5 2 からの A C K 信号を受信したら、変更後の論理回路の識別子 B を回路情報入力制御部 5 2 へと送信する。

【 0 0 3 3 】

回路情報入力制御部 5 2 は、変更後の論理回路の識別子 B を受信すると (ステップ S 2)、現在実行中の論理回路の識別子 A と変更後の論理回路の識別子 B を入力として、回路情報入力制御部 5 2 内のテーブル 5 2 T を引くことで、データ転送用の論理回路の識別子 T を得る (ステップ S 3)。ただし、リセット直後などにより、現在実行中の論理回路が存在しない場合は、データ転送用の論理回路は必要ない。

【 0 0 3 4 】

図 1 2 は、テーブル 5 2 T の構造を示す模式図である。図 1 2 に示すように、テーブル 5 2 T は、現在実行中の論理回路の識別子と、変更後の論理回路の識別子と、データ転送用の論理回路の識別子とを対応付けた構造になっている。

【 0 0 3 5 】

回路情報入力制御部 5 2 は、データ転送用の論理回路の識別子 T を獲得したら、コンフィギュレーションメモリ 5 4 から、論理回路 T の回路情報を読み出し、回路情報入力信号線 5 3 を介して処理回路部 5 1 内部のロジックブロック 5 1 L やスイッチブロック 5 1 S に対して書き込むことにより、論理回路 T の回路情報を転送する (ステップ S 4)。

【 0 0 3 6 】

続いて、回路情報入力制御部 5 2 は、コンフィギュレーションメモリ 5 4 から、論理回路 B の回路情報を読み出し、回路情報入力信号線 5 3 を介して処理回路部 5 1 内部のロジックブロック 5 1 L やスイッチブロック 5 1 S に対して書き込むことにより、論理回路 B の回路情報を転送する (ステップ S 5)。

【 0 0 3 7 】

次いで、現在実行中の論理回路 A の処理が終了した場合には (ステップ S 6 の Y e s)、論理回路 T の処理の実行を開始する (ステップ S 7)。

【 0 0 3 8 】

論理回路 T の処理が終了すると (ステップ S 8 の Y e s)、論理回路 B の回路情報の転送が完了したか否かを判断する (ステップ S 9)。

10

20

30

40

50

【 0 0 3 9 】

論理回路 B の回路情報の転送が完了したと判断すると (ステップ S 9 の Y e s)、論理回路 B の処理の実行を開始し (ステップ S 1 0)、ホストプロセッサ 1 0 へ、A C K 信号を送信する。

【 0 0 4 0 】

ホストプロセッサ 1 0 が A C K 信号を受信すると、プログラマブル論理デバイス 5 0 の論理回路変更は完了する (ステップ S 1 1)。

【 0 0 4 1 】

このように本実施の形態によれば、処理回路部 5 1 において第 1 の論理回路 (論理回路 A) と第 2 の論理回路 (論理回路 B) とを続けて実行する際に、処理回路部 5 1 が第 1 の論理回路 (論理回路 A) の実行終了後に、回路情報入力制御部 5 2 の制御によって第 1 の論理回路 (論理回路 A) と第 2 の論理回路 (論理回路 B) のどちらでも利用するデータの転送を行うためのデータ転送用論理回路 (論理回路 T) に切り替え、処理回路部 5 1 がデータ転送用論理回路 (論理回路 T) によるデータ転送の実行を終了した後、回路情報入力制御部 5 2 の制御によって第 2 の論理回路 (論理回路 B) に切り替えることにより、データ転送用に特別な回路を専用に用意することなく、データの通信部分が処理性能全体のボトルネックとならないようにすることができるのと同時に、メモリに記録するのと同程度の回路間の設計の独立性を確保することができる。

10

【 0 0 4 2 】

ここで、プログラマブル論理デバイス 5 0 の第 1 の変形例について説明する。図 1 3 は、第 1 の変形例のプログラマブル論理デバイス 5 0 のロジックブロック 5 1 L を示す模式図である。図 1 3 に示すように、ロジックブロック 5 1 L の第 1 の変形例は、図 3 で示した構成に加えて、回路情報入力信号線 5 3 上にセクタ 6 1 とメモリ 6 2 とを備えている。

20

【 0 0 4 3 】

セクタ 6 1 は、メモリ 5 1 L M へ入力する回路情報を、回路情報入力信号線 5 3 上を送信される情報と、メモリ 6 2 に保存されている情報とから選択する。メモリ 6 2 には、データ転送用の論理回路を実行する際に利用する回路情報が予め入力されている。メモリ 6 2 は、ROM を用いて製造時に回路情報を入力しても良いし、RAM を用いてデバイスの起動時に回路情報を入力しても良い。

30

【 0 0 4 4 】

加えて、セクタ 6 1 の制御信号を回路情報入力信号線 6 3 に接続することで、スイッチブロック 5 1 S のみに回路情報を入力する場合に比べ、全ての動作を決定するプログラミングを行なうよりも少ない回路情報でロジックブロック 5 1 L をデータ転送用の論理回路で利用することが可能である。より詳細には、1 つのロジックブロック 5 1 L の全ての情報よりも、セクタ 6 1 のセクタ信号を指定する情報の方が少ないデータサイズで回路情報を表現することができるためである。図 1 3 では、メモリ 5 1 L M 内全てのメモリセルに対して回路情報を直接入力する場合には 1 6 ビット必要となるが、メモリ 6 2 に予め格納された回路情報を入力するためには信号線 6 3 上のレジスタにセクタ 6 1 の制御用のデータを 1 ビット入力すれば良くなる為、回路情報を削減することができる。

40

【 0 0 4 5 】

このようにデータ転送用の論理回路を実現する回路情報が予め入力されているメモリ 6 2 を有していることにより、データ転送用の論理回路の回路情報を、メインメモリ 2 0 に保存するプログラマブル論理デバイス 5 0 全体の回路情報から削減することができるので、回路情報入力に要する時間を削減することができる。

【 0 0 4 6 】

次に、プログラマブル論理デバイス 5 0 の第 2 の変形例について説明する。図 1 4 は、第 2 の変形例のプログラマブル論理デバイス 5 0 のロジックブロック 5 1 L を示す模式図である。図 1 4 に示すように、ロジックブロック 5 1 L の第 2 の変形例は、メモリ 5 1 L M の他に、メモリ 5 1 L M ' を有しており、一方のメモリ 5 1 L M に保存された回路情報

50

の論理回路を実行中に、他方のメモリ 5 1 L M' に対して回路情報の入力可能な構造をとる。

【 0 0 4 7 】

また、図 1 5 は第 2 の変形例のプログラマブル論理デバイス 5 0 のスイッチブロック 5 1 S を示す模式図である。図 1 5 に示すように、スイッチブロック 5 1 S の変形例は、図 1 4 に示したロジックブロック 5 1 L の変形例と同様に、メモリ 5 1 S M の他に、メモリ 5 1 S M' を有して、それぞれ異なる通信経路を有しており、一方のメモリ 5 1 S M に保存された回路情報の論理回路を実行中に、他方のメモリ 5 1 S M' に対して回路情報の入力可能な構造をとる。

【 0 0 4 8 】

このような、ロジックブロック 5 1 L、スイッチブロック 5 1 S を持つ処理回路部 5 1 の場合、ある論理回路を実行中に次に実行する論理回路の情報を入力しても実行中の回路動作に影響を与えない。

【 0 0 4 9 】

これにより、処理回路部 5 1 は、ロジックブロック 5 1 L およびスイッチブロック 5 1 S に冗長に複数（ここでは、2 組）のメモリを持たせることで、データ転送用論理回路（論理回路 T）を実行中に、第 2 の論理回路（論理回路 B）を実現する回路情報の入力を可能とすることにより、回路情報入力に要する時間を削減することができる。

【 0 0 5 0 】

また、データ転送用論理回路（論理回路 T）を実現する回路情報は、通信経路を実現する回路情報のみから構成されていることにより、回路情報入力に要する時間を更に削減することができる。

【 0 0 5 1 】

[第 2 の実施の形態]

次に、本発明の第 2 の実施の形態を図 1 6 ないし図 1 9 に基づいて説明する。なお、前述した第 1 の実施の形態と同じ部分は同じ符号で示し説明も省略する。

【 0 0 5 2 】

[プログラマブル論理デバイスの構成]

図 1 6 は、本発明の第 2 の実施の形態にかかるプログラマブル論理デバイス 1 5 0 を備える半導体装置 2 0 0 を示すブロック図である。図 1 6 に示すように、本実施の形態の半導体装置 2 0 0 は、動的にプログラムを変更可能なプログラマブル論理デバイス 1 5 0 を備えている。このプログラマブル論理デバイス 1 5 0 には、プログラマブル論理デバイス 1 5 0 を制御するためのホストプロセッサ 1 0 と、複数の回路情報や処理に用いるデータなどが保存されたメインメモリ 2 0 とが接続されている。

【 0 0 5 3 】

プログラマブル論理デバイス 1 5 0 は、図 1 6 に示すように、処理回路部 1 5 1 と回路情報入力制御部 1 5 2 とを、2 種類の回路情報入力信号線 1 5 3 A、1 5 3 B により接続して構成されている。

【 0 0 5 4 】

まず、プログラマブル論理デバイス 1 5 0 を構成する処理回路部 1 5 1 について説明する。図 1 7 は、処理回路部 1 5 1 の構成を例示的に示す回路図である。図 1 7 に示すように、処理回路部 1 5 1 は、第 1 の実施の形態の処理回路部 5 1 と同じく、ロジックブロック（L B）5 1 L と、スイッチブロック（S B）5 1 S と、メモリ（M E M）5 1 M とから構成されている。ただし、第 1 の実施の形態の処理回路部 5 1 に対しては 1 種類の回路情報入力信号線 5 3 が接続されていたのに対し、処理回路部 1 5 1 にはデータ転送以外に用いるブロックであるロジックブロック 5 1 L にのみ接続されている回路情報入力信号線 1 5 3 A と、データ転送に用いるブロックであるスイッチブロック 5 1 S にのみ接続されている回路情報入力信号線 1 5 3 B との 2 種類を持つという点が異なる。この構造により、処理回路部 1 5 1 のハードウェア資源を殆ど増加することなく、スイッチブロック 5 1 S とロジックブロック 5 1 L とを独立に制御することが可能となる。

10

20

30

40

50

【 0 0 5 5 】

回路情報入力制御部 1 5 2 は、処理回路部 1 5 1 の実行する論理回路の切り替えの制御を行なうものである。図 1 8 は、回路情報入力制御部 1 5 2 の構成を示すブロック図である。図 1 8 に示すように、回路情報入力制御部 1 5 2 は、現在実行中の論理回路の識別子を保存するメモリ 5 2 M a と、次に実行する論理回路の識別子を保存するメモリ 5 2 M b と、メモリ 5 2 M a とメモリ 5 2 M b に保存された識別子から転送用の論理回路の識別子を得るためのテーブル 5 2 T と、論理回路のロジックブロック 5 1 L に関する回路情報を保存するコンフィギュレーションメモリ 1 5 4 L と、論理回路のスイッチブロック 5 1 S に関する回路情報を保存するコンフィギュレーションメモリ 1 5 4 S と、回路情報入力制御部 5 2 の状態遷移を制御するコントローラ 5 2 P とから構成されている。

10

【 0 0 5 6 】

回路情報入力制御部 1 5 2 は、上述した構成により、ホストプロセッサ 1 0 から送信される制御命令や変更する論理回路の識別子等の信号に従い、メインメモリ 2 0 からコンフィギュレーションメモリ 1 5 4 L やコンフィギュレーションメモリ 1 5 4 S への論理回路の回路情報の転送と、メインメモリ 2 0 からテーブル 5 2 T へのテーブル情報の転送といった初期化処理を行なう。また、回路情報入力制御部 1 5 2 は、コンフィギュレーションメモリ 1 5 4 L やコンフィギュレーションメモリ 1 5 4 S から処理回路部 1 5 1 への論理回路の回路情報の転送と、処理回路部 1 5 1 の実行する論理回路の切り替えの制御といった論理回路変更処理も行なう。

【 0 0 5 7 】

なお、コンフィギュレーションメモリ 1 5 4 L の出力は回路情報入力信号線 1 5 3 A に、コンフィギュレーションメモリ 1 5 4 S の出力は回路情報入力信号線 1 5 3 B に、それぞれ接続されている。

20

【 0 0 5 8 】

[論理回路の変更手順]

回路情報入力制御部 1 5 2 は、現在実行中の論理回路 A から論理回路 B への論理回路変更では、まず、現在処理を行なっている論理回路 A と、ホストプロセッサ 1 0 に要求された論理回路 B との間でデータ転送を行なう論理回路 T の回路情報を処理回路部 1 5 1 へと書き込み、論理回路 T を実行する。続いて、論理回路 B の回路情報を処理回路部 1 5 1 へと書き込み、論理回路 T の処理が終了した後、論理回路 B を実行する。

30

【 0 0 5 9 】

図 1 9 は、プログラマブル論理デバイス 1 5 0 における論理回路変更処理の流れを示すフローチャートである。以下では、図 1 9 のフローチャートの流れに従い、論理回路変更の手順を示す。ただし、第 1 の実施の形態と同様に、ホストプロセッサ 1 0 から論理回路変更が要求される論理回路の回路情報は予めコンフィギュレーションメモリ 1 5 4 L やコンフィギュレーションメモリ 1 5 4 S に保存されているものとする。

【 0 0 6 0 】

図 1 9 に示すように、プログラマブル論理デバイス 1 5 0 の回路情報入力制御部 1 5 2 は、ホストプロセッサ 1 0 から送信されたプログラマブル論理デバイス 5 0 の論理回路変更の R E Q 信号を受信すると、論理回路の変更が可能な状態ならば、A C K 信号をホストプロセッサ 1 0 へ送信し、論理回路変更を開始する（ステップ S 1）。論理回路の変更が不可能な状態ならば、変更可能な状態になるまで待機する。ホストプロセッサ 1 0 は、回路情報入力制御部 1 5 2 からの A C K 信号を受信したら、変更後の論理回路の識別子 B を回路情報入力制御部 1 5 2 へと送信する。

40

【 0 0 6 1 】

回路情報入力制御部 1 5 2 は、変更後の論理回路の識別子 B を受信すると（ステップ S 2）、現在実行中の論理回路の識別子 A と変更後の論理回路の識別子 B を入力として、回路情報入力制御部 1 5 2 内のテーブル 5 2 T を引くことで、データ転送用の論理回路の識別子 T を得る（ステップ S 3）。ただし、リセット直後などにより、現在実行中の論理回路が存在しない場合は、データ転送用の論理回路は必要ない。

50

【 0 0 6 2 】

回路情報入力制御部 1 5 2 は、データ転送用の論理回路の識別子 T を獲得したら、コンフィギュレーションメモリ 1 5 4 S から、論理回路 T のスイッチブロック 5 1 S の回路情報を読み出し、回路情報入力信号線 1 5 3 B を介して処理回路部 1 5 1 内部のスイッチブロック 5 1 S に対して書き込むことにより、論理回路 T の回路情報を転送する（ステップ S 2 1 ）。

【 0 0 6 3 】

同時に、回路情報入力制御部 1 5 2 は、コンフィギュレーションメモリ 1 5 4 L から、論理回路 B のロジックブロック 5 1 L の回路情報を読み出し、回路情報入力信号線 1 5 3 A を介して処理回路部 1 5 1 内部のロジックブロック 5 1 L に対して書き込むことにより、論理回路 B の回路情報を転送する（ステップ S 2 2 ）。

【 0 0 6 4 】

また、回路情報入力制御部 1 5 2 は、ステップ S 2 1 における論理回路 T の回路情報の転送後、コンフィギュレーションメモリ 1 5 4 S から、論理回路 B のスイッチブロック 5 1 S の回路情報を読み出し、回路情報入力信号線 1 5 3 B を介して処理回路部 1 5 1 内部のスイッチブロック 5 1 S に対して書き込むことにより、論理回路 B の回路情報を転送する（ステップ S 2 3 ）。

【 0 0 6 5 】

次いで、現在実行中の論理回路 A の処理が終了した場合には（ステップ S 6 の Y e s ）、処理回路部 1 5 1 のスイッチブロック 5 3 S のみに対し、論理回路 T の処理の実行を開始する（ステップ S 7 ）。

【 0 0 6 6 】

論理回路 T の処理が終了すると（ステップ S 8 の Y e s ）、論理回路 B の回路情報の転送が完了したか否かを判断する（ステップ S 9 ）。

【 0 0 6 7 】

論理回路 B の回路情報の転送が完了したと判断すると（ステップ S 9 の Y e s ）、論理回路 B の処理の実行を開始し（ステップ S 1 0 ）、ホストプロセッサ 1 0 へ、A C K 信号を送信する。

【 0 0 6 8 】

ホストプロセッサ 1 0 が A C K 信号を受信すると、プログラマブル論理デバイス 5 0 の論理回路変更は完了する（ステップ S 1 1 ）。

【 0 0 6 9 】

このように本実施の形態によれば、処理回路部 1 5 1 と回路情報入力制御部 1 5 2 とを接続する信号線は、処理回路部 1 5 1 のスイッチブロック 5 1 S にのみ接続されている第 1 の信号線 1 5 3 B と処理回路部 1 5 1 のロジックブロック 5 1 L にのみ接続されている第 2 の信号線 1 5 3 A とで構成されているとともに、回路情報入力制御部 1 5 2 は、回路情報を保存する複数の回路情報を保存するメモリ 1 5 4 L , 1 5 4 S を有しており、回路情報入力制御部 1 5 2 は、データ転送用論理回路（論理回路 T ）のスイッチブロック 5 1 S の回路情報を一の回路情報を保存するメモリ 1 5 4 S から読み出し、第 1 の信号線 1 5 3 B を介して処理回路部 1 5 1 の内部のスイッチブロック 5 1 S に対して書き込むことによりデータ転送用論理回路（論理回路 T ）の回路情報を転送するとともに、第 2 の論理回路（論理回路 B ）のロジックブロック 5 1 L の回路情報を他の回路情報を保存するメモリ 1 5 4 L から読み出し、第 2 の信号線 1 5 3 A を介して処理回路部 1 5 1 の内部のロジックブロック 5 1 L に対して書き込むことにより第 2 の論理回路（論理回路 B ）の回路情報を転送する。これにより、それぞれで別の制御が可能になる（論理回路 T に必要な情報のみを入力する系統である信号線 1 5 3 B と、それ以外に入力する系統である 1 5 3 A から構成される場合には、信号線 1 5 3 B で論理回路 T の構成情報を入力している間に、1 5 3 A で論理回路 B の構成情報の入力ができる）ので、処理回路部 1 5 1 のハードウェア資源を殆ど増加することなく、スイッチブロック 5 1 S とロジックブロック 5 1 L とを独立に制御することができ、処理効率を向上させることができる。

【図面の簡単な説明】

【0070】

【図1】本発明の第1の実施の形態にかかるプログラマブル論理デバイスを備える半導体装置を示すブロック図である。

【図2】処理回路部の構成を例示的に示す回路図である。

【図3】ロジックブロックの構成を例示的に示す模式図である。

【図4】スイッチブロックの構成を例示的に示す模式図である。

【図5】回路情報入力制御部の構成を示すブロック図である。

【図6】論理回路Aを示す回路図である。

【図7】論理回路Bを示す回路図である。

10

【図8】データ転送用の論理回路Tを示す模式図である。

【図9】論理回路Tを示す回路図である。

【図10】プログラムを実行した場合のタイムチャートである。

【図11】プログラマブル論理デバイスにおける論理回路変更処理の流れを示すフローチャートである。

【図12】テーブルの構造を示す模式図である。

【図13】第1の変形例のプログラマブル論理デバイスのロジックブロックを示す模式図である。

【図14】第2の変形例のプログラマブル論理デバイスのロジックブロックを示す模式図である。

20

【図15】第2の変形例のプログラマブル論理デバイスのスイッチブロックを示す模式図である。

【図16】本発明の第2の実施の形態にかかるプログラマブル論理デバイスを備える半導体装置を示すブロック図である。

【図17】処理回路部の構成を例示的に示す回路図である。

【図18】回路情報入力制御部の構成を示すブロック図である。

【図19】プログラマブル論理デバイスにおける論理回路変更処理の流れを示すフローチャートである。

【符号の説明】

【0071】

30

10 制御装置

20 記憶装置

50, 150 プログラマブル論理デバイス

51, 151 処理回路部

52, 152 回路情報入力制御部、回路情報入力制御装置

53 信号線

62 メモリ

100, 200 半導体装置

153B 第1の信号線

153A 第2の信号線

40

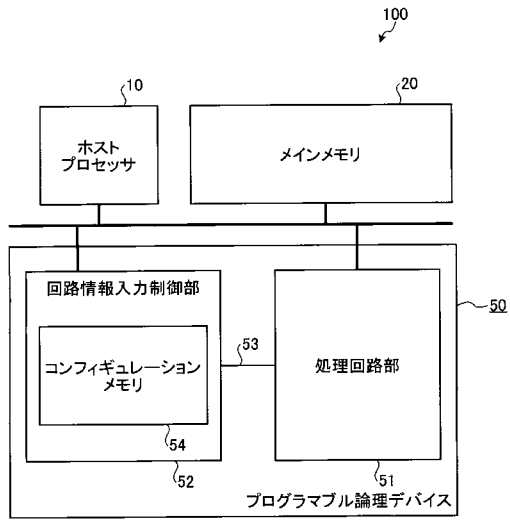
54, 154L, 154S 回路情報設定メモリ

A 第1の論理回路

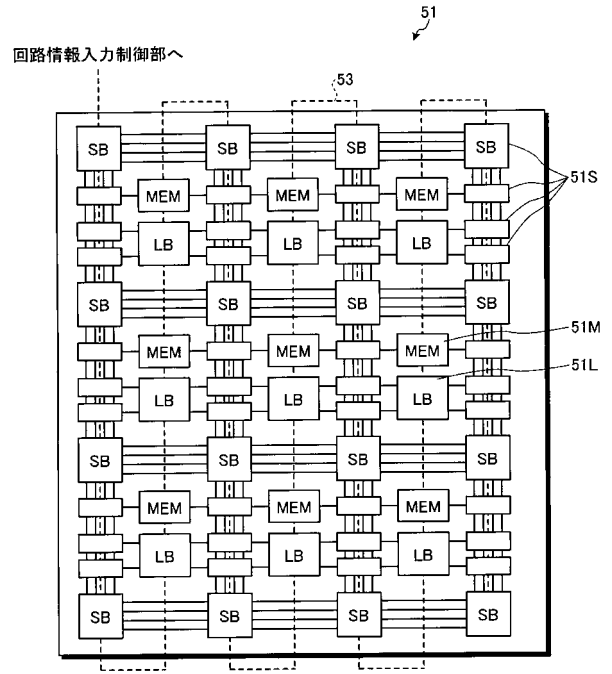
B 第2の論理回路

T データ転送用論理回路

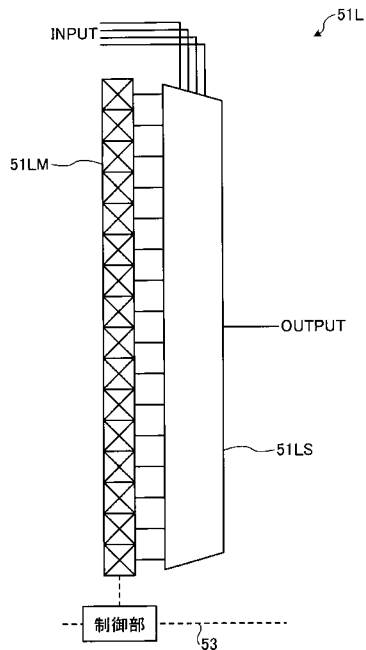
【 図 1 】



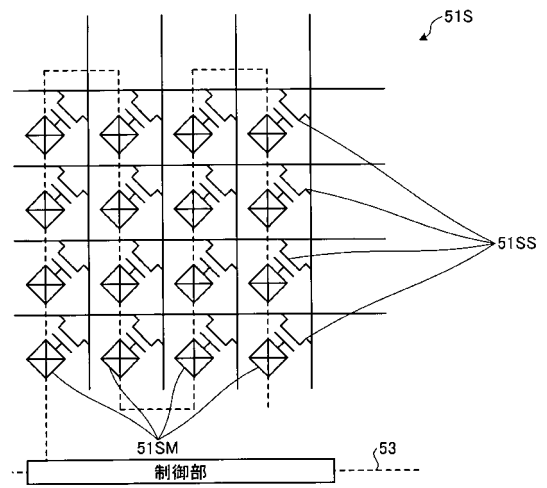
【 図 2 】



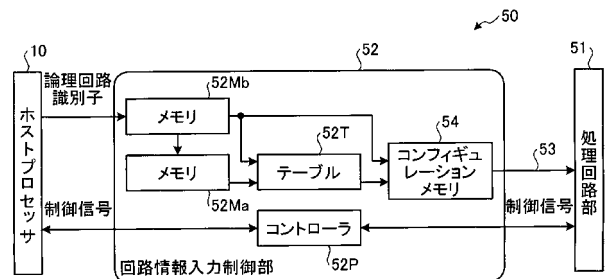
【 図 3 】



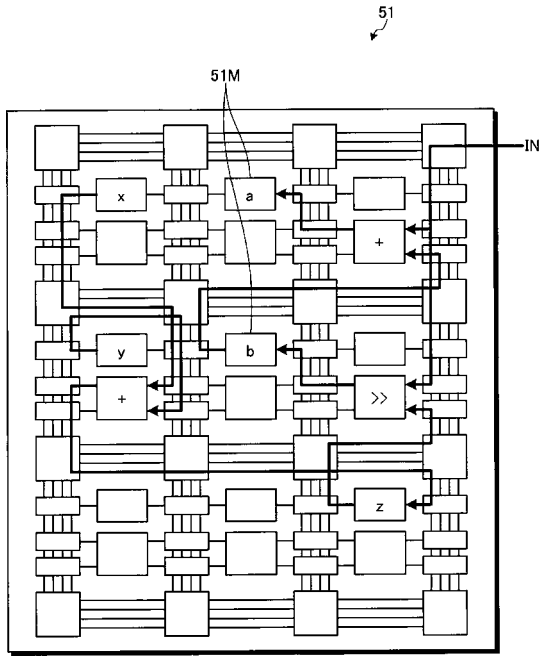
【 図 4 】



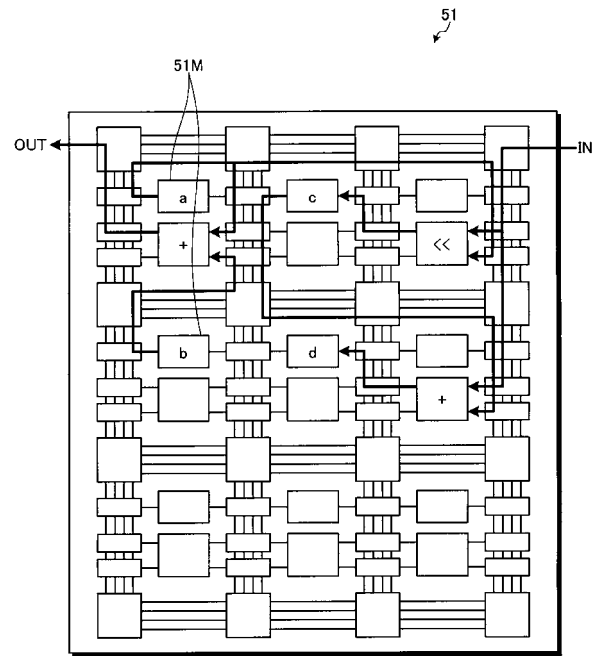
【 図 5 】



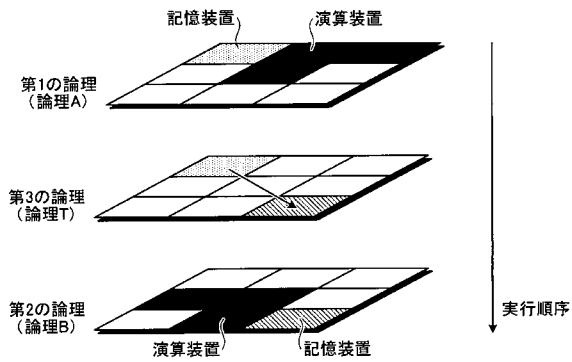
【 図 6 】



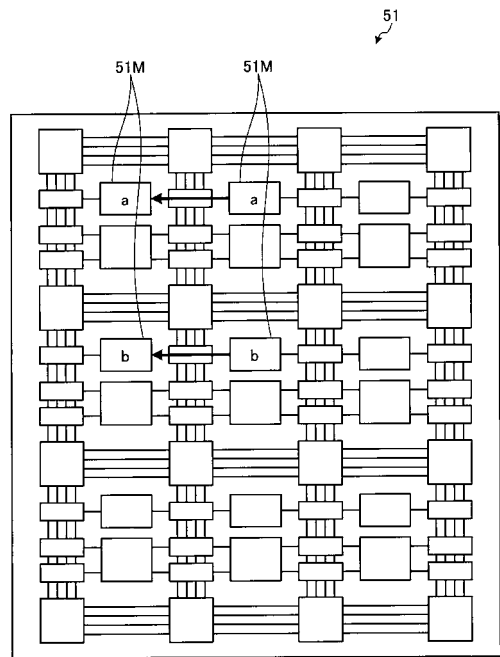
【 図 7 】



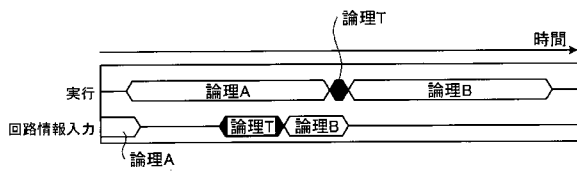
【 図 8 】



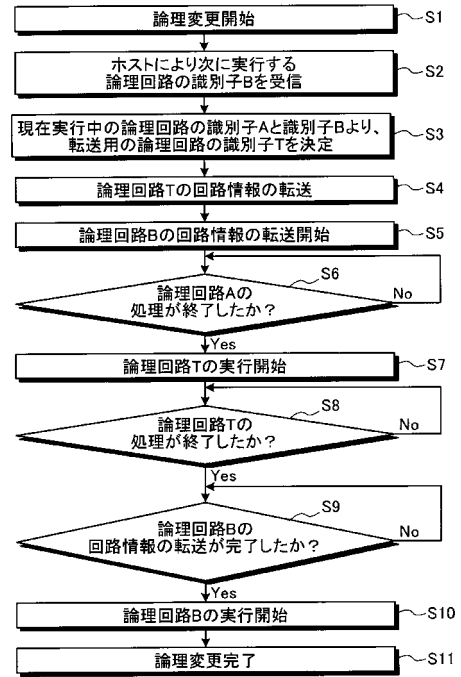
【 図 9 】



【図10】



【図11】

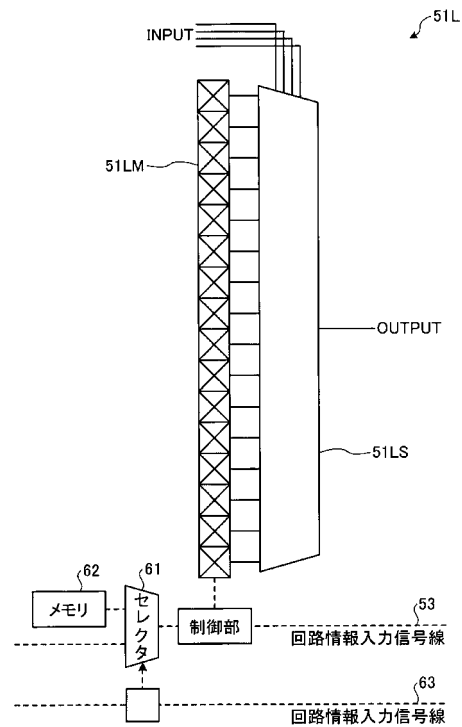


【図12】

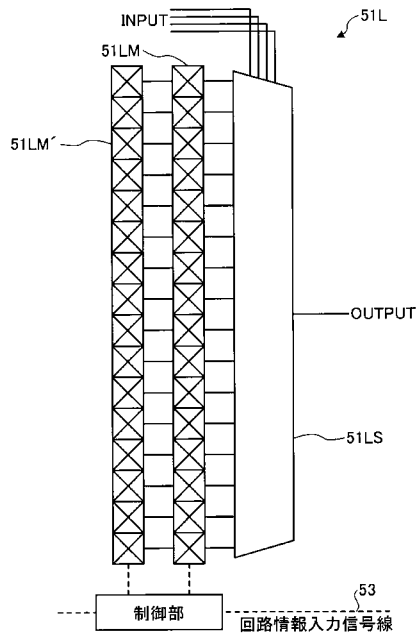
52T

現在の論理回路	次の論理回路	転送用の論理回路
0	1	8
0	2	9
⋮	⋮	⋮
A	B	T
⋮	⋮	⋮
M	N	X

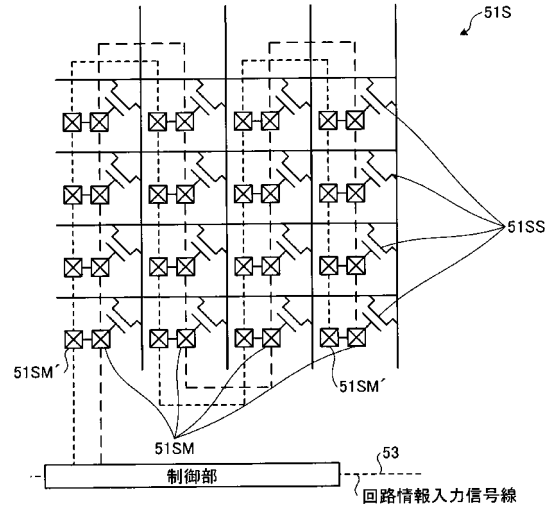
【図13】



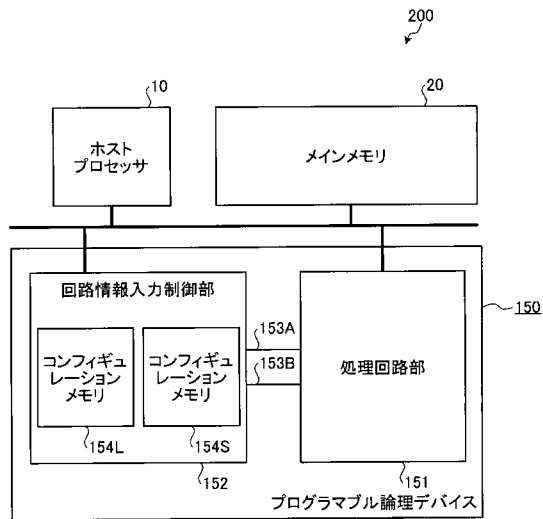
【 図 1 4 】



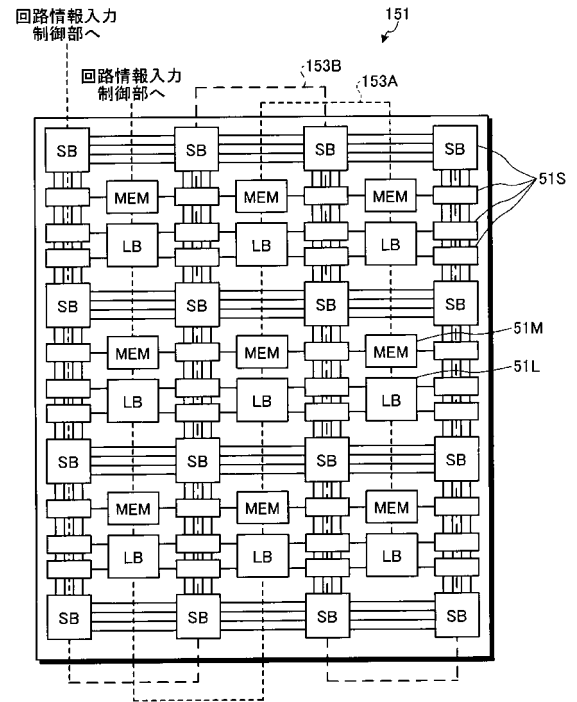
【 図 1 5 】



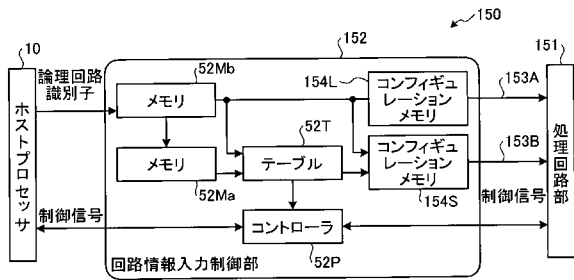
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



【 図 1 9 】

