

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4688822号
(P4688822)

(45) 発行日 平成23年5月25日(2011.5.25)

(24) 登録日 平成23年2月25日(2011.2.25)

(51) Int. Cl.		F I			
G06F 13/12	(2006.01)		G06F 13/12	310C	
G06F 13/36	(2006.01)		G06F 13/36	310A	
G06F 15/78	(2006.01)		G06F 15/78	510B	

請求項の数 3 (全 27 頁)

<p>(21) 出願番号 特願2006-547231 (P2006-547231)</p> <p>(86) (22) 出願日 平成18年6月6日(2006.6.6)</p> <p>(86) 国際出願番号 PCT/JP2006/311337</p> <p>(87) 国際公開番号 W02006/134804</p> <p>(87) 国際公開日 平成18年12月21日(2006.12.21)</p> <p>審査請求日 平成18年11月24日(2006.11.24)</p> <p>(31) 優先権主張番号 特願2005-175677 (P2005-175677)</p> <p>(32) 優先日 平成17年6月15日(2005.6.15)</p> <p>(33) 優先権主張国 日本国(JP)</p> <p>前置審査</p>	<p>(73) 特許権者 000005821 パナソニック株式会社 大阪府門真市大字門真1006番地</p> <p>(74) 代理人 100109210 弁理士 新居 広守</p> <p>(72) 発明者 川上 隆央 日本国大阪府門真市大字門真1006番地 松下電器産業株式会社内</p> <p>(72) 発明者 中島 雅逸 日本国大阪府門真市大字門真1006番地 松下電器産業株式会社内</p> <p>(72) 発明者 清原 督三 日本国大阪府門真市大字門真1006番地 松下電器産業株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 外部デバイスアクセス装置およびシステムLSI

(57) 【特許請求の範囲】

【請求項1】

マスタから外部デバイスへのアクセスを制御する外部デバイスアクセス装置であって、前記マスタからの外部デバイスへの書き込み要求に応じて、書き込みアドレスを格納するための書き込みアドレス格納手段と、

前記書き込み要求に応じて、書き込みデータを格納するための書き込みデータ格納手段と、

前記マスタからアクセス可能であり、読み出しアドレスを格納するための読み出しアドレス格納手段と、

前記マスタからアクセス可能であり、外部デバイスから読み出されたデータを格納するための読み出しデータ格納手段と、

前記マスタからの書き込み要求または読み出し要求とアドレス指定に応じて、外部デバイスへのアクセスを制御する制御手段と、

前記外部デバイスから出力される状態信号を格納する状態信号格納手段と、

前記外部デバイスから出力される状態信号と、前記状態格納手段に格納された状態信号との一方を選択して前記マスタに出力する選択手段と、

を備え、

前記制御手段は、

前記マスタから外部デバイスへの書き込み要求に応じて、マスタからの書き込みアドレスと書き込みデータとをそれぞれ書き込みアドレス格納手段と書き込みデータ格納手段と

10

20

に格納するとともに、マスタに受理信号を出力し、さらに、当該書き込みアドレスによって指定される外部デバイスに対して、当該書き込みデータを書き込み、
 前記マスタから前記読み出しデータ格納手段への書き込み要求に応じて、前記読み出しアドレス格納手段に読み出しアドレスを格納し、さらに、当該読み出しアドレスによって指定される外部デバイスからデータを読み出して前記読み出しデータ格納手段に格納し、さらに、前記読み出しデータ格納手段に格納すると同時に、前記外部デバイスから出力される状態信号を前記状態信号格納手段に格納し、

前記マスタから前記読み出しデータ格納手段へのデータ読み出し要求に応じて、前記読み出しデータ格納手段から読み出しデータを出力し、さらに、前記状態信号格納手段から状態信号を前記選択手段を介して出力する

10

ことを特徴とする外部デバイスアクセス装置。

【請求項 2】

請求項 1 記載の外部デバイスアクセス装置であって、

前記制御手段は、

前記マスタから外部デバイスへの書き込み要求に応じて、マスタからの書き込みアドレスと書き込みデータとをそれぞれ書き込みアドレス格納手段と書き込みデータ格納手段とに格納するとともに、マスタに受理信号を出力すると同時に、その時点の外部デバイスからの状態信号を前記選択手段を介して出力する制御と、

前記マスタから前記読み出しデータ格納手段への書き込み要求に応じて、前記読み出しアドレス格納手段に読み出しアドレスを格納するとともに、その時点の外部デバイスからの状態信号を前記選択手段を介して出力する制御と、

20

前記マスタから前記読み出しデータ格納手段へのデータ読み出し要求に応じて、前記読み出しデータ格納手段から読み出しデータを出力すると同時に、前記状態信号格納手段から格納している状態信号を前記選択手段を介して前記マスタに出力する制御と

を行う

ことを特徴とする外部デバイスアクセス装置。

【請求項 3】

マスタと、

請求項 1 または 2 に記載の外部デバイスアクセス装置と、

前記マスタから外部デバイスアクセス装置を介してアクセスされる外部デバイスと
 を備えるシステム L S I。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、システム L S I において、マスタが外部デバイスへアクセスすることに関し、特に、マスタが外部デバイスを容易に拡張し、かつ拡張の際にマスタが外部デバイスの種類に依存しないための外部デバイスアクセス装置に関する。

【背景技術】

【0002】

メディア処理には外部デバイスでマスタをアシストすることが有効な場合があり、そのためのマスタには、外部デバイスを拡張するための拡張バスを持たせることがある。

40

【0003】

ここで、メディア処理とは、音声処理、画像処理などのデータ処理一般のこと、マスタとは C P U やマイコン等、主制御を担当する装置のこと、外部デバイスとはその C P U やマイコン等をアシストする、コプロセッサやアクセラレータ、メモリ等の周辺装置のことである。

【0004】

マスタは拡張バスを持ち、アクセス空間に外部デバイスの資源を割り当てることで、その外部デバイスの資源をマスタの拡張された資源として扱うことができるようになり、マスタと外部デバイスとの通信を高速に行うことが可能となる。このことにより、マスタの

50

処理性能を上げ、ソフト・ハードの両面の機能実現をさらに容易にすることができる。

【0005】

ここで、アクセス空間とはマスタがアクセスできる、プログラムアクセス、データアクセスや入出力アクセス等のためのアドレスの割り当てられた空間のことである。

【0006】

このアクセスを実現する方法としては、従来、マスタが拡張バスのインターフェースをもち、そのインターフェースを介して、オンチップの外部デバイスにアクセスする方法や、さらに、チップ外の外部デバイスに対しては、別のインターフェースを介して、拡張バスのプロトコルに変換して、マスタの拡張バスのインターフェースを介してアクセスするなどの方法が取られてきた。(例えば、特許文献1参照。)

【特許文献1】特開平7-6151号公報(第15頁、図5)

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来の方法では、システムLSIのカスタマイズにおいて、例えばメディア処理の高度化に伴ってマスタを高速化する場合、個々に動作速度の異なる外部デバイスへのアクセスに対応するために、外部デバイス毎にマスタ自身を最適化することが必要であり、システムLSIのカスタマイズを複雑かつ煩雑にしているという問題がある。

【0008】

また、外部デバイス個別の最適化をマスタ自身において実施しない場合は、ボトルネックとなる外部デバイスへのアクセスレイテンシやスループットなどによるペナルティがマスタの性能に多大な影響を与えてしまうという課題がある。

【0009】

また、外部デバイス個別の最適化をマスタ自身において実施するためには、新たなメディア処理に対応した外部デバイスが新規に必要となる度に、また不具合等の理由で外部デバイスが改変される度に、マスタ自身の改変をする必要が発生し、開発資産の有効活用という点において、多大なロスを生み出すという課題がある。

【0010】

本発明は、マスタ自身の最適化をしなくてもマスタから外部デバイスへのアクセス性能を劣化させず、システムLSI開発資産を有効活用させる外部デバイスアクセス装置およびシステムLSIを提供することを目的とする。

【課題を解決するための手段】

【0011】

上記課題を解決するため本発明の外部デバイスアクセス装置は、マスタから外部デバイスへのアクセスを制御する外部デバイスアクセス装置であって、前記マスタからの外部デバイスへの書き込み要求に応じて、書き込みアドレスを格納するための書き込みアドレス格納手段と、前記書き込み要求に応じて、書き込みデータを格納するための書き込みデータ格納手段と、前記マスタからアクセス可能であり、読み出しアドレスを格納するための読み出しアドレス格納手段と、前記マスタからアクセス可能であり、外部デバイスから読み出されたデータを格納するための読み出しデータ格納手段と、前記マスタからの書き込み要求または読み出し要求とアドレス指定に応じて、外部デバイスへのアクセスを制御する制御手段とを備え、前記制御手段は、前記マスタから外部デバイスへの書き込み要求に応じて、マスタからの書き込みアドレスと書き込みデータとをそれぞれ書き込みアドレス格納手段と書き込みデータ格納手段とに格納するとともに、マスタに受理信号を出力し、さらに、当該書き込みアドレスによって指定される外部デバイスに対して、当該書き込みデータを書き込み、マスタによって前記読み出しアドレス格納手段に読み出しアドレスが格納されたとき、当該読み出しアドレスによって指定される外部デバイスからデータを読み出し、前記読み出しデータ格納手段に格納する。

【0012】

この構成によれば、メディア処理の高度化に伴ってマスタが高速化する場合、個々に動

10

20

30

40

50

作速度の異なる外部デバイスへのアクセスにおいて、マスタの書き込み要求または読み出し要求時にマスタの状態に依存しないアクセスを実現し、外部デバイスへのアクセスペナルティを隠蔽してマスタの性能への影響を少なくできる効果がある。

【 0 0 1 3 】

さらに外部デバイスに応じて、外部デバイスアクセス装置の資源を調整することにより、外部デバイスへのアクセスの最適化が容易に実施できる効果がある。

【 0 0 1 4 】

またシステム L S I においては、マスタが外部デバイスへアクセスするために外部デバイスアクセス装置を備えることにより、システム L S I を開発する度にマスタの改変をする必要がなくなり外部デバイスアクセス装置の改変のみで済むため、システム L S I におけるマスタの開発コストを大幅に低減する効果がある。

10

【 0 0 1 5 】

ここで、前記外部デバイスアクセス装置は、さらに、前記外部デバイスから出力される状態信号を格納する状態信号格納手段を備え、前記制御部は、さらに、前記書き込みデータ格納手段に格納されたデータを外部デバイスに書き込むと同時に、前記外部デバイスから出力される前記状態信号を前記状態信号格納手段に格納し、前記読み出しアドレス格納手段に格納されたアドレスによって指定される外部デバイスからデータを読み出して前記読み出しデータ格納手段に格納すると同時に、前記外部デバイスから出力される状態信号を前記状態信号格納手段に格納し、前記状態信号格納手段は、格納している状態信号を前記マスタに出力するようにしてもよい。

20

【 0 0 1 6 】

この構成によれば、さらに外部デバイスの状態をマスタへ伝達する機能を実現し、マスタの性能に寄与する効果がある。

【 0 0 1 7 】

ここで、前記外部デバイスアクセス装置は、前記読み出しアドレス格納手段および前記読み出しデータ格納手段の代わりに、それらを兼用するアドレス/データ格納手段を備えるようにしてもよい。

【 0 0 1 8 】

この構成によれば、さらに読み出しアドレス格納手段と前記読み出しデータ格納手段とを独立に備える必要がなくなるので、外部デバイスアクセス装置をより小さくし、コストを削減する効果がある。

30

【 0 0 1 9 】

ここで、前記外部デバイスアクセス装置は、さらに、前記書き込みアドレスまたは前記読み出しアドレスが、未実装の外部デバイスのアドレスであるか否かを示す未実装情報を格納するための未実装情報格納手段を備え、前記制御部は、さらに、前記書き込みアドレス格納手段または読み出しアドレス格納手段に格納された書き込みアドレスまたは読み出しアドレスによって指定される外部デバイスが未実装であるかどうかを判定し、未実装である場合には、前記未実装情報格納手段に未実装情報を格納し、当該未実装情報を前記マスタに通知するようにしてもよい。

【 0 0 2 0 】

この構成によれば、さらに読み出しアドレスまたは書き込みアドレスが、実装されていない外部デバイスを指すことを検出する機能を実現し、マスタの性能に寄与する効果がある。

40

【 0 0 2 1 】

ここで、前記外部デバイスアクセス装置は、さらに、未実装の外部デバイスのアドレスをエラーアドレスとして格納するためのエラーアドレス格納手段を備え、前記制御部は、さらに、前記書き込みアドレス格納手段または読み出しアドレス格納手段に格納された書き込みアドレスまたは読み出しアドレスによって指定される外部デバイスが未実装であるかどうかを判定し、未実装である場合には、当該アドレスをエラーアドレスとして前記エラーアドレス格納手段に格納し、当該エラーアドレスを前記マスタに通知するようにして

50

もよい。

【0022】

この構成によれば、さらに指定されたアドレスが、任意の外部デバイスに対して実装されていないことを検出し、そのアドレスをマスタが認識できる機能を実現し、マスタの性能に寄与する効果がある。

【0023】

ここで、前記制御部は、さらに、前記書き込みアドレス格納手段または読み出しアドレス格納手段に格納された書き込みアドレスまたは読み出しアドレスによって指定される外部デバイスが未実装であるかどうかを判定し、未実装である場合には、当該アドレスをエラーアドレスとして前記読み出しデータ格納手段に格納し、当該エラーアドレスを前記マスタに通知するようにしてもよい。

10

【0024】

この構成によれば、エラーアドレス格納手段を独立に備える必要がなく、外部デバイスアクセス装置をより小さくし、コストを削減する効果がある。

【0025】

ここで、前記外部デバイスアクセス装置は、さらに、前記マスタからの書き込み要求に応じて、外部デバイスから読み出しデータ格納手段への読み出しを完了したか否かを示す格納動作状態信号を格納する格納動作状態保持手段を備え、前記制御部は、さらに、格納動作状態信号に基づいて、前記マスタから読み出しアドレス格納手段への書き込みを規制するようにしてもよい。

20

【0026】

この構成によれば、さらに、マスタが外部デバイスの格納動作状態を認識し、マスタのアクセス要求順序を保持することで、マスタの性能に寄与する効果がある。

【0027】

また、本発明のシステムLSIは、上記と同様の手段を備える。

【発明の効果】

【0028】

本発明によれば、メディア処理の高度化に伴ってマスタが高速化する場合、個々に動作速度の異なる外部デバイスへのアクセスにおいて、マスタの書き込み要求または読み出し要求時にマスタの状態に依存しないアクセスを実現し、外部デバイスへのアクセスパネルティを隠蔽してマスタの性能への影響を少なくできる効果がある。

30

【0029】

さらに外部デバイスに応じて、外部デバイスアクセス装置の資源を調整することにより、外部デバイスへのアクセスの最適化が容易に実施できる効果がある。

【0030】

またシステムLSIにおいては、マスタが外部デバイスへアクセスするために外部デバイスアクセス装置を備えることにより、システムLSIを開発する度にマスタの改変をする必要がなくなり外部デバイスアクセス装置の改変のみで済むため、システムLSIにおけるマスタの開発コストを大幅に低減する効果がある。

【0031】

さらに外部デバイスの状態をマスタへ伝達する機能を実現し、マスタの性能に寄与する効果がある。

40

【0032】

また外部デバイスアクセス装置をより小さくしてコストを削減し、マスタの性能に寄与する効果がある。

【発明を実施するための最良の形態】

【0033】

以下、マスタとはCPUやマイコン等、書き込みまたは読み出しの制御を担当する装置のことを指し、外部デバイスとはそのCPUやマイコン等をアシストする、コプロセッサやアクセラレータ等の装置を指し、かつその装置はマスタがアドレス指定によりアクセス

50

可能な資源を有しているとし、実施例を示していく。

【0034】

<第1の実施形態>

本発明の第1の実施形態の外部デバイスアクセス装置について、図面を参照しながら説明する。

【0035】

図1は、本発明の第1の実施形態におけるシステムLSIを示すブロック図である。このシステムLSIは、マスタ101と、外部デバイス102、102a、102b、・・・と、外部デバイスアクセス装置103、103a、103b、・・・を備える。この例では、外部デバイスアクセス装置は外部デバイスに対応して備えられる。外部デバイスアクセス装置103は、マスタ101の外部デバイス102への書き込み要求または読み出し要求を受けて、マスタ101の状態に依存しないアクセスを実現し、マスタ101に対して外部デバイスへのアクセスペナルティを隠蔽するように構成されている。外部デバイスアクセス装置103a、103b、・・・も同様である。

10

【0036】

図2は本発明の第1の実施形態の外部デバイスアクセス装置103の構成を示すブロック図である。

【0037】

はじめに外部デバイスアクセス装置103の構成について説明する。

【0038】

外部デバイスアクセス装置103は、マスタ101との間でアドレスバス150、書き込みデータ入力バス151、読み出しデータ出力バス152、書き込み読み出し制御信号(以下、R/W信号と呼ぶ)バス153、受理信号155を介して接続され、また、外部デバイス102との間で、書き込みアドレス出力バス170、書き込みデータ出力バス171、読み出しアドレス出力バス172、読み出しデータ入力バス173を介して接続される。

20

【0039】

また、外部デバイスアクセス装置103は、書き込みアドレス格納部110、書き込みデータ格納部111、読み出しアドレス格納部112、読み出しデータ格納部113、アドレス制御部114から構成される。

30

【0040】

書き込みアドレス格納部110は、アドレス制御部114から書き込みアドレス160と書き込み許可信号161を入力し、格納したアドレスを外部デバイス102へ出力する。

【0041】

書き込みデータ格納部111は、マスタから、書き込みデータ入力バス151を介した書き込みデータと、アドレス制御部114から書き込み許可信号161とを入力し、格納したデータを外部デバイス102へ出力する。

【0042】

読み出しアドレス格納部112は、アドレス制御部114から読み出しアドレス162と読み出しアドレス許可信号163とを入力し、格納したアドレスを外部デバイス102へ出力する。

40

【0043】

読み出しデータ格納部113は、外部デバイスから読み出しデータ入力バス173を介した読み出しデータと、アドレス制御部からの読み出しデータ許可信号164を入力し、格納したデータをマスタ101へ出力する。

【0044】

また、読み出しデータ格納部113は、マスタ101が持つアクセス空間に割り当てられたアドレスを持つ。

【0045】

50

アドレス制御部 114 は、マスタから、アドレスバス 150 を介したアドレスと、R/W 信号バス 153 を介した R/W 信号と、書き込みデータ入力バス 151 を介した書き込みデータとを入力し、書き込みアドレス 160 と、書き込み許可信号 161 とを書き込みアドレス格納部 110 へ出力し、書き込み許可信号 161 を書き込みデータ格納部 111 へ出力し、読み出しアドレス 162 と読み出しアドレス許可信号 163 とを読み出しアドレス格納部 112 へ出力し、読み出しデータ許可信号 164 を読み出しデータ格納部 113 へ出力する。

【0046】

次に外部デバイスアクセス装置 103 の動作について説明する。

【0047】

外部デバイスアクセス装置 103 の動作は、通常書き込み動作、あらかじめ外部デバイス 102 のデータを読み出しデータ格納部 113 へ読み出ししておく動作、あらかじめ読み出しデータ格納部 113 へ読み出しおいたデータをマスタ 101 へ出力する動作であり、順に、通常書き込み動作、プリフェッチ動作、プリフェッチデータ読み出し動作とする。

【0048】

通常書き込み動作は、マスタ 101 からの書き込み要求に応じて、外部デバイスアクセス装置 103 にアドレスバス 150 からのアドレスと、R/W 信号バス 153 からの R/W 信号がアドレス制御部 114 に入力される。

【0049】

アドレス制御部 114 では、R/W 信号と、アドレスバス 150 からのアドレスが読み出しデータ格納部 113 に割り当てられたアドレスではないことをもとに、通常書き込み動作であることを認識し、書き込みアドレス 160 と書き込み許可信号 161 とを書き込みアドレス格納部 110 へ出力してアドレスを格納させ、書き込み許可信号 161 を書き込みデータ格納部 111 へ出力して書き込みデータバス 151 からのデータを格納させる。

【0050】

格納したアドレスとデータは、外部デバイスが受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。

【0051】

プリフェッチ動作は、マスタ 101 からの書き込み要求に応じて、外部デバイスアクセス装置 103 にアドレスバス 150 からのアドレスと、R/W 信号バス 153 からの R/W 信号と、書き込みデータバス 151 からのデータがアドレス制御部 114 に入力される。

【0052】

アドレス制御部 114 では、R/W 信号と、アドレスバス 150 からのアドレスが読み出しデータ格納部 113 に割り当てられたアドレスであることをもとに、プリフェッチ動作であることを認識し、書き込みデータバス 151 からのデータを読み出しアドレスとして、読み出しアドレス 162 と読み出しアドレス許可信号 163 とを読み出しアドレス格納部 112 へ出力してアドレスを格納させる。

【0053】

格納したアドレスは、外部デバイス 102 が受け付けて、外部デバイス 102 からの読み出しデータを読み出しデータ格納部 113 に格納するまで保持し、格納を完了後にプリフェッチ動作を完了する。

【0054】

プリフェッチデータ読み出し動作は、マスタ 101 からの読み出し要求に応じて、外部デバイスアクセス装置 103 にアドレスバス 150 からのアドレスと、R/W 信号バス 153 からの R/W 信号とがアドレス制御部 114 に入力される。

【0055】

アドレス制御部 114 では、R/W 信号と、アドレスバス 150 からのアドレスが読み

10

20

30

40

50

出しデータ格納部 1 1 3 に割り当てられたアドレスであることをもとに、プリフェッチデータ読み出し動作であることを認識し、読み出しデータ許可信号 1 6 4 を読み出しデータ格納部 1 1 3 に出力して、読み出しデータバス 1 5 2 を介してマスタ 1 0 1 に出力する。

【 0 0 5 6 】

マスタ 1 0 1 が読み出しデータを受け付けるまで読み出しデータを保持し、受付を完了後にプリフェッチリード動作を完了する。

【 0 0 5 7 】

これら動作を持つことによる利点としては、通常書き込み動作では、マスタ 1 0 1 からの書き込み要求を外部デバイスアクセス装置 1 0 3 が保持するため、外部デバイスの受付を待つことなくマスタ 1 0 1 は書き込みを完了させて動作することが可能となり、マスタ 1 0 1 に依存することなく、外部デバイス 1 0 2 への書き込みを行うことが可能となる。

【 0 0 5 8 】

プリフェッチ動作では、マスタ 1 0 1 からの書き込み要求を使用して、あらかじめ外部デバイス 1 0 2 のデータを読み出しデータ格納部 1 1 3 へ読み出ししておく動作を実現するとともに、通常書き込み動作と同様に、マスタ 1 0 1 からの書き込み要求を外部デバイスアクセス装置 1 0 3 が読み出し要求として保持するため、外部デバイスの受付を待つことなくマスタ 1 0 1 は書き込みを完了させて動作することが可能となり、マスタ 1 0 1 に依存することなく、外部デバイス 1 0 2 からの読み出しを行うことが可能となる。

【 0 0 5 9 】

プリフェッチデータ読み出し動作では、マスタ 1 0 1 からの読み出し要求により、あらかじめ読み出しデータ格納部 1 1 3 へ読み出しおいたデータをマスタ 1 0 1 へ出力するため、外部デバイス 1 0 2 に依存することなく、データの読み出しを行うことが可能となる。

【 0 0 6 0 】

なお、図 1 のシステム L S I では外部デバイスアクセス装置と外部デバイスとが 1 対 1 で対応しているが、1 対多で対応するようにしてもよい。その場合のシステム L S I の構成例を図 3 に示す。図 3 の外部デバイスアクセス装置 1 0 3 0 は、複数の外部デバイスのそれぞれのアクセスレイテンシに対応し、マスタ 1 0 1 に対して各外部デバイスへのアクセスペナルティを隠蔽するように構成されている。

【 0 0 6 1 】

< 第 2 の実施形態 >

本発明の第 2 の実施形態の外部デバイスアクセス装置について、図面を参照しながら説明する。

【 0 0 6 2 】

図 4 は本発明の第 2 の実施形態の外部デバイスアクセス装置構成図である。

【 0 0 6 3 】

はじめに外部デバイスアクセス装置 2 0 3 の構成について説明する。

【 0 0 6 4 】

外部デバイスアクセス装置 2 0 3 は、マスタ 2 0 1 との間でアドレスバス 2 5 0、書き込みデータ入力バス 2 5 1、読み出しデータ出力バス 2 5 2、R/W 信号入力バス 2 5 3、状態信号出力バス 2 5 4、受理信号 2 5 5 を介して接続され、また、外部デバイス 2 0 2 との間で書き込みアドレス出力バス 2 7 0、書き込みデータ出力バス 2 7 1、読み出しアドレス出力バス 2 7 2、読み出しデータ入力バス 2 7 3、状態信号入力バス 2 7 4 を介して接続される。

【 0 0 6 5 】

また、外部デバイスアクセス装置 2 0 3 は、書き込みアドレス格納部 2 1 0、書き込みデータ格納部 2 1 1、読み出しアドレス格納部 2 1 2、読み出しデータ格納部 2 1 3、アドレス制御部 2 1 4、状態信号格納部 2 1 5、セクタ 2 1 6 から構成される。

【 0 0 6 6 】

書き込みアドレス格納部 2 1 0 は、アドレス制御部 2 1 4 から書き込みアドレス 2 6 0

10

20

30

40

50

と書き込み許可信号 261 を入力し、格納したアドレスを外部デバイス 202 へ出力する。

【0067】

書き込みデータ格納部 211 は、マスタから、書き込みデータ入力バス 251 を介した書き込みデータと、アドレス制御部 214 から書き込み許可信号 261 とを入力し、格納したデータを外部デバイス 202 へ出力する。

【0068】

読み出しアドレス格納部 212 は、アドレス制御部 214 から読み出しアドレス 262 と読み出しアドレス許可信号 263 とを入力し、格納したアドレスを外部デバイス 202 へ出力する。

10

【0069】

読み出しデータ格納部 213 は、外部デバイスから読み出しデータ入力バス 273 を介した読み出しデータと、アドレス制御部 214 からの読み出しデータ許可信号 264 を入力し、格納したデータをマスタ 201 へ出力する。

【0070】

また、読み出しデータ格納部 213 は、マスタ 201 が持つアクセス空間に割り当てられたアドレスを持つ。

【0071】

アドレス制御部 214 は、マスタから、アドレスバス 250 を介したアドレスと、R/W 信号バス 253 を介した R/W 信号と、書き込みデータ入力バス 251 を介した書き込みデータとを入力し、書き込みアドレス 260 と、書き込み許可信号 261 とを書き込みアドレス格納部 210 へ出力し、書き込み許可信号 261 を書き込みデータ格納部 211 へ出力し、読み出しアドレス 262 と読み出しアドレス許可信号 263 とを読み出しアドレス格納部 212 へ出力し、読み出しデータ許可信号 264 を読み出しデータ格納部 213 へ出力する。

20

【0072】

状態信号格納部 215 は、外部デバイスから状態信号入力バス 274 を介した状態信号を入力し、格納した信号をセクタ 216 へ出力する。

【0073】

セクタ 216 は、状態信号入力バス 274 を介して入力される状態信号と、状態信号格納部 215 に格納されている状態信号を、読み出しデータ許可信号 264 で選択して、状態信号出力バス 254 を介してマスタ 201 へ出力する。

30

【0074】

次に外部デバイスアクセス装置 203 の動作について説明する。第 1 の発明を実施する形態での説明と同様に、通常書き込み動作、プリフェッチ動作、プリフェッチデータ読み出し動作である。

【0075】

通常書き込み動作は、マスタ 201 からの書き込み要求に応じて、外部デバイスアクセス装置 203 にアドレスバス 250 からのアドレスと、R/W 信号バス 253 からの R/W 信号がアドレス制御部 214 に入力される。

40

【0076】

アドレス制御部 214 では、R/W 信号と、アドレスバス 250 からのアドレスが読み出しデータ格納部 213 に割り当てられたアドレスではないことをもとに、通常書き込み動作であることを認識し、書き込みアドレス 260 と書き込み許可信号 261 とを書き込みアドレス格納部 210 へ出力してアドレスを格納させ、書き込み許可信号 261 を書き込みデータ格納部 211 へ出力して書き込みデータバス 251 からのデータを格納させる。

【0077】

格納したアドレスとデータは、外部デバイス 202 が受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。

50

【 0 0 7 8 】

また本動作時は、外部デバイス 2 0 2 の状態を状態信号として、セレクタ 2 1 6 で選択し、直接マスタ 2 0 1 へ出力する。

【 0 0 7 9 】

プリフェッチ動作は、マスタ 2 0 1 からの書き込み要求に応じて、外部デバイスアクセス装置 2 0 3 にアドレスバス 2 5 0 からのアドレスと、R / W 信号バス 2 5 3 からの R / W 信号と、書き込みデータバス 2 5 1 からのデータがアドレス制御部 2 1 4 に入力される。

【 0 0 8 0 】

アドレス制御部 2 1 4 では、R / W 信号と、アドレスバス 2 5 0 からのアドレスが読み出しデータ格納部 2 1 3 に割り当てられたアドレスであることをもとに、プリフェッチ動作であることを認識し、書き込みデータバス 2 5 1 からのデータを読み出しアドレスとして、読み出しアドレス 2 6 2 と読み出しアドレス許可信号 2 6 3 とを読み出しアドレス格納部 2 1 2 に出力してアドレスを格納させる。

10

【 0 0 8 1 】

格納したアドレスは、外部デバイスが受け付けて、外部デバイス 2 0 2 からの読み出しデータを読み出しデータ格納部 2 1 3 に格納するまで保持し、格納を完了後にプリフェッチ動作を完了する。

【 0 0 8 2 】

また本動作時は、外部デバイス 2 0 2 の状態を状態信号として、状態信号格納部 2 1 5

20

【 0 0 8 3 】

プリフェッチデータ読み出し動作は、マスタ 2 0 1 からの読み出し要求に応じて、外部デバイスアクセス装置 2 0 3 にアドレスバス 2 5 0 からのアドレスと、R / W 信号バス 2 5 3 からの R / W 信号とがアドレス制御部 2 1 4 に入力される。

【 0 0 8 4 】

アドレス制御部 2 1 4 では、R / W 信号と、アドレスバス 2 5 0 からのアドレスが読み出しデータ格納部 2 1 3 に割り当てられたアドレスであることをもとに、プリフェッチデータ読み出し動作であることを認識し、読み出しデータ許可信号 2 6 4 を読み出しデータ格納部 2 1 3 に出力して、読み出しデータバス 2 5 2 を介してマスタ 2 0 1 に出力する。

30

【 0 0 8 5 】

また本動作時は、状態信号格納部 2 1 5 に格納された状態信号をセレクタ 2 1 6 で選択し、マスタ 2 0 1 に出力する。

【 0 0 8 6 】

これら動作を持つことによる利点としては、通常書き込み動作では、第 1 の発明を実施するための形態に記載の利点に加えて、外部デバイス 2 0 2 の状態をマスタ 2 0 1 に送ることが可能となる。

【 0 0 8 7 】

プリフェッチ動作では、第 1 の発明を実施するための形態に記載の利点に加えて、プリフェッチした時点の外部デバイス 2 0 2 の状態を、状態信号格納部 2 1 5 に格納し保持し

40

【 0 0 8 8 】

プリフェッチデータ読み出し動作では、第 1 の発明を実施するための形態に記載の利点に加えて、状態信号格納部 2 1 5 に保持しているプリフェッチ動作を完了した時点の外部デバイス 2 0 2 の状態を、マスタ 2 0 1 に送ることが可能となる。

【 0 0 8 9 】

< 第 3 の実施形態 >

本発明の第 3 の実施形態の外部デバイスアクセス装置について、図面を参照しながら説明する。

【 0 0 9 0 】

50

図5は本発明の第3の実施形態の外部デバイスアクセス装置構成図である。

【0091】

はじめに外部デバイスアクセス装置303の構成について説明する。

【0092】

外部デバイスアクセス装置303は、マスタ301との間でアドレスバス350、書き込みデータ入力バス351、読み出しデータ出力バス352、R/W信号入力バス353、受理信号355を介して接続され、また、外部デバイス302との間で書き込みアドレス出力バス370、書き込みデータ出力バス371、読み出しアドレス出力バス372、読み出しデータ入力バス373を介して接続される。

【0093】

また、外部デバイスアクセス装置303は、書き込みアドレス格納部310、書き込みデータ格納部311、読み出しデータ格納部313、アドレス制御部314から構成される。

【0094】

書き込みアドレス格納部310は、アドレス制御部314から書き込みアドレス360と書き込み許可信号361を入力し、格納したアドレスを外部デバイス302へ出力する。

【0095】

書き込みデータ格納部311は、マスタから、書き込みデータ入力バス351を介した書き込みデータと、アドレス制御部314から書き込み許可信号361とを入力し、格納したデータを外部デバイス302へ出力する。

【0096】

読み出しデータ格納部313は、読み出しアドレス362と読み出しアドレス許可信号363とを入力し、格納したアドレスを外部デバイス302へ出力する。その読み出しアドレスより外部デバイスから読み出しデータ入力バス373を介した読み出しデータと、アドレス制御部からの読み出しデータ格納部制御364を入力し、格納したデータをマスタ301へ出力する。

【0097】

また、読み出しデータ格納部313は、マスタ301が持つアクセス空間に割り当てられたアドレスを持つ。

【0098】

アドレス制御部314は、マスタから、アドレスバス350を介したアドレスと、R/W信号バス353を介したR/W信号と、書き込みデータ入力バス351を介した書き込みデータとを入力し、書き込みアドレス360と、書き込み許可信号361とを書き込みアドレス格納部310へ出力し、書き込み許可信号361を書き込みデータ格納部311へ出力し、読み出しアドレス365と、読み出しデータ格納部制御364を読み出しデータ格納部313へ出力する。

【0099】

次に外部デバイスアクセス装置303の動作について説明する。第1の発明を実施する形態での説明と同様に、通常書き込み動作、プリフェッチ動作、プリフェッチデータ読み出し動作である。

【0100】

通常書き込み動作は、マスタ301からの書き込み要求に応じて、外部デバイスアクセス装置303にアドレスバス350からのアドレスと、R/W信号バス353からのR/W信号がアドレス制御部314に入力される。

【0101】

アドレス制御部314では、R/W信号と、アドレスバス350からのアドレスが読み出しデータ格納部313に割り当てられたアドレスではないことをもとに、通常書き込み動作であることを認識し、書き込みアドレス360と書き込み許可信号361とを書き込みアドレス格納部310に出力してアドレスを格納させ、書き込み許可信号361を書き

10

20

30

40

50

込みデータ格納部 3 1 1 に出力して書き込みデータバス 3 5 1 からのデータを格納させる。

【 0 1 0 2 】

格納したアドレスとデータは、外部デバイス 3 0 2 が受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。

【 0 1 0 3 】

プリフェッチ動作は、マスタ 3 0 1 からの書き込み要求に応じて、外部デバイスアクセス装置 3 0 3 にアドレスバス 3 5 0 からのアドレスと、R / W 信号バス 3 5 3 からの R / W 信号と、書き込みデータバス 3 5 1 からのデータがアドレス制御部 3 1 4 に入力される。

10

【 0 1 0 4 】

アドレス制御部 3 1 4 では、R / W 信号と、アドレスバス 3 5 0 からのアドレスが読み出しデータ格納部 3 1 3 に割り当てられたアドレスであることをもとに、プリフェッチ動作であることを認識し、書き込みデータバス 3 5 1 からのデータを読み出しアドレスとして、読み出しアドレス 3 6 5 と読み出しデータ格納部制御 3 6 4 とを読み出しデータ格納部 3 1 3 に出力してアドレスを格納させる。格納したアドレスは、外部デバイスが受け付けて、外部デバイス 3 0 2 からの読み出しデータを読み出しデータ格納部 3 1 3 に格納するまで保持し、格納を完了後にプリフェッチ動作を完了する。

【 0 1 0 5 】

プリフェッチデータ読み出し動作は、マスタ 3 0 1 からの読み出し要求に応じて、外部デバイスアクセス装置 3 0 3 にアドレスバス 3 5 0 からのアドレスと、R / W 信号バス 3 5 3 からの R / W 信号とがアドレス制御部 3 1 4 に入力される。

20

【 0 1 0 6 】

アドレス制御部 3 1 4 では、R / W 信号と、アドレスバス 3 5 0 からのアドレスが読み出しデータ格納部 3 1 3 に割り当てられたアドレスであることをもとに、プリフェッチデータ読み出し動作であることを認識し、読み出しデータ格納部制御 3 6 4 を読み出しデータ格納部 3 1 3 に出力して、読み出しデータバス 3 5 2 を介してマスタ 3 0 1 に出力する。

【 0 1 0 7 】

マスタ 3 0 1 が読み出しデータを受け付けるまで読み出しデータを保持し、受付を完了後にプリフェッチリード動作を完了する。

30

【 0 1 0 8 】

これら動作を持つことによる利点としては、プリフェッチ動作では、第 1 の発明を実施するための形態及び第 2 の発明を実施するための形態に記載の利点に加えて、読み出しデータ格納部制御 3 6 4 を設けることにより、読み出しデータ格納部 3 1 3 のみでプリフェッチ動作を実現できるため、外部デバイスアクセス装置の面積増加を抑制することが可能となる。

【 0 1 0 9 】

< 第 4 の実施形態 >

本発明の第 4 の実施形態の外部デバイスアクセス装置について、図面を参照しながら説明する。

40

【 0 1 1 0 】

図 6 は本発明の第 4 の実施形態の外部デバイスアクセス装置構成図である。

【 0 1 1 1 】

はじめに外部デバイスアクセス装置 4 0 3 の構成について説明する。

【 0 1 1 2 】

外部デバイスアクセス装置 4 0 3 は、マスタ 4 0 1 との間でアドレスバス 4 5 0、書き込みデータ入力バス 4 5 1、読み出しデータ出力バス 4 5 2、R / W 信号入力バス 4 5 3、未実装情報バス 4 5 4、受理信号 4 5 5 を介して接続され、また、外部デバイス 4 0 2 と、書き込みアドレス出力バス 4 7 0、書き込みデータ出力バス 4 7 1、読み出しアドレ

50

ス出力バス 472、読み出しデータ入力バス 473 を介して接続される。

【0113】

また、外部デバイスアクセス装置 403 は、書き込みアドレス格納部 410、書き込みデータ格納部 411、読み出しアドレス格納部 412、読み出しデータ格納部 413、アドレス制御部 414、未実装情報格納部 415 から構成される。

【0114】

書き込みアドレス格納部 410 は、アドレス制御部 414 から書き込みアドレス 460 と書き込み許可信号 461 を入力し、格納したアドレスを外部デバイス 402 へ出力する。

【0115】

書き込みデータ格納部 411 は、マスタから、書き込みデータ入力バス 451 を介した書き込みデータと、アドレス制御部 414 から書き込み許可信号 461 とを入力し、格納したデータを外部デバイス 402 へ出力する。

【0116】

読み出しアドレス格納部 412 は、アドレス制御部 414 から読み出しアドレス 462 と読み出しアドレス許可信号 463 とを入力し、格納したアドレスを外部デバイス 402 へ出力する。

【0117】

読み出しデータ格納部 413 は、外部デバイスから読み出しデータ入力バス 473 を介した読み出しデータと、アドレス制御部からの読み出しデータ許可信号 464 を入力し、格納したデータをマスタ 401 へ出力する。

【0118】

また、読み出しデータ格納部 413 は、マスタ 401 が持つアクセス空間に割り当てられたアドレスを持つ。

【0119】

アドレス制御部 414 は、マスタから、アドレスバス 450 を介したアドレスと、R/W 信号バス 453 を介した R/W 信号と、書き込みデータ入力バス 451 を介した書き込みデータとを入力し、書き込みアドレス 460 と、書き込み許可信号 461 とを書き込みアドレス格納部 410 へ出力し、書き込み許可信号 461 を書き込みデータ格納部 411 へ出力し、読み出しアドレス 462 と読み出しアドレス許可信号 463 とを読み出しアドレス格納部 412 へ出力し、読み出しデータ許可信号 464 を読み出しデータ格納部 413 へ出力し、未実装情報 465 を未実装情報格納部 415 へ出力する。

【0120】

未実装情報格納部 415 は、アドレス制御部 414 から未実装情報 465 を入力し、マスタ 401 へ未実装情報バス 454 を介して、格納した未実装情報を出力する。

【0121】

次に外部デバイスアクセス装置 403 の動作について説明する。第 1 の発明を実施する形態での説明と同様に、通常書き込み動作、プリフェッチ動作、プリフェッチデータ読み出し動作である。

【0122】

通常書き込み動作は、マスタ 401 からの書き込み要求に応じて、外部デバイスアクセス装置 403 にアドレスバス 450 からのアドレスと、R/W 信号バス 453 からの R/W 信号がアドレス制御部 414 に入力される。

【0123】

アドレス制御部 414 では、R/W 信号と、アドレスバス 450 からのアドレスが読み出しデータ格納部 413 に割り当てられたアドレスではない場合には、通常書き込み動作であることを認識し、書き込みアドレス 460 と書き込み許可信号 461 とを書き込みアドレス格納部 410 へ出力してアドレスを格納させ、書き込み許可信号 461 を書き込みデータ格納部 411 へ出力して書き込みデータバス 451 からのデータを格納させる。アドレスバス 450 からのアドレスが実装されていないアドレスの場合には、未実装である

10

20

30

40

50

ことを認識し、未実装情報 4 6 5 を未実装情報格納部 4 1 5 に格納する。

【 0 1 2 4 】

アドレスとデータを格納した場合は、外部デバイス 4 0 2 が受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。未実装情報を格納した場合は、マスタ 4 0 1 が受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。

【 0 1 2 5 】

プリフェッチ動作は、マスタ 4 0 1 からの書き込み要求に応じて、外部デバイスアクセス装置 4 0 3 にアドレスバス 4 5 0 からのアドレスと、R / W 信号バス 4 5 3 からの R / W 信号と、書き込みデータバス 4 5 1 からのデータがアドレス制御部 4 1 4 に入力される。

10

【 0 1 2 6 】

アドレス制御部 4 1 4 では、R / W 信号と、アドレスバス 4 5 0 からのアドレスが読み出しデータ格納部 4 1 3 に割り当てられたアドレスである場合は、プリフェッチ動作であることを認識し、書き込みデータバス 4 5 1 からのデータを読み出しアドレスとして、読み出しアドレス 4 6 2 と読み出しアドレス許可信号 4 6 3 とを読み出しアドレス格納部 4 1 2 に出力してアドレスを格納させる。アドレスバス 4 5 0 からのアドレスが実装されていないアドレスの場合、または書き込みデータバス 4 5 1 からのデータをアドレスとしたときのアドレスが実装されていないアドレスの場合は、未実装であることを認識し、未実装情報 4 6 5 を未実装情報格納部 4 1 5 に格納する。

【 0 1 2 7 】

アドレスを格納した場合は、外部デバイスが受け付けて、外部デバイス 4 0 2 からの読み出しデータを読み出しデータ格納部 4 1 3 に格納するまで保持し、格納を完了後にプリフェッチ動作を完了する。未実装情報を格納した場合は、マスタ 4 0 1 が受け付けるまで保持し、受付を完了後にプリフェッチ動作を完了する。

20

【 0 1 2 8 】

プリフェッチデータ読み出し動作は、マスタ 4 0 1 からの読み出し要求に応じて、外部デバイスアクセス装置 4 0 3 にアドレスバス 4 5 0 からのアドレスと、R / W 信号バス 4 5 3 からの R / W 信号とがアドレス制御部 4 1 4 に入力される。

【 0 1 2 9 】

アドレス制御部 4 1 4 では、R / W 信号と、アドレスバス 4 5 0 からのアドレスが読み出しデータ格納部 4 1 3 に割り当てられたアドレスである場合は、プリフェッチデータ読み出し動作であることを認識し、読み出しデータ許可信号 4 6 4 を読み出しデータ格納部 4 1 3 に出力して、読み出しデータバス 4 5 2 を介してマスタ 4 0 1 に出力する。アドレスバス 4 5 0 からのアドレスが実装されていないアドレスの場合は、未実装であることを認識し、未実装情報 4 6 5 を未実装情報格納部 4 1 5 に格納する。

30

【 0 1 3 0 】

アドレスを格納した場合は、マスタ 4 0 1 が読み出しデータを受け付けるまで読み出しデータを保持し、受付を完了後にプリフェッチリード動作を完了する。未実装情報を格納した場合は、マスタ 4 0 1 が受け付けるまで保持し、受付を完了後にプリフェッチ動作を完了する。

40

【 0 1 3 1 】

これら動作を持つことによる利点としては、通常書き込み動作では、第 1 の発明を実施するための形態に記載の利点に加えて、マスタ 4 0 1 からのアドレス指定に対して、実装されているかどうかを判定し未実装情報として送ることで、マスタ 4 0 1 に依存することなく、外部デバイス 4 0 2 に対する実装、未実装を容易に設定することが可能となる。

【 0 1 3 2 】

プリフェッチ動作では、第 1 の発明を実施するための形態に記載の利点に加えて、マスタ 4 0 1 からのアドレス指定、データに対して、実装されているかどうかを判定し未実装情報として送ることで、マスタ 4 0 1 に依存することなく、外部デバイス 4 0 2、読み出しデータ格納部 4 1 3 に割り当てるアドレスに対する実装、未実装を容易に設定すること

50

が可能となる。

【0133】

プリフェッチデータ読み出し動作では、第1の発明を実施するための形態に記載の利点に加えて、マスタ401からのアドレス指定に対して、実装されているかどうかを判定し未実装情報として送ることで、マスタ401に依存することなく、読み出しデータ格納部413に割り当てるアドレスに対する実装、未実装を容易に設定することが可能となる。

【0134】

<第5の実施形態>

本発明の第5の実施形態の外部デバイスアクセス装置について、図面を参照しながら説明する。

【0135】

図7は本発明の第5の実施形態の外部デバイスアクセス装置構成図である。

【0136】

はじめに外部デバイスアクセス装置503の構成について説明する。

【0137】

外部デバイスアクセス装置503は、マスタ501との間でアドレスバス550、書き込みデータ入力バス551、読み出しデータ出力バス552、R/W信号入力バス553、エラーアドレスバス554、受理信号555を介して接続され、また、外部デバイス502との間で、書き込みアドレス出力バス570、書き込みデータ出力バス571、読み出しアドレス出力バス572、読み出しデータ入力バス573を介して接続される。

【0138】

また、外部デバイスアクセス装置503は、書き込みアドレス格納部510、書き込みデータ格納部511、読み出しアドレス格納部512、読み出しデータ格納部513、アドレス制御部514、エラーアドレス格納部515から構成される。

【0139】

書き込みアドレス格納部510は、アドレス制御部514から書き込みアドレス560と書き込み許可信号561を入力し、格納したアドレスを外部デバイス502へ出力する。

【0140】

書き込みデータ格納部511は、マスタから、書き込みデータ入力バス551を介した書き込みデータと、アドレス制御部514から書き込み許可信号561とを入力し、格納したデータを外部デバイス502へ出力する。

【0141】

読み出しアドレス格納部512は、アドレス制御部514から読み出しアドレス562と読み出しアドレス許可信号563とを入力し、格納したアドレスを外部デバイス502へ出力する。

【0142】

読み出しデータ格納部513は、外部デバイスから読み出しデータ入力バス573を介した読み出しデータと、アドレス制御部からの読み出しデータ許可信号564を入力し、格納したデータをマスタ501へ出力する。

【0143】

また、読み出しデータ格納部513は、マスタ501が持つアクセス空間に割り当てられたアドレスを持つ。

【0144】

アドレス制御部514は、マスタから、アドレスバス550を介したアドレスと、R/W信号バス553を介したR/W信号と、書き込みデータ入力バス551を介した書き込みデータとを入力し、書き込みアドレス560と、書き込み許可信号561とを書き込みアドレス格納部510へ出力し、書き込み許可信号561を書き込みデータ格納部511へ出力し、読み出しアドレス562と読み出しアドレス許可信号563とを読み出しアドレス格納部512へ出力し、読み出しデータ許可信号564を読み出しデータ格納部51

10

20

30

40

50

3へ出力し、エラーアドレス565をエラーアドレス格納部515へ出力する。

【0145】

エラーアドレス格納部515は、アドレス制御部514からエラーアドレス565を入力し、マスタ501へエラーアドレスバス554を介して、格納したエラーアドレスを出力する。

【0146】

次に外部デバイスアクセス装置503の動作について説明する。第1の発明を実施する形態での説明と同様に、通常書き込み動作、プリフェッチ動作、プリフェッチデータ読み出し動作である。

【0147】

通常書き込み動作は、マスタ501からの書き込み要求に応じて、外部デバイスアクセス装置503にアドレスバス550からのアドレスと、R/W信号バス553からのR/W信号がアドレス制御部514に入力される。

【0148】

アドレス制御部514では、R/W信号と、アドレスバス550からのアドレスが読み出しデータ格納部513に割り当てられたアドレスではない場合には、通常書き込み動作であることを認識し、書き込みアドレス560と書き込み許可信号561とを書き込みアドレス格納部510に出力してアドレスを格納させ、書き込み許可信号561を書き込みデータ格納部511に出力して書き込みデータバス551からのデータを格納させる。アドレスバス550からのアドレスが実装されていないアドレスの場合には、未実装であることを認識し、そのアドレスをエラーアドレス565としてエラーアドレス格納部515に格納する。

【0149】

アドレスとデータを格納した場合は、外部デバイス502が受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。エラーアドレスを格納した場合は、マスタ501が受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。

【0150】

プリフェッチ動作は、マスタ501からの書き込み要求に応じて、外部デバイスアクセス装置503にアドレスバス550からのアドレスと、R/W信号バス553からのR/W信号と、書き込みデータバス551からのデータがアドレス制御部514に入力される。

【0151】

アドレス制御部514では、R/W信号と、アドレスバス550からのアドレスが読み出しデータ格納部513に割り当てられたアドレスである場合は、プリフェッチ動作であることを認識し、書き込みデータバス551からのデータを読み出しアドレスとして、読み出しアドレス562と読み出しアドレス許可信号563とを読み出しアドレス格納部512に出力してアドレスを格納させる。アドレスバス550からのアドレスが実装されていないアドレスの場合、または書き込みデータバス551からのデータをアドレスとしたときのアドレスが実装されていないアドレスの場合、未実装であることを認識し、そのアドレスをエラーアドレス565としてエラーアドレス格納部515に格納する。

【0152】

アドレスを格納した場合は、外部デバイスが受け付けて、外部デバイス502からの読み出しデータを読み出しデータ格納部513に格納するまで保持し、格納を完了後にプリフェッチ動作を完了する。エラーアドレスを格納した場合は、マスタ501が受け付けるまで保持し、受付を完了後にプリフェッチ動作を完了する。

【0153】

プリフェッチデータ読み出し動作は、マスタ501からの読み出し要求に応じて、外部デバイスアクセス装置503にアドレスバス550からのアドレスと、R/W信号バス553からのR/W信号とがアドレス制御部514に入力される。

【0154】

10

20

30

40

50

アドレス制御部 5 1 4 では、R / W 信号と、アドレスバス 5 5 0 からのアドレスが読み出しデータ格納部 5 1 3 に割り当てられたアドレスである場合は、プリフェッチデータ読み出し動作であることを認識し、読み出しデータ許可信号 5 6 4 を読み出しデータ格納部 5 1 3 に出力して、読み出しデータバス 5 5 2 を介してマスタ 5 0 1 に出力する。アドレスバス 5 5 0 からのアドレスが実装されていないアドレスの場合は、未実装であることを認識し、そのアドレスをエラーアドレス 5 6 5 としてエラーアドレス格納部 5 1 5 に格納する。

【 0 1 5 5 】

アドレスを格納した場合は、マスタ 5 0 1 が読み出しデータを受け付けるまで読み出しデータを保持し、受付を完了後にプリフェッチリード動作を完了する。エラーアドレスを格納した場合は、マスタ 5 0 1 が受け付けるまで保持し、受付を完了後にプリフェッチ動作を完了する。

10

【 0 1 5 6 】

これら動作を持つことによる利点としては、通常書き込み動作では、第 1 の発明を実施するための形態に記載の利点に加えて、マスタ 5 0 1 からのアドレス指定に対して、実装されているかどうかを判定しエラーアドレスとして送ることで、マスタ 5 0 1 は容易にエラーアドレスを知ることが可能となり、例えばデバッグ時などに有効となる。

【 0 1 5 7 】

プリフェッチ動作では、第 1 の発明を実施するための形態に記載の利点に加えて、マスタ 5 0 1 からのアドレス指定、データに対して、実装されているかどうかを判定しエラーアドレスとして送ることで、マスタ 5 0 1 は容易にエラーアドレスを知ることが可能となり、例えばデバッグ時などに有効となる。

20

【 0 1 5 8 】

プリフェッチデータ読み出し動作では、第 1 の発明を実施するための形態に記載の利点に加えて、マスタ 5 0 1 からのアドレス指定に対して、実装されているかどうかを判定しエラーアドレスとして送ることで、マスタ 5 0 1 は容易にエラーアドレスを知ることが可能となり、例えばデバッグ時などに有効となる。

【 0 1 5 9 】

< 第 6 の実施形態 >

本発明の第 6 の実施形態の外部デバイスアクセス装置について、図面を参照しながら説明する。

30

【 0 1 6 0 】

図 8 は本発明の第 6 の実施形態の外部デバイスアクセス装置構成図である。

【 0 1 6 1 】

はじめに外部デバイスアクセス装置 6 0 3 の構成について説明する。

【 0 1 6 2 】

外部デバイスアクセス装置 6 0 3 は、マスタ 6 0 1 と、アドレスバス 6 5 0、書き込みデータ入力バス 6 5 1、読み出しデータ出力バス 6 5 2、R / W 信号入力バス 6 5 3、エラーアドレスバス 6 5 4 を介して接続し、外部デバイス 6 0 2 と、書き込みアドレス出力バス 6 7 0、書き込みデータ出力バス 6 7 1、読み出しアドレス出力バス 6 7 2、読み出しデータ入力バス 6 7 3 を介して接続される。

40

【 0 1 6 3 】

また、外部デバイスアクセス装置 6 0 3 は、書き込みアドレス格納部 6 1 0、書き込みデータ格納部 6 1 1、読み出しアドレス格納部 6 1 2、読み出しデータ格納部 6 1 3、アドレス制御部 6 1 4 から構成される。

【 0 1 6 4 】

書き込みアドレス格納部 6 1 0 は、アドレス制御部 6 1 4 から書き込みアドレス 6 6 0 と書き込み許可信号 6 6 1 を入力し、格納したアドレスを外部デバイス 6 0 2 へ出力する。

【 0 1 6 5 】

50

書き込みデータ格納部 6 1 1 は、マスタから、書き込みデータ入力バス 6 5 1 を介した書き込みデータと、アドレス制御部 6 1 4 から書き込み許可信号 6 6 1 とを入力し、格納したデータを外部デバイス 6 0 2 へ出力する。

【 0 1 6 6 】

読み出しアドレス格納部 6 1 2 は、アドレス制御部 6 1 4 から読み出しアドレス 6 6 2 と読み出しアドレス許可信号 6 6 3 とを入力し、格納したアドレスを外部デバイス 6 0 2 へ出力する。

【 0 1 6 7 】

読み出しデータ格納部 6 1 3 は、外部デバイスから読み出しデータ入力バス 6 7 3 を介した読み出しデータと、アドレス制御部からの読み出しデータ格納部制御 6 6 4 と、エラーアドレス 6 6 5 とを入力し、格納したデータまたはエラーアドレスをマスタ 6 0 1 へ出力する。

10

【 0 1 6 8 】

また、読み出しデータ格納部 6 1 3 は、マスタ 6 0 1 が持つアクセス空間に割り当てられたアドレスを持つ。

【 0 1 6 9 】

アドレス制御部 6 1 4 は、マスタから、アドレスバス 6 5 0 を介したアドレスと、R / W 信号バス 6 5 3 を介した R / W 信号と、書き込みデータ入力バス 6 5 1 を介した書き込みデータとを入力し、書き込みアドレス 6 6 0 と、書き込み許可信号 6 6 1 とを書き込みアドレス格納部 6 1 0 へ出力し、書き込み許可信号 6 6 1 を書き込みデータ格納部 6 1 1 へ出力し、読み出しアドレス 6 6 2 と読み出しアドレス許可信号 6 6 3 とを読み出しアドレス格納部 6 1 2 へ出力し、読み出しデータ格納部制御 6 6 4 を読み出しデータ格納部 6 1 3 へ出力し、エラーアドレス 6 6 5 を読み出しデータ格納部 6 1 3 へ出力する。

20

【 0 1 7 0 】

次に外部デバイスアクセス装置 6 0 3 の動作について説明する。第 1 の発明を実施する形態での説明と同様に、通常書き込み動作、プリフェッチ動作、プリフェッチデータ読み出し動作である。

【 0 1 7 1 】

通常書き込み動作は、マスタ 6 0 1 からの書き込み要求に応じて、外部デバイスアクセス装置 6 0 3 にアドレスバス 6 5 0 からのアドレスと、R / W 信号バス 6 5 3 からの R / W 信号がアドレス制御部 6 1 4 に入力される。

30

【 0 1 7 2 】

アドレス制御部 6 1 4 では、R / W 信号と、アドレスバス 6 5 0 からのアドレスが読み出しデータ格納部 6 1 3 に割り当てられたアドレスではない場合には、通常書き込み動作であることを認識し、書き込みアドレス 6 6 0 と書き込み許可信号 6 6 1 とを書き込みアドレス格納部 6 1 0 に出力してアドレスを格納させ、書き込み許可信号 6 6 1 を書き込みデータ格納部 6 1 1 に出力して書き込みデータバス 6 5 1 からのデータを格納させる。アドレスバス 6 5 0 からのアドレスが実装されていないアドレスの場合には、未実装であることを認識し、そのアドレスを読み出しデータ格納部 6 1 3 に格納する。

【 0 1 7 3 】

40

アドレスとデータを格納した場合は、外部デバイス 6 0 2 が受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。エラーアドレスを格納した場合は、マスタ 6 0 1 が受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。

【 0 1 7 4 】

プリフェッチ動作は、マスタ 6 0 1 からの書き込み要求に応じて、外部デバイスアクセス装置 6 0 3 にアドレスバス 6 5 0 からのアドレスと、R / W 信号バス 6 5 3 からの R / W 信号と、書き込みデータバス 6 5 1 からのデータがアドレス制御部 6 1 4 に入力される。

【 0 1 7 5 】

アドレス制御部 6 1 4 では、R / W 信号と、アドレスバス 6 5 0 からのアドレスが読み

50

出しデータ格納部 6 1 3 に割り当てられたアドレスである場合は、プリフェッチ動作であることを認識し、書き込みデータバス 6 5 1 からのデータを読み出しアドレスとして、読み出しアドレス 6 6 2 と読み出しアドレス許可信号 6 6 3 とを読み出しアドレス格納部 6 1 2 に出力してアドレスを格納させる。アドレスバス 6 5 0 からのアドレスが実装されていないアドレスの場合、または書き込みデータバス 6 5 1 からのデータをアドレスとしたときのアドレスが実装されていないアドレスの場合は、未実装であることを認識し、そのアドレスをエラーアドレスとして読み出しデータ格納部 6 1 3に格納する。

【 0 1 7 6 】

アドレスを格納した場合は、外部デバイスが受け付けて、外部デバイス 6 0 2 からの読み出しデータを読み出しデータ格納部 6 1 3 に格納するまで保持し、格納を完了後にプリフェッチ動作を完了する。エラーアドレスを格納した場合は、マスタ 6 0 1 が受け付けるまで保持し、受付を完了後にプリフェッチ動作を完了する。

10

【 0 1 7 7 】

プリフェッチデータ読み出し動作は、マスタ 6 0 1 からの読み出し要求に応じて、外部デバイスアクセス装置 6 0 3 にアドレスバス 6 5 0 からのアドレスと、R/W信号バス 6 5 3 からのR/W信号とがアドレス制御部 6 1 4 に入力される。

【 0 1 7 8 】

アドレス制御部 6 1 4 では、R/W信号と、アドレスバス 6 5 0 からのアドレスが読み出しデータ格納部 6 1 3 に割り当てられたアドレスである場合は、プリフェッチデータ読み出し動作であることを認識し、読み出しデータ許可信号 6 6 4 を読み出しデータ格納部 6 1 3 に出力して、読み出しデータバス 6 5 2 を介してマスタ 6 0 1 に出力する。

20

【 0 1 7 9 】

アドレスを格納した場合は、マスタ 6 0 1 が読み出しデータを受け付けるまで読み出しデータを保持し、受付を完了後にプリフェッチリード動作を完了する。エラーアドレスを格納した場合は、マスタ 6 0 1 が受け付けるまで保持し、受付を完了後にプリフェッチ動作を完了する。

【 0 1 8 0 】

これら動作を持つことによる利点としては、通常書き込み動作では、第 1 の発明を実施するための形態及び第 5 の発明を実施するための形態に記載の利点に加えて、読み出しデータ格納部 6 1 3 のみでマスタ 6 0 1 にエラーアドレスを送ることを実現できるため、外部デバイスアクセス装置の面積増加を抑制することが可能となる。

30

【 0 1 8 1 】

プリフェッチ動作では、第 1 の発明を実施するための形態及び第 5 の発明を実施するための形態に記載の利点に加えて、読み出しデータ格納部 6 1 3 のみでマスタ 6 0 1 にエラーアドレスを送ることを実現できるため、外部デバイスアクセス装置の面積増加を抑制することが可能となる。

【 0 1 8 2 】

プリフェッチデータ読み出し動作では、第 1 の発明を実施するための形態及び第 5 の発明を実施するための形態に記載の利点に加えて、読み出しデータ格納部 6 1 3 のみでマスタ 6 0 1 にエラーアドレスを送ることを実現できるため、外部デバイスアクセス装置の面積増加を抑制することが可能となる。

40

【 0 1 8 3 】

< 第 7 の実施形態 >

本発明の第 7 の実施形態の外部デバイスアクセス装置について、図面を参照しながら説明する。

【 0 1 8 4 】

図 9 は本発明の第 7 の実施形態の外部デバイスアクセス装置構成図である。

【 0 1 8 5 】

はじめに外部デバイスアクセス装置 7 0 3 の構成について説明する。

【 0 1 8 6 】

50

外部デバイスアクセス装置 703 は、マスタ 701 と、アドレスバス 750、書き込みデータ入力バス 751、読み出しデータ出力バス 752、R/W 信号入力バス 753 を介して接続し、外部デバイス 702 と、書き込みアドレス出力バス 770、書き込みデータ出力バス 771、読み出しアドレス出力バス 772、読み出しデータ入力バス 773 を介して接続される。

【0187】

また、外部デバイスアクセス装置 703 は、書き込みアドレス格納部 710、書き込みデータ格納部 711、読み出しアドレス格納部 712、読み出しデータ格納部 713、アドレス制御部 714、格納動作状態保持部 715 から構成される。

【0188】

書き込みアドレス格納部 710 は、アドレス制御部 714 から書き込みアドレス 760 と書き込み許可信号 761 を入力し、格納したアドレスを外部デバイス 702 へ出力する。

【0189】

書き込みデータ格納部 711 は、マスタから、書き込みデータ入力バス 751 を介した書き込みデータと、アドレス制御部 714 から書き込み許可信号 761 とを入力し、格納したデータを外部デバイス 702 へ出力する。

【0190】

読み出しアドレス格納部 712 は、アドレス制御部 714 から読み出しアドレス 762 と読み出しアドレス許可信号 763 とを入力し、格納したアドレスを外部デバイス 702 へ出力する。

【0191】

読み出しデータ格納部 713 は、外部デバイスから読み出しデータ入力バス 773 を介した読み出しデータと、アドレス制御部からの読み出しデータ許可信号 764 を入力し、格納したデータをマスタ 701 へ出力する。

【0192】

また、読み出しデータ格納部 713 は、マスタ 701 が持つアクセス空間に割り当てられたアドレスを持つ。

【0193】

アドレス制御部 714 は、マスタから、アドレスバス 750 を介したアドレスと、R/W 信号バス 753 を介した R/W 信号と、書き込みデータ入力バス 751 を介した書き込みデータとを入力し、書き込みアドレス 760 と、書き込み許可信号 761 とを書き込みアドレス格納部 710 へ出力し、書き込み許可信号 761 を書き込みデータ格納部 711 へ出力し、読み出しアドレス 762 と読み出しアドレス許可信号 763 とを読み出しアドレス格納部 712 へ出力し、読み出しデータ許可信号 764 を読み出しデータ格納部 713 と格納動作状態保持部 715 へ出力する。

【0194】

格納動作保持部 715 は、外部デバイスから読み出しデータ入力バス 773 を介した読み出しデータと、読み出しアドレス格納部 712 からのアドレスと、アドレス制御部 714 から読み出しデータ許可信号 764 を入力し、アドレス制御部 714 へ格納動作状態 765 を出力する。

【0195】

次に外部デバイスアクセス装置 703 の動作について説明する。第 1 の発明を実施する形態での説明と同様に、通常書き込み動作、プリフェッチ動作、プリフェッチデータ読み出し動作である。

【0196】

通常書き込み動作は、マスタ 701 からの書き込み要求に応じて、外部デバイスアクセス装置 703 にアドレスバス 750 からのアドレスと、R/W 信号バス 753 からの R/W 信号がアドレス制御部 714 に入力される。

【0197】

10

20

30

40

50

アドレス制御部 714 では、R/W 信号と、アドレスバス 750 からのアドレスが読み出しデータ格納部 713 に割り当てられたアドレスではないことをもとに、通常書き込み動作であることを認識し、書き込みアドレス 760 と書き込み許可信号 761 とを書き込みアドレス格納部 710 に出力してアドレスを格納させ、書き込み許可信号 761 を書き込みデータ格納部 711 に出力して書き込みデータバス 751 からのデータを格納させる。

【0198】

格納したアドレスとデータは、外部デバイスが受け付けるまで保持し、受付を完了後に通常書き込み動作を完了する。

【0199】

プリフェッチ動作は、マスタ 701 からの書き込み要求に応じて、外部デバイスアクセス装置 703 にアドレスバス 750 からのアドレスと、R/W 信号バス 753 からの R/W 信号と、書き込みデータバス 751 からのデータがアドレス制御部 714 に入力される。

【0200】

アドレス制御部 714 では、R/W 信号と、アドレスバス 750 からのアドレスが読み出しデータ格納部 713 に割り当てられたアドレスであることをもとに、プリフェッチ動作であることを認識し、書き込みデータバス 751 からのデータを読み出しアドレスとして、読み出しアドレス 762 と読み出しアドレス許可信号 763 とを読み出しアドレス格納部 712 に出力してアドレスを格納させる。

【0201】

格納したアドレスは、外部デバイス 702 に出力するとともに、格納動作中であることを示すために格納動作状態保持部 715 へも出力し、格納動作中であることを保持させる。出力したアドレスは外部デバイス 702 が受け付けて、外部デバイス 702 からの読み出しデータを読み出しデータ格納部 713 に格納するまで保持し、格納を完了後に、格納動作状態保持部 715 保持させていた格納動作中であることを取り消し、プリフェッチ動作を完了する。

【0202】

プリフェッチデータ読み出し動作は、マスタ 701 からの読み出し要求に応じて、外部デバイスアクセス装置 703 にアドレスバス 750 からのアドレスと、R/W 信号バス 753 からの R/W 信号とがアドレス制御部 714 に入力される。

【0203】

アドレス制御部 714 では、R/W 信号と、アドレスバス 750 からのアドレスが読み出しデータ格納部 713 に割り当てられたアドレスであることと、格納動作状態保持部 715 からの格納動作状態 765 をもとに、プリフェッチデータ読み出し動作であること、かつ以前にマスタ 701 が要求したプリフェッチ動作中でないことを認識した場合は、読み出しデータ許可信号 764 を読み出しデータ格納部 713 に出力して、読み出しデータバス 752 を介してマスタ 701 に出力する。

【0204】

マスタ 701 が読み出しデータを受け付けるまで読み出しデータを保持し、受付を完了後にプリフェッチリード動作を完了する。

【0205】

プリフェッチデータ読み出し動作であること、かつ以前にマスタ 701 が要求したプリフェッチ動作中である場合には、外部デバイスアクセス装置 703 はマスタ 701 からのプリフェッチデータ読み出し動作を受け付けず、マスタ 701 を待機させる。

【0206】

これら動作を持つことによる利点としては、プリフェッチデータ読み出し動作では、第 1 の発明を実施するための形態に記載の利点に加えて、以前にマスタ 701 が要求したプリフェッチ動作中である場合には、プリフェッチデータ読み出し動作を受け付けなため、あらかじめ外部デバイス 702 のデータを読み出しデータ格納部 713 へ読み出してお

10

20

30

40

50

く前のデータを読み出すことを防ぎ、マスタ701の要求する命令順序のとおり動作することを保障することが可能となる。

【0207】

なお、本発明の構成は上記に詳述された構成に限定されない。例えば、第2の実施形態から第7の実施形態において、図1のように1つのマスタに対し複数の外部デバイスアクセス装置と複数の外部デバイスとを備える構成であっても、図3のように1つのマスタに対し1つの外部デバイスアクセス装置と複数の外部デバイスとを備える構成であってもよい。また、外部デバイスアクセス装置は、書き込みアドレス格納部、書き込みデータ格納部、読み出しアドレス格納部、読み出しデータ格納部、アドレス制御部、状態信号格納部、未実装情報格納部、エラーアドレス格納部、格納動作状態保持部を複数備えていてもよい。

10

【産業上の利用可能性】

【0208】

本発明にかかる外部デバイスアクセス装置は、マスタと外部デバイス間のアクセスに関して、マスタの状態に依存しないアクセスを実現して、アクセスペナルティを低減し、マスタの性能への影響を低減できる効果があり、マスタと外部デバイスを備えるシステムLSIに有用である。またマスタに対して、外部デバイスの構成に依存せず外部デバイスを容易に拡張できるため、システムLSIにおいてマスタを汎用的に用いる場合には、マスタを改変する必要が生じないため、開発コストを大幅に削減できることが有用である。

【図面の簡単な説明】

20

【0209】

【図1】図1は、第1の実施形態のシステムLSIの構成を示すブロック図である。

【図2】図2は、第1の実施形態の外部デバイスアクセス装置の構成を示すブロック図である。

【図3】図3は、第1の実施形態の他のシステムLSIの構成を示すブロック図である。

【図4】図4は、第2の実施形態の外部デバイスアクセス装置の構成を示すブロック図である。

【図5】図5は、第3の実施形態の外部デバイスアクセス装置の構成を示すブロック図である。

【図6】図6は、第4の実施形態の外部デバイスアクセス装置の構成を示すブロック図である。

30

【図7】図7は、第5の実施形態の外部デバイスアクセス装置の構成を示すブロック図である。

【図8】図8は、第6の実施形態の外部デバイスアクセス装置の構成を示すブロック図である。

【図9】図9は、第7の実施形態の外部デバイスアクセス装置の構成を示すブロック図である。

【符号の説明】

【0210】

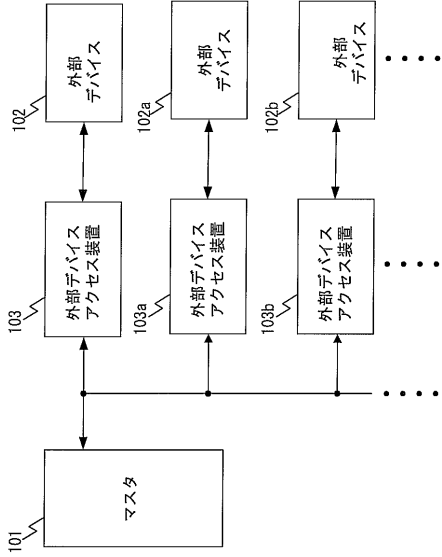
- 101 マスタ
- 102 外部デバイス
- 103 外部デバイスアクセス装置
- 110 書き込みアドレス格納部
- 111 書き込みデータ格納部
- 112 読み出しアドレス格納部
- 113 読み出しデータ格納部
- 114 アドレス制御部
- 150 アドレスバス
- 151 書き込みデータ入力バス
- 152 読み出しデータ出力バス

40

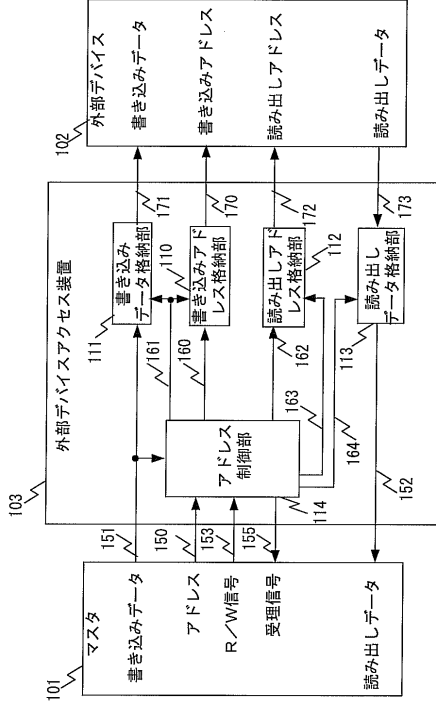
50

1 5 3	R / W信号バス	
1 6 0	書き込みアドレス	
1 6 1	書き込み許可信号	
1 6 2	読み出しアドレス	
1 6 3	読み出しアドレス許可信号	
1 6 4	読み出しデータ許可信号	
1 7 0	書き込みアドレス出力バス	
1 7 1	書き込みデータ入力出力バス	
1 7 2	読み出しアドレス出力バス	
1 7 3	読み出しデータ入力バス	10
2 1 5	状態信号格納部	
2 5 4	状態信号出力バス	
2 7 4	状態信号入力バス	
3 6 4	読み出しデータ格納部制御	
3 6 5	読み出しアドレス	
3 7 2	読み出しアドレスバス	
4 1 5	未実装情報格納部	
4 5 4	未実装情報バス	
4 6 5	未実装情報	
5 1 5	エラーアドレス格納部	20
5 5 4	エラーアドレスバス	
5 6 5	エラーアドレス	
6 6 4	読み出しデータ格納部制御	
6 6 5	エラーアドレス	
7 1 5	格納動作状態保持部	
7 6 5	格納動作状態	

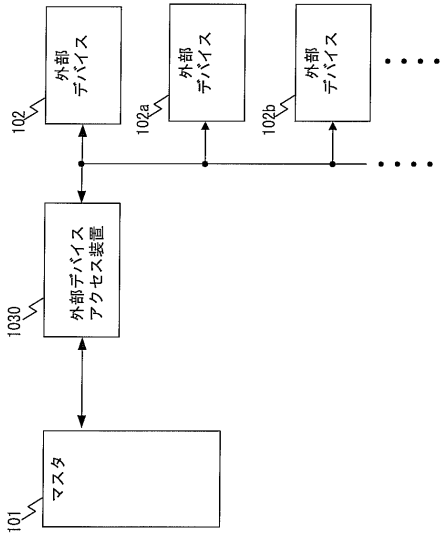
【図1】



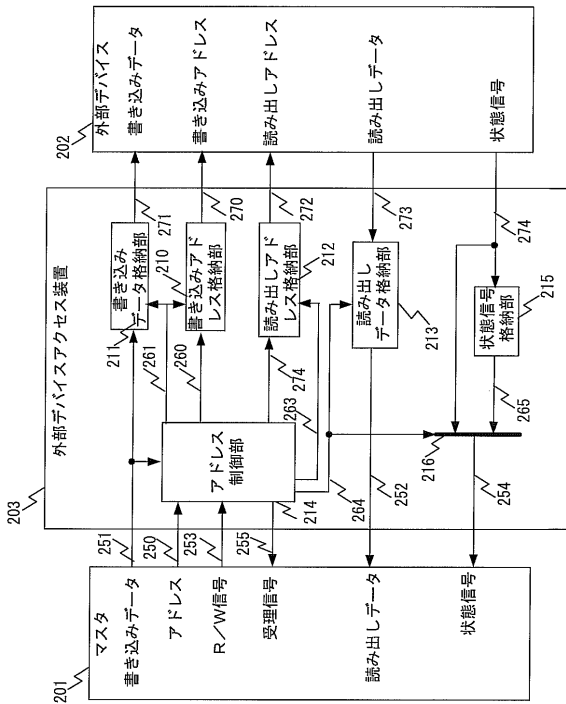
【図2】



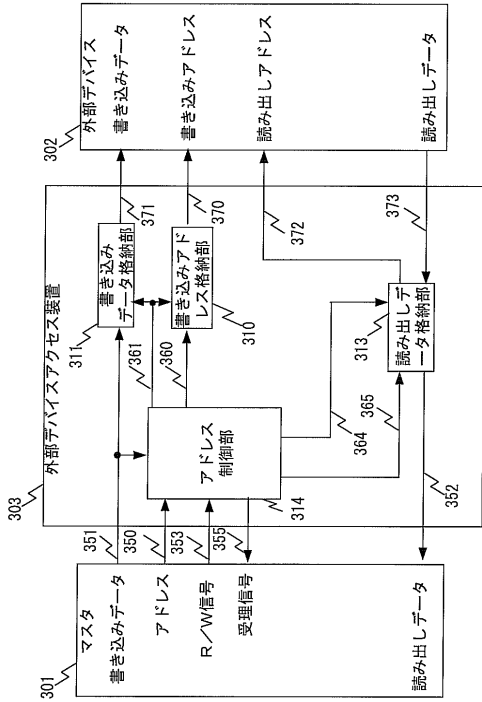
【図3】



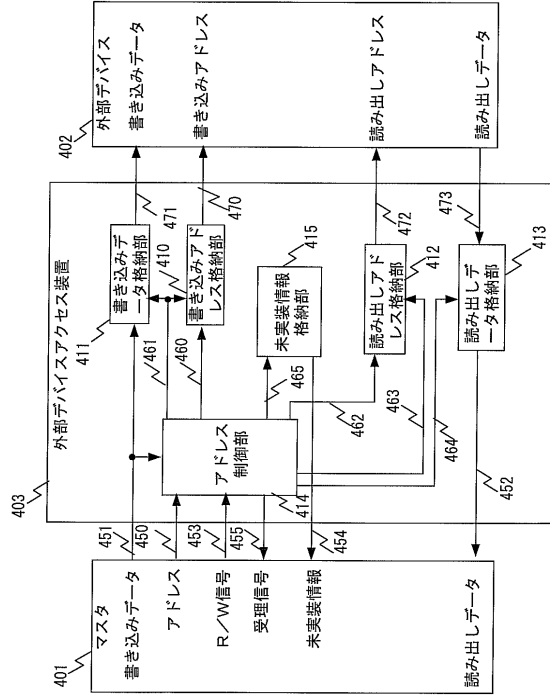
【図4】



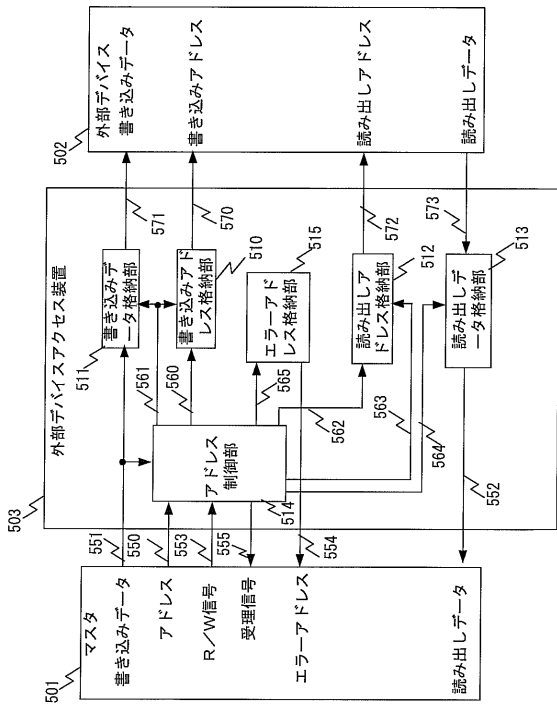
【図 5】



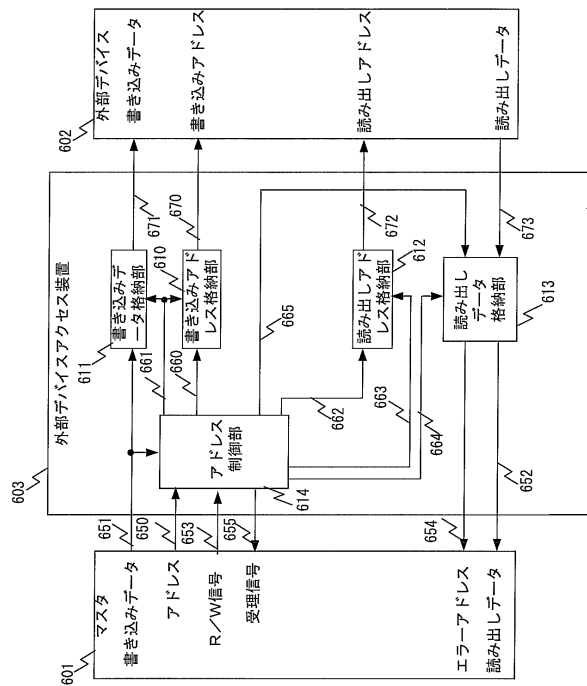
【図 6】



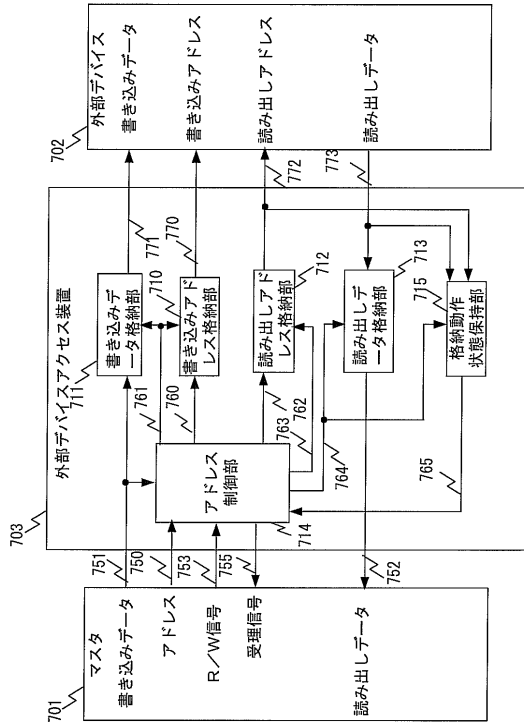
【図 7】



【図 8】



【図9】



フロントページの続き

- (72)発明者 森下 広之
日本国大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 檜垣 信生
日本国大阪府門真市大字門真1006番地 松下電器産業株式会社内
- (72)発明者 工藤 洋介
日本国大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 横山 佳弘

- (56)参考文献 特開平05-012190(JP,A)
特開2003-006133(JP,A)
特開平06-110823(JP,A)
特開2004-252580(JP,A)
特開平02-019955(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 13/12
G06F 13/36
G06F 15/78
G06F 13/14