

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/108	(45) 공고일자 1999년08월02일	(11) 등록번호 10-0213189	(24) 등록일자 1999년05월13일
(21) 출원번호 10-1992-0010158	(65) 공개번호 특1994-0001414	(43) 공개일자 1994년01월20일	
(22) 출원일자 1992년06월11일			
(73) 특허권자 삼성전자주식회사 김광호			
(72) 발명자 이태우			
	경기도 수원시 팔달구 매탄3동 416		
	서울특별시 서초구 방배4동 867-11		
	김선준		
	경기도 과천시 중앙동 주공아파트 106동 302호		
	이양구		
	서울특별시 성동구 도선동 114번지		
(74) 대리인 이영필, 최덕용			

심사관 : 신양환

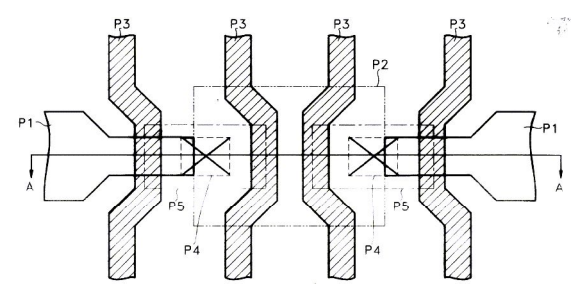
(54) 반도체메모리장치 및 그 제조방법

요약

본 발명은 반도체메모리장치 및 그 제조방법에 관한 것으로, 반도체기판을 식각하여 형성된 제1깊이의 제1트렌치; 상기 제1트렌치 내부에 분리영역이 형성되되, 그 모양이 상기 제1트렌치의 둘레를 따라 제1폭 및 제2깊이의 공간부를 갖도록 절연물질로 채워진 분리영역; 상기 분리영역과, 이 분리영역이 형성되지 않은 인접한 반도체기판과의 위에 게이트절연막을 개재하여 형성된 게이트전극; 상기 게이트전극을 절연시키기 위해 형성된 제1절연막; 상기 공간부에 형성됨과 동시에, 상기 게이트전극 상부로 연장되어 상기 제1절연막위에 형성된 스토리지전극; 상기 공간부에 형성된 스토리지전극과 접촉하는 반도체기판의 상기 공간부 측벽부위에 형성된 소오스영역; 및 상기 스토리지전극의 표면에 유전체막을 개재하여 형성된 플레이트전극을 구비하는 반도체메모리장치 및 그 제조방법을 제공하는 것을 특징으로 한다.

따라서, 본 발명은 소정깊이의 트렌치에 절연물질을 채워서 형성된 분리영역과 소자형성영역 사이에 정보를 저장하는 커패시터를 형성함으로써, 상기 분리영역의 깊이에 따라 상기 커패시터의 유효면적을 용이하게 확보할 수 있어서, 집적도를 향상시킬 수 있다.

대표도



명세서

[발명의 명칭]

반도체메모리장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명에 의한 반도체메모리장치를 나타낸 평면도.

제2도는 본 발명에 의한 반도체메모리장치를 나타낸 단면도.

제3a도 내지 제3e도는 본 발명에 의한 반도체메모리장치의 제조방법의 일 실시예를 나타낸 공정순서도.

[발명의 상세한 설명]

본 발명은 반도체메모리장치 및 그 제조방법에 관한 것으로, 특히 집적도를 향상시킬 수 있는 반도체메모리장치 및 그 제조방법에 관한 것이다.

최근 반도체 제조기술의 발달과 메모리소자의 응용분야가 확장되어감에 따라 대용량의 메모리소자 개발이 진척되고 있는데, 특히 1개의 메모리 셀(cell)을 1개의 커패시터와 1개의 트랜지스터로 구성함으로써 고집적화에 유리한 DRAM(Dynamic Random Access Memory)의 괄목할만한 발전이 이루어져 왔다.

이 DRAM의 개발은 3년에 4배의 고집적화를 달성하게 되었는데, 현재 DRAM의 집적도는 4Mb DRAM이 양산단계에 접어들었고, 16Mb는 양산을 향해 빠른 속도로 개발이 진행중이며, 64Mb 및 256Mb는 개발을 위한 연구가 활발히 진행되고 있다.

이러한 반도체메모리장치는 정보의 독출과 저장을 위해 큰 정전용량을 가져야 하는데, 집적도가 4배 증가할때 칩(chip) 면적이 1.4배의 증가에 그치므로 상대적으로 메모리셀의 면적은 1/3배 줄어들게 되어, 기존의 커패시터 구조로서는 한정된 면적내에서 충분히 큰 셀 커패시턴스를 확보할 수 없다. 따라서, 작은 면적내에서 보다 큰 커패시턴스를 얻기 위한 방법의 연구가 요구되었는데, 이 방법은 보통 다음의 3가지로 나뉘어질 수 있다. 즉, 첫째는 유전체막의 두께감소, 둘째는 유전상수가 큰 물질의 사용, 셋째는 커패시터의 스토리지전극의 유효면적 증가가 그것이다.

이중에서 첫번째의 경우, 유전체막의 두께가 100 Å 이하인 경우 파울러 노트하임(Fowler-Nordheim) 전류에 의해 사용이 제한되며, 신뢰성 문제가 심각하므로 대용량 메모리소자에 적용하기가 힘들다.

두번째의 경우, 메모리소자의 집적도가 증가함에 따라 작은 메모리셀 면적내에서 큰 유전용량을 확보하기 위하여 고유전물질이나 강유전물질을 커패시터용 유전체막으로 사용하는 것으로, 큰 어스펙트비(aspect ratio)를 갖는 3차원 메모리 셀 구조에 대해 좋은 피복력을 갖는 오산화탄탈륨(Ta₂O₅)에 대한 연구가 널리 이루어지고 있다. 그러나, 상기 오산화탄탈륨을 현재 제품에 적용하기에는 박막상태에서 누설전류가 크고, 파괴전압이 작다는 문제점이 있다. 또한, 상기와 같은 문제점을 해결하기 위한 여러가지 노력이 이루어지고 있지만, 그 노력은 시작단계에 있음으로 현재상태로는 제품에 적용하기가 곤란한 점이 있다.

세번째의 경우가 현재까지 가장 많은 개발이 이루어진 방법으로써, 집적도의 향상을 위한 메모리 셀 구조에 따라 종래 플래너(planar)형 커패시터 셀에서 스택(stack)형 커패시터 셀과 트렌치(trench)형 커패시터 셀의 3차원적인 구조가 고안되어 4Mb DRAM에 적용되고 있으나 16Mb DRAM을 경계로 그 한계를 노출시키고 있다. 또한, 상기 스택형 커패시터 셀에서는 트랜지스터위에 적층한 커패시터 구조 때문에 심한 단차문제가 발생하고, 트렌치형 커패시터 셀에서는 스켈링 다운(scaling down)작업의 진행에 의한 트렌치간 누설전류 문제가 발생하여 64Mb DRAM에 대응하기가 어렵게 되었다.

따라서 이러한 대용량 DRAM의 문제점을 해결하기 위한 새로운 구조의 커패시터로 스택-트렌치 병합형 커패시터, 흰(fin)구조 커패시터, 박스(box)구조 커패시터, 및 스프레드(spread) 스택 커패시터등이 제안되었다. 그러나, 상기와 같이 스토리지전극의 구조를 개선하여 커패시터 용량을 증가시키고자 하는 시도는 디자인룰(design rule)의 한계 및 복잡한 공정상의 문제점등으로 집적도가 더욱 증가되는 차세대 디바이스 개발에 대해 제한을 받게 되었고, 이러한 문제점을 극복하는 새로운 커패시터 구조에 대한 개발이 요청되었다.

이러한 요구에 부응하여, 커패시터 용량의 증가를 스토리지전극의 구조개선에 의존하지 않고, 상기 스토리지전극을 형성하는 물질자체의 특성을 이용하여 커패시터 용량을 증가시키는 방법이 제안되었는데, 이 새로운 방법은 NEC사에서 발표한 A New Stacked Capacitor Structure Using Hemispherical-Grain(HSG) Poly-Silicon Electrodes(H.Watanabe, N.Aoto, S.Adachi, T.Ishijima, E.Ikawa and K.Terada, SSDM, 1990, pp. 873-876), 혹은 미쯔비시사에서 발표한 Fabrication of Storage Capacitance-Enhanced Capacitors with a Rough Electrode(Yoshio Hayashide, Hiroshi Miyatake, Junichi Mitsuhashi, Makoto Hirayama, Takashi Higaki and Haruhiko Abe, SSDM, pp. 869-872)를 통하여 이해할 수 있다. 상기 두 논문의 보고에 의한 커패시터의 제조방법에서는 커패시턴스의 증가를 위하여 스토리지전극의 표면적 증대를 꾀하되, 이 표면적 증대는 상기 스토리지전극으로 사용되는 다결정실리콘 물질 자체의 형태(morphology)를 증대시킴으로써 얻게 된다. 즉, 저압화학기상성장(Low Pressure Chemical Vapor Deposition:LPCVD)장치를 이용하여 스토리지전극으로 사용되는 다결정실리콘을 침적할때, 침적온도가 비정질실리콘에서 다결정실리콘으로 바뀌는 상(相) 변화온도(phase transition temperature)에서 다결정실리콘의 표면형태가 가장 크게 증가한다는 점에 착안하였다. 그러나, 이 경우 다결정실리콘의 침적온도와 압력이외에도 다결정실리콘의 두께가 표면형태에 영향을 미치는 주 요인으로 작용하기 때문에 다양한 커패시터 구조에 적용할 수 없다는 문제점이 있다. 또한, 스토리지전극 표면의 요철로 나타나는 HSG 사이의 변곡점에서 전계집중이 일어나고, 이 전계집중에 의한 유전체막의 전기적특성 및 신뢰성을 저하시키게 되는 문제점이 발생한다.

따라서 본 발명의 목적은 상기한 바와 같은 종래기술의 문제점을 해결하기 위하여 대용량 메모리소자에 적용가능한 새로운구조의 메모리셀을 구비하는 반도체메모리장치를 제공하는데 있다.

본 발명의 다른 목적은 상기 새로운구조의 메모리 셀을 구비하는 반도체메모리장치의 효율적인 제조방법을 제공하는데 있다.

상기한 목적을 달성하기 위하여 본 발명은, 반도체기판을 식각하여 형성된 제1깊이의 제1트렌치; 상기 제1트렌치 내부에 분리영역이 형성되되, 그 모양이 상기 제1트렌치의 둘레를 따라 제1폭 및 제2깊이의 공간부를 갖도록 절연물질로 채워진 분리영역; 상기 분리영역과, 이 분리영역이 형성되지 않은 인접한 반도체기판과의 위에 게이트절연막을 개재하여 형성된 게이트전극; 상기 게이트전극을 절연시키기 위해 형성된 제1절연막; 상기 공간부에 형성됨과 동시에, 상기 게이트전극 상부로 연장되어 상기 제1절연막위에 형성된 스토리지전극; 상기 공간부에 형성된 스토리지전극과 접촉하는 반도체기판의 상기 공간부 측벽부위에 형성된 소오스영역; 및 상기 스토리지전극의 표면에 유전체막을 개재하여 형성된 플레이트전극을 구비하는 것을 특징으로 한다.

상기한 다른 목적을 달성하기 위하여 본 발명의 방법은, 제1전도형의 반도체기판에 제1깊이의 제1트렌치

를 형성하는 공정; 상기 제1트렌치 내부를 절연물질로 채운 분리영역을 형성하는 공정; 상기 분리영역이 형성된 결과물 전면에 게이트절연막을 개재한 게이트전극을 형성한후, 상기 게이트전극이 덮히도록 제1절연막을 형성하는 공정; 상기 제1절연막위에 마스크패턴을 적용하여 상기 분리영역의 일부분을 식각함으로써, 상기 제1트렌치의 둘레를 따라 제1폭 및 제2깊이의 공간부를 형성하는 공정; 상기 공간부가 형성된 결과물 전면에 제1도전층을 형성한후 패터닝함으로써 스토리지전극을 형성하는 공정; 상기 스토리지전극 형성후 열처리공정을 통하여 소오스영역을 형성하는 공정; 상기 스토리지전극의 표면을 따라 유전체막을 형성하는 공정; 및 상기 유전체막이 덮히도록 제2도전층을 형성하여 플레이트전극을 형성하는 공정을 구비하는 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명을 자세히 설명하기로 한다.

제1도는 본 발명에 의한 반도체메모리장치를 나타낸 평면도이다. 제1도를 참조하면, 참조부호 P1은 소자형성영역을, P2는 소자분리영역을, P3은 트랜지스터의 게이트전극을 형성하기 위한 마스크패턴을, P4는 커패시터의 제1전극으로 사용되는 스토리지전극과 트랜지스터의 소오스영역을 연결시켜 주기 위한 콘택트 홀을 형성하기 위한 마스크패턴을, P5는 상기 스토리지전극을 형성하기 위한 마스크패턴을 각각 나타낸다.

제2도는 본 발명에 의한 반도체메모리장치를 나타낸 단면도이다. 제2도를 참조하면, 먼저 반도체기판(100)을 식각하여 형성된 제1깊이의 제1트렌치(10)가 형성되어 있고, 상기 제1트렌치(10) 내부에 분리영역(101)이 형성되되 그 모양이 상기 제1트렌치(10)의 둘레를 따라 제1폭 및 제2깊이의 공간부를 갖도록 절연물질로 채워진 분리영역(101)이 형성되어 있으며, 상기 분리영역(101)과 이 분리영역이 형성되지 않은 인접한 반도체기판(100)과의 위에 게이트절연막(1)을 개재하여 게이트전극(2)이 형성되어 있다. 그리고, 상기 게이트전극(2)을 절연시키기 위해 제1절연막(5)이 형성되어 있고, 상기 공간부에 형성됨과 동시에, 상기 게이트전극(2) 상부로 연장되어 상기 제1절연막(5)위에 스토리지전극(SE)이 형성되어 있으며, 상기 공간부에 형성된 스토리지전극(SE)과 접촉하는 반도체기판(100) 둘레에 소오스영역(3)이 형성되어 있고, 상기 스토리지전극(SE)의 표면에 유전체막(20)을 개재하여 플레이트전극(PE)이 형성되어 있다.

제3a도 내지 제3e도는 본 발명에 의한 반도체메모리장치의 제조방법의 일 실시예를 나타낸 공정순서도로, 상기 제1도의 A-A'선을 잘라 본 단면도이다.

제3a도는 분리영역(101)의 형성공정을 도시한 것으로, 먼저 제1전도형, 예컨대 P형의 반도체기판(100)상에 소정형성영역과 소자분리영역을 한정하기 위하여, 상기 소자분리영역에 대응되는 반도체기판상에 마스크패턴을 적용하여 상기 반도체기판을 소정깊이 예컨대 1 μ m 정도 식각함으로써 제1트렌치(10)를 형성한다. 상기 제1트렌치를 형성하기 위한 마스크패턴을 제거한후 건식산화공정을 실시함으로써 도시된 바와 같은 산화막(11)을 300Å 정도 형성시킨다. 계속해서 결과물 전면에 기판과 같은 전도형의 불순물을 주입함으로써 분리영역(101)의 저부에 채널스톱층(12)을 형성한후, 결과물 전면에 절연물질, 예컨대 BPSG(Boro-Phosphorus Silicate Glass)막을 9000Å 정도의 두께로 도포한후 에치 백(etch back)공정을 실시함으로써, 상기 제1트렌치(10) 내부가 상기 BPSG막으로 채워진 분리영역(101)을 형성한다. 여기서, 상기 제3a도에 도시된 분리영역(101)에 대한 작도(作圖)는 소자형성영역보다 약간 돌출된 형태로 되었지만, 상기 에치 백 공정시에 소자형성영역의 표면과 동일하게 되도록 할 수도 있다.

제3b도는 게이트전극(2)의 형성공정을 도시한 것으로, 상기 제3a도 공정후 결과물 전면에, 통상적인 방법을 사용하여, 게이트산화막(1)을 개재한 게이트전극(2)을 형성한후, 상기 게이트전극(2)을 절연시키기 위한 게이트절연막(5), 예컨대 저압화학기상성장(Low Pressure Chemical Vapor Deposition: LPCVD)법을 이용한 고온산화(High Temperature Oxide:HTO)막을 1300Å 정도의 두께로 침적한다. 여기서, 상기 분리영역(101)상에 형성되는 게이트전극(2)은 인접하는 메모리 셀의 게이트전극을 나타낸다.

제3c도는 스토리지전극을 형성하기 위한 콘택트 홀(CH)의 형성공정을 도시한 것으로, 먼저 상기 게이트절연막(5)위에 포토레지스트 도포, 마스크노광 및 현상등의 공정을 거쳐, 상기 인접하는 메모리 셀의 게이트전극(2)과 액티브영역의 게이트전극(2) 사이의 분리영역에 콘택트 홀이 형성되도록 원하는 크기의 포토레지스트 패턴(PR)을 형성한후, 이 포토레지스트 패턴(PR)을 적용하여 상기 BPSG막을 식각함으로써 스토리지전극이 형성될 콘택트 홀(CH)을 형성한다. 이때, 상기 콘택트 홀은 상기 분리영역내의 둘레를 따라 소정깊이 예컨대 6000Å 정도, 및 소정의 폭 예컨대 0.7 μ m정도를 갖는 공간부를 나타낸다.

제3d도는 스토리지전극(SE) 및 소오스영역(3)의 형성공정을 도시한 것으로, 먼저 상기 콘택트 홀의 형성공정을 위하여 사용된 포토레지스트 패턴을 제거한후 결과물 전면에 커패시터의 제1전극으로 사용되는 물질, 예컨대 다결정실리콘을 침적하고, 이 다결정실리콘위에 소정의 마스크패턴을 적용하여 식각함으로써 원하는 크기의 다결정실리콘 패턴을 형성한다. 계속해서, 상기 마스크패턴을 제거한후, 상기 다결정실리콘을 도전물질로 만들기 위하여 결과물 전면에 제2전도형의 불순물, 예컨대 산염화인(POCl₃)을 주입한후 소정의 열처리공정을 실시함으로써 스토리지전극(SE)을 형성한다. 이때, 상기 열처리공정시 상기 불순물이 주입된 다결정실리콘으로 구성된 스토리지전극(SE)으로부터 불순물 이온이 반도체기판쪽으로 확산되어, 도시된 바와 같은 소오스영역(3)을 형성하게 된다. 여기서, 상기 커패시터의 제1전극으로 사용되는 물질에 불순물이 도우핑된 다결정실리콘을 사용할 수도 있다. 아울러 상기 소오스영역(3)에 대응되는 드레인영역(도시되지 않았음)은 후술하는 커패시터의 플레이트전극 형성후 비트라인 형성시에 만들어진다.

제3e도는 커패시터(C)의 형성공정을 도시한 것으로, 상기 제3d도의 공정후 결과물 전면에 유전체막(20) 및 플레이트전극(PE)용 제2도전층, 예컨대 불순물이 도우핑된 다결정실리콘을 차례로 침적함으로써, 상기 스토리지전극(SE), 유전체막(20) 및 플레이트전극(PE)으로 구성되는 커패시터(C)를 완성한다. 여기서, 상기 플레이트전극용 물질로 불순물이 도우핑되지 않은 다결정실리콘을 사용할 수도 있으며, 이 경우에는 후속공정으로 불순물 주입공정을 추가하여 실시한다.

이상과 같이 본 발명에 의한 반도체메모리장치는, 먼저 소정깊이의 트렌치에 절연물질을 채워서 형성된

분리영역과 소자형성영역 사이에 정보를 저장하는 커패시터를 형성함으로써, 상기 분리영역의 깊이에 따라 상기 커패시터의 유효면적을 용이하게 확보할 수 있어서, 집적도를 향상시킬 수 있다.

또한, 상기 분리영역을 채우는 절연물질로 BPSG막을 사용할 경우 반도체기판(실리콘기판)과의 식각 선택비가 좋지(BPSG막:실리콘기판 \approx 40:1) 때문에, 상기 식각공정시 반도체기판이 손상되는 측면에서도 매우 유리함으로써 식각 손상에 의한 누설전류도 줄일 수 있다.

또한, 반도체기판에서 인접하는 메모리 셀들의 소오스영역간에 서로 접촉하게 되는 면적이, 상기 분리영역으로 서로 이격됨으로써 누설전류가 많이 감소하게 되는 이점도 있다.

(57) 청구의 범위

청구항 1

반도체기판을 식각하여 형성된 제1깊이의 제1트렌치; 상기 제1트렌치 내부에 분리영역이 형성되되, 그 모양이 상기 제1트렌치의 둘레를 따라 제1폭 및 제2깊이의 공간부를 갖도록 절연물질로 채워진 분리영역; 상기 분리영역과, 이 분리영역이 형성되지 않은 인접한 반도체기판과의 위에 게이트절연막을 개재하여 형성된 게이트전극; 상기 게이트전극을 절연시키기 위해 형성된 제1절연막; 상기 공간부에 형성됨과 동시에, 상기 게이트전극 상부로 연장되어 상기 제1절연막위에 형성된 스토리지전극; 상기 공간부에 형성된 스토리지전극과 접촉하는 반도체기판의 상기 공간부 측벽부위에 형성된 소오스영역; 및 상기 스토리지전극의 표면에 유전체막을 개재하여 형성된 플레이트전극을 구비하는 것을 특징으로 하는 반도체메모리장치.

청구항 2

제1항에 있어서, 상기 제1트렌치와 분리영역 사이에 형성된 산화막을 더 구비하는 것을 특징으로 하는 반도체메모리장치.

청구항 3

제1항에 있어서, 상기 분리영역 저부의 반도체기판에 형성된 채널스톱층을 더 구비하는 것을 특징으로 하는 반도체메모리장치.

청구항 4

제1항에 있어서, 상기 게이트전극, 스토리지전극 및 플레이트전극은 불순물이 도우핑된 다결정실리콘인 것을 특징으로 하는 반도체메모리장치.

청구항 5

제1항에 있어서, 상기 분리영역에 채워진 절연물질은 BPSG막인 것을 특징으로 하는 반도체메모리장치.

청구항 6

제1항에 있어서, 상기 제1트렌치의 제1깊이는 $1\mu\text{m}$ 인 것을 특징으로 하는 반도체메모리장치.

청구항 7

제1항 또는 제6항에 있어서, 상기 공간부의 제1폭은 $0.7\mu\text{m}$ 인 것을 특징으로 하는 반도체메모리장치.

청구항 8

제7항에 있어서, 상기 공간부의 제2깊이는 6000\AA 인 것을 특징으로 하는 반도체메모리장치.

청구항 9

제1전도형의 반도체기판에 제1깊이의 제1트렌치를 형성하는 공정; 상기 제1트렌치 내부를 절연물질로 채운 분리영역을 형성하는 공정; 상기 분리영역이 형성된 결과물 전면에 게이트절연막을 개재한 게이트전극을 형성한후, 상기 게이트전극이 덮히도록 제1절연막을 형성하는 공정; 상기 제1절연막위에 마스크패턴을 적용하여 상기 분리영역의 일부분을 식각함으로써, 상기 제1트렌치의 둘레를 따라 제1폭 및 제2깊이의 공간부를 형성하는 공정; 상기 공간부가 형성된 결과물 전면에 제1도전층을 형성한후 패터닝함으로써 스토리지전극을 형성하는 공정; 상기 스토리지전극 형성후 열처리공정을 통하여 소오스영역을 형성하는 공정; 상기 스토리지전극의 표면을 따라 유전체막을 형성하는 공정; 및 상기 유전체막이 덮히도록 제2도전층을 형성하여 플레이트전극을 형성하는 공정을 구비하는 것을 특징으로 하는 반도체메모리장치의 제조방법.

청구항 10

제9항에 있어서, 상기 제1트렌치 형성후 결과물 전면에 건식산화공정을 통한 산화막을 300\AA 정도 형성하는 공정을 더 구비하는 것을 특징으로 하는 반도체메모리장치의 제조방법.

청구항 11

제10항에 있어서, 상기 산화막을 형성한후 결과물 전면에 대하여 상기 반도체기판과 전도형이 동일한 불순물이온을 주입하여 채널스톱층을 형성하는 공정을 더 구비하는 것을 특징으로 하는 반도체메모리장치의 제조방법.

청구항 12

제9항 또는 제11항에 있어서, 상기 제1트렌치 내부를 절연물질로 채운 분리영역을 형성하는 공정은, 상기 제1깊이의 제1트렌치 형성후 결과물 전면에 BPSG막을 도포하는 단계, 및 상기 BPSG막 전면에 대하여 에치 백공정을 실시하는 단계를 통하여 이루어지는 것을 특징으로 하는 반도체메모리장치의 제조방법.

청구항 13

제12항에 있어서, 상기 제1트렌치의 제1깊이는 $1\mu\text{m}$ 인 것을 특징으로 하는 반도체메모리장치의 제조방법.

청구항 14

제13항에 있어서, 상기 BPSG막의 두께는 9000\AA 인 것을 특징으로 하는 반도체메모리장치의 제조방법.

청구항 15

제12항에 있어서, 상기 공간부의 제1폭은 $0.7\mu\text{m}$ 이고, 제2깊이는 6000\AA 인 것을 특징으로 하는 반도체메모리장치의 제조방법.

청구항 16

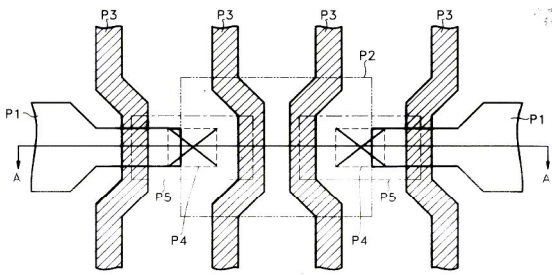
제9항에 있어서, 상기 제1도전층 및 제2도전층은 불순물이 도우핑된 다결정실리콘인 것을 특징으로 하는 반도체메모리장치의 제조방법.

청구항 17

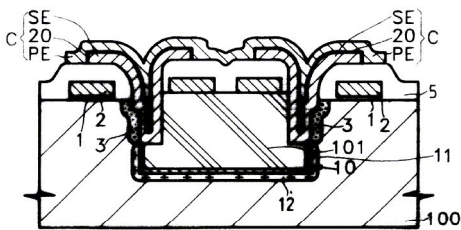
제16항에 있어서, 상기 소오스영역은, 상기 열처리공정시에, 상기 불순물이 도우핑된 다결정실리콘으로 구성된 스토리지전극으로부터 불순물이온이 반도체기판쪽으로 확산되어 형성되는 것을 특징으로 하는 반도체메모리장치의 제조방법.

도면

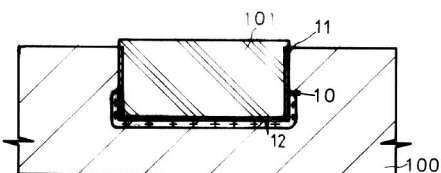
도면1



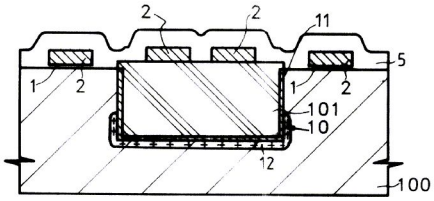
도면2



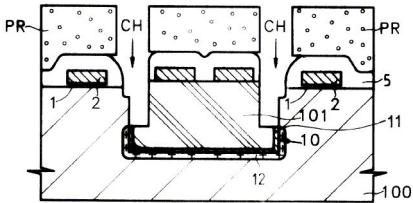
도면3a



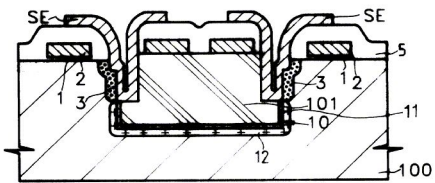
도면3b



도면3c



도면3d



도면3e

