



(19)대한민국특허청(KR) (12) 등록특허공보(B1)

| | | |
|-----------------------------|-----------|-------------|
| (51) 。 Int. Cl. | (45) 공고일자 | 2006년11월23일 |
| <i>G02F 1/136</i> (2006.01) | (11) 등록번호 | 10-0647775 |
| | (24) 등록일자 | 2006년11월13일 |

| | | | |
|-----------|-----------------|-----------|-----------------|
| (21) 출원번호 | 10-2004-0100071 | (65) 공개번호 | 10-2006-0061169 |
| (22) 출원일자 | 2004년12월01일 | (43) 공개일자 | 2006년06월07일 |
| 심사청구일자 | 2004년12월01일 | | |

(73) 특허권자 엘지.필립스 엘시디 주식회사
 서울 영등포구 여의도동 20번지

(72) 발명자 김유진
 경기 성남시 분당구 정자동 느티마을주공3단지아파트 307동 803호

(74) 대리인 김영호

(56) 선행기술조사문헌
 JP2003289081 A * KR1020030074089 A *
 * 심사관에 의하여 인용된 문헌

심사관 : 임동재

전체 청구항 수 : 총 11 항

(54) 박막 트랜지스터 기판 및 제조 방법

(57) 요약

본 발명은 박막트랜지스터 기판 및 그 제조 방법을 제공하는 것이다.

본 발명에 따른 박막트랜지스터 기판은 기판과; 상기 기판 상에 형성되는 도전층과; 상기 도전층을 절연하는 제1 절연층과; 상기 제1 절연층 상에 상기 제1 절연층의 재질과 다른 재질로 형성되는 제2 절연층과; 상기 제2 절연층 상에 형성되는 제3 절연층과; 상기 제1 절연층 내지 상기 제3 절연층을 관통하여 상기 도전층의 일측을 노출시킴과 아울러 단면이 사다리꼴 형태를 가지는 콘택홀과; 상기 도전층과 접속되며 상기 콘택홀의 경사면에 부분적으로 형성되는 전극을 구비하고, 상기 콘택홀의 경사면에 상기 제2 절연층으로 형성되는 오버 행 구조의 돌출부를 구비한다.

대표도

도 6

특허청구의 범위

청구항 1.

기관과;

상기 기관 상에 형성되는 도전층과;

상기 도전층을 절연하는 제1 절연층과;

상기 제1 절연층 상에 상기 제1 절연층의 재질과 다른 재질로 형성되는 제2 절연층과;

상기 제2 절연층 상에 형성되는 제3 절연층과;

상기 제1 절연층 내지 상기 제3 절연층을 관통하여 상기 도전층의 일측을 노출시킴과 아울러 단면이 사다리꼴 형태를 가지는 콘택홀과;

상기 도전층과 접속되며 상기 콘택홀의 경사면에 부분적으로 형성되는 전극을 구비하고,

상기 콘택홀의 경사면에 상기 제2 절연층으로 형성되는 오버 행 구조의 돌출부를 구비하는 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 2.

제 1 항에 있어서,

상기 제1 및 제3 절연층의 재질은 SiO_2 등의 무기절연물질로 형성되며,

상기 제2 절연층의 재질은 메탈과 접착력이 좋으며 상기 제1 및 제3 절연층의 재질과 다른 SiN_x 등의 무기절연물질인 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 3.

제 1 항에 있어서,

상기 콘택홀의 하부 홀 크기: 상기 콘택홀의 상부 홀 크기 : 상기 전극의 크기 = 3~5 : 8~10 : 7~9 인 것을 특징으로 하는 박막 트랜지스터 기관.

청구항 4.

기관과 상기 기관 상에 형성되는 도전층과, 상기 도전층을 절연하는 제1 절연층과, 상기 제1 절연층 상에 상기 제1 절연층의 재질과 다른 재질로 형성되는 제2 절연층과, 상기 제2 절연층 상에 형성되는 제3 절연층과, 상기 제1 절연층 내지 상기 제3 절연층을 관통하여 상기 도전층의 일측을 노출시킴과 아울러 단면이 사다리꼴 형태를 가지는 콘택홀과, 상기 도전층과 접속되며 상기 콘택홀의 경사면에 부분적으로 형성되는 전극을 마련하는 단계와;

상기 콘택홀의 경사면 일측에 오버 행 구조로 돌출된 돌출부를 형성하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터 기관 제조방법.

청구항 5.

제 4 항에 있어서,

상기 돌출부를 형성하는 단계는

상기 제3 절연층을 건식식각 및 습식식각을 이용하여 식각하는 단계와;

상기 제2 절연층을 건식식각 및 습식식각을 이용하여 식각하는 단계와;

상기 제1 절연층을 습식식각을 이용하여 식각하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터 기판 제조방법.

청구항 6.

제 5 항에 있어서,

상기 제2 절연층의 식각공정 중 상기 건식식각 및 습식식각의 비율은 80~50 : 20~50 인 것을 특징으로 하는 박막트랜지스터 기판 제조방법.

청구항 7.

제 4 항에 있어서,

상기 습식식각에 사용되는 식각액은 버퍼럴 옥사이드 에천트 및 버퍼럴 HF를 포함하며,

상기 건식식각에 사용되는 식각가스는 SF₆ 및 CF₄를 포함하는 것을 특징으로 하는 박막트랜지스터 기판 제조방법.

청구항 8.

제 4 항에 있어서,

상기 제1 및 제3 절연층의 재질은 SiO₂ 등의 무기절연물질로 형성되며,

상기 제2 절연층의 재질은 메탈과 접착력이 좋으며 상기 제1 및 제3 절연층의 재질과 다른 SiN_x 등의 무기절연물질인 것을 특징으로 하는 박막 트랜지스터 기판의 제조방법.

청구항 9.

제 4 항에 있어서,

상기 제2 절연층의 두께는 500Å 이상으로 형성됨과 아울러 상기 제1 절연층의 두께의 1.5배 이하로 형성되는 것을 특징으로 하는 박막트랜지스터 기판의 제조방법.

청구항 10.

제 4 항에 있어서,

상기 습식식각에 사용되는 식각액은 버퍼럴 옥사이드 에천트 및 버퍼럴 HF 중 하나를 포함하며,

상기 건식식각에 사용되는 식각가스는 SF₆ 및 CF₄ 중 하나를 포함하는 것을 특징으로 하는 박막트랜지스터 기판 제조방법.

청구항 11.

제 4 항에 있어서,

상기 돌출부를 형성하는 단계는

상기 제3 절연층을 건식식각 및 습식식각 중 하나를 이용하여 식각하는 단계와;

상기 제2 절연층을 건식식각 및 습식식각 중 하나를 이용하여 식각하는 단계와;

상기 제1 절연층을 습식식각을 이용하여 식각하는 단계를 포함하는 것을 특징으로 하는 박막트랜지스터 기판 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 기판에 관한 것으로, 특히 전극과 액티브층과의 콘택 크기를 줄임으로써 소형화 및 경량화 패 널을 달성할 수 있는 박막 트랜지스터 기판 및 그 제조 방법에 관한 것이다.

통상, 액정 표시 장치(Liquid Crystal Display; LCD)는 액정 패널에 매트릭스 형태로 배열된 액정셀들 각각이 비디오 신호 에 따라 광투과율을 조절하게 함으로써 화상을 표시하게 된다.

액정셀들 각각에는 비디오 신호를 독립적으로 공급하기 위한 스위치 소자로 박막 트랜지스터(Thin Film Transistor; 이 하, TFT)가 이용된다. 이러한 TFT의 액티브층으로는 아몰퍼스-실리콘(Amorphous-Si) 또는 폴리-실리콘(Poly-Si)이 이용된다. 여기서, 폴리-실리콘을 이용하는 경우 아몰퍼스-실리콘 보다 전하 이동도가 약 100배 정도 빠름에 따라 높은 응답 속도를 필요로 하는 구동 회로를 액정 패널에 내장할 수 있게 한다.

도 1은 종래의 폴리-TFT를 이용한 액정 패널을 개략적으로 도시한 것이다.

도 1에 도시된 액정 패널은 액정셀 매트릭스를 포함하는 화상 표시부(96), 화상 표시부(96)의 데이터 라인(4)을 구동하기 위한 데이터 드라이버(92), 화상 표시부(96)의 게이트 라인(2)을 구동하기 위한 게이트 드라이버(94)를 구비한다.

화상 표시부(96)는 액정셀들(LC)이 매트릭스 형태로 배열되어 화상을 표시한다. 액정셀들(LC) 각각은 게이트 라인(2) 및 데이터 라인(4)과 접속된 TFT(30)를 구비한다. TFT(30)는 게이트 라인(2)의 스캔 신호에 응답하여 데이터 라인(4)으로 부터의 비디오 신호를 액정셀(LC)에 충전한다. 액정셀(LC)은 충전된 비디오 신호에 의해 유전 이방성을 갖는 액정이 반응 하여 광투과율을 제어함으로써 계조를 구현한다.

게이트 드라이버(94)는 게이트 라인(2)을 순차적으로 구동한다.

데이터 드라이버(92)는 게이트 라인(2)이 구동될 때마다 데이터 라인(4)에 비디오 신호를 공급한다.

이러한 액정 패널은 액정셀(LC)의 TFT(30)와 함께 데이터 드라이버(92) 및 게이트 드라이버(94)가 형성된 TFT 기판과, 공통 전극 및 칼라 필터 등이 형성된 칼라 필터 기판이 액정을 사이에 두고 접합되어 형성된다.

도 2는 도 1에 도시된 액정 패널에 포함되는 TFT 기관의 화상 표시부를 부분적으로 도시한 평면도이고, 도 3은 도 1에 도시된 TFT 기관을 I-I', II-II'선을 따라 절단하여 도시한 단면도이다.

도 2 및 도 3에 도시된 TFT 기관의 화상 표시부는 게이트 라인(2) 및 데이터 라인(4)과 접속된 TFT(30)와, TFT(30)와 접속된 화소 전극(22)을 구비한다. TFT(30)는 N형 또는 P형으로 형성되지만, 이하에서는 N형으로 형성된 경우만을 설명하기로 한다.

TFT(30)는 화소 전극(22)에 비디오 신호를 충전한다. 이를 위하여, TFT(30)는 게이트 라인(2)과 접속된 게이트 전극(6), 데이터 라인(4)에 포함된 소스 전극, 화소 전극(22)과 보호막(18)을 관통하는 화소 콘택홀(20)을 통해 접속된 드레인 전극(10)을 구비한다. 게이트 전극(6)은 버퍼막(16) 상에 형성된 액티브층(14)의 채널 영역(14C)과 게이트 절연막(12)을 사이에 두고 중첩되게 형성된다. 소스 전극 및 드레인 전극(10)은 게이트 전극(6)과 층간 절연막(26)을 사이에 두고 절연되게 형성된다. 그리고, 소스 전극 및 드레인 전극(10)은 층간 절연막(26) 및 게이트 절연막(12)을 관통하는 소스 콘택홀(24S) 및 드레인 콘택홀(24D) 각각을 통해 n+ 불순물이 주입된 액티브층(14)의 소스 영역(14S) 및 드레인 영역(14D) 각각과 접속된다. 또한, 액티브층(14)은 오프 전류를 감소시키기 위하여 채널 영역(14C)과 소스 및 드레인 영역(14S, 14D) 사이에 n- 불순물이 주입된 엘디디(Lightly Doped Drain ; LDD) 영역(미도시)을 더 구비하기도 한다.

이러한 폴리형 TFT 기관에서 콘택홀(24) 및 전극(10) 형성에 대하여 도 4a 내지 도 4h를 참조하여 살펴보기로 하자.

먼저, 도 4a를 참조하면, 폴리형 TFT 기관은 하부기관(1) 상에 버퍼막(16)이 형성된 후, 버퍼막(16) 상에 액티브층(14)층이 형성되며, 액티브층(14) 상부에 게이트 절연막(12)이 형성되고, 그 위에 층간 절연막(26)이 형성된다.

액티브층(14)은 하부기관(1) 상에 아몰퍼스-실리콘을 증착한 후 레이저로 결정화하여 폴리-실리콘이 되게 한 다음, 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝함으로써 형성된다.

게이트 절연막(12)은 SiO₂ 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

층간 절연막(26)은 게이트 절연막(12) 상에 SiO₂ 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

도 4b를 참조하면, 층간 절연막(26) 및 게이트 절연막(12)은 포토리소그래피 공정 및 식각공정을 거치면서 콘택홀(24)이 형성된다. 이를 구체적으로 설명하면, 포토리소그래피 공정은 층간 절연막(26) 상에 포토레지스트를 전면 코팅한 후, 포토레지스트 상부에 패턴이 형성된 마스크를 배치하여 부분 노광하고, 현상함으로써 포토레지스트 패턴을 형성한다. 이후, 건식 식각 및 습식 식각을 이용하여 콘택홀(24)이 형성된다. 이러한 방식으로 형성되는 콘택홀(24)은 슬로프(Slope)를 가지며 단면이 사다리꼴 형태로 형성된다.

도 4c를 참조하면, 전극(10)은 콘택홀(24) 표면에 마스크를 이용하여 증착 형성된다. 이때, 전극(10)은 콘택홀(24) 표면 전체 및 층간 절연막(26)의 개구부 주변을 덮도록 형성된다.

실질적으로, 액티브층(14)과 연결되는 콘택홀(24)의 크기를 4 μ m로 설계하는 경우, 층간 절연막(26)의 개구부에 형성되는 상부 콘택홀(24) 크기는 7 μ m 정도로 형성되며, 전극(10)의 폭은 11 μ m 정도로 형성된다.

이와 같이, 종래의 전극(10)은 층간 절연막(26)의 개구부에 형성되는 상부 콘택홀(24) 전체를 덮도록 형성되기 때문에 그 폭이 커지게 되는 문제점이 생긴다. 이에 따라, 콘택홀(24)의 크기를 줄이기 위하여 콘택홀(24)의 경사를 최대화하는 방안이 제안되었지만, 콘택홀(24)의 경사가 최대화가 될 경우, 도 5에 도시된 바와 같이 층간 절연막(26)의 개구부 주변에 형성되는 전극(10a)과, 콘택홀(24)에 형성되는 전극(10b)이 단선되는 경우가 발생하게 된다. 또한, 콘택홀(24) 형성시에 액티브층(14)의 보호를 위하여 습식식각공정을 반드시 사용해야 하며, 이때, 콘택홀(24)은 소정 각도만큼 경사를 가지게 되어, 콘택홀(24)의 경사를 최대화하는데 문제점이 있다. 이러한 콘택홀(24) 형성은 패널의 소형 및 경량화를 위해 필요한 작은 크기의 콘택홀(24) 형성을 만족하지 못하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 전극과 액티브층과의 콘택 크기를 줄임으로써 소형 및 경량화 패널을 달성할 수 있는 박막트랜지스터 기관 및 그 제조 방법을 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명에 따른 박막트랜지스터 기판은 기판과; 상기 기판 상에 형성되는 도전층과; 상기 도전층을 절연하는 제1 절연층과; 상기 제1 절연층 상에 상기 제1 절연층의 재질과 다른 재질로 형성되는 제2 절연층과; 상기 제2 절연층 상에 형성되는 제3 절연층과; 상기 제1 절연층 내지 상기 제3 절연층을 관통하여 상기 도전층의 일측을 노출시킴과 아울러 단면이 사다리꼴 형태를 가지는 콘택홀과; 상기 도전층과 접속되며 상기 콘택홀의 경사면에 부분적으로 형성되는 전극을 구비하고, 상기 콘택홀의 경사면에 상기 제2 절연층으로 형성되는 오버 행 구조의 돌출부를 구비한다.

상기 제1 및 제3 절연층의 재질은 SiO₂ 등의 무기절연물질로 형성되며, 상기 제2 절연층의 재질은 메탈과 접착력이 좋으며 상기 제1 및 제3 절연층의 재질과 다른 SiN_x 등의 무기절연물질로 형성된다.

상기 콘택홀의 하부 홀 크기 : 상기 콘택홀의 상부 홀 크기 : 상기 전극의 크기 = 3~5 : 8~10 : 7~9 인 것을 특징으로 한다.

본 발명의 실시 예에 따른 박막트랜지스터 기판 제조방법은 기판과 상기 기판 상에 형성되는 도전층과 상기 도전층을 절연하는 제1 절연층과 상기 제1 절연층 상에 상기 제1 절연층의 재질과 다른 재질로 형성되는 제2 절연층과 상기 제2 절연층 상에 형성되는 제3 절연층과 상기 제1 절연층 내지 상기 제3 절연층을 관통하여 상기 도전층의 일측을 노출시킴과 아울러 단면이 사다리꼴 형태를 가지는 콘택홀과 상기 도전층과 접속되며 상기 콘택홀의 경사면에 부분적으로 형성되는 전극을 마련하는 단계와; 상기 콘택홀의 경사면 일측에 오버 행 구조로 돌출된 돌출부를 형성하는 단계를 포함한다.

상기 돌출부를 형성하는 단계는, 상기 제3 절연층을 건식식각 및 습식식각을 이용하여 식각하는 단계와; 상기 제2 절연층을 건식식각 및 습식식각을 이용하여 식각하는 단계와; 상기 제1 절연층을 습식식각을 이용하여 식각하는 단계를 포함한다. 여기서, 상기 건식식각 및 상기 습식식각의 비율은 30~50 : 70~50로 형성된다.

삭제

상기 돌출부를 형성하는 단계는, 상기 제3 절연층을 건식식각 및 습식식각 중 하나를 이용하여 식각하는 단계와; 상기 제2 절연층을 건식식각 및 습식식각 중 하나를 이용하여 식각하는 단계와; 상기 제1 절연층을 습식식각을 이용하여 식각하는 단계를 포함한다.

상기 습식식각에 사용되는 식각액은 버퍼럴 옥사이드 에천트 및 버퍼럴 HF를 모두 포함하거나 버퍼럴 옥사이드 에천트 및 버퍼럴 HF 중 하나를 포함하며, 상기 건식식각에 사용되는 식각가스는 SF₆ 및 CF₄ 를 모두 포함하거나 SF₆ 및 CF₄ 중 하나를 포함한다.

상기 제2 절연층의 두께는 500Å 이상으로 형성됨과 아울러 상기 제1 절연층의 두께의 1.5배 이하로 형성된다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예를 도 6 내지 도 10h를 참조하여 상세히 설명하기로 한다.

도 6은 본 발명의 제1 실시 예에 따른 TFT 기판을 부분적으로 도시한 평면도이고, 도 7은 도 6에 도시된 TFT 기판을 VII-VII'선을 따라 절단하여 도시한 단면도이다.

도 6 및 도 7에 도시된 TFT 기판은 게이트 라인(102) 및 데이터 라인(104)과 접속된 TFT(130)와, TFT(130)와 접속된 화소 전극(122)을 구비한다. TFT(130)는 N형 또는 P형으로 형성되지만, 이하에서는 N형으로 형성된 경우만을 설명하기로 한다.

TFT(130)는 화소 전극(122)에 비디오 신호를 충전한다. 이를 위하여, TFT(130)는 게이트 라인(102)과 접속된 게이트 전극(106), 데이터 라인(104)에 포함된 소스 전극, 보호막(118)을 관통하는 화소 콘택홀(120), 화소 콘택홀(120)을 통해 화소 전극(122)과 접속된 드레인 전극(110), 게이트 전극(106)에 의해 소스 전극 및 드레인 전극(110) 사이에 채널을 형성하는 액티브층(114)을 구비한다.

액티브층(114)은 버퍼막(116)을 사이에 두고 하부 기관(101) 위에 형성된다. 게이트 라인(102)과 접속된 게이트 전극(106)은 액티브층(114)의 채널 영역(114C)과 게이트 절연막(112)을 사이에 두고 중첩되게 형성된다. 데이터 라인(104) 및 드레인 전극(110)은 게이트 전극(106)과 층간 절연막(126)을 사이에 두고 절연되게 형성된다. 그리고, 데이터 라인(104)에 포함된 소스 전극과, 드레인 전극(110)은 층간 절연막(126) 및 게이트 절연막(112)을 관통하는 소스 콘택홀(124S) 및 드레인 콘택홀(124D) 각각을 통해 n+ 불순물이 주입된 액티브층(114)의 소스 영역(114S) 및 드레인 영역(114D) 각각과 접속된다. 또한, 액티브층(114)은 오프 전류를 감소시키기 위하여 채널 영역(114C)과 소스 및 드레인 영역(114S, 114D) 사이에 n- 불순물이 주입된 엘디디(Lightly Doped Drain ; LDD) 영역(미도시)을 더 구비하기도 한다. 여기서, 각 콘택홀(120, 124S, 124D)을 통해서 형성되는 소스 전극과 드레인 전극(110) 및 화소 전극(122)은 각 콘택홀(120, 124S, 124D)의 상부 홀 크기보다 작은 폭으로 형성된다.

이와 같은 구조를 가지는 본 발명의 제1 실시 예에 따른 소스 및 드레인 콘택홀(124S, 124D) 및 소스 및 드레인 콘택홀(124S, 124D)을 통하여 형성되는 소스 전극 및 드레인 전극(110)의 형성과정에 대해서 도 8a 내지 8c을 참조하여 살펴보기로 하자.

먼저, 도 8a를 참조하면, 본 발명의 제1 실시 예에 따른 TFT 기관은 하부기관(101)과, 하부기관(101) 상에 버퍼막(116)이 전면증착되고, 버퍼막(116) 상에 액티브층(114)층이 형성되며, 액티브층(114) 상부에 게이트 절연막(112)이 형성된 후, 그 위에 층간 절연막(126)이 형성된다.

액티브층(114)은 하부기관(101) 상에 아몰퍼스-실리콘을 증착한 후 레이저로 결정화하여 폴리-실리콘이 되게 한 다음, 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝함으로써 형성된다.

게이트 절연막(112)은 SiO₂ 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

층간 절연막(126)은 게이트 절연막(112) 상에 SiO₂ 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

도 8b를 참조하면, 층간 절연막(126) 및 게이트 절연막(112)은 포토리소그래피 공정 및 식각공정을 거치면서 콘택홀(124)이 형성된다. 이 콘택홀(124)은 건식 식각과 습식 식각의 비율을 조절하여 콘택홀(124)의 경사도를 완만하게 형성한다. 이를 구체적으로 설명하면, 건식 식각과 습식 식각의 비율이 80~50 : 20~50의 비율, 바람직하게는 대략 60 : 40의 비율로 식각공정을 실시한다. 이와 같은 식각공정을 거침으로써 본 발명의 실시 예에 따른 콘택홀(124)의 경사도는 완만하게 된다.

도 8c를 참조하면, 전극(110)은 콘택홀(124) 표면에 마스크를 이용하여 증착 형성된다. 이때, 마스크 패턴의 크기는 콘택홀(124)의 상부 홀 크기보다 작게 형성된다. 이에 따라, 전극(110)은 콘택홀(124)의 양 경사면 일측과 콘택홀(124)의 하부 홀을 통하여 형성된다. 이때, 전극(110)의 폭은 콘택홀(124)의 상부 홀 크기 이하로 형성되고, 또한 전극(110)의 폭은 콘택홀(124)의 하부 홀 크기 이상으로 형성된다.

실질적으로 콘택홀(124)의 하부 홀 크기를 4 μ m로 설계할 경우 콘택홀(124)의 상부 홀 크기는 9 μ m로 형성되며, 전극(110)의 폭은 전체 길이가 8 μ m로 형성된다. 이에 따라, 콘택홀(124)을 통하여 액티브층(114)과 연결되는 전극(110)의 폭을 전체적으로 감소시킬 수 있게 된다.

한편, 화소 콘택홀(120)을 통하여 형성되는 화소전극(122)의 형성은 소스 콘택홀(124S) 및 드레인 콘택홀(124D)의 형성 과정과 동일한 과정으로 형성될 수 있으므로 그에 관한 설명은 생략하기로 한다.

이와 같은 구조를 가지는 본 발명의 제1 실시 예에 따른 TFT 기관 구조는 전극(110)과 콘택홀(124) 경사면과의 접촉력이 약하게 형성되어 전극(110) 형성시 실시되는 식각공정과정의 식각액이 액티브층(114)으로 침투하여 기관불량을 발생할 가능성이 있다. 이에 따라, 본 발명의 제2 실시 예에서는 콘택홀을 통한 전극 형성시 식각액의 침투를 방지할 수 있는 구조를 제안하기로 한다.

도 9는 본 발명의 제2 실시 예에 따른 콘택홀(224) 및 콘택홀(224)을 통하여 형성되는 전극(210)을 나타낸 도면이다.

도 9에 도시된 본 발명의 제2 실시 예에 따른 콘택홀(224) 및 콘택홀(224)을 통하여 형성되는 전극(210)의 형성과정을 도 10a 내지 도 10c를 참조하여 상세히 살펴보기로 하자.

도 10a를 참조하면, 본 발명의 제2 실시 예에 따른 TFT 기판은 하부기관(201)과, 하부기관(201) 상에 버퍼막(216)이 전면증착되고, 버퍼막(216) 상에 액티브층(214)층이 형성되며, 액티브층(214) 상부에 게이트 절연막(212)이 형성된 후, 게이트 절연막(212) 상에 게이트 절연막(212)과 재질이 다른 보조 절연막(228)이 형성되고, 그 위에 층간 절연막(226)이 형성된다.

액티브층(214)은 하부기관(201) 상에 아몰퍼스-실리콘을 증착한 후 레이저로 결정화하여 폴리-실리콘이 되게 한 다음, 마스크를 이용한 포토리소그래피 공정과 식각 공정으로 패터닝함으로써 형성된다.

게이트 절연막(212)은 SiO₂ 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

보조 절연막(228)은 SiN_x 등과 같은 게이트 절연막(212)과 다른 무기 절연 물질이 전면 증착되어 형성된다.

층간 절연막(126)은 게이트 절연막(112) 상에 SiO₂ 등과 같은 무기 절연 물질이 전면 증착되어 형성된다.

도 10b를 참조하면, 층간 절연막(226) 및 게이트 절연막(212)은 포토리소그래피 공정 및 식각공정을 거치면서 콘택홀(224)이 형성된다. 이 콘택홀(224)은 건식 식각과 습식 식각의 비율을 조절하여 콘택홀(224)의 경사도를 완만하게 형성한다. 이를 구체적으로 설명하면, 먼저, 도 11a에 도시된 바와 같이 건식 식각과 습식 식각 공정을 실시하여 층간 절연막(226)을 식각한다. 여기서, 건식 식각과 습식 식각의 비율은 층간 절연막(226)의 두께에 따라 다르게 형성될 수 있으며, 콘택홀(224)의 크기 감소를 위하여 건식식각의 비율이 더 높은 것이 바람직하다. 다음으로, 건식 식각 및 습식 식각 공정 중 하나의 공정을 실시하여 보조 절연막(228)을 식각한다. 여기서, 층간 절연막(226)과 보조 절연막(228)은 재질이 다르기 때문에 식각 속도가 다르며, 층간 절연막(226)의 식각이 보조 절연막(228)의 식각보다 빠르게 진행된다. 이에 따라, 습식 식각공정만으로 보조 절연막(228)을 식각할 경우, 콘택홀(224) 구조는 도 11b에 도시된 바와 같이 계단 형태로 형성되며, 건식 식각공정으로 보조 절연막(228)을 식각할 경우, 도 11c에 도시된 바와 같은 형태로 식각된다. 마지막으로, 습식식각공정만을 사용하여 게이트 절연막(212)을 식각한다. 이 때, 보조 절연막(228)의 습식식각보다 게이트 절연막(212)의 습식식각이 더 빠르게 진행됨으로 보조 절연막(228)에는 오버 행(Over Hang) 구조의 돌출부가 형성되며, 콘택홀(224)의 경사도는 완만하게 형성된다. 여기서, 11b 및 11c 과정에 따라 형성되는 보조절연막(228)의 돌출부 크기는 각각 다르게 형성된다. 즉, 11b 과정에 따라 형성된 돌출부 길이가 11c 과정에 따라 형성된 돌출부 길이보다 길게 형성된다. 이에 따라, 보조절연막(228)의 바람직한 식각공정은 건식식각 대 습식식각의 비율이 50~70 : 50~30을 가지며, 대략 60 : 40의 비율을 가지는 것이 더 바람직하다.

도 10c를 참조하면, 전극(210)은 콘택홀(224) 표면에 마스크를 이용하여 증착 형성된다. 이때, 마스크 패턴의 크기는 콘택홀(224)의 상부 홀 크기보다 작게 형성된다. 이에 따라, 전극(210)은 콘택홀(224)의 양 경사면 일측과 콘택홀(224)의 하부 홀을 통하여 형성된다. 이때, 전극(210)의 폭은 콘택홀(224)의 상부 홀 크기 이하로 형성됨과 아울러 콘택홀(224)의 하부 홀 크기 이상으로 형성된다. 여기서, 콘택홀(224)의 경사면에 형성되는 돌출부의 재료인 SiN_x는 전극(210)과 접착력이 좋기 때문에 식각액 침투를 방지할 수 있으며, 또한, 콘택홀(224)의 경사면이 오버 행 구조의 돌출부를 가지기 때문에 식각액 침투를 이중방지할 수 있게 된다. 여기서, SiN_x의 두께는 접착력을 확보할 수 있는 정도의 두께는 대략 500Å 이상으로 형성됨과 아울러 게이트 절연막(212) 두께의 1.5배 이하로 형성된다.

한편, 본 발명의 제1 및 제2 실시 예에 따른 형성과정에서 사용되는 식각액의 종류로는 BOE(Bufferal Oxide Etchant), Bufferal-HF 등이 있으며, 식각가스로는 SF₆, CF₄ 등이 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 TFT 기판 및 그 제조 방법은 콘택홀의 경사면 일측과 하부 홀을 통하여 액티브층과 접촉되는 전극을 형성함으로써 전극의 폭을 감소시킬 수 있게 된다. 이에 따라, 패널의 소형 및 경량화를 위하여 콘택홀을 통해 형성되는 전극의 접촉면 감소가 가능하게 된다. 또한, 전극 형성시 발생하는 식각액의 침투를 방지할 수 있는 기판 불량을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 폴리-실리콘을 이용한 액정 표시 패널을 개략적으로 도시한 도면이다.

도 2는 도 1에 도시된 액정 표시 패널에 포함되는 박막 트랜지스터 기관의 화상 표시부를 부분적으로 도시한 평면도이다.

도 3은 도 2에 도시된 박막 트랜지스터 기관을 III-III'선을 따라 절단하여 도시한 단면도이다.

도 4a 내지 도 4c는 도 3에 도시된 박막 트랜지스터 기관의 제조 방법을 단계적으로 설명하기 위한 단면도들이다.

도 5는 종래의 콘택홀에 형성되는 전극의 단선을 나타낸 도면이다.

도 6은 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관을 부분적으로 도시한 평면도이다.

도 7은 도 6의 VII-VII'선을 따라 절단하여 도시한 단면도이다.

도 8a 내지 도 8c는 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 제조 방법을 단계적으로 설명하기 위한 단면도들이다.

도 9는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 부분적 단면을 나타낸 도면이다.

도 10a 내지 도 10c는 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 제조 방법을 단계적으로 설명하기 위한 단면도들이다.

도 11a 내지 도 11c는 도 10b에 도시된 박막트랜지스터 기관의 제조방법을 단계적으로 설명하기 위한 단면도들이다.

〈 도면의 주요부분에 대한 설명〉

1, 101, 201 : 기관 2, 102, 202 : 게이트 라인

4, 104, 204 : 데이터 라인 6, 106, 206 : 게이트 전극

10, 110, 210 : 드레인 전극 12, 112, 222 : 게이트 절연막

14, 114, 214 : 액티브층 16, 116, 216 : 버퍼층

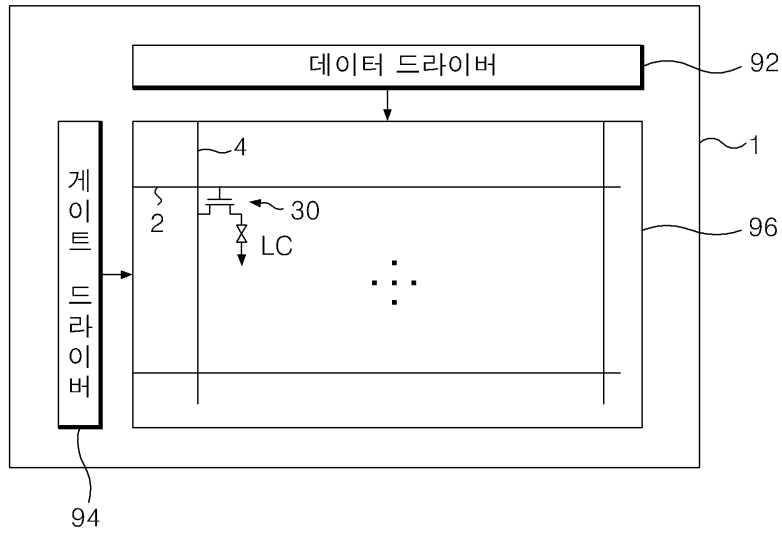
18, 118, 218 : 보호막 22, 122, 222 : 화소 전극

26, 126, 226 : 층간 절연막 30, 130, 230 : 박막 트랜지스터

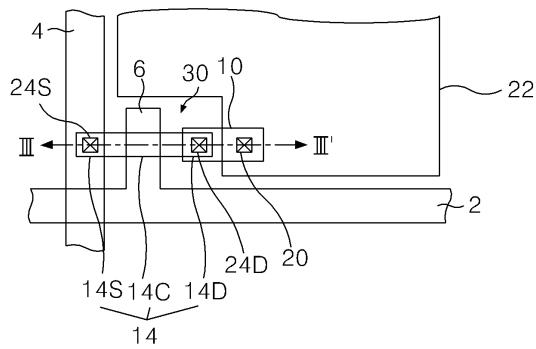
228 : 보조절연막

도면

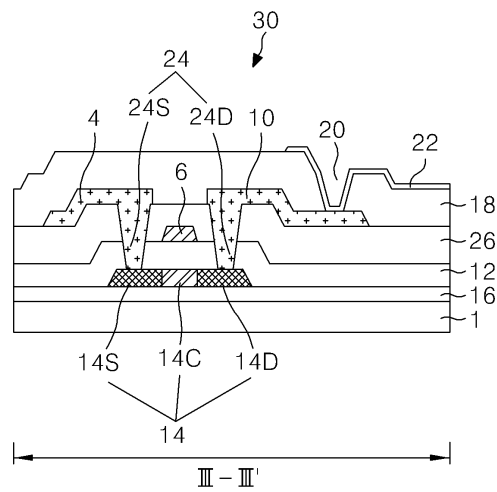
도면1



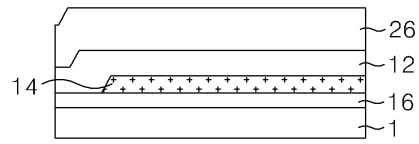
도면2



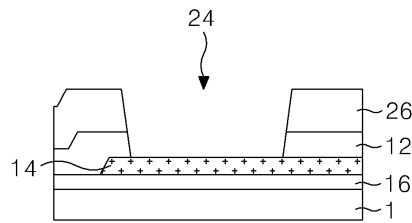
도면3



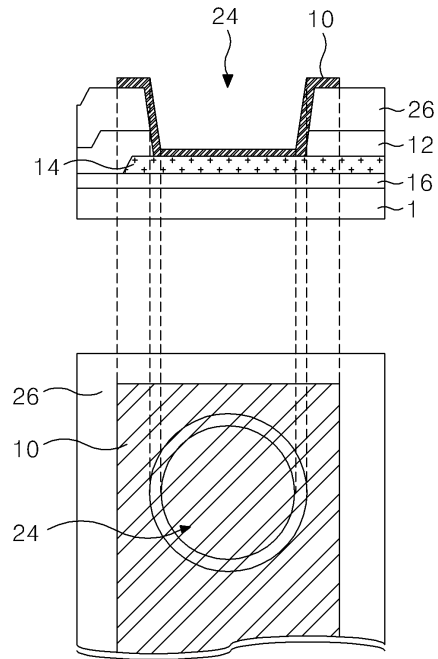
도면4a



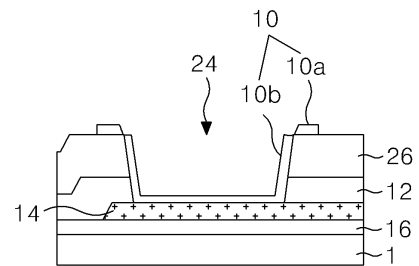
도면4b



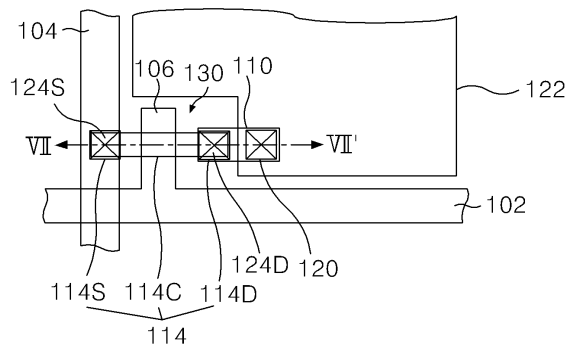
도면4c



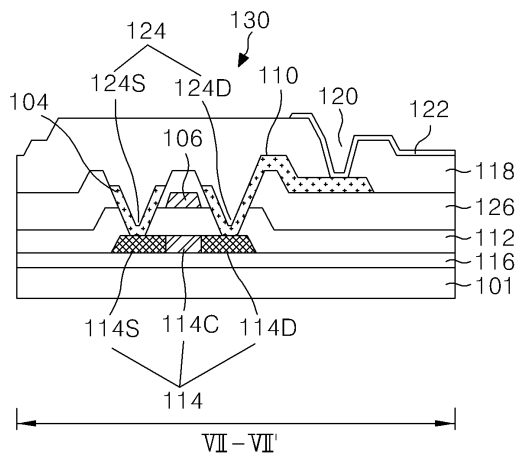
도면5



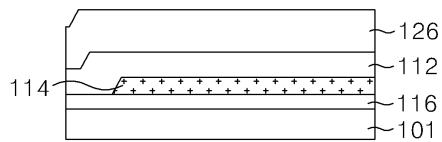
도면6



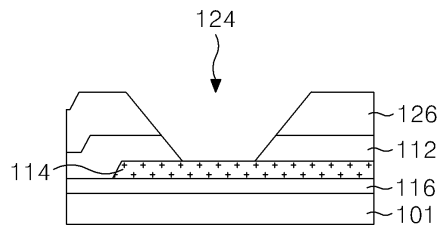
도면7



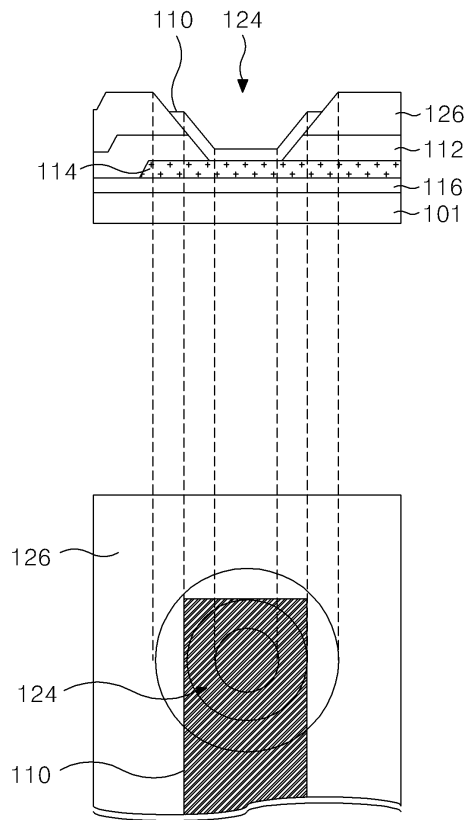
도면8a



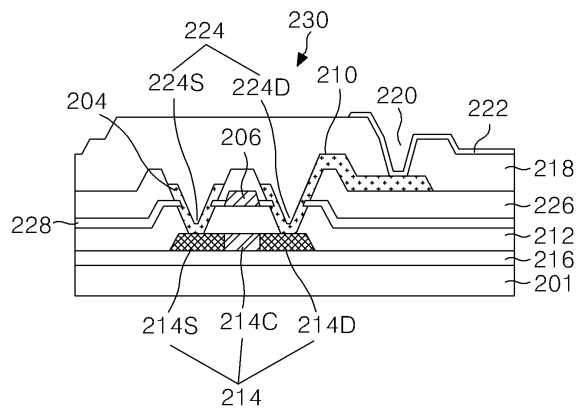
도면8b



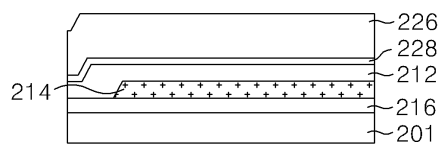
도면8c



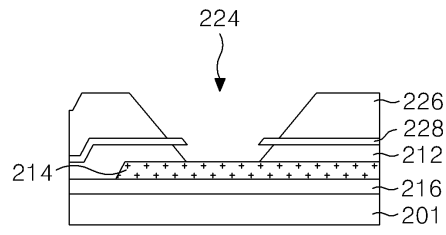
도면9



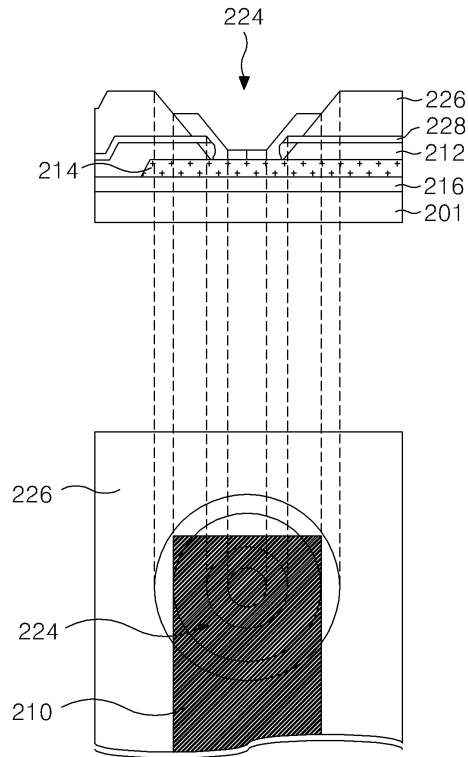
도면10a



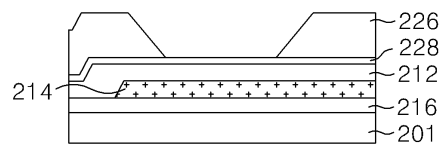
도면10b



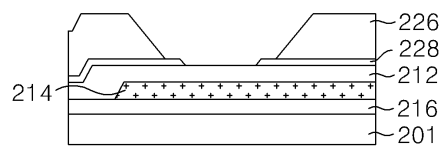
도면10c



도면11a



도면11b



도면11c

