



(12)发明专利申请

(10)申请公布号 CN 109148415 A

(43)申请公布日 2019.01.04

(21)申请号 201810990635.9

(22)申请日 2018.08.28

(71)申请人 武汉新芯集成电路制造有限公司
地址 430205 湖北省武汉市东湖开发区高新四路18号

(72)发明人 赵长林 曾甜

(74)专利代理机构 上海思微知识产权代理事务所(普通合伙) 31237

代理人 屈衡

(51) Int. Cl.

H01L 23/528(2006.01)

H01L 23/522(2006.01)

H01L 21/768(2006.01)

H01L 23/367(2006.01)

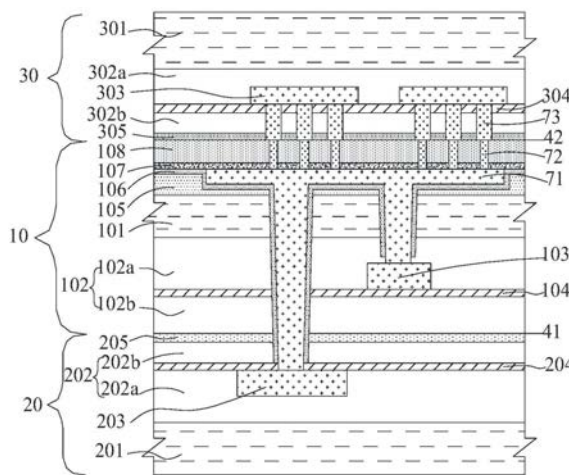
权利要求书3页 说明书8页 附图9页

(54)发明名称

多晶圆堆叠结构及其形成方法

(57)摘要

本发明提供一种多晶圆堆叠结构及方法。在该多晶圆堆叠结构中,第一互连层通过第一开孔与第二金属层和第一金属层电连接,第二互连层通过第二开孔与第一互连层电连接,第三互连层通过第三开孔与第三金属层电连接,且第二互连层与所述第三互连层相接触,不需晶圆间预留压焊引线空间,省去硅基板,实现多晶圆互连的同时减少多晶圆堆叠厚度从而使多晶圆堆叠封装后的整体器件厚度减小。并且,不再需要引线,省去了硅基板以及硅基板上若干共用焊盘的设计加工。以及,所述第二互连层与所述第三互连层相接触缩短晶圆间互连距离,进而降低寄生电容和功率损耗,提高了传输速度。



1. 一种多晶圆堆叠结构,其特征在于,包括:

第一晶圆,所述第一晶圆包括第一衬底、第一介质层、第一金属层和位于所述第一衬底背面的第一隔离层;

第二晶圆,所述第二晶圆包括第二衬底、第二介质层和第二金属层,所述第一介质层与所述第二介质层相互键合;

第一开孔,所述第一开孔包括第一上开孔、第一中开孔和第一下开孔;所述第一上开孔贯穿部分所述第一隔离层;所述第一中开孔贯穿所述第一隔离层、第一衬底和部分所述第一介质层且位于所述第一金属层上方,所述第一下开孔贯穿所述第一晶圆和部分所述第二介质层且位于所述第二金属层上方,所述第一上开孔分别与所述第一中开孔和所述第一下开孔连通;

第二隔离层,所述第二隔离层覆盖所述第一隔离层表面和所述第一开孔表面并暴露出部分所述第一金属层和部分所述第二金属层。

第一互连层,所述第一互连层通过所述第一开孔与所述第一金属层和所述第二金属层电连接;

绝缘层,所述绝缘层位于所述第二隔离层和所述第一互连层表面;

第二开孔,所述第二开孔贯穿所述绝缘层,所述第二开孔位于所述第一互连层上方并暴露出部分所述第一互连层;

第三晶圆,所述第三晶圆包括第三衬底、第三介质层和第三金属层;

第三开孔,所述第三开孔贯穿部分所述第三介质层,并暴露出部分所述第三金属层,所述第三开孔与所述第二开孔对应布置;

第二互连层,所述第二互连层通过所述第二开孔与所述第一互连层电连接;以及,

第三互连层,所述第三互连层通过所述第三开孔与所述第三金属层电连接,所述第二互连层与所述第三互连层相接触。

2. 如权利要求1所述的一种多晶圆堆叠结构,其特征在于,

每个所述第二开孔和每个所述第三开孔均包括多个间隔分布的孔。

3. 如权利要求1或2所述的一种多晶圆堆叠结构,其特征在于,

所述第一介质层包括第一介质层第一部分和第一介质层第二部分,所述第一金属层嵌设于所述第一介质层第一部分和第一介质层第二部分之间;所述第二介质层包括第二介质层第一部分和第二介质层第二部分,所述第二金属层嵌设于所述第二介质层第一部分和第二介质层第二部分之间;

所述第一晶圆还包括第一刻蚀停止层,所述第一刻蚀停止层位于所述第一金属层与所述第一介质层第二部分之间;所述第二晶圆还包括第二刻蚀停止层,所述第二刻蚀停止层位于所述第二金属层与所述第二介质层第二部分之间。

4. 一种多晶圆堆叠结构的形成方法,其特征在于,包括:

提供第一晶圆和第二晶圆,所述第一晶圆包括第一衬底、第一介质层、第一金属层和位于所述第一衬底背面的第一隔离层;所述第二晶圆包括第二衬底、第二介质层和第二金属层,所述第一介质层与所述第二介质层相互键合;

形成第一开孔,所述第一开孔包括第一上开孔、第一中开孔和第一下开孔;所述第一上开孔贯穿部分所述第一隔离层;所述第一中开孔贯穿所述第一隔离层、第一衬底和部分所

述第一介质层且位于所述第一金属层上方,所述第一下开孔贯穿所述第一晶圆和部分所述第二介质层且位于所述第二金属层上方,所述第一上开孔分别与所述第一中开孔和所述第一下开孔连通;

形成第二隔离层,所述第二隔离层覆盖所述第一隔离层表面和所述第一开孔表面并暴露出部分所述第一金属层和部分所述第二金属层;

形成第一互连层,所述第一互连层通过所述第一开孔与所述第一金属层和所述第二金属层电连接;

形成绝缘层,所述绝缘层位于所述第二隔离层表面和所述第一互连层表面,并在所述绝缘层中形成第二开孔,所述第二开孔暴露出部分所述第一互连层;

提供第三晶圆,所述第三晶圆包括第三衬底、第三介质层和第三金属层;

形成第三开孔,所述第三开孔贯穿部分所述第三介质层,并暴露出部分所述第三金属层,所述第三开孔与所述第二开孔对应布置;

形成第二互连层和第三互连层,所述第二互连层通过所述第二开孔与所述第一互连层电连接,所述第三互连层通过所述第三开孔与所述第三金属层电连接;以及,

将所述第一晶圆和所述第三晶圆进行键合,使所述第二互连层与所述第三互连层相接触,以实现所述第一晶圆、第二晶圆和第三晶圆的互连。

5.如权利要求4所述的一种多晶圆堆叠结构的形成方法,其特征在于,形成第二隔离层,包括:

形成第二隔离层,所述第二隔离层覆盖所述第一隔离层表面和所述第一开孔表面;

执行刻蚀工艺,刻蚀去除所述第一中开孔底部的所述第二隔离层并暴露出所述第一金属层,同时刻蚀去除所述第一下开孔底部的所述第二隔离层并暴露出所述第二金属层。

6.如权利要求4所述的一种多晶圆堆叠结构的形成方法,其特征在于,形成第一开孔的步骤包括:

形成第一上开孔,所述第一上开孔贯穿部分所述第一隔离层并位于所述第一金属层和所述第二金属层上方;

形成第一中开孔,所述第一中开孔贯穿所述第一隔离层、第一衬底和部分所述第一介质层且位于所述第一金属层上方;以及,

形成第一下开孔,所述第一下开孔贯穿所述第一晶圆和部分所述第二介质层且位于所述第二金属层上方,所述第一上开孔分别与所述第一中开孔和所述第一下开孔连通。

7.如权利要求6所述的一种多晶圆堆叠结构的形成方法,其特征在于,形成第一中开孔之后,形成第一下开孔之前,还包括:

形成光阻,所述光阻填充所述第一上开孔和所述第一中开孔并覆盖所述第一隔离层表面;以及,

通过曝光显影形成位于所述第二金属层上方的光阻窗口。

8.如权利要求4所述的一种多晶圆堆叠结构的形成方法,其特征在于,所述第一互连层、第二互连层和所述第三互连层的材质为金属。

9.如权利要求8所述的一种多晶圆堆叠结构的形成方法,其特征在于,将所述第一晶圆和所述第三晶圆进行键合时,采用非熔化型扩散法使第二互连层与所述第三互连层相互键合。

10. 如权利要求4所述的一种多晶圆堆叠结构的形成方法,其特征在于,所述第一介质层与所述第二介质层相互键合后,对所述第一晶圆和/或所述第二晶圆进行减薄;所述第一晶圆和所述第三晶圆进行键合后,对所述第三晶圆进行减薄。

多晶圆堆叠结构及其形成方法

技术领域

[0001] 本发明属于集成电路制造技术领域,具体涉及多晶圆堆叠结构及其形成方法。

背景技术

[0002] 在高度集成化的半导体发展的趋势下,多晶圆堆叠后常采用引线键合的方式实现多片晶圆间的互连,具体为多片晶圆在专用的硅基板上竖直方向堆叠,每片晶圆具有多个用于互连的焊盘,硅基板上具有多个共用焊盘,引线的一端压焊键合至晶圆的焊盘,引线的另一端都集中压焊键合在硅基板的共用焊盘上,从而实现多片晶圆间的互连。

[0003] 但发明人发现,传统的多晶圆引线互连方式存在一些问题:首先,多晶圆堆叠往高密度发展厚度有限制要求,采用引线键合的多片晶圆间需预留压焊引线空间,硅基板本身也有一定的厚度,在一定程度上多晶圆堆叠后整体厚度较厚;另外,引线通常是采用金丝,成本较高,而且,引线导致相对较长的互连线路,而较长的互连线路降低了信号传输速度,增加了功率损耗;此外,硅基板不能适应多晶圆堆叠高密度发展越来越多的共用焊盘的需求。

发明内容

[0004] 本发明的目的在于提供一种多晶圆堆叠结构,以减少多晶圆堆叠后的整体厚度。

[0005] 本发明的另一目的在于,无需使用引线,有利于提高信号传输速度,减小功率损耗。

[0006] 为解决上述技术问题,本发明提供一种多晶圆堆叠结构,包括:

[0007] 第一晶圆,所述第一晶圆包括第一衬底、第一介质层、第一金属层和位于所述第一衬底背面的第一隔离层;

[0008] 第二晶圆,所述第二晶圆包括第二衬底、第二介质层和第二金属层,所述第一介质层与所述第二介质层相互键合;

[0009] 第一开孔,所述第一开孔包括第一上开孔、第一中开孔和第一下开孔;所述第一上开孔贯穿部分所述第一隔离层;所述第一中开孔贯穿所述第一隔离层、第一衬底和部分所述第一介质层且位于所述第一金属层上方,所述第一下开孔贯穿所述第一晶圆和部分所述第二介质层且位于所述第二金属层上方,所述第一上开孔分别与所述第一中开孔和所述第一下开孔连通;

[0010] 第二隔离层,所述第二隔离层覆盖所述第一隔离层表面和所述第一开孔表面并暴露出部分所述第一金属层和部分所述第二金属层。

[0011] 第一互连层,所述第一互连层通过所述第一开孔与所述第一金属层和所述第二金属层电连接;

[0012] 绝缘层,所述绝缘层位于所述第二隔离层和所述第一互连层表面;

[0013] 第二开孔,所述第二开孔贯穿所述绝缘层,所述第二开孔位于所述第一互连层上方并暴露出部分所述第一互连层;

- [0014] 第三晶圆,所述第三晶圆包括第三衬底、第三介质层和第三金属层;
- [0015] 第三开孔,所述第三开孔贯穿部分所述第三介质层,并暴露出部分所述第三金属层,所述第三开孔与所述第二开孔对应布置;
- [0016] 第二互连层,所述第二互连层通过所述第二开孔与所述第一互连层电连接;以及,
- [0017] 第三互连层,所述第三互连层通过所述第三开孔与所述第三金属层电连接,所述第二互连层与所述第三互连层相接触。
- [0018] 本发明还提供一种多晶圆堆叠结构的形成方法,包括:
- [0019] 提供第一晶圆和第二晶圆,所述第一晶圆包括第一衬底、第一介质层、第一金属层和位于所述第一衬底背面的第一隔离层;所述第二晶圆包括第二衬底、第二介质层和第二金属层,所述第一介质层与所述第二介质层相互键合;
- [0020] 形成第一开孔,所述第一开孔包括第一上开孔、第一中开孔和第一下开孔;所述第一上开孔贯穿部分所述第一隔离层;所述第一中开孔贯穿所述第一隔离层、第一衬底和部分所述第一介质层且位于所述第一金属层上方,所述第一下开孔贯穿所述第一晶圆和部分所述第二介质层且位于所述第二金属层上方,所述第一上开孔分别与所述第一中开孔和所述第一下开孔连通;
- [0021] 形成第二隔离层,所述第二隔离层覆盖所述第一隔离层表面和所述第一开孔表面并暴露出部分所述第一金属层和部分所述第二金属层;
- [0022] 形成第一互连层,所述第一互连层通过所述第一开孔与所述第一金属层和所述第二金属层电连接;
- [0023] 形成绝缘层,所述绝缘层位于所述第二隔离层表面和所述第一互连层表面,并在所述绝缘层中形成第二开孔,所述第二开孔暴露出部分所述第一互连层;
- [0024] 提供第三晶圆,所述第三晶圆包括第三衬底、第三介质层和第三金属层;
- [0025] 形成第三开孔,所述第三开孔贯穿部分所述第三介质层,并暴露出部分所述第三金属层,所述第三开孔与所述第二开孔对应布置;
- [0026] 形成第二互连层和第三互连层,所述第二互连层通过所述第二开孔与所述第一互连层电连接,所述第三互连层通过所述第三开孔与所述第三金属层电连接;以及,
- [0027] 将所述第一晶圆和所述第三晶圆进行键合,使所述第二互连层与所述第三互连层相接触,以实现所述第一晶圆、第二晶圆和第三晶圆的互连。
- [0028] 在本发明提供的多晶圆堆叠结构及方法中,第一互连层通过第一开孔与第一金属层和第二金属层电连接,第二互连层通过第二开孔与第一互连层电连接,第三互连层通过第三开孔与第三金属层电连接,且第二互连层与所述第三互连层相接触,不需晶圆间预留压焊引线空间,省去硅基板,实现多晶圆互连的同时,减少了多晶圆堆叠厚度,从而使多晶圆堆叠封装后的整体器件厚度减小,增加封装密度,满足半导体产品日益走向轻薄的要求。并且,所述多晶圆堆叠结构不再需要引线,省去了硅基板以及硅基板上若干共用焊盘的设计加工,有利于降低了成本,简化了工艺。此外,所述第二互连层与所述第三互连层相接触以缩短晶圆间互连距离,进而降低寄生电容和功率损耗,提高了传输速度。

附图说明

- [0029] 图1为本发明实施例的多晶圆堆叠结构的剖面示意图;

- [0030] 图2为本发明实施例的多晶圆堆叠结构的形成方法流程图；
- [0031] 图3为本发明实施例的两晶圆键合后示意图；
- [0032] 图4为本发明实施例的形成第一上开孔后的剖面示意图；
- [0033] 图5-a为本发明实施例的形成图形化的光阻后的剖面示意图；
- [0034] 图5-b为本发明实施例的形成第一中开孔后的剖面示意图；
- [0035] 图6为本发明实施例的形成光阻后的剖面示意图；
- [0036] 图7为本发明实施例的形成第一下开孔后的剖面示意图；
- [0037] 图8为本发明实施例的形成第二隔离层后的剖面示意图；
- [0038] 图9为本发明实施例的暴露出第一金属层和第二金属层后的剖面示意图；
- [0039] 图10为本发明实施例的形成第一互连层后的剖面示意图；
- [0040] 图11为本发明实施例的形成绝缘层后的剖面示意图；
- [0041] 图12为本发明实施例的形成第二开孔后的剖面示意图；
- [0042] 图13为本发明实施例的第三晶圆形成第三开孔后的剖面示意图；
- [0043] 图14为本发明一实施例的第二开孔中形成第二互连层后的剖面示意图；
- [0044] 图15为本发明一实施例的第三晶圆的第三开孔中形成第三互连层后的剖面示意图。
- [0045] 其中,附图标记如下:
- [0046] 10-第一晶圆;101-第一衬底;102-第一介质层;103-第一金属层;104-第一刻蚀停止层;102a-第一介质层第一部分;102b-第一介质层第二部分;105-第一隔离层;106-第二隔离层;107-绝缘层;108-钝化层;
- [0047] 20-第二晶圆;201-第二衬底;202-第二介质层;203-第二金属层;204-第二刻蚀停止层;202a-第二介质层第一部分;202b-第二介质层第二部分;205-钝化层;
- [0048] 30-第三晶圆;301-第三衬底;302-第三介质层;303-第三金属层;304-第三刻蚀停止层;302a-第三介质层第一部分;302b-第三介质层第二部分;305-钝化层;
- [0049] 41-第一键合界面;42-第二键合界面;
- [0050] 51-第一开孔;51a-第一上开孔;51b-第一中开孔;51c-第一下开孔;52-第二开孔;53-第三开孔;
- [0051] 61-光阻;62-光阻;
- [0052] 71-第一互连层;72-第二互连层;73-第三互连层。

具体实施方式

[0053] 以下结合附图和具体实施例对本发明提出的多晶圆堆叠结构及方法作进一步详细说明。根据下面说明,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0054] 下面结合图1、图7、图12和图13所示,详细介绍本发明实施例提供的多晶圆堆叠结构。一种多晶圆堆叠结构,包括:

[0055] 第一晶圆10,所述第一晶圆10包括第一衬底101、位于第一衬底101上的第一介质层102、嵌设于第一介质层102中的第一金属层103和位于所述第一衬底101背面的第一隔离层105;

[0056] 第二晶圆20,所述第二晶圆20包括第二衬底201、位于第二衬底201上的第二介质层202和嵌设于第一介质层202中的第二金属层203,第一介质层102与第二介质层202相互键合;

[0057] 第一开孔51,如图7所示,所述第一开孔51包括第一上开孔51a、第一中开孔51b和第一下开孔51c;所述第一上开孔51a贯穿部分所述第一隔离层105;所述第一中开孔51b贯穿所述第一隔离层105、第一衬底101和部分所述第一介质层102且位于所述第一金属层103上方,所述第一下开孔51c贯穿所述第一晶圆10和部分所述第二介质层202且位于所述第二金属层203上方,所述第一上开孔51a分别与所述第一中开孔51b和所述第一下开孔51c连通;

[0058] 第二隔离层106,所述第二隔离层106覆盖所述第一隔离层105表面和所述第一开孔51表面并通过后续的蚀刻工艺暴露出部分所述第一金属层103和部分所述第二金属层203。

[0059] 第一互连层71,所述第一互连层71通过所述第一开孔51与所述第一金属层103和第二金属层203电连接;

[0060] 绝缘层107,所述绝缘层107位于所述第二隔离层106和所述第一互连层71表面;

[0061] 第二开孔52,如图12所示,所述第二开孔52贯穿所述绝缘层107,所述第二开孔52位于所述第一互连层71上方并暴露出部分所述第一互连层71;

[0062] 第三晶圆30,所述第三晶圆30包括第三衬底301、第三介质层302和第三金属层303;

[0063] 第三开孔53,如图13所示,所述第三开孔53贯穿部分所述第三介质层302,并暴露出部分所述第三金属层303,所述第三开孔53与所述第二开孔52对应布置;

[0064] 第二互连层72,所述第二互连层72通过所述第二开孔52与所述第一互连层71电连接;以及,

[0065] 第三互连层73,所述第三互连层73通过所述第三开孔53与所述第三金属层304电连接,所述第二互连层72与所述第三互连层73相接触。

[0066] 为了减少多晶圆堆叠互连后的整体厚度,所述第一介质层102与所述第二介质层202相互键合后,对所述第一衬底101和/或所述第二衬底201进行减薄;所述第一晶圆10和所述第三晶圆30进行键合后,对所述第三衬底301进行减薄。

[0067] 优选的,如图12和图13所示,每个第二开孔52和每个第三开孔53各自包括多个间隔分布的孔,即,每个第二开孔52和每个第三开孔53均是由多个孔组成的阵列孔组。在多个间隔分布的孔中,第二互连层72与所述第三互连层73相接触,增加互连可靠性的同时间隔设置降低了互连层工作中产生的热量。而且,多个间隔分布的孔可以做到尺寸更小、密度更大,从而还能满足某些特定用途的产品互连需求,例如需互连引出的信号为密度高且电流低的信号,相应的孔以及孔中的互连层均需尺寸更小、密度更大。

[0068] 优选的,如图1所示,所述第一介质层102包括第一介质层第一部分102a和第一介质层第二部分102b,所述第一金属层103嵌设于所述第一介质层第一部分102a和第一介质层第二部分102b之间;所述第二介质层202包括第二介质层第一部分202a和第二介质层第二部分202b,所述第二金属层203嵌设于所述第二介质层第一部分202a和第二介质层第二部分202b之间。

[0069] 优选的,所述第一晶圆10还包括第一刻蚀停止层104,所述第一刻蚀停止层104位于所述第一金属层103与所述第一介质层第二部分102b之间;所述第二晶圆20还包括第二刻蚀停止层204,所述第二刻蚀停止层204位于所述第二金属层203与所述第二介质层第二部分202b之间。

[0070] 优选的,第一晶圆10还包括钝化层108,所述钝化层108覆盖于绝缘层107表面;第二晶圆20还包括钝化层205,所述钝化层205覆盖于第二介质层202表面;第二晶圆30还包括钝化层305,所述钝化层305覆盖于第三介质层302表面。三个晶圆中的钝化层例如是氧化硅层和/或氮化硅层起保护晶圆表面的作用。

[0071] 本发明实施例提供的多晶圆堆叠结构的形成方法,如图2所示,包括:

[0072] 提供第一晶圆10和第二晶圆20,所述第一晶圆10包括第一衬底101、位于第一衬底101上的第一介质层102、嵌设于第一介质层102中的第一金属层103和位于所述第一衬底101背面的第一隔离层105;所述第二晶圆20包括第二衬底201、位于第二衬底201上的第二介质层202和嵌设于第一介质层202中的第二金属层203,第一介质层102与第二介质层202相互键合;

[0073] 形成第一开孔51,第一开孔51包括第一上开孔51a、第一中开孔51b和第一下开孔51c;所述第一上开孔51a贯穿部分所述第一隔离层105;所述第一中开孔51b贯穿所述第一隔离层105、第一衬底101和部分所述第一介质层102且位于所述第一金属层103上方,所述第一下开孔51c贯穿所述第一晶圆10和部分所述第二介质层202且位于所述第二金属层203上方,所述第一上开孔51a分别与所述第一中开孔51b和所述第一下开孔51c连通;

[0074] 形成第二隔离层106,所述第二隔离层106覆盖所述第一隔离层105表面和所述第一开孔51表面并通过后续的蚀刻工艺暴露出部分所述第一金属层103和部分所述第二金属层203。

[0075] 形成第一互连层71,所述第一互连层71通过所述第一开孔51与所述第一金属层103和第二金属层203电连接;

[0076] 形成绝缘层107,所述绝缘层107位于所述第二隔离层106和所述第一互连层71表面;并在所述绝缘层107中形成第二开孔52,所述第二开孔52暴露出部分所述第一互连层71;

[0077] 提供第三晶圆30,所述第三晶圆30包括第三衬底301、第三介质层302和第三金属层303;

[0078] 形成第三开孔53,所述第三开孔53贯穿部分所述第三介质层302,并暴露出部分所述第三金属层303,所述第三开孔53与所述第二开孔52对应布置;

[0079] 形成第二互连层72和第三互连层73,所述第二互连层72通过所述第二开孔52与所述第一互连层71电连接,所述第三互连层73通过所述第三开孔53与所述第三金属层303电连接;以及,

[0080] 将所述第一晶圆10和所述第三晶圆30进行键合,使所述第二互连层72与所述第三互连层73相接触,以实现所述第一晶圆10、第二晶圆20和第三晶圆30的互连。

[0081] 本发明并不限定第一晶圆和第二晶圆哪个晶圆必须要放在上方/下方,而是可以互换上下晶圆的位置。在本文中,为了描述简单、方便,只示出了这两个晶圆的一种位置关系,而本领域技术人员均能理解,在本文中描述的所有技术内容也同样适用于“第一晶圆”

与“第二晶圆”的位置上下颠倒的情况,此时堆叠式半导体装置的各层的位置关系也相应地上下颠倒。在一些情况下,优选地,在对两个晶圆进行键合处理期间,将晶圆弯曲度(bow)比较大的晶圆放在下面。但是,在这种情况下,在晶圆键合结束后,也可以根据实际需求来决定是否上下颠倒,从而确定最终哪个晶圆在上面哪个晶圆在下面。

[0082] 请注意,在本文中,“第一”、“第二”、“第三”、“第四”等编号只是为了对具有相同名称的各个不同部件或工艺进行区分之用,并不意味着顺序或位置关系等。另外,对于具有相同名称的各个不同部件,例如“第一衬底”和“第二衬底”、“第一介质层”和“第二介质层”等等,并不意味着它们都具有相同的结构或部件。例如,尽管图中未示出,但是在绝大部分情况下,“第一衬底”和“第二衬底”中形成的部件都不一样,衬底的结构也可能不一样。在一些实施方式中,衬底可以为半导体衬底,由适合于半导体装置的任何半导体材料(诸如Si、SiC、SiGe等)制成。在另一些实施方式中,衬底也可以为绝缘体上硅(SOI)、绝缘体上锗硅等各种复合衬底。本领域技术人员均理解衬底不受到任何限制,而是可以根据实际应用进行选择。衬底中可以形成有各种装置(不限于半导体装置)构件(图中未示出)。衬底还可以已经形成有其他层或构件,例如:栅极结构、接触孔、介质层、金属连线和通孔等等。

[0083] 下面结合图3至图15所示,详细介绍本发明实施例提供的制作方法。

[0084] 首先,如图3所示,提供键合后的第一晶圆10和第二晶圆20。所述第一晶圆10包括第一衬底101、位于第一衬底101上的第一介质层102和嵌设于第一介质层102中的第一金属层103。

[0085] 所述第二晶圆20包括第二衬底201、形成于所述第二衬底201上的第二介质层202和嵌设于所述第二介质层202中的第二金属层203。所述第一介质层102面向所述第二介质层202,可利用键合界面薄膜的分子间化学力将两片晶圆进行键合,形成第一键合界面41。

[0086] 为了减少多晶圆堆叠互连后的整体厚度,所述第一介质层102与所述第二介质层202相互键合后,对所述第一衬底101和/或所述第二衬底201进行减薄,之后在第一衬底101背面形成第一隔离层105。该第一隔离层105例如是氧化硅层,致密性好,使第一衬底101与外界隔离起到很好的保护作用。

[0087] 进一步的,所述第一介质层102包括第一介质层第一部分102a和第一介质层第二部分102b,所述第一金属层103嵌设于所述第一介质层第一部分102a和第一介质层第二部分102b之间;所述第二介质层202包括第二介质层第一部分202a和第二介质层第二部分202b,所述第二金属层203嵌设于所述第二介质层第一部分202a和第二介质层第二部分202b之间。

[0088] 优选方案中,所述第一晶圆10还包括第一刻蚀停止层104,所述第一刻蚀停止层104位于所述第一金属层103与所述第一介质层第二部分102b之间;所述第二晶圆20还包括第二刻蚀停止层204,所述第二刻蚀停止层204位于所述第二金属层203与所述第二介质层第二部分202b之间。

[0089] 进一步的,所述第二晶圆20还包括位于第二介质层第二部分202b表面的钝化层205,该钝化层205例如是氧化硅层和/或氮化硅层起保护晶圆表面的作用。本实施例中,钝化层205与第一介质层第二部分102b相接触,进而形成第一键合界面41。

[0090] 接着,如图4所示,刻蚀形成第一上开孔51a,所述第一上开孔51a贯穿部分所述第一隔离层105,并位于所述第一金属层103和所述第二金属层203上方。

[0091] 接着,如图5-a和图5-b所示,形成第一中开孔51b;采用流动性较好的光阻61填充第一上开孔51a并覆盖第一隔离层105表面,通过曝光显影形成图形化的光阻,图形化的光阻具有位于第一金属层103上方的光阻窗口;以图形化的光阻为掩膜刻蚀形成第一中开孔51b,第一中开孔51b贯穿所述第一隔离层105、第一衬底101和部分所述第一介质层102且位于所述第一金属层103上方,之后去除图形化的光阻。

[0092] 接着,如图6和图7所示,形成第一下开孔51c;采用流动性和填充性较好的光阻62填充第一上开孔51a和第一中开孔51b并覆盖第一隔离层105表面,通过曝光显影形成图形化的光阻62,图形化的光阻62具有位于第二金属层203上方的光阻窗口,以图形化的光阻为掩膜刻蚀形成第一下开孔51c,第一下开孔51c贯穿所述第一晶圆10和部分所述第二介质层202且位于所述第二金属层203上方,随后去除图形化的光阻。第一上开孔51a分别与第一中开孔51b和第一下开孔51c连通,从而形成第一开孔51。

[0093] 接着,如图8和图9所示,形成第二隔离层106;可选择沉积的方式形成覆盖第一隔离层105表面和第一开孔51表面的第二隔离层106,用于在后续刻蚀工艺中保护第一下开孔51c暴露出的第一晶圆10侧壁和部分第二介质层202侧壁,第二隔离层106例如是氧化硅层。之后,执行刻蚀工艺,刻蚀去除第一中开孔51b底部的第二隔离层106和部分第一介质层102并暴露出所述第一金属层103,刻蚀去除第一下开孔51c底部的第二隔离层106和第二刻蚀停止层204并暴露出所述第二金属层203。

[0094] 接着,如图10所示,形成第一互连层71,第一互连层71通过第一开孔51与所述第一金属层103和第二金属层203电连接。第一互连层71为导电材料,可以为铜或铜合金,可采用电镀铜方式填充第一开孔51并覆盖第二隔离层106表面,通过化学机械研磨去除第二隔离层106表面的第一互连层71并使第一开孔51顶部的第一互连层71平坦化。

[0095] 接着,如图11所示,形成绝缘层107,所述绝缘层107位于所述第二隔离层106和所述第一互连层71表面;优选的,绝缘层107表面形成钝化层108,该钝化层108例如是氧化硅层和/或氮化硅层起保护第一晶圆10表面的作用。

[0096] 接着,如图12所示,形成第二开孔52,第二开孔52贯穿钝化层108和绝缘层107且暴露出部分第一互连层71。

[0097] 接着,如图13所示,提供第三晶圆30,所述第三晶圆30包括第三衬底301、位于所述第三衬底301上的第三介质层302和嵌设于所述第三介质层302中的第三金属层303。进一步的,第三介质层302包括第三介质层第一部分302a和第三介质层第二部分302b,第三金属层303嵌设于第三介质层第一部分302a和第三介质层第二部分302b之间。优选方案中,第三晶圆30还包括第三刻蚀停止层304,所述第三刻蚀停止层304位于所述第三金属层303与所述第三介质层第二部分302b之间。第三介质层302表面形成有钝化层305,该钝化层305例如是氧化硅层和/或氮化硅层起保护晶圆表面的作用。

[0098] 接着,继续参照图13,形成第三开孔53,所述第三开孔53贯穿钝化层305、第三介质层第二部分302b和第三刻蚀停止层304,并暴露出部分第三金属层303,所述第三开孔53与第二开孔52对应。

[0099] 接着,如图14和图15所示,形成第二互连层72和第三互连层73,所述第二互连层72通过所述第二开孔52与所述第一互连层71电连接,所述第三互连层73通过所述第三开孔53与所述第三金属层303电连接。

[0100] 优选的,每个第二开孔52和每个第三开孔53各自包括多个间隔分布的孔,即,每个第二开孔52和每个第三开孔53均是由多个孔组成的阵列孔组。在多个间隔分布的孔中,第二互连层72与所述第三互连层73相接触,增加互连可靠性的同时间隔设置降低了互连层工作中产生的热量,而且,多个间隔分布的孔可以做到尺寸更小、密度更大,从而还能满足某些特定用途的产品互连需求,例如需互连引出的信号为密度高且电流低的信号,相应的孔以及孔中的互连层均需尺寸更小、密度更大。

[0101] 可以理解的是,可以先形成第二互连层72、再形成第三互连层73,也可以先形成第三互连层73、再形成第二互连层72,还可以同时执行形成第二互连层72和形成第三互连层73的步骤。

[0102] 第二互连层72和第三互连层73为导电材料,可以为铜或铜合金,可采用电镀铜方式填充第二开孔52和第三开孔53并化学机械研磨平坦化处理。

[0103] 接着,如图1、图14和图15所示,对准第一晶圆10和第三晶圆30,使第二互连层72面向第三互连层73相接触,缩短晶圆间互连距离,进而降低寄生电容和功率损耗,提高了传输速度。采用金属对金属和介质层对介质层的混合键合,形成第二键合界面42,再通过后续热处理工艺,使得金属离子扩散而增强键合力,实现三层晶圆的互连。

[0104] 综上所述,本发明多晶圆堆叠结构及方法,不需晶圆间预留压焊引线空间,省去硅基板,实现多晶圆互连的同时减少多晶圆堆叠厚度从而使多晶圆堆叠封装后的整体器件厚度减小,增加封装密度,使单位体积内容纳更多晶圆,满足半导体产品日益走向轻薄要求。而且,不再需要引线,省去了硅基板以及硅基板上若干共用焊盘的设计加工,降低了成本,简化了工艺。由此,提高了晶圆整合能力,将不同功能的晶圆(如RF、Memory、Logic、Sensors、Imagers)整合在一个封装体上,因此在性能、功能和尺寸上,可提供极大的优势。

[0105] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

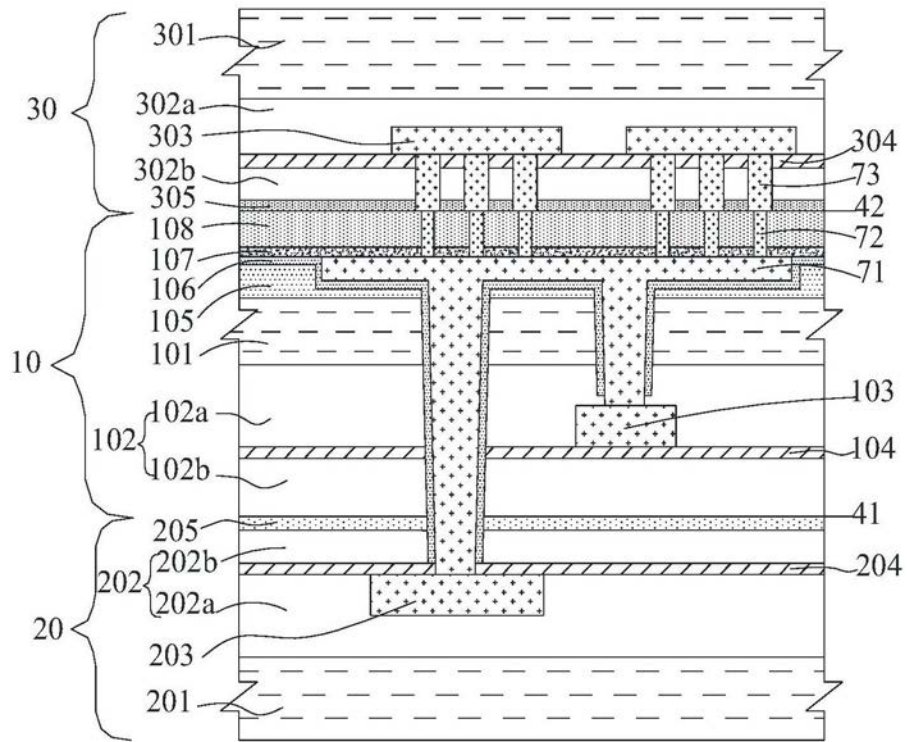


图1

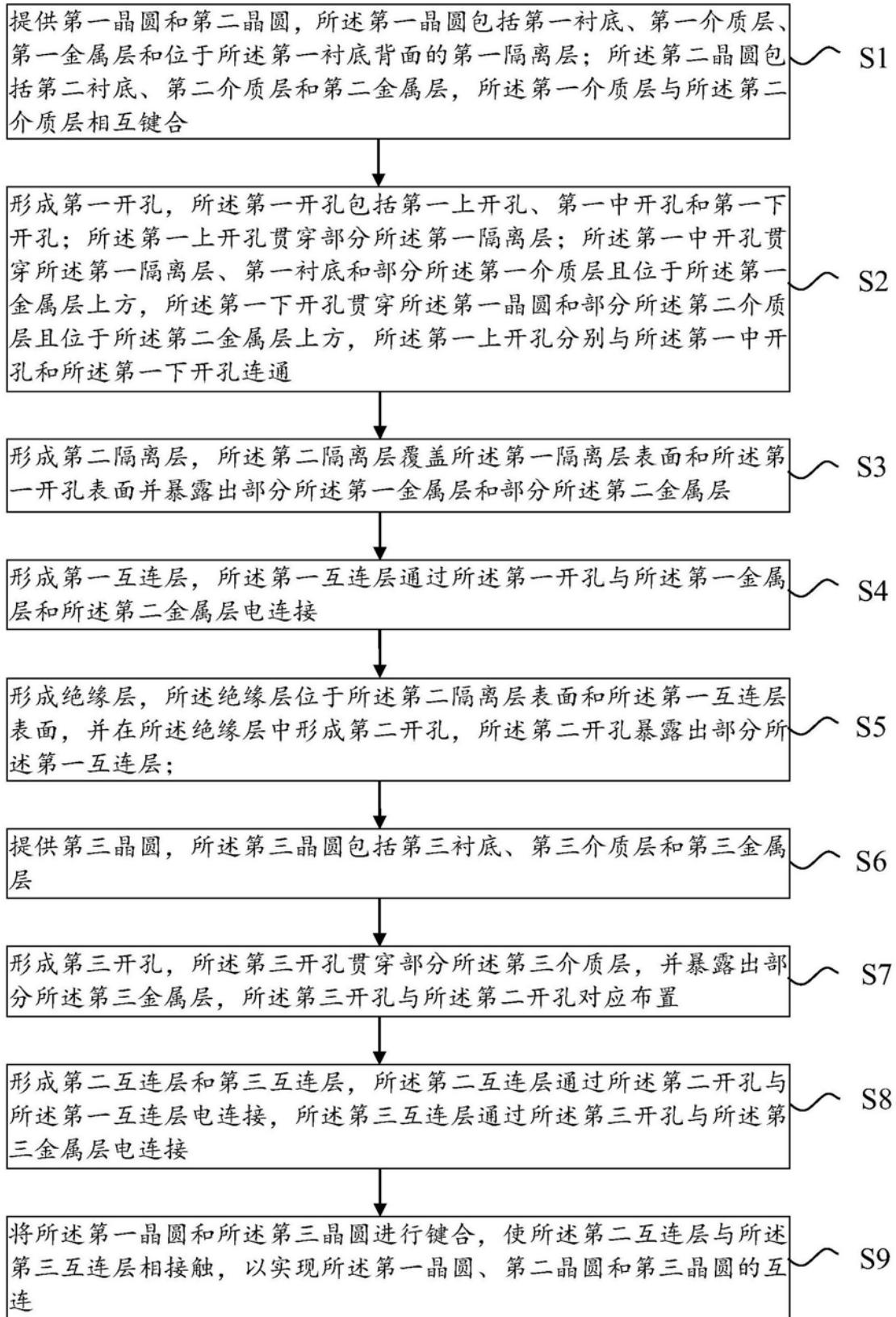


图2

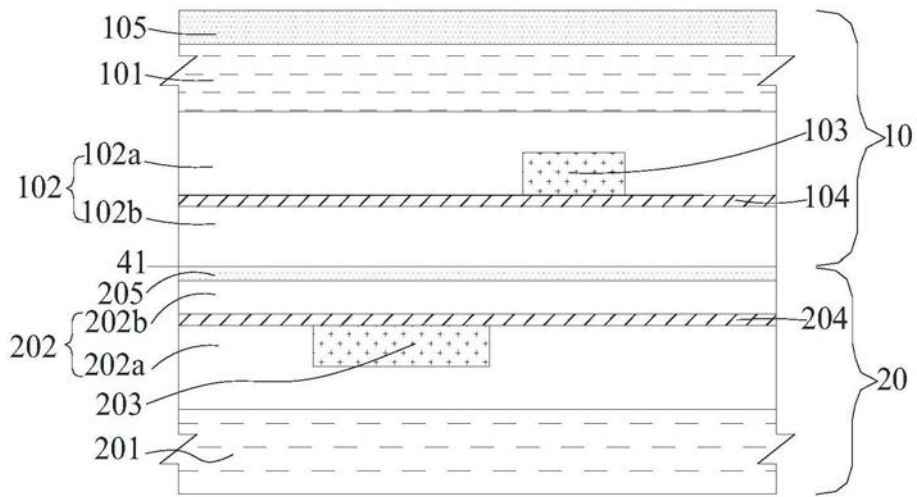


图3

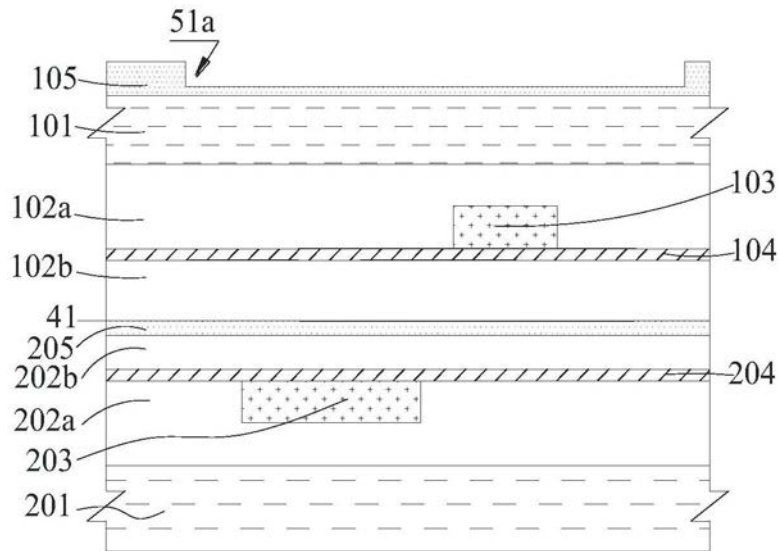


图4

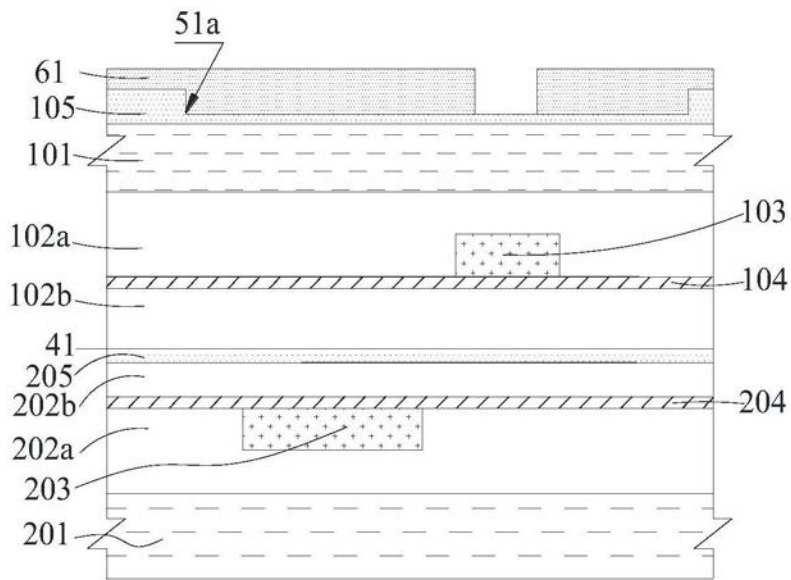


图5-a

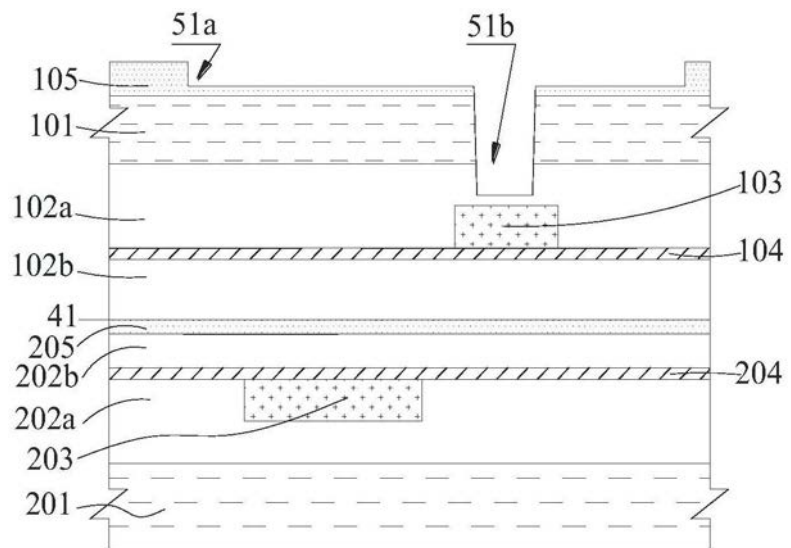


图5-b

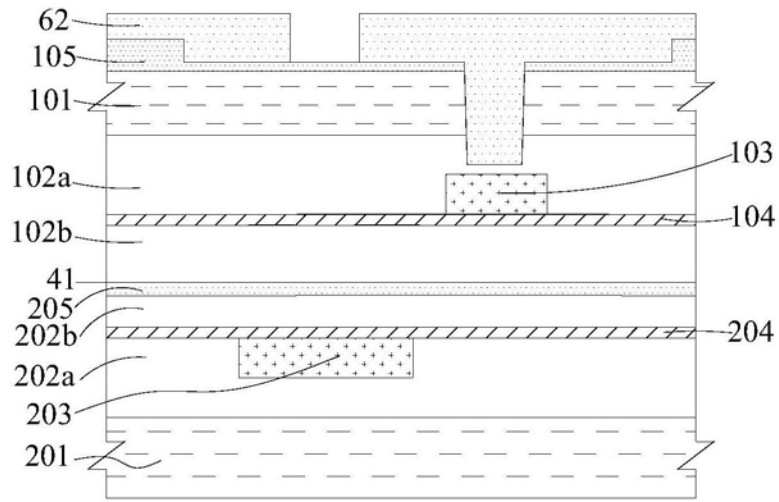


图6

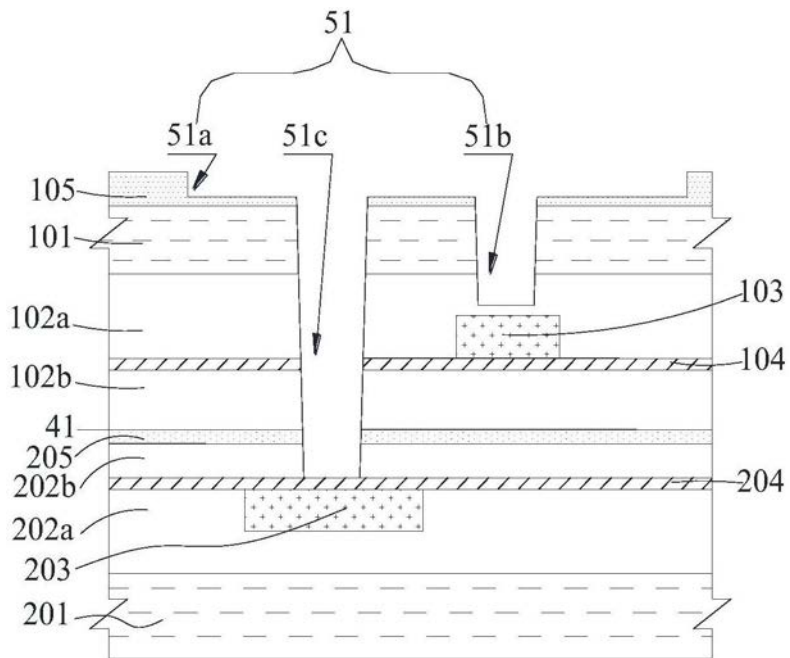


图7

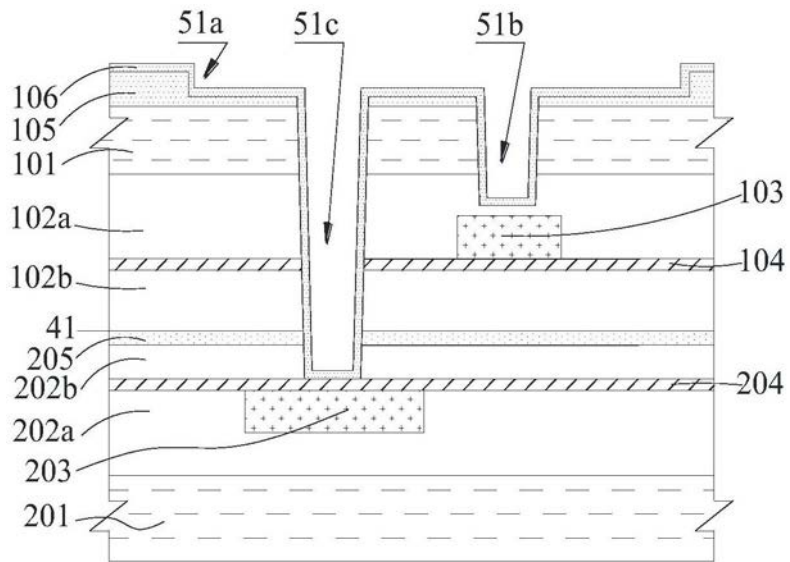


图8

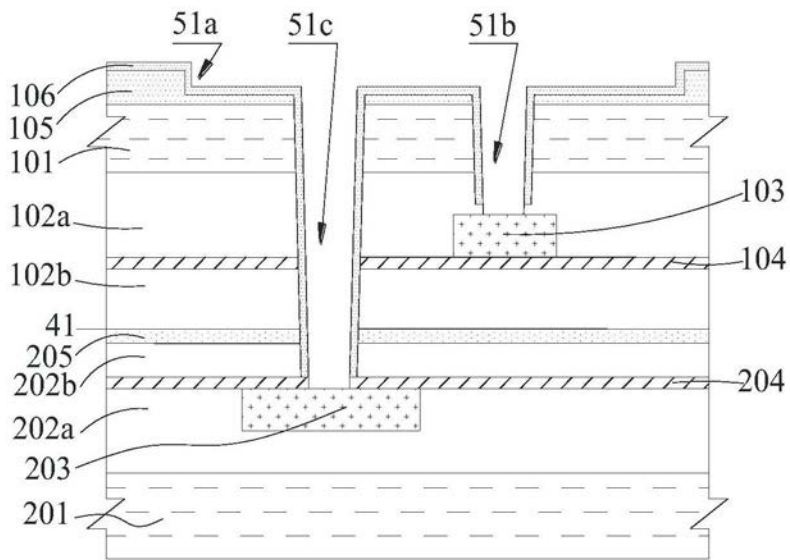


图9

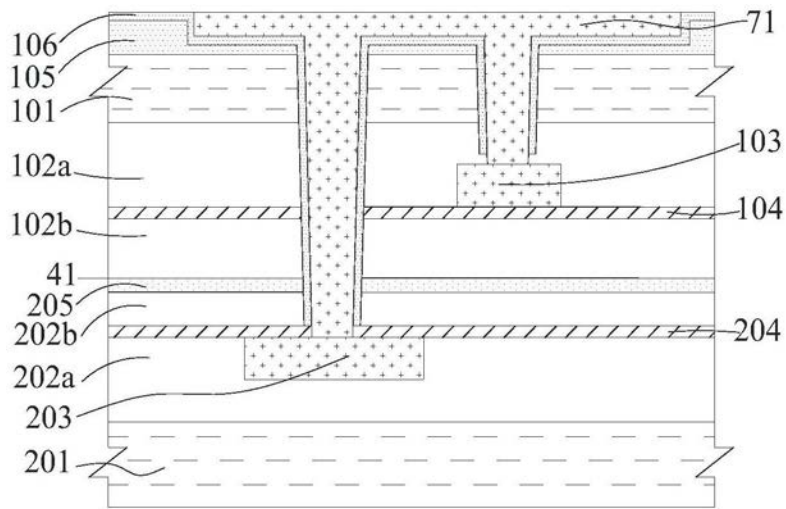


图10

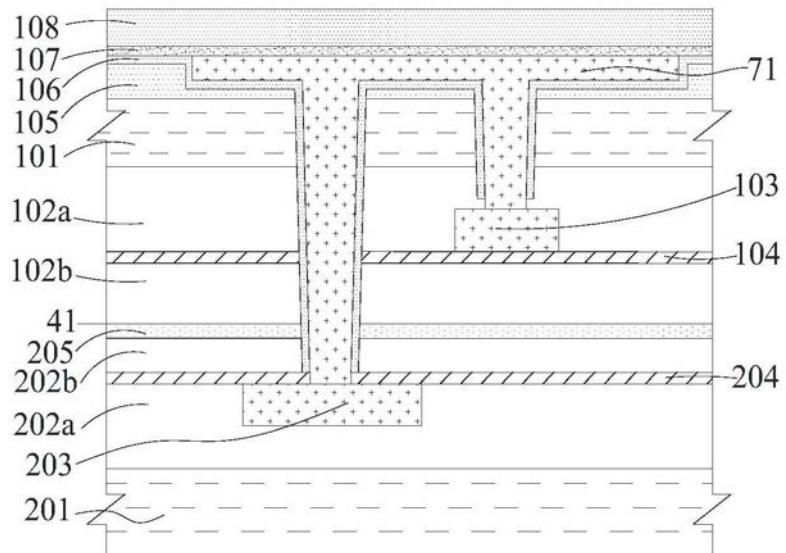


图11

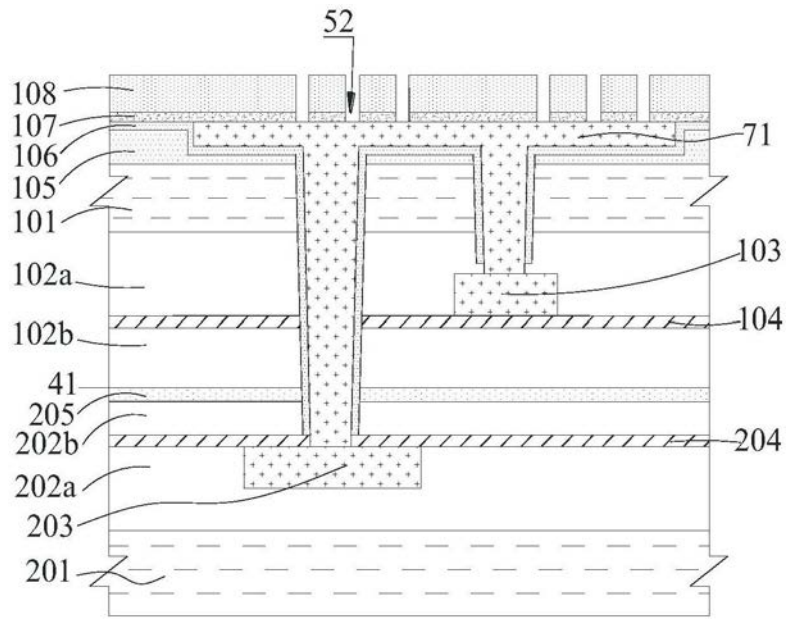


图12

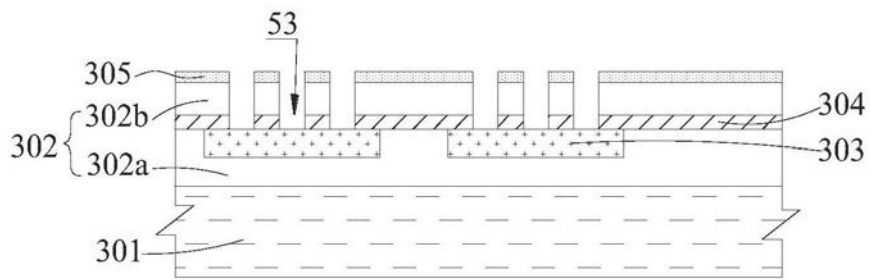


图13

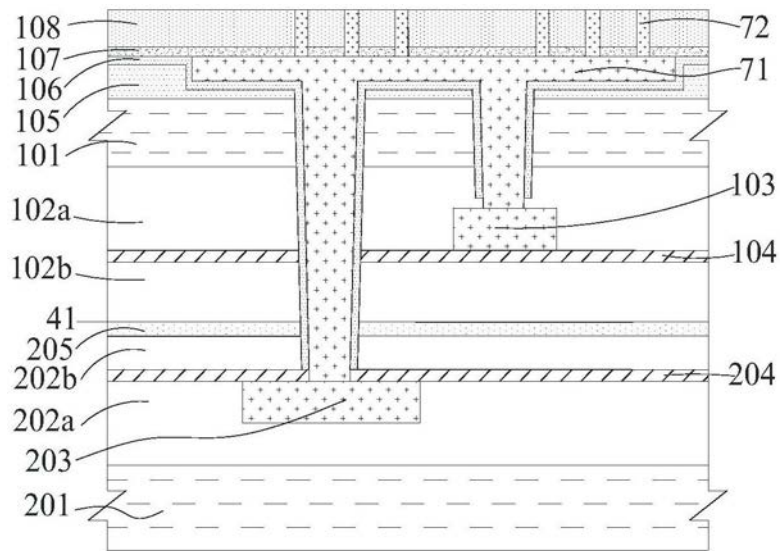


图14

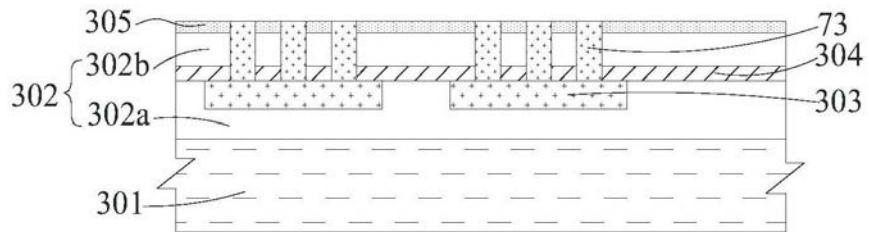


图15