

公告本

390035

申請日期	87.03.05
案 號	87103227
類 別	170/L 39/132

A4
C4

390035

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	垂直場放電晶體之共源極動態隨機存取記憶體單元
	英 文	A COMMON SOURCE DRAM CELL FOR VERTICAL FET
二、發明 創作人	姓 名	1.胡森 伊柏引 合那費 2.亞敏德 庫瑪 3.馬休 R. 渥德曼
	國 籍	均美國
	住、居所	1.美國紐約州金橋市亞培克路7號 2.美國紐約州紐約市東第40街235號 3.美國紐約州瑪荷帕市西卡摩路32號
三、申請人	姓 名 (名稱)	美國萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代 表 人 姓 名	費 羅 普

經濟部中央標準局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期：1997.5.16 案號：08/858,486，有 無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

技術領域

本發明係關於一作為存取元件之FET以及一電容的新穎配置，兩者合起來形成一記憶體的儲存細胞格，例如一動態隨機存取記憶體(DRAM)。

發明背景

為能製造記憶體晶片、邏輯元件其他種類的高積體密度之元件，吾人已發現一種可以進一步使其某些元件比例式降低的方式。

垂直場效電晶體(FET)在這類的不同元件中扮演著一重要的角色。他們在DRAM中尤其重要。記憶體元件的另一個重要建立區塊是實際上儲存資訊的電容。FET通常作為這些電容的存取元件。藉著將適當的信號應用在一儲存細胞格的字線和位元線上的方式，可轉換個別的FET，以允許對應的電容器之充電作用。

為能得到G位元的DRAM記憶體所需的高封裝密度，要維持一最小的記憶體格之大小是十分嚴格的。此最小的細胞格大小是 $4F^2$ 形式，其中F為最小的顯影(lithographic)線寬。

本發明的一目的在於提供一用以存取元件和電容之高密度整合的方法，例如使用於一記憶體元件中之方法。

本發明的另一目的在於提供一適用於高密度整合的改良式FET/電容配置。

發明概要

本發明係關於一垂直電晶體和一電容(如一堆疊式電容)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

的新穎配置，和一用以操作這種配置的方法。此配置係完全適用於一記憶體元件(例如)的記憶體格。

該新穎配置包含一具有垂直配置的通道之FET和一形成於該FET的最上部電極(如洩極)上方的電容。此電容係與該最上部電極互連，而FET的源極被耦合於一共用源極電壓 V_{DD} 上(例如)。閘極則被連結至一字線，和該電容的最上電極被連接至位元線。

在一較佳實施例中，閘極(例如包含聚矽物)直接沿著一共用的字線或列線與所有的元件連接。

此新穎配置要求一用以儲存和讀取資訊的新的操作計劃，其將於詳細說明部份中描述之。

在本發明的一變化實施例中，作為洩極的已摻雜區域和作為源極的已摻雜區域是可互換的，這類的結構可以視為共用洩極電晶體電容堆疊。

一作為存取電晶體的垂直FET與一疊置於該FET上的儲存電容之積體可允許一非常小的記憶體格。

本發明的優點是發明的細胞格可以使用與現今的半導體製程相容的處理步驟製得。

圖式之簡述

本發明係描述於下列詳細說明和參考附圖中。該附圖並不是以比例製作。

圖1A所示為本發明的第一實施例之剖面視圖；

圖1B所示為圖1A所示的新穎配置之方塊圖；

圖2所示為根據本發明之兩個記憶體格之方塊圖，在其左

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

方的記憶體格被選擇以寫入一"1"至個別的電容上。

圖3所示所示為根據本發明之兩個記憶體格之方塊圖，在其右方之記憶體格被選擇以寫入一"0"至個別的電容上。該圖亦顯示在其左方的記憶體格之效果。

圖4A所示為根據本發明的兩記憶體格之方塊圖，其藉著選擇適當的字線而自任一記憶體格中讀出所儲存的資訊，在本例中，在做字線選擇之前，位元線由0預充電至 $V_{DD}/2$ 。

圖4B所示為根據本發明的兩個記憶體格之方塊圖，其藉著選擇適當的字線而自任一記憶體格中讀出所儲存的資訊，在本例中，在做字線選擇之前，位元線由 V_{DD} 預充電至 $V_{DD}/2$ 。

圖5所示為根據本發明，以一字線方向之記憶體格陣列(類似於圖1A)之剖面示意圖。

圖6A所示為根據本發明，以一字線方向之另一記憶體格陣列之剖面示意圖。請注意在本實施例中，相鄰的FET之間極被連接在一起，以形成一共用的字線。

圖6B所示為圖6A中在位元線方向的陣列的剖面視圖，請注意在本實施例中，相鄰的FET之間極並未連接。

本發明之詳細說明

本文中主要著眼於DRAM記憶體和DRAM記憶體格之說明，應了解本文所述的新穎FET/電容配置亦可用於其他的裝置中，如邏輯裝置(例如移位暫存器)。

聚矽物(亦視為多晶矽矽化物)可以由使用化學汽相蒸鍍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

法(CVD)、或是低壓化學汽相蒸鍍(LPCVD)法以及其他已知的製程形成。此聚矽物是一由多個小的單晶區域組成之固體。

所說明的記憶體是指涵蓋任何可形成在基質上或其內的記憶體元件，這類的元件可包含不同的記憶體格和其他種類的電路。

當視為“側壁”時，任何種類的半導體結構之表面皆指和該半導體結構之基質平面傾斜者。側壁的特別重要處在於它與該基質表面垂直。

一如本文所使用的垂直FET是一個形成於一柱之側壁上的三維電晶體，此柱的方向可以顯影方式定義，且此柱可包含矽(例如)。在一垂直FET中，與該柱的側壁垂直接動的電流是由圍繞該柱的聚矽物閘控制，而該閘的長度是由柱之高度予以調整。因為此垂直FET有小面積的印刷腳以及它的易於伸縮之潛力，故此FET是一自然的選擇，如於1996年11月15日所申請的美國專利申請案第08/749,748號中所揭示者。此美國專利供入本文以為參考。使電晶體通道為垂直方向之使用可減少短通道效應之限制，但仍可允許面積的可伸縮性。任可種類的垂直FET皆適用於本發明，本文所描述的FET只是例子。

如稍後將說明者，多閘級係均勻地沉積於垂直FET的柱四週，因為如此，沿垂直於字線的位元線之相鄰元件之間(記憶體格)的間距必須稍微地大於 F (主要是 $F+f$ ，其中 f 最好約為 $0.1F$)，以確使閘極在此方向不會短路。明顯地， f 值

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

可以更大，但若選擇較大的 f ，則積體密度將降低。

在下面的敘述中，垂直電晶體的最上方電極是洩極，同樣地，源極也可以是最上方的電極。

現以圖1A和1B所顯示的本發明之第一實施例描述本發明。在圖1B中，係說明本第一實施例的兩個基本的建立區塊如何配置和耦合在一起。

圖1A中，係顯示一垂直FET10的剖面示意圖，其上方設置有一電容24。在接下來的說明中，一FET與一電容的聯合被視為一記憶體格20，或是簡稱格。

FET10呈一柱狀。此柱狀在基質12的平面上可以是圓形的、正方形的或是長方形的截面。該基質12可以是矽(例如)。

閘極通道11是介於FET10的源極13和洩極15之間的面積。它可以被植入基質12內以及柱之上部，以分別形成源極13和洩極15。適合於n型摻雜的有：磷(P)、砷(As)和銻(Sb)(舉例)。該通道11可選擇做成導電的或是不導電的，以影響所需的操作。該做為閘極通道的柱是以和基質12相同的材質(例如矽)組成，適合做p型摻雜的有：硼(B)、銦(In)和鎘(Ga)(舉例)。為能使這樣的FET操作，良好定義的閘極通道11和聚矽物閘極層14是十分嚴苛的。但是，當這樣的通道和相鄰的聚矽物層所需的大小逐漸變小時，製程中的不正確度亦易於使小的通道11短路或是洩漏，而使得個別的FET10、及至整個記憶體格20或甚至DRAM(它是記憶體格20的唯一部分)不能工作。此外，該通道11和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

聚矽物層14的大小控制著元件的電子特性。一FET的功能非常依賴元件的地理圖形、接近表面的摻雜外形和材質的品質等，如此需要能精密地控制聚矽物閘導體14的大小。如上所述，此製程已描述於申請案號為08/749,748的美國專利申請案中，該案非常適合用以製造一垂直的FET。

在一垂直FET中的閘極感應的洩極洩漏(GIDL)可以由應用一輕微摻雜的洩極(LDD)的方式降低。這類的LDD提供在垂直FET內的接面輪廓的垂直等級。

如圖1A所示，該聚矽層14係由一閘極氧化層17與通道11分開。另一個閘極氧化層16係被設置於源極13和聚矽物閘極層14之間，以提供源極與閘極的絕緣。該閘極氧化層17之配置方式使得該洩極15也與該聚矽物閘極層14分開。

一堆疊式電容24係形成於FET10的上部。此電容包含一上部電極21和一下部電極23。TaSiN可以用為該下部電容，BSTO(鋇鈦鈦化物)可作為介電物。在本實施例中，下部電容23係直接與FET的洩極15連接，它也可能經由一通孔(via)或柱狀物或是其他的互連方式與該FET連接。這類的柱狀物可以W(鎢)製成(舉例)。

FET10以及電容24的新穎配置如圖1B所示。如本圖所示者，一供應電壓 V_{DD} 係被施於該FET10的源極13上，根據本發明，相鄰的FET之源極係是共用的，且皆被連接到該 V_{DD} 供應電壓上。可以將所有的源極連接成一個和相同的 V_{DD} 供應電壓上，或者是FET可以被組成較小的陣列，以供至所指定的每一分開的電源供應器上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

FET10的閘極14被連接於字線26或是一列線上。如圖6將說明者，該閘極若彼此甚為接近，則可以形成字線。FET的洩極15係直接耦合至電容24的下方電極23上，互連之點又可稱為格節點。上方電極21被連接於格的位元線或是一行線上，或其本身就可是位元線。

用於非常高密度的DRAM之陣列適合度(舉例)是經由使用如圖1B(例如)所示的新穎和發明性的共用源極獲得。在此結構中，使用一垂直FET和電容的新穎電路配置。電容和FET與傳統的方式比較起來是可以互換的。此配置允許將堆疊電容放置於存取垂直元件(FET)的頂部，但不會增加陣列的面積，又可助於一製造非常高密度的DRAM之簡單製程(例如)。

接下來說明一發明的共用源極記憶體格之操作方式。其細節係例示於圖2中。如前已說明者，供應電壓 V_{DD} 係施於源極節點上，為將一邏輯"1"寫入一記憶體格中(亦即 V_{DD} 之格電壓)，位元線35首先被驅動為0伏特($V_{BL}=0V$)，現在存取電晶體30被完全打開，而允許電容34充電。因為此電晶體是經由個別的字元1選擇的，因此，只有電晶體30被打開。電晶體40則不打開。由於選擇了一適當的字線(在本例中係指字線1)，全電壓 V_{DD} 可以被儲存於對應的電容34上。現以使存取電晶體34關閉的方式儲存該被寫入的位準。請注意一"1"只被儲存於左邊的記憶體格中，此記憶體格係經由個別的字線選擇的。在本例示實施例中，選擇字線1，並將一電壓 V_{DD} 寫入和儲存於電容34中。既然

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

字線2未被選擇，故電晶體40不會被打開，且無電壓 V_{DD} 被寫入電容44中。

為將一邏輯"1"寫入一記憶體格中(亦即0伏特的格電壓)，位元線35被驅動為 V_{DD} (亦即， $V_{BL}=V_{DD}$)，如圖3所例示者。存取電晶體40被打開，允許該0伏特的電壓($V_{DD}-V_{DD}$)儲存於電容44上。在此操作期間，一未被選擇的格(例如電晶體30和電容34，其已儲存有 V_{DD} 的電壓)之格節點之電壓將被提升至約 $2V_{DD}$ ，如圖3左半邊所示。請注意一"1"維持儲存於左邊的格中。尚請注意根據本發明，因為在一垂直FET(例如見圖1A的FET10)內的接面外形有垂直等級的特性，因而在一存取電晶體內的閘極感應的洩極洩漏(GIDL；因為在jot上的閘極調變的高場所導致的洩極至基質的接面洩漏)會減少，以允許在此獨特的共用源計劃內做適當的記憶體格之操作。

為讀取一格(見圖4A和4B)，根據位元線的先前狀態，有兩種不同的方式。如圖4A所示，位元線35可以由0V預充電為 $V_{DD}/2$ 之位準(亦即， $V_{BL}=V_{DD}/2$)。現將存取電晶體30打開以允許所儲存的記憶體格充電，以使位元線電壓改變。此位元線電壓的變化可以偵測出來，該偵測可以經由與一第二位元線預充電至 $V_{DD}/2$ 的電壓之比較而得，如1984年4月在IEEE JSSC Vol. SC19, No.4, 第451-454頁中之"1/2— V_{DD} bit-line sensing scheme in CMOS DRAMs"所描述。

若位元線35之電壓為 V_{DD} ，則它會被下拉至 $V_{BL}=V_{DD}/2$

五、發明說明(9)

，如圖4B所示者，以致於能讀出所儲存的資訊。現將存取電晶體30打開以允許所儲存的格充電，以使位元線電壓改變。在位元線電壓上之改變是可以偵測的。請注意不管位元線先前是0V或是 V_{DD} ，皆可偵測出被儲存於左半邊的格內之"1"以及儲存於右半邊的格內之"0"。

現在說明基本的建立塊—包含至少一垂直FET和一堆疊電容的本發明配置之記憶體格，描述兩個包含這類記憶體格的陣列例(見圖5和6A、6B所示)。

圖5係顯示一記憶體陣列50的部份剖面視圖。幾個記憶體格64-66被形成於基質62中(例如由矽組成)，相鄰的記憶體格(64和65、65和66)具有共用的源極53。在一變化實施例中，相鄰的記憶體格可以具有分開的源極以取代共用的源極。如圖5所示，在記憶體格之間的空間被充填以一導電材質55，以作為共用的字線。為能沿著一個和相同的字線互連相鄰的格，必須提供該導電材質55。此需要沉積和顯影步驟。在該導電材質上部設有一絕緣材質63，適合的材質例如氧化物。同樣地，記憶體格可更接近地放置，使得相鄰的FET提供做此互連(見圖6A)，在這種情況下，將不需要此導電材質55。

每一記憶體格各與一位元線連接。在本例中，記憶體格64與位元線76連接、格65與位元線77和格66與位元線78連接。如圖所示，位元線係垂直於字線，這些位元線可直接形成於電容的上部電極57上。同樣地，該上部電極也可形成位元線。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

另一種陣列80的兩種剖面圖如圖6A和6B所示。圖6A之剖面視圖係平行於字線之方向，而圖6B之剖面視圖則平行一位元線之方向。如圖所示，陣列80包含幾個形成在一基質83上的記憶體格87-89和92、93。格87-89的聚矽物閘90形成字線(見圖6A所示)，三個位元線84、85、86形成於其上部，在本實施例中，一字線內的相鄰記憶體格之距離為F(其中F是最小的顯影線寬)，以確使相鄰的閘極90互連(見圖6A)，而相鄰但獨立的字線之兩記憶體格(例如87和92)之距離則被選定為F+f(見圖6B)。f可約為0.1F，例如。如圖5之例子，在格之電容之間的字線90上設有一絕緣材質91。在本實施例中，亦使用相同的絕緣材質91充填相鄰之字線之間距，如圖6B所示。若位元線84之配置和結構不同的話，此用以充填字線之間隙的絕緣材質91可以不是必需的。請注意圖6A和6B之陣列之最大優點是無須使用分開的沉積和顯影步驟以形成一字線的互連。應注意此字線和位元線彼此不是電性接觸的。

以下將描述一適合製作根據本發明之陣列的例示製程。

在形成一基質的p型穴(p-well)後，可使用一氮化物罩定義稍後可作為垂直通道的柱，然後這些柱可以HCl-Cl₂-N₂-電漿做反應性離子蝕刻的方式形成於該基質內。該通道的長度係由柱之高度定義，一約為250nm的通道長度要求約為350nm高度的柱，和一約450nm的通道長度要求高度約550nm的柱。接下來以一犧牲氧化層步驟去除電漿有關的損害，和一LOCOS(本地氧化矽層)或一STI(陰影溝道

五、發明說明(11)

絕緣)絕緣步驟，使用一As植入形成共用源極和用於記憶體格的絕緣洩極，此As的摻雜濃度可以是 $2 \times 10^{15} \text{cm}^{-2}$ 。本製程的一項優點是源極植入與該柱自我對準。在下一步驟中，接著對該結構做退火，這可以在 N_2 氣體下以 1050°C 進行30秒而成。在剝除了該犧牲氧化層後，以熱成長方式成長閘極氧化層，此閘極氧化層之厚度可以是幾個nm，最好它的厚度介於5和7nm之間。內設As摻雜的聚矽物層係使用一LPCVD的技術使之沉積而成。然後以自我對準式蝕刻技術(例如使用 $\text{Cl}_2\text{-O}_2$ 的矽蝕刻)形成聚矽物層。一閘極聚矽物的厚度($F/2$ ，例如100nm)足以充填字線方向上的相鄰格之間隙 F (例如200nm)，但卻不足以充填相鄰字線之柱之間隙($F+f$ ，例如300nm)。作為字線的聚矽物閘極被反應性離子蝕刻，直到閘極之上部在柱之頂部的下方約100nm為止。經由上述製程，可以由這些其聚矽物閘極互連的柱形成連續的字線。可以氧化物之化學機械化平坦方式(CMP)或是一BPSG(硼磷矽化玻璃)層(舉例)使其平坦化。一電容形成於洩極上的每一柱上。每一電容具有一下方電極、一介電物和一上方電極，該上方電極可與一位元線連接或是可形成位元線的一部分。

如本文所示和討論之電容可以由任何其他適合堆疊於存取電容器上方的電容取代之。為使此電容具有足夠的電容值，通常所使用的電容係形成於一溝槽中(類似圖1A所示之例子)、或是一脊部或柱上。藉著增加電容電極的有效面積，可以增加電容值對表面面積之比率。本發明中，可以

五、發明說明 (12)

使用平坦型電容以及三維的堆疊型和溝槽型電容。

一適合製作垂直FET的製程係描述於上述之共用申請的美國專利申請案(案號08/749,748)中。在此美國專利申請案中所描述的製程允許精密地定義作為此FET之一必要部分的聚矽物閘極導體的大小和形狀。也有其他的方法可以製造垂直式FET，為了解本發明的結構，可使用傳統的半導體流程步驟。

在一變化實施例中，相鄰記憶體格的洩極(取代源極)可以互連。在這類的實施例中，FET的源極與電容的下方電極連接，此變化實施例看起來與圖1A所示者相同，但不同點在於其源極和洩極被互換了。亦即，在此變化實施例中，源極區域設於垂直柱的頂部，洩極區域設於柱之底部。此結構可以視為共用洩極電晶體電容堆疊。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：垂直場效電晶體之共源極動態隨機存取記憶體單元)

用於一垂直場效電晶體與一電容的新式配置，這兩者合起來形成一記憶體細胞格，此細胞格可以是一記憶體晶片，如一非常高密度的DRAM的基本的建立塊，該電容的第一電極被連接至該電晶體的洩極，該電晶體的源極被連接至其他電晶體的洩極，其閘極被連接至一字線，和該電容的第二電極被連接至一位元線。

英文發明摘要(發明之名稱：A COMMON SOURCE DRAM CELL FOR VERTICAL FET)

New arrangement of a vertical field effect transistor and a capacitor together forming a memory cell which in turn may be the basic building block of a memory chip, such as a very high density DRAM. The capacitor's first electrode is connected to the drain of the transistor. The transistor's source is connected to the sources of other transistors, the gate is connected to a word line, and the second electrode of said capacitor is connected to a bit line.

六、申請專利範圍

1. 一種半導體電路，包含至少兩個單元格，各單元格具有一具有一源極、一洩極和一閘極的垂直式場效電晶體；
和
一具有一第一電極和一第二電極的電容，該電容係設置在該電晶體的頂端，和該第一電極與該洩極互連，
該單元格的源極是互連的。
2. 一種半導體電路，包含至少兩個單元格，各單元格具有一具有一源極、一洩極和一閘極的垂直式場效電晶體；
和
一具有一第一電極和一第二電極的電容，該電容係設置在該電晶體的頂端，和該第一電極與該源極互連，
該單元格的洩極是互連的。
3. 如申請專利範圍第1或2項之半導體電路，其中該閘極是互連的。
4. 如申請專利範圍第3項之半導體電路，係為一記憶體裝置的部份。
5. 如申請專利範圍第4項之半導體電路，其中該互連的閘極係連接於一位元線上，以形成該記憶體裝置的一個字線。
6. 如申請專利範圍第4項之半導體電路，其中該第二電極與該記憶體裝置之一位元線連接。
7. 如申請專利範圍第1項之半導體電路，其中該電晶體具有一作為通道的垂直柱，該源極係設置於該通道之一端上和該洩極係設置於該通道的相對側上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

8. 如申請專利範圍第2項之半導體電路，其中該電晶體具有一作為通道的垂直柱，該洩極係設置於該通道之一端上和該源洩極係設置於該通道的相對側上。
9. 如申請專利範圍第7或8項之半導體電路，其中該閘極圍繞該作為通道的柱之側壁，一薄氧化物層係設置於該閘極和該柱之間，並作為閘極氧化層。
10. 如申請專利範圍第7項之半導體電路，其中該至少兩個單元格之電晶體係共用一個且相同的源極。
11. 如申請專利範圍第7項之半導體電路，其中該至少兩個單元格之電晶體係共用一個且相同的洩極。
12. 如申請專利範圍第1或2項之半導體電路，係形成於一共用基質上。
13. 一種包含根據申請專利範圍第1或2項之單元格陣列的記憶體裝置，其中：
該單元格之第一群組之第二電極係由一第一位元線予以互連；
該單元格之第二群組之第二電極係由一第二位元線予以互連；和
該第一群組的至少一單元格和第二群組的至少一單元格係由一字線予以互連，該字線係連接至這些單元格閘極上。
14. 如申請專利範圍第13項之記憶體裝置，其中該位元線係直接形成在該第二電極上。
15. 如申請專利範圍第13項之記憶體裝置，係為一動態隨機

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

存取記憶體(DRAM)。

16. 一種用以將一位元儲存於一至少包含一單元格的記憶體裝置內的方法，該記憶體裝置具有
- 一具有一源極、一洩極和一閘極的垂直式場效電晶體；
 - 和
 - 一具有一第一電極和一第二電極的電容，該電容係設置在該電晶體的頂端，和該第一電極與該洩極互連，
 - 該源極係連接至一供應電壓上，該第二電極係與一位元線連接，和該閘極與一字線連接，該方法係包含下列步驟：
- 使該位元線驅動為0伏特；
 - 以施加一電壓至該字線的方式選擇該單元格，使得該電容被充電，且在其第一和第二電極之間建立約為該供應電壓的電壓。
17. 一種用以將儲存於一至少包含一單元格的記憶體裝置內的位元移除之方法，該記憶體裝置具有
- 一具有一源極、一洩極和一閘極的垂直式場效電晶體；
 - 和
 - 一具有一第一電極和一第二電極的電容，該電容係設置在該電晶體的頂端，和該第一電極與該洩極互連，
 - 該源極係連接至一供應電壓上，該第二電極係與一位元線連接，該閘極與一字線連接，和該資料係以一約為該供應電壓的電壓形式儲存於該第一和第二電極之間，該方法係包含下列步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

驅動該位元線，使由0伏特驅動到一約等於該供應電壓的電壓；

以施加一電壓至該字線的方式選擇該單元格，使得該電容放電。

18. 一種用以讀出儲存於一包含至少一單元格的記憶體裝置內之位元之方法，該記憶體裝置具月

一具有一源極、一洩極和一閘極的垂直式場效電晶體；和

一具有一第一電極和一第二電極的電容，該電容係設置在該電晶體的頂端，和該第一電極與該洩極互連，

該源極係連接至一供應電壓上，該第二電極係與一位元線連接，該閘極與一字線連接，和該資料係以一約為該供應電壓的電壓形式儲存於該第一和第二電極之間，該方法係包含下列步驟：

驅動該位元線，使至約為該供應電壓的一半之電壓；

以施加一電壓至該字線的方式打開該電晶體，使得該儲存於該第一和第二電極之間的電壓使該位元線內的電壓改變；

偵測該改變。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

390035

圖 1A

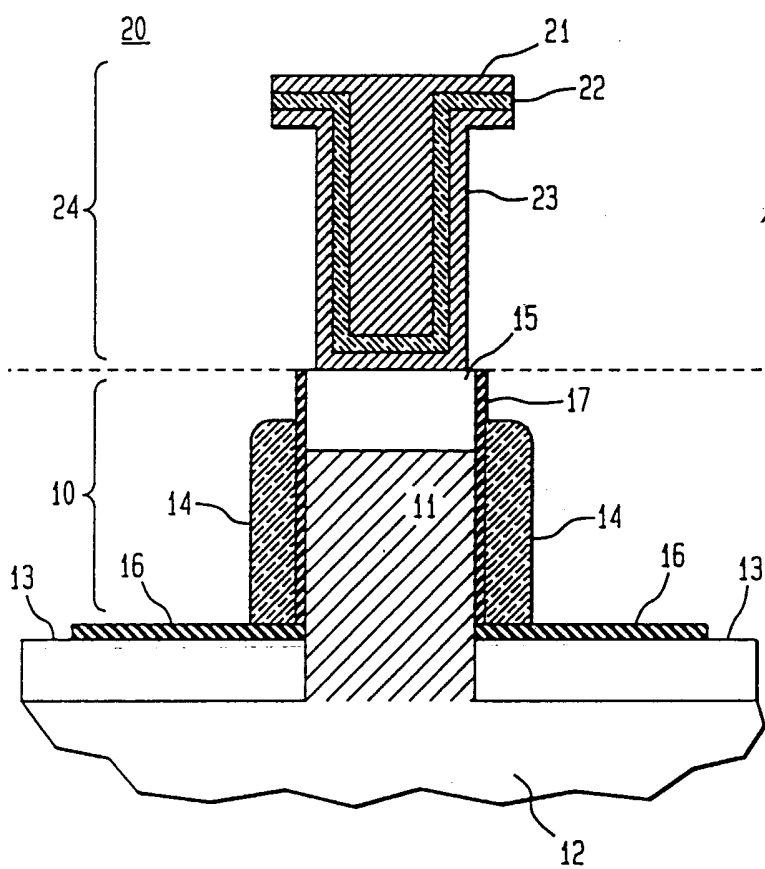
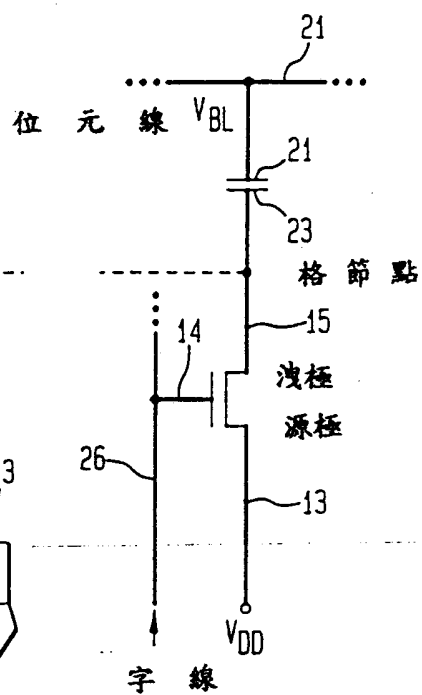


圖 1B



390035

圖 2

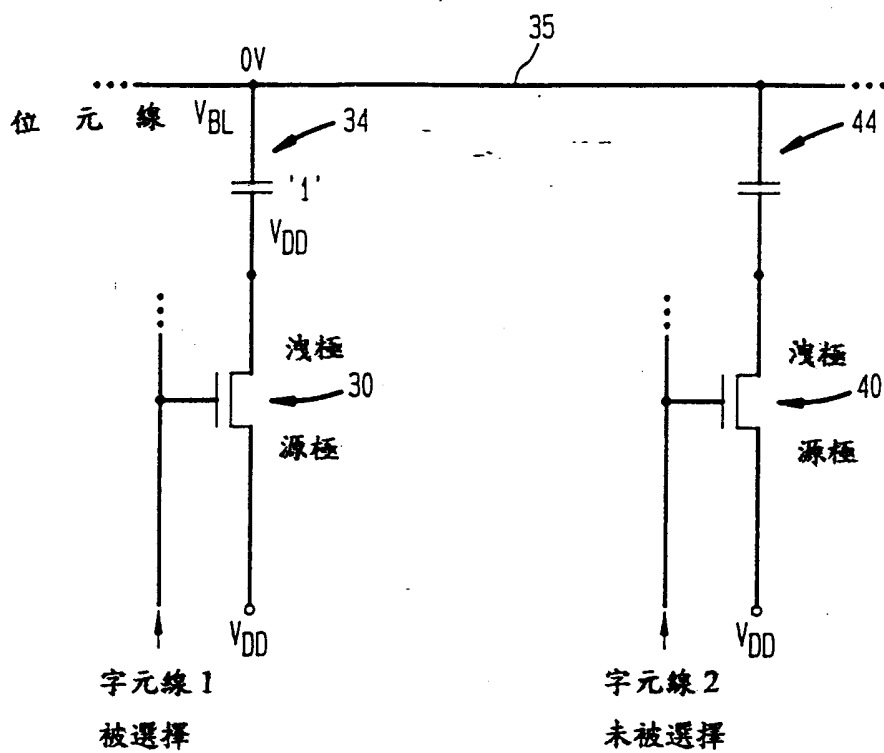
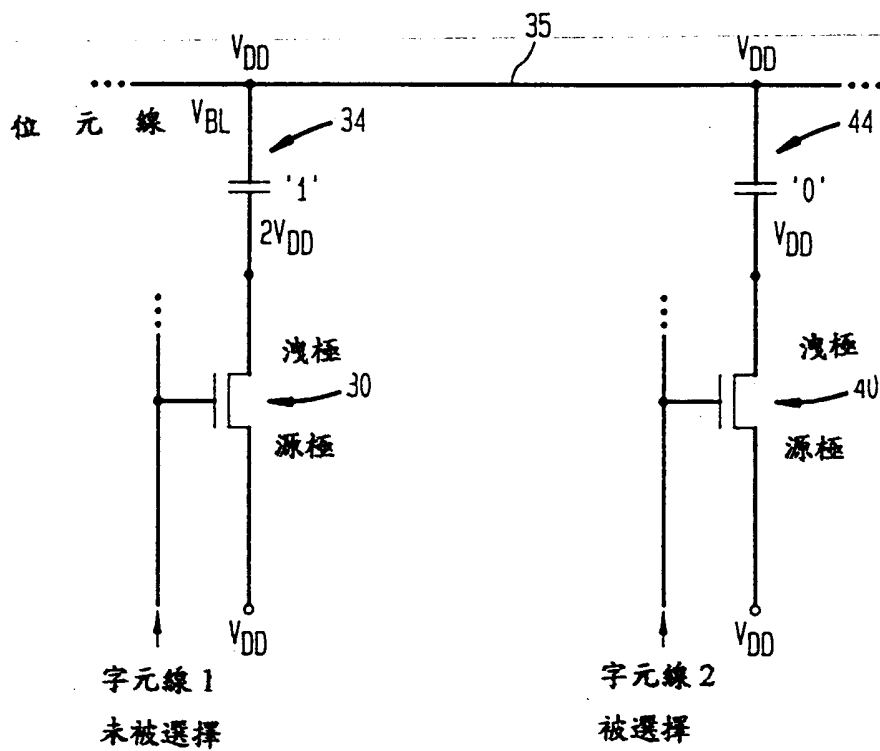


圖 3



390035

圖 4A

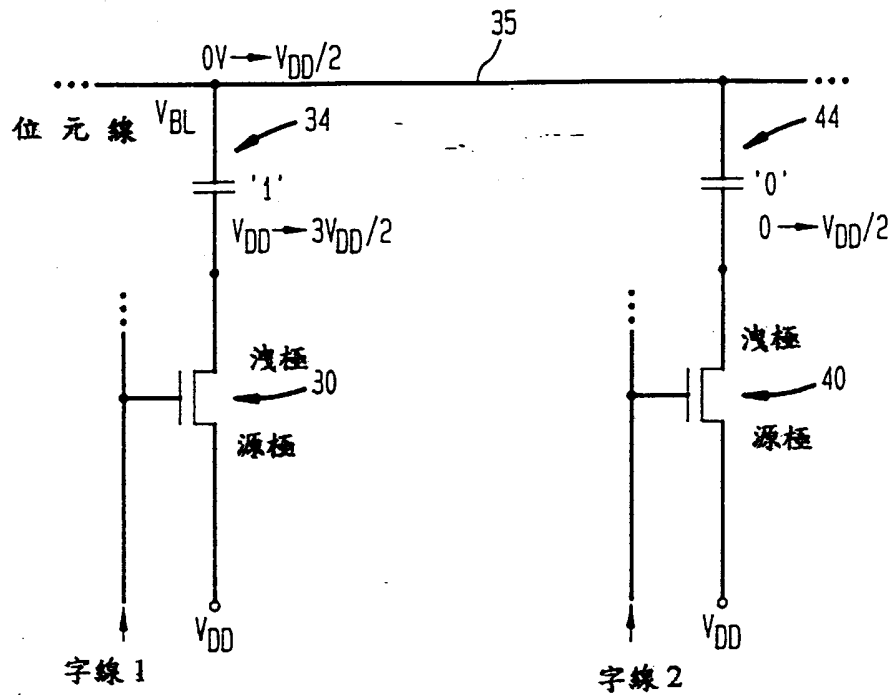
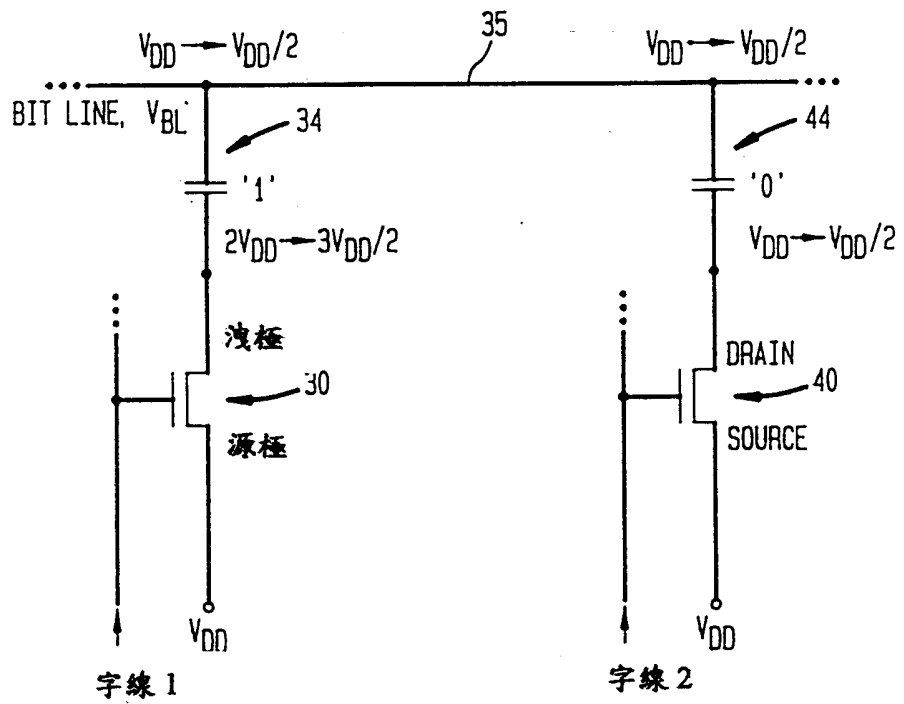


圖 4B



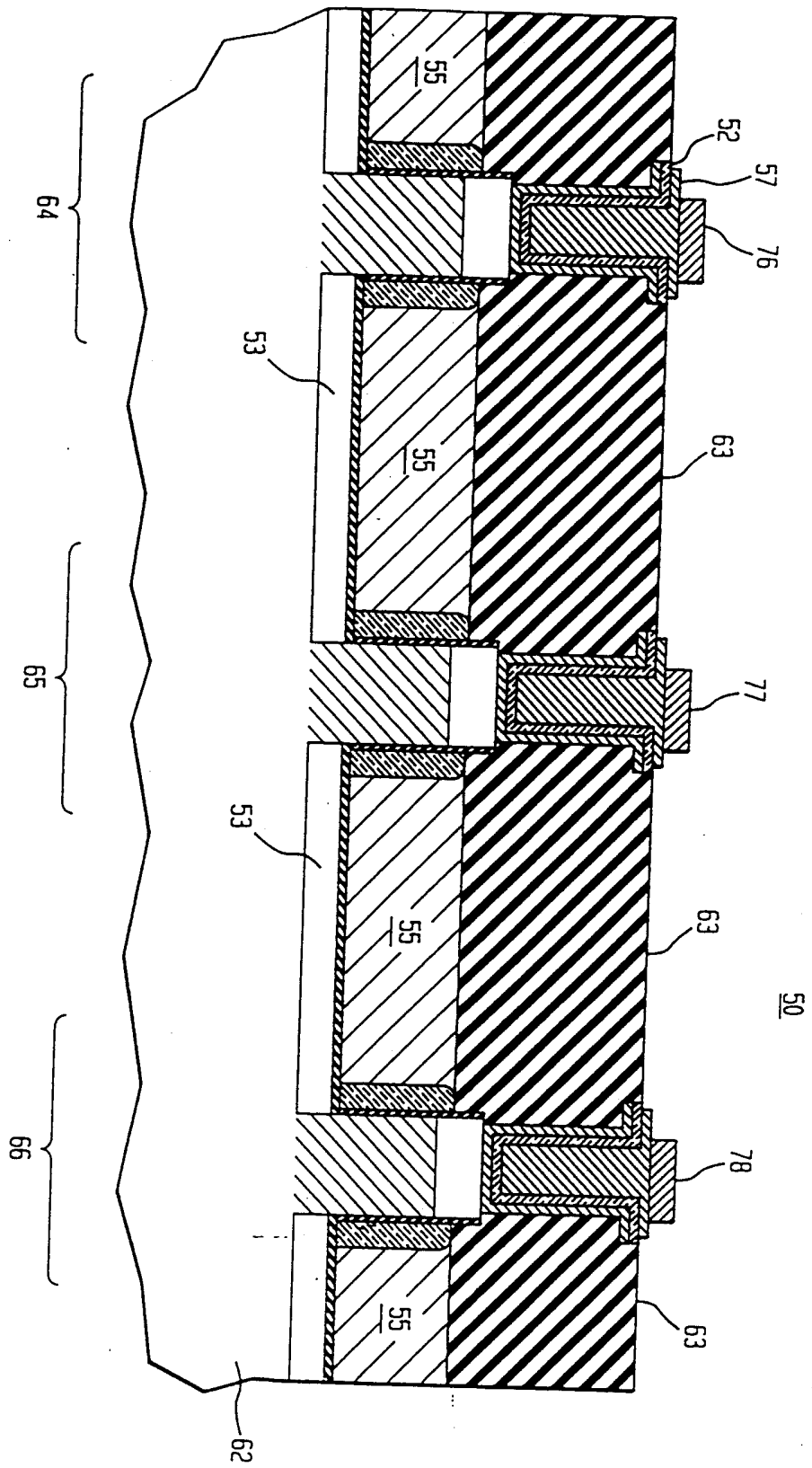


圖 5

390035

圖 6A

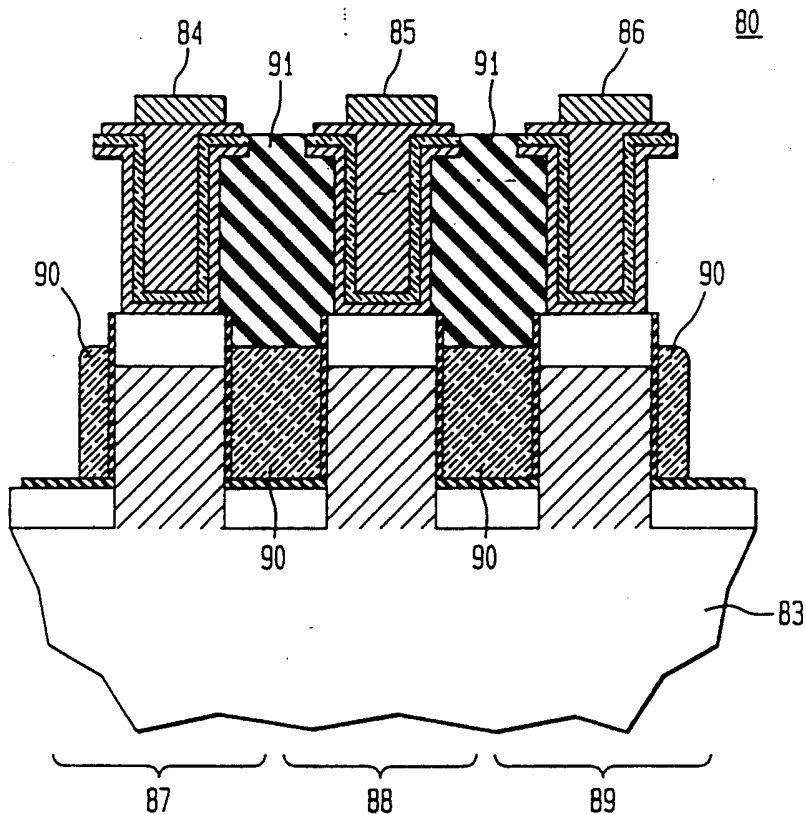


圖 6B

