



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년11월27일  
 (11) 등록번호 10-1465709  
 (24) 등록일자 2014년11월20일

- (51) 국제특허분류(Int. Cl.)  
 H01L 21/768 (2006.01) H01L 23/48 (2006.01)
- (21) 출원번호 10-2010-7002564
- (22) 출원일자(국제) 2008년06월27일  
 심사청구일자 2013년06월20일
- (85) 번역문제출일자 2010년02월04일
- (65) 공개번호 10-2010-0047251
- (43) 공개일자 2010년05월07일
- (86) 국제출원번호 PCT/SE2008/050794
- (87) 국제공개번호 WO 2009/005462  
 국제공개일자 2009년01월08일
- (30) 우선권주장  
 0701657-9 2007년07월05일 스웨덴(SE)  
 (뒷면에 계속)
- (56) 선행기술조사문헌  
 US20020190015 A1  
 US20030137056 A1  
 US20070052067 A1\*  
 \*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
 에이에이씨 마이크로텍 에이비  
 스웨덴 에스-751 83 옉살라 다그 햄마르스크졸드스 마그 54비
- (72) 발명자  
 닐슨 피터  
 스웨덴 에스이-169 50 솔나 라순다뢰겐 127
- (74) 대리인  
 유미특허법인

전체 청구항 수 : 총 18 항

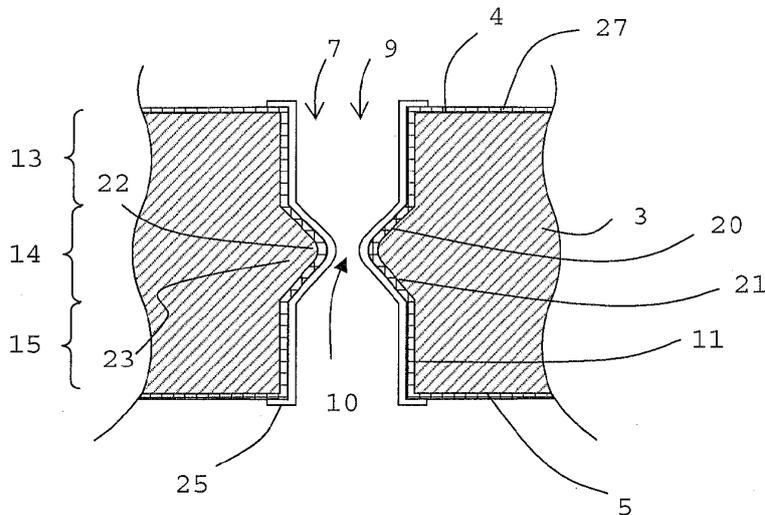
심사관 : 정성용

(54) 발명의 명칭 **저저항 웨이퍼 관통형 비아**

**(57) 요약**

본 발명은 관통형 웨이퍼 비아홀(9)에 의해 형성된 관통형 웨이퍼 비아(through-wafer via)(7) 및 적어도 제1 도전막(first conductive coating)(25)을 포함하는 웨이퍼(3)를 제공한다. 협착부(constriction)(23)를 제외한 관통형 웨이퍼 비아홀(9)의 실질적으로 수직의 측벽(11)은, 웨이퍼 상에서 적은 면적을 차지하는 신뢰성 있는 관통형 웨이퍼 비아(7)를 제공한다. 웨이퍼(3)는 실리콘과 같은 반도체 재료, 또는 글라스 세라믹(glass ceramic)으로 이루어지는 것이 바람직하다. 상기한 웨이퍼(3)를 제조하기 위한 방법이 기술된다.

**대표도 - 도5**



(30) 우선권주장

0702047-2 2007년09월12일 스웨덴(SE)

0702403-7 2007년10월26일 스웨덴(SE)

---

**특허청구의 범위**

**청구항 1**

웨이퍼(3)의 상면(4)에서 하면(5)까지 관통형 웨이퍼 비아(7)를 포함하는 웨이퍼(3)로서,

상기 관통형 웨이퍼 비아(7)는 적어도 부분적으로는 제1 도전막(first conductive coating)(25)으로 덮인 측벽(11)을 가지는 관통형 웨이퍼 비아홀(9)을 포함하고; 상기 관통형 웨이퍼 비아홀(9)은 수직의 측벽(16)을 가지는 제1 부분(13), 및 상기 관통형 웨이퍼 비아홀(9) 내에 상기 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)을 적어도 가지는 협착부(constriction)(23)를 형성하는 제2 부분을 적어도 포함하고, 상기 제2 부분(14)은 상기 제1 부분(13)과 상기 측벽(11)의 제3 부분(15)의 중간에 배치되고, 상기 제3 부분(15)은 수직의 측벽(17)을 가지는, 웨이퍼(3).

**청구항 2**

삭제

**청구항 3**

제1항에 있어서,

상기 협착부(23)는 상기 하면(5) 쪽으로 넓어지는 하부 경사 측벽(21)을 더 포함하는, 웨이퍼(3).

**청구항 4**

제3항에 있어서,

상기 협착부(23)의 상부 경사 측벽(20)과 하부 경사 측벽(21)의 교차부(22)는 매끄럽고 둥글게 되어 있는, 웨이퍼(3).

**청구항 5**

제1항에 있어서,

상기 웨이퍼(3)는 결정질의 반도체 재료를 포함하는 웨이퍼(3).

**청구항 6**

제1항에 있어서,

상기 웨이퍼(3)는 유리 세라믹으로 이루어지는 웨이퍼(3).

**청구항 7**

제1항에 있어서,

제2 도전막(26)이 상기 제1 도전막(25)을 적어도 부분적으로 덮는 웨이퍼(3).

**청구항 8**

제1항에 있어서,

상기 웨이퍼(3)는, 하나 이상의 관통형 웨이퍼 비아(7)가 밀봉되어 있고 하나 이상의 관통형 웨이퍼 비아(7)가 개방되어 있는 복수의 관통형 웨이퍼 비아(7)를 포함하는 웨이퍼(3).

**청구항 9**

제1항에 있어서,

상기 웨이퍼(3)는 선(46)을 따라 차례대로 배치된 두 그룹 이상의 관통형 웨이퍼 비아(47)를 포함하고, 각 그룹 내의 관통형 웨이퍼 비아는 선행하는 관통형 웨이퍼 비아에 대해 계단식으로 상기 선(46)으로부터 멀어지게 배

치되어 있는, 웨이퍼(3).

**청구항 10**

제1항에 따른 웨이퍼(3)를 포함하는 전자 디바이스.

**청구항 11**

제10항에 있어서,

상기 전자 디바이스는 웨이퍼(3)의 스택을 포함하고, 각 웨이퍼(3)는 인접한 웨이퍼(3)의 관통형 웨이퍼 비아에 접속되는 관통형 웨이퍼 비아(7)를 포함하는, 전자 디바이스.

**청구항 12**

웨이퍼(3)의 상면(4)에서 하면(5)까지 연장되는 관통형 웨이퍼 비아(7)를 포함하고, 상기 관통형 웨이퍼 비아(7)는 측벽(11)을 가지는 관통형 웨이퍼 비아홀(9)을 포함하며, 상기 관통형 웨이퍼 비아홀(9)의 적어도 제1 부분(13)은 수직의 측벽을 가지고, 상기 관통형 웨이퍼 비아홀(9)의 제2 부분(14)은 상기 관통형 웨이퍼 비아홀(9) 내의 협착부(23)를 규정하는, 웨이퍼(3)의 제조 방법으로서,

- 상기 웨이퍼(3) 내에 적어도 제1 경사 측벽(18)을 규정하는 단계;
- 상기 관통형 웨이퍼 비아홀(9)을 형성하는 단계로서, 이에 따라 상기 협착부(23)의 상부 경사 측벽(20)은 상기 제1 경사 측벽(18)을 모사(replicate)하는, 상기 형성하는 단계; 및
- 상기 관통형 웨이퍼 비아홀(9)의 측벽(11) 상에 적어도 제1 도전막(25)을 증착하는 단계;

를 포함하고,

상기 웨이퍼(3)의 제조 방법은, 상기 웨이퍼(3) 내에 제2 경사 측벽(19)을 규정하는 단계를 더 포함하며, 이에 따라, 상기 형성하는 단계에서, 상기 협착부(23)의 하부 경사 측벽(21)은 상기 제2 경사 측벽(19)을 모사하는,

웨이퍼(3)의 제조 방법.

**청구항 13**

삭제

**청구항 14**

제12항에 있어서,

상기 관통형 웨이퍼 비아홀(9)을 형성하는 단계는 이방성 에칭을 수행하는 단계를 포함하는, 웨이퍼(3)의 제조 방법.

**청구항 15**

제12항에 있어서,

상기 적어도 제1 경사 측벽(18)을 규정하는 단계는, 상기 웨이퍼(3)의 상면(4)에 상기 제1 경사 측벽(18)을 포함하는 제1 리세스(28)를 에칭에 의해 형성하는 단계를 포함하는, 웨이퍼(3)의 제조 방법.

**청구항 16**

제12항에 있어서,

상기 제2 경사 측벽(19)을 규정하는 단계는, 상기 웨이퍼(3)의 하면(5)에 상기 제2 경사 측벽(19)을 포함하는 제2 리세스(29)를 에칭에 의해 형성하는 단계를 포함하는, 웨이퍼(3)의 제조 방법.

**청구항 17**

제12항에 있어서,

상기 관통형 웨이퍼 비아홀(9)을 형성하는 단계는, 상기 상면(4) 및 상기 하면(5)에서 양방향(two-way)의 에칭

에 의해 수직의 측벽(17)을 가지는 상기 관통형 웨이퍼 비아홀(9)의 제3 부분(15)을 형성하는 단계를 포함하는, 웨이퍼(3)의 제조 방법.

**청구항 18**

제12항에 있어서,

상기 규정하는 단계는 상기 관통형 웨이퍼 비아홀(9)의 측벽(11), 제2 경사 측벽(19)을 규정하는 단계를 포함하고, 이에 따라, 상기 형성하는 단계에서, 상기 협착부(23)의 하부 경사 측벽(21)은 상기 제2 경사 측벽(19)을 모사하는, 웨이퍼(3)의 제조 방법.

**청구항 19**

제12항에 있어서,

상기 규정하는 단계는 상기 관통형 웨이퍼 비아홀(9)에 대응하는 영역에서 상기 웨이퍼(3)를 노광하는 단계를 포함하고, 상기 형성하는 단계는 상기 노광된 영역을 에칭하는 단계를 포함하는, 웨이퍼(3)의 제조 방법.

**청구항 20**

제12항에 있어서,

상기 제1 도전막(25) 상에 제2 도전막(26)을 증착하는 단계를 더 포함하는 웨이퍼(3)의 제조 방법.

**청구항 21**

삭제

**청구항 22**

삭제

**청구항 23**

삭제

**청구항 24**

삭제

**청구항 25**

삭제

**청구항 26**

삭제

**청구항 27**

삭제

**청구항 28**

삭제

**청구항 29**

삭제

**청구항 30**

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

명세서

기술분야

[0001] 본 발명은 실리콘 웨이퍼 또는 유리 웨이퍼와 같은, 전자 디바이스에 사용되는 웨이퍼를 통한 도전성의 접속 (electrically conductive connection)에 관한 것이다.

배경기술

[0002] 미소 전자공학(microelectronics) 분야에서, 집적회로 디바이스 밀도는 고속으로 증가하고 있다. 1965년에 무어의 법칙(Moore's law)은 칩당 트랜지스터의 개수는 2년마다 배로 증가할 것이라고 예측하였고, 미소 전자공학의 발달은 정말 이 예측에 거의 부합하였다. 그러나 집적회로를 더욱 소형화하는 데는 비용이 많이 들었고, 더 복잡한 회로는 I/O 리드의 개수 증대를 필요로 하며, 이는 디바이스의 접촉(contacting) 및 패키징(packaging)을 복잡하게 한다. 따라서, 더 높은 디바이스 밀도를 얻기 위한 다른 방법이 필요하다. 최근에 생긴 대안은 디바이스를 서로의 위에 쌓아올림으로써 단위 면적당 디바이스 밀도를 증가시키는 것이다. 현재, 스택형 디바이스(stacked device)는 와이어 본딩(wire bonding)에 의해 대부분 배선되는데(interconnected), 이는 디바이스 상의 대량의 공간과 불필요하게 긴 접속 리드(connecting lead)를 필요로 한다. 또한, 와이어 본딩은 일반적으로 상당히 높은 저항을 부여하여 신뢰성이 없을 수 있다.

[0003] 미소 전자공학으로부터 분리독립(spin-off)한 것이 미소 기전 시스템(microelectromechanical systems, MEMS)으로, 미소 전자 시스템 또는 미소 전자 기술의 기능성이 증대될 수 있다. MEMS에서, 집적회로는 예를 들면, 기계적 기능, 화학적 기능, 생물학적 기능과 함께 집적되거나, 또는 미소 전자 가공(micro electronic processing)의 방대한 지식에 기초하여, 가속도계, 센서 또는 바이오칩(biochip)과 같은 미소 기전 시스템이 제조된다. 이들 미소 기전 시스템의 대다수는 원하는 기능성을 얻기 위해 모두 3차원으로 확장되었다.

[0004] 미소 전자공학에서처럼, MEMS 구조체는 실리콘 웨이퍼를 기판으로 사용하여 주로 제조되지만, 예를 들면 다른 반도체 재료, 폴리머, 세라믹스, 및 유리도 더욱 폭넓게 사용되게 되었다. 3D 미소 전자 및 미소 기전 구조체의 제조에 대한 관심의 증가에 수반하여, 3D 구조체의 웨이퍼들간, 또는 기판의 전면(front side)와 배면(back side) 간의 전기 배선(electrical interconnect), 즉 "관통형 웨이퍼 비아(through-wafer via)"의 제조에 대한 관심도 증가하였다. 이것을 사용하면, 신뢰성이 없고 값비싼 와이어 본딩을 회피하고, 배선 밀도를 증대시킬 수 있다. 관통형 웨이퍼 비아는 웨이퍼 상의 가능한 한 적은 면적을 차지하여야 하고, 전기 배선의 저항은 낮아야 한다. 또한 관통형 웨이퍼 비아의 가공은 해당 기술분야의 종래의 가공 기술과 호환 가능하여야 한다.

[0005] 각각 다른 관통형 웨이퍼 비아 설계가 발표되었고, 비아를 제조하는 전략은 두 개의 카테고리로 나눌 수 있다. 첫 번째 카테고리에서, 관통형 웨이퍼 비아는 웨이퍼 재료, 예를 들면 도핑된 반도체 비아에 의해 형성된다. 두 번째 카테고리에서, 관통형 웨이퍼 비아홀(through-wafer via hole)은 웨이퍼 내에, 예를 들면 레이저 제거(laser ablation), 드릴링(drilling), 습식 에칭(wet etching) 또는 건식 에칭(dry etching)을 사용하여 형성된다. 그 후, 도전성 재료가, 예를 들면 물리적 기상 증착(hysical vapour deposition, PVD) 프로세스를 사용하여, 적어도 관통형 웨이퍼 비아홀의 측벽 상에 증착된다. 도전성의 관통형 웨이퍼 비아의 단면적을 증가시키기 위해(전기 저항을 감소시키기 위해), 금속 또는 금속 합금이 보통 도전막 상에 도금된다. 첫 번째 카테고리의 관통형 웨이퍼 비아는 높은 전도성의 금속 또는 금속 합금으로 인해 일반적으로 두 번째 카테고리의 관통형 웨이퍼 비아에 비해 비교적 높은 저항을 가진다.

[0006] 비아홀의 형성에 사용되는 기술은 주로 웨이퍼 재료에 의존한다. 그러나, 일반적으로, 비아홀은 수직의 측벽을 가지고서 웨이퍼를 관통하여 연장된다. PVD와 같은 목시선 프로세스(line of sight process)를 사용한 측벽 상

의 전도성 재료의 증착은 도전적인 작업이며, 비아홀의 에지로부터의 그림자 효과(shadowing effect)가 있기 때문에. 특히 가로세로비(aspect ratio)가 높은 홀의 경우 그러하다.

[0007] 종래의 실리콘 내의 저저항 관통형 웨이퍼 비아는 전형적으로 비아홀을 형성하기 위해 습식 에칭 가공 또는 건식 에칭 가공 중 어느 하나를 사용함으로써 형성된다. 습식 에칭 프로세스인 KOH 에칭과 같은 이방성 에칭 프로세스, 또는 건식 에칭 프로세스인 깊은 반응성 이온 에칭(deep reactive ion etching, DRIE)이 보통 사용된다. 이방성 습식 에칭을 사용하면, 비아홀의 형상(geometry)이 웨이퍼 재료의 결정면(crystal plane)에 의해 제한되고, 그 결과 비아홀은 비교적 넓은 면적을 차지한다. 이 면적은 웨이퍼의 양면으로부터 에칭함으로써 약간 줄일 수 있으며, 에칭된 리세스(recess)는 양면의 중간에서 만난다. 그러나, 에칭된 리세스가 비아홀의 개구부(opening)에서 만날 때, 다른 결정면들이 형성된다. 그 후, 이 결정면들은 에칭되어, 비아홀의 개구부로부터의 목시선 상(in-line of sight)에 있지 않은 중간 부분에 영역(area)들을 생성할 수 있다, 즉, 이 영역들은 가려져 있고 물리적 기상 증착 프로세스를 사용하여 코팅할 수 없다. 물리적 기상 증착은 목시선 프로세스이고 증발/스퍼터링 소스(evaporation/sputtering source)로부터 목시선 상의 표면에만 코팅될 것이다. 비아홀이 수직의 벽을 가지기 때문에 DRIE가 유리하고, 따라서 보다 작은 면적을 차지하는 것이 가능하다. 수직의 비아홀을 가지는 이들 비아홀은 훌륭한 그림자 효과를 받지 않지만, 특히 좁고 깊은 비아홀의 경우, 수직의 벽에 기인한 그림자 효과는 여전히 존재할 것이다.

[0008] 따라서, 종래의 저저항 관통형 웨이퍼 비아는 도전성의 재료에 의해 비아홀의 커버리지(coverage)가 불완전한 관통형 웨이퍼 비아홀 내에 형성된다. 이로 인해 DRIE 에칭된 관통형 웨이퍼 비아의 신뢰성이 제한되며, 특히 두꺼운 기판에 형성된 좁은 비아의 경우 그러하다.

**발명의 내용**

[0009] 종래기술은 신뢰성 있는 저저항 관통형 웨이퍼 비아를 제공할 수 있는 것에 대해 문제점이 있으며, 특히 적절한 형상을 가지는 관통형 웨이퍼 비아의 형성 시의 단점에 기인한 문제점이 있다.

[0010] 본 발명의 목적은 종래기술의 문제점을 극복하는 것이다. 이 목적은 독립항에 기재된 웨이퍼 및 방법에 의해 달성된다.

[0011] 제1 측면에서, 본 발명은 상면과 하면을 가지고 측벽(sidewall)을 가지는 하나 이상의 관통형 웨이퍼 비아홀을 포함하는 웨이퍼를 제공한다. 관통형 웨이퍼 비아홀의 측벽은 상면에서 하면까지 관통형 웨이퍼 비아를 형성하는 제1 도전막(first conductive coating)이 코팅되어 있다. 또한 측벽은 실질적으로 수직의 측벽을 가지는 제1 부분과 관통형 웨이퍼 비아홀 내에 협착부(constriction)를 형성하는 제2 부분을 적어도 포함한다. 협착부는 상면의 개구부 쪽으로 넓어지는 상부 경사 측벽을 적어도 포함한다.

[0012] 본 발명의 일 실시예에서, 관통형 웨이퍼 비아홀은, 실질적으로 수직의 측벽을 가지는 제3 부분을 포함하며, 제3 부분은 제1 부분과 제3 부분 사이에 제2 부분이 배치되도록 위치되어 있다. 상기한 협착부는 하면 쪽으로 넓어지는 하부 경사 측벽을 더 포함한다.

[0013] 일 실시예에서, 웨이퍼는 복수의 관통형 웨이퍼 비아를 포함하고, 하나 이상의 관통형 웨이퍼 비아는 밀봉(seal)되고 하나 이상의 관통형 웨이퍼 비아는 개방(open)된다. 본 발명의 다른 실시예는 모두 밀봉된, 복수의 관통형 웨이퍼 비아를 포함하는 전자 디바이스를 포함한다. 본 발명의 다른 실시예는 모두 개방된, 복수의 관통형 웨이퍼 비아를 포함하는 웨이퍼를 포함한다.

[0014] 본 발명의 일 실시예는, 본 발명에 따른 관통형 웨이퍼 비아를 가지는 웨이퍼를 포함하는 전자 디바이스를 포함한다.

[0015] 제2 측면에서, 본 발명에 따른 웨이퍼를 제조하는 방법을 제공한다. 상기한 방법은, 웨이퍼 내에 하나 이상의 제1 경사 측벽을 규정하는(defining) 단계; 이방성 에칭에 의해 관통형 웨이퍼 비아홀을 형성하는 단계; 및 상기 관통형 웨이퍼 비아홀의 측벽에 제1 도전막을 증착하는 단계를 포함하고, 상기 제1 경사 측벽은 협착부의 상부 경사 측벽의 형상을 결정하고, 상기 협착부의 상부 경사 측벽은 제1 경사 측벽을 모사(replicate)한다.

[0016] 본 발명에 따른 방법의 일 실시예에서, 상기 규정하는 단계는, 상기 웨이퍼의 상면에 제1 경사 측벽을 가지는 하나 이상의 제1 리세스(recess)를 에칭에 의해 형성하는 단계, 및 상기 웨이퍼의 하면에 제2 경사 측벽을 가지는 하나 이상의 제2 리세스를 에칭에 의해 선택적으로 형성하는 단계를 포함하고, 상기 제2 경사 측벽은 상기 하면 쪽으로 넓어지는 상기 협착부의 하부 경사 측벽의 형상을 결정한다.

- [0017] 본 발명 덕분에 미소 전자공학, MEMS, 및 나노기술 분야의 종래의 가공 기술과 호환 가능한 프로세스를 사용하여 높은 수율의 신뢰성 있는 관통형 웨이퍼 비아를 제공하는 것이 가능하다. 또한, 상기한 방법은 간단하고 최소한의 마스크링 단계를 요구한다.
- [0018] 본 발명 덕분에 예컨대 웨이퍼 표면에 집적된, 미소 전자 구성요소(microelectronic component), 집적 회로, MEMS 구조체 및 나노 구조체(nanostructure)와 같은, 집적된 구성요소(integrated component), 예컨대 CMOS 회로, 또는 웨이퍼 표면에 배치된, 예컨대 메모리 구성요소, 프로세서, FPGA, ASIC, 액추에이터(actuator), 센서, 미소 구조체(micro structure) 또는 나노 구조체를 포함하는 미리 제조된 전자 디바이스에 관통형 웨이퍼 비아를 제공하는 것이 가능하다.
- [0019] 본 발명의 추가적인 이점은, 개방되거나 폐쇄되도록 선택될 수 있는 도금된 관통형 웨이퍼 비아를 제공하는 것이다, 즉 밀폐된(hermetically sealed) 관통형 웨이퍼 비아가 가능하다.
- [0020] 본 발명의 또다른 이점은, 관통형 웨이퍼 비아의 협착부가 도전성 재료의 부착력(adhesion)을 증대시키고 도전성 재료에 대한 기계적인 지지를 제공하여, 디바이스의 강건성(robustness) 및 신뢰성(reliability)를 향상시킨다.
- [0021] 또한, 협착부는 향상된 열 특성(thermal property)을 부여한다. 관통형 웨이퍼 비아의 측벽에 대한 도전성 재료의 증대된 부착력은 측면(lateral)의 열전도성을 증대시키고, 따라서 관통형 웨이퍼 비아의 측면 냉각을 향상시킨다. 게다가, 개방 관통형 웨이퍼 비아를 통해 흐르는 냉각액을 사용한 액체 냉각은, 협착부에서의 증대된 유속에 의해 향상된다.
- [0022] 본 발명의 실시예들은 종속항들에서 명확해진다. 본 발명의 다른 목적, 이점 및 새로운 특징은, 첨부도면 및 특허청구범위와 함께 고려할 때, 이하의 본 발명의 상세한 설명으로부터 명백해질 것이다.

**도면의 간단한 설명**

- [0023] 이제, 본 발명의 바람직한 실시예를 첨부도면을 참조하여 설명한다.
- 도 1은 본 발명에 따른 관통형 웨이퍼 비아의 일 실시예의 개략도이다.
- 도 2는 본 발명에 따른 관통형 웨이퍼 비아의 다른 실시예의 개략도이다.
- 도 3은 본 발명에 따른 둥근 협착부(rounded constriction)를 가지는 관통형 웨이퍼 비아의 일 실시예의 개략도이다.
- 도 4a - 도 4f는 본 발명에 따른 다른 실시예의 관통형 웨이퍼 비아를 나타낸 도면이다.
- 도 5는 본 발명에 따른 절연층을 포함하는 관통형 웨이퍼 비아의 일 실시예를 나타낸 개략도이다.
- 도 6은 본 발명에 따른 밀봉된 관통형 웨이퍼 비아의 일 실시예의 개략도이다.
- 도 7a 및 도 7b는 모두 제2 도전막을 가지는, 본 발명에 따른 밀봉된 관통형 웨이퍼 비아와 개방된 관통형 웨이퍼 비아를 각각 나타낸 도면이다.
- 도 7c는 비아홀을 충전하고 비아홀 밖으로 돌출되는 도전막을 가지는 관통형 웨이퍼 비아의 개략도이고, 도 7d는 연마(polishing)한 후의 도 7c의 비아의 개략도이다.
- 도 8은 본 발명에 따른 관통형 웨이퍼 비아를 포함하는 SOI 웨이퍼의 개략도이다.
- 도 9a는 직접회로 및 본 발명에 따른 관통형 웨이퍼 비아를 포함하는 전자 디바이스의 개략도이다.
- 도 9b는 웨이퍼 표면에 집적된 집적회로, 웨이퍼 표면에 배치된 미소 전자 구성요소 및 본 발명에 따른 관통형 웨이퍼 비아를 포함하는 전자 디바이스의 개략도이다.
- 도 10은 본 발명에 따른 밀봉된 저저항 관통형 웨이퍼 비아를 포함하는 유리 세라믹 웨이퍼의 개략도이다.
- 도 11a 및 도 11b는 각각 관통형 웨이퍼 비아를 포함하고, 본 발명에 따른 비아에 의해 웨이퍼들이 접속되어 있는, 2 스택형 웨이퍼를 포함하는 전자 디바이스의 개략도이다.
- 도 12a는 본 발명에 따른 제1 그룹의 관통형 웨이퍼 비아를 포함하는 비아 어레이의 개략도이고, 도 12b는 본 발명에 따른 제2 그룹의 관통형 웨이퍼 비아를 포함하는 비아 어레이의 개략도이다.

도 13a 및 도 13b는 본 발명에 따른 관통형 웨이퍼 비아홀 내부에 냉각 매체를 포함하는 웨이퍼의 개략도이며, 도 13a는 도전막이 없는 관통형 웨이퍼 비아홀이고, 도 13b는 도전막이 있는 관통형 웨이퍼 비아홀을 나타낸 것이다.

도 14는 본 발명에 따른 웨이퍼를 제조하는 방법의 일 실시예의 개략도이다.

도 15는 본 발명에 따른 웨이퍼를 제조하는 방법의 다른 실시예의 개략도이다.

도 16은 본 발명에 따른 웨이퍼를 제조하는 방법의 또다른 실시예의 개략도이다.

도 17a 및 도 17b는 본 발명의 반도체 웨이퍼를 제조하는 일례의 개략도이다.

도 18은 패터닝된 레지스트층을 마스크로 사용하여 형성되는 관통형 웨이퍼 비아홀을 개략적으로 나타낸 도면이다.

도 19는 본 발명에 따른 유리 세라믹 웨이퍼의 제조 방법의 일 실시예의 개략도이다.

도 20은 본 발명에 따른 유리 세라믹 웨이퍼의 제조 방법의 다른 실시예의 개략도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0024] 본 애플리케이션을 위해, "전자 디바이스(electronic device)"라는 용어는 비교적 간단한 전자 디바이스뿐 아니라 미소 전자 디바이스(microelectronic device), 전자 MEMS 디바이스, 전자 나노기술 디바이스(electronic nanotechnology device)를 가리킨다. 미소 전자 디바이스는 웨이퍼 표면에 집적되거나 웨이퍼의 표면 상에 배치된 집적회로와 같은 미소 전자 구성요소를 포함할 수 있다. MEMS 디바이스는, 예컨대 반도체 웨이퍼를 미세 기계가공(micromachining)하거나 웨이퍼 상을 표면 미세 기계가공함으로써 형성될 수 있다. 보다 간단한 전자 디바이스는 전자 구성요소의 캐리어(carrier) 또는 다른 전자 디바이스들 사이의 중간층(intermediate layer)으로서 사용되는 기판일 수 있다. "웨이퍼(wafer)"라는 용어는, 집적회로 및 대부분의 MEMS 구조체와 같은 전자 디바이스 역시 실리콘 웨이퍼로 이루어진다는 사실에서 유래된다. 그러나 용어 "웨이퍼"는 실리콘 웨이퍼 또는 원형 기판(circular substrate)에 한정되지 않으며, 전자 디바이스에 사용하기 적합한 모든 기판을 가리킨다.
- [0025] 도면에서의 웨이퍼 치수는 반드시 비율에 따라 정해진 것은 아니다. 일반적으로 측방향 치수(lateral dimension)는 명료하도록 과장되어 있다.
- [0026] 본 발명의 원리는 형상 규정 단계(shape defining step)와 그 후의 이방성 에칭 프로세스(anisotropic etch process)를 결합하여 관통형 웨이퍼 비아홀 내에 협착부를 형성하는 것이며, 이는 본 발명에 따른 관통형 웨이퍼 비아를 가지는 웨이퍼를 포함하는 전자 디바이스의 한층 신뢰성 있는 제조 및 동작을 가능하게 한다.
- [0027] 도 1은 본 발명에 따른 웨이퍼의 일 실시예를 개략적으로 나타낸 것이다. 웨이퍼(3)는 상면(4)과 하면(5)을 포함하고 측벽(11)을 가지는 하나 이상의 관통형 웨이퍼 비아홀(9)을 포함한다. 관통형 웨이퍼 비아홀(9)의 측벽(11)은 상면(4)에서부터 하면(5)까지 관통형 웨이퍼 비아(7)를 형성하는 제1 도전막(25)으로 코팅되어 있다. 또한, 관통형 웨이퍼 비아홀(9)은 실질적으로 수직의 측벽(16)을 가지는 제1 부분(13)과, 관통형 웨이퍼 비아홀(9) 내로 불룩한 협착부(23)를 형성하는 제2 부분(14)을 포함한다. 도 1에서 알 수 있듯이, 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과, 하면(5) 쪽으로 넓어지는 하부 경사 측벽(21)을 포함한다.
- [0028] 도 2는 본 발명에 따른 다른 웨이퍼(3)의 일 실시예를 나타낸 것이다. 웨이퍼(3)는 상면(4)과 하면(5)을 포함하고 측벽(11)을 가지는 하나 이상의 관통형 웨이퍼 비아홀(9)을 포함하며, 측벽(11)은 상면(4)에서부터 하면(5)까지 관통형 웨이퍼 비아(7)를 형성하는 제1 도전막(25)으로 코팅되어 있다. 또, 관통형 웨이퍼 비아홀(9)은 실질적으로 수직의 측벽(16)을 가지는 제1 부분(13), 관통형 웨이퍼 비아홀(9) 내로 불룩한 협착부(23)를 형성하는 제2 부분(14), 실질적으로 수직의 측벽(17)을 가지는 제3 부분(15)을 포함한다. 도 2에서 알 수 있듯이, 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과, 하면(5) 쪽으로 넓어지는 하부 경사 측벽(21)을 포함한다.
- [0029] 본 발명의 일 실시예에서, 도 1 및 도 2에서 언급한, 전술한 실시예의 웨이퍼(3)는 반도체 재료로 이루어진다. 바람직하게는, 이 반도체 재료는 단결정 실리콘(single crystalline silicon)이다. 하나의 대안은, 벌크층(bulk layer)과 디바이스층 사이에 예컨대 실리콘 산화물층을 포함하는, 이른바 "실리콘 온 인슐레이터(silicon-on-insulator, SOI) 웨이퍼"이다. SiC와 GaAs와 같은, 다른 반도체 재료도 가능하지만, 본 발명은 이에 한정되지 않는다. 반도체 재료의 경우, 도 1 및 도 2에 도시된 경사 측벽(20, 21)은 기울어진 평면

(inclined planar surface)이며, 일반적으로 반도체 웨이퍼의 결정면을 따른다.

- [0030] 본 발명은 실리콘이나 다른 반도체 재료로 한정되지 않는다. 본 발명의 다른 실시예에서, 웨이퍼(3)는 감광성 유리 또는 유리 세라믹과 같은 감광성 개시 재료(photosensitive starting material), 또는 감광성 폴리머(photosensitive polymer)로 이루어진다. 예컨대 Foturan®(Schott사)와 같은, 감광성 유리 또는 유리 세라믹은 제거될 웨이퍼의 부분을 일정한 파장의 광에 노광시키고, 그 웨이퍼를 열처리한 다음 제거될 부분으로 제거함으로써 구성된다. 최종 재료는 유리의 고유한 특성(투명도, 경도, 화학적 열적 저항성(chemical and thermal resistance) 등)을, 엄격한 허용오차(tight tolerance)와 높은 가로세로비를 가지는 미세 구조체(fine structure)를 얻을 가능성과 결합한다. 레이저빔과 같은, 집중된 광빔을 사용하는 경우, 3차원 구조체를 실현할 수 있다. 감광성 폴리머는 유리 세라믹스와 마찬가지로 처리될 수 있다. 제거될 부분은 일정한 파장의 광으로부터 보호되는 반면, 웨이퍼의 나머지 부분은 노광된다. 이렇게 함으로써 노광된 부분은 중합되고, 제거될 부분을 용제(solvent)를 사용하여 용해할 수 있다.
- [0031] 본 발명의 또다른 실시예에서, 웨이퍼(3)는 인쇄회로기판(printed circuit board, PCB), 가요성의 인쇄회로기판(flexible printed circuit board, FPC) 등으로 이루어진다. 이 경우에, 본 발명에 따른 관통형 웨이퍼 비아홀(9)은 일반적으로 드릴링, 레이저 제거, 건식 에칭, 또는 스탬핑(stamping)에 의해 형성된다.
- [0032] 도 3은 도 2에 도시된 관통형 웨이퍼 비아의 변형예로, 관통형 웨이퍼 비아를 포함하는 웨이퍼의 일 실시예를 나타낸 것이다. 상면 쪽으로 넓어지는 상부 경사 측벽(20)과 하면 쪽으로 넓어지는 하부 경사 측벽(21)을 가지는 협착부(23)는, 상부 경사 측벽(20)과 하부 경사 측벽(21)의 교차부(22)에서 매끄럽고 둥글게 되어 있다(smoothly rounded).
- [0033] 본 발명에 따른 관통형 웨이퍼 비아홀(9)의 구조는 측벽(11)을 코팅하는 경우에 유리하다. 웨이퍼 전체를 관통하여 연장되는 수직의 측벽을 구비하는 종래의 비아홀에서, 측벽막(sidewall coating)의 증착에 물리 기상 증착과 같은 목시선 프로세스가 사용되는 경우에, 비아홀의 중앙에서의 커버리지는 불충분할 수 있다. 협착부(23)의 경사 측벽(20, 21)은 각각, 상면(4)과 하면(5)의 전방에 배치된 증착 소스에 대해 목시선이다. 그 결과, 경사 측벽(20, 21)은 신뢰성 있게 코팅된다. 또한 도 3에 개략적으로 도시된 바와 같이 매끄럽게 둥근 협착부(23)는 관통형 웨이퍼 비아(7)를 관통하는 도전성 경로 내의 날카로운 굽이(sharp turn)를 방지한다. 따라서, 본 발명에 따른 관통형 웨이퍼 비아는, 가공 시의 향상된 수율과, 특히 RF 애플리케이션에서의 향상된 전기 특성으로 예시될 수 있는, 종래의 비아에 비해 전기적 및 기계적 이점을 제공한다.
- [0034] 도 4a - 도 4f는 본 발명의 다른 실시예를 예로서 개략적으로 나타낸 것이지만, 본 발명은 이에 한정되지 않는다. 이 다른 실시예들은 보통 협착부(23)의 상부 경사 측벽(20)과 하부 경사 측벽(21) 사이에 뾰족한 교차부(pointed intersection)(22)를 가지는 것으로 도시되어 있다. 그러나 뾰족한 교차부는 필수적인 것은 아니며 어느 정도 둥근 교차부도 가능하다.
- [0035] 도 4a를 참조하면, 본 발명의 일 실시예는 상면(4)과 하면(5)을 가지고 측벽(11)을 가지는 하나 이상의 관통형 웨이퍼 비아홀(9)을 포함하는 웨이퍼(3)이다. 관통형 웨이퍼 비아홀(9)의 측벽(11)은 상면(4)에서부터 하면(5)까지 관통형 웨이퍼 비아(7)를 형성하는 제1 도전막(25)으로 코팅되어 있다. 또한, 관통형 웨이퍼 비아홀(9)은 실질적으로 수직의 측벽(16)을 가지는 제1 부분(13)과, 상면(4)에 인접하여 관통형 웨이퍼 비아홀(9) 내로 불룩한 협착부(23)를 형성하는 제2 부분(14)을 포함한다. 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과, 하면(5)에 대해 수평이거나 얇은 각도(shallow angle)(10° 또는 5° 보다 작음)로 경사진 하부 경사 측벽(21)을 포함한다.
- [0036] 도 4b를 참조하면, 본 발명의 일 실시예는 관통형 웨이퍼 비아홀(9)을 포함하며, 제1 부분(13)은 상면(4)에 인접하고 협착부(23)는 하면(5)에 인접하고 있다. 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과, 하면(5)에 대해 수평이거나 얇은 각도(shallow angle)(10° 또는 5° 보다 작음)로 경사진 하부 경사 측벽(21)을 포함한다.
- [0037] 도 4c를 참조하면, 본 발명의 일 실시예는 관통형 웨이퍼 비아홀(9)을 포함하며, 실질적으로 수직의 측벽(16, 17)을 가지는 제1 부분(13)과 제3 부분(15) 사이의 관통형 웨이퍼 비아홀(9)의 중앙에 배치된 협착부(23)를 포함한다. 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과, 필수적으로 수평인 하부 경사 측벽(21)을 포함한다. 도 1 - 도 3에 도시된 실시예에서는 수직의 측벽을 가지는 부분(13, 14, 15)들은 상면(4)과 하면(5)에서 동일한 치수를 갖지만, 치수는 다를 수도 있다. 도 4d는 제1 부분(13)과 제3 부분(15)이 상이한 폭을 가지고, 그 결과 비대칭의 협착부(23)를 가지는 일 실시예를 나타낸 것이며, 하부 경사 측벽(21)은 상부 경

사 측벽(20)보다 표면이 더 넓다. 또한 상기한 수직의 측벽(16, 17)은 약간 기울어지거나 테이퍼형(tapered)이다. 그러나, 임의의 기울기의 측벽은 비아홀의 풋프린트(footprint)를 증가시킨다. 기울기는 관통형 웨이퍼 비아홀을 형성하는 상이한 방법을 사용하여 실현될 수 있다. 예를 들면, 건식 에칭 프로세스는 관통형 웨이퍼 비아홀 내에 경사 측벽 또는 테이퍼형 측벽을 제공할 수 있다.

[0038] 도 4e 및 도 4f는 본 발명의 실시예를 나타낸 것으로, 상부 경사 측벽(20)과 하부 경사 측벽(21)이 오목하게 만곡되어 있다(concavely curved). 도 4e는 협착부(23)의 상부 경사 측벽(20)과 하부 경사 측벽(21) 사이의 교차부(22)가 점(point)을 형성하는 일 실시예를 나타낸 것이다. 도 3에서의 둥근 협착부(23)와 유사하게, 도 4f에 도시된 예는 협착부(23)의 상부 경사 측벽(20)과 하부 경사 측벽(21) 사이에 둥근, 즉 볼록하게 만곡된(convexly curved) 교차부(22)를 가진다.

[0039] 도 5는 본 발명의 일 실시예를 개략적으로 나타낸 것으로, 웨이퍼(3)의 상면(4)과 하면(5)의 적어도 일부가 연속 절연층(continuous insulating layer)(27)로 덮혀 있어 제1 도전막(25)과 웨이퍼(3) 사이에 전기적 절연을 제공한다. 예를 들면, 실리콘으로 이루어질 수 있는 반도체 웨이퍼(3)는 도전성을 갖도록 처리될 수 있는데, 이 때문에 디바이스(1)의 서로 다른 구성요소들 사이의 크로스토크(cross-talk) 및 단락을 회피하기 위해 관통형 웨이퍼 비아(7)를 전기 절연이 필요할 수 있다. 본 실시예에서, 관통형 웨이퍼 비아홀(9)의 중앙에는 개방 통로(10)가 남겨진다.

[0040] 도 6은 본 발명의 다른 실시예를 개략적으로 나타낸 것으로, 제1 도전막(25)이 협착부(23) 내의 개구를 메워(bridge) 관통형 웨이퍼 비아홀을 밀폐시킬 정도로 관통형 웨이퍼 비아홀(9)이 좁다.

[0041] 본 발명에 따른 관통형 웨이퍼 비아홀(9)의 측면 크기(lateral size)는 50 - 500 $\mu$ m 범위 내인 것이 바람직하고, 100 - 200 $\mu$ m 범위 내인 것이 더욱 바람직하다. 관통형 웨이퍼 비아홀(9)의 실제 크기는 웨이퍼(3)의 두께, 웨이퍼 재료 및 가공 방법에 따라 달라진다. 300 $\mu$ m 두께의 실리콘 웨이퍼에는 100 - 150 $\mu$ m 폭의 비아가 일반적이고, 500 $\mu$ m 두께의 실리콘 웨이퍼에는 100 - 250 $\mu$ m 폭의 비아가 일반적이다. 즉, 본 발명에 따른 실리콘 웨이퍼에서 관통형 웨이퍼 비아홀(9)의 폭은 실리콘 웨이퍼(3)의 두께의 1/3에서 1/2까지인 것이 바람직하다.

[0042] 도 7a는 본 발명에 따른 실리콘 웨이퍼(3)의 일례를 나타낸 것이다. 실리콘 웨이퍼(3)는 상면(4)과 하면(5)을 가지고 측벽(11)을 가지는 하나 이상의 관통형 웨이퍼 비아홀(9)을 포함한다. 실리콘 웨이퍼(3)의 상면(4)과 하면(5)의 적어도 일부와 측벽(11)은 실리콘 산화물로 이루어지는 연속 절연층(27)으로 덮힐 수 있다. 관통형 웨이퍼 비아홀(9)의 측벽(11)은, 상면(4)에서부터 하면(5)까지 관통형 웨이퍼 비아(7)를 형성하는, 예컨대 Ti/Cu로 이루어지는 제1 도전막(25)으로 코팅되는 것이 바람직하다. 관통형 웨이퍼 비아홀(9)은 실질적으로 수직의 측벽(16)을 가지는 제1 부분(13), 관통형 웨이퍼 비아홀(9) 내로 불록한 협착부(23)를 형성하는 제2 부분(14), 및 실질적으로 수직의 벽(17)을 가지는 제3 부분(17)을 포함한다. 도 7a에서 알 수 있듯이, 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과, 하면(5) 쪽으로 넓어지는 하부 경사 측벽(21)을 포함한다. 또한, 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과 하면(5) 쪽으로 넓어지는 하부 경사 측벽(21)을 가지는 협착부(23)는, 경사 측벽(20, 21)들의 교차부(2)에서 매끄럽고 둥글게 되어 있다. 예컨대 Cu로 이루어진 제2 도전막(26)이 제1 도전막(25)을 덮는다. 본 실시예에서, 제2 도전막(26)의 두께는 제1 도전막(25)의 두께보다 두껍지만 이는 필수적인 것은 아니며, 관통형 웨이퍼 비아홀(9)은 개방 상태로 남겨진다.

[0043] 도 7b에는 본 발명의 다른 실시예를 개략적으로 나타내며, 제1 도전막(25)과 제2 도전막(26)은 관통형 웨이퍼 비아홀(9)을 폐쇄할 정도로 충분한 두께이다.

[0044] 도 7c에는 본 발명의 또다른 실시예를 개략적으로 나타낸다. 제1 도전막(25) 상에 예를 들면 도금되는 제2 도전막(26)은 관통형 웨이퍼 비아홀(9)을 채우고 적어도 웨이퍼(3)의 상면(4) 밖으로 튀어나온다.

[0045] 도 7d는 예컨대 도 7c에 따라 충전된 다음 예컨대 그라인딩(grinding), 폴리싱(polishing) 등의 방법으로 평탄화된 본 발명의 실시예의 관통형 웨이퍼 비아(7)를 나타낸 것이다.

[0046] 도 7e 및 도 7f를 참조하면, 본 발명에 따른 웨이퍼(3)의 일 실시예는 관통형 웨이퍼 비아홀(9)의 측벽(11)의 일부만을 덮는 제1 도전막(25) 및/또는 제2 도전막(26)을 포함한다. 이것은 도전막(25, 26)들을 증착하기 전에, 예를 들면 측벽(11) 상에 증착된 레지스트층을 패터닝함으로써 달성된다. 도 7e는 협착부(23)를 포함하는 저저항 관통형 웨이퍼 비아의 관통형 웨이퍼 비아홀(9)을 개략적으로 나타낸 것이다. 제1 도전막(25)은 협착부(23)의 상부 경사 측벽(20) 및 하부 경사 측벽(21)의 적어도 일부를 덮고 제2 도전막(26)은 제1 도전막(25)을 덮어, 관통형 웨이퍼 비아홀(9)을 밀봉하는 플러그를 형성하여 웨이퍼(3)의 상면(4)과 하면(5) 사이에 전기적 접촉을 제공한다. 이 구성은 측벽(11) 상에 제1 도전막(25)을 증착한 다음 제1 도전막(25)을 덮는 레지스

트층을 증착하고, 레지스트층을 패터닝하여 상부 경사 측벽(20) 및 하부 경사 측벽(21)의 상기한 일부에서 제1 도전막(25)을 노광하고, 제1 도전막(25)의 노광된 부분에 제2 도전막(26)을 증착함으로써 얻을 수 있다. 도 7f는 본 발명에 따른 전자 디바이스의 일 실시예를 개략적으로 나타낸 것으로, 웨이퍼(3)의 상면(4)에 인접하여 협착부(23)가 위치되어 있다. 웨이퍼(3)의 상면(4)에 부착 또는 집적되는 구성요소(component)(52)를 접촉시키기 위해, 제1 도전막(25) 및/또는 제2 도전막(26)은 협착부(23)에 의해 형성된 좁은 통로를 지나 상기한 구성요소(52) 쪽으로 연장된다. 좁은 통로는, 예를 들면 먼저 하면(5)에서부터 관통형 웨이퍼 비아홀(9)의 광폭 부분(wider part)를 형성하고, 관통형 웨이퍼 비아홀(9)의 측벽(11) 상에 레지스트상을 증착하고, 레지스트층을 패터닝하여 레지스트층 내에 홀(hole)을 개방시키고, 예칭으로 좁은 통로를 형성함으로써, 형성될 수 있다. 제1 및/또는 제2 도전막(25, 26)은 증착되어 상면(4) 상의 구성요소에서 하면(5)까지 전기 접속을 형성한다. 곧은 비아홀(straight via hole)이 도금되는 종래 기술에 비해 이러한 유형의 접속이 가지는 하나의 이점은 보이드(void)의 부정적인 영향을 방지한다는 것이다.

[0047] 전술한 실시예에 대한 설명에서 주어진 웨이퍼 재료와 도전막은 단지 예일 뿐이다. 해당 기술분야의 당업자가 이해하는 바와 같이, Cu, Ni, Au, Al 등과 같은 다른 금속 또는 금속 합금을 도전막으로 사용할 수 있으며, 다른 절연층(27) 재료는 BCB, 파릴렌(Parylene), Si<sub>3</sub>N<sub>4</sub> 등의 재료이다. 또한, 관통형 웨이퍼 비아(7) 내에 있는 제1 도전막(25)은 전기도금되는 제2 도전막(26)을 위한 시드층(seed layer)으로서 사용될 수 있다. 해당 기술분야의 당업자가 이해하는 바와 같이, 다수의 시드층 재료가 가능하며, Ti/Cu, Ti/Ni, Al 등이 그 예이다.

[0048] 도 7b로부터 협착부(23)가 관통형 웨이퍼 비아(7)의 도전막에 대해 고정 수단(anchorage)으로서 기능한다는 것은 명백하다. 그 때문에 디바이스를 동작 및 취급하는 동안의 신뢰성이, 예컨대 비아 전체를 관통하여 연장되는 수직의 측벽을 가지는 비아에 비해 향상된다. 후자에서, 취급 또는 사용하는 동안에 발생하는 기계력(mechanical force)은 도전막이 비아로부터 빠지게 하거나 밀어낼 수 있는데, 이것은 문제이다.

[0049] 본 발명의 일 실시예에서, 웨이퍼(3)는 복수의 관통형 웨이퍼 비아홀(9)을 포함하며, 하나 이상의 관통형 웨이퍼 비아홀(9)이 밀봉되고 하나 이상의 관통형 웨이퍼 비아홀(9)이 개방된다. 이 특성은 동일한 웨이퍼 내에 가스 수송과 전기적 접속 모두를 위한 비아를 필요로 할 수 있는 많은 MEMS 시스템에 있어 바람직하다.

[0050] 도 8은 본 발명의 일 실시예를 나타낸 것으로, 웨이퍼(3)는, 웨이퍼(3)의 상면(4)에 인접하는 디바이스층(38)과 디바이스층(38) 아래의 절연층(39)을 가지는 SOI 웨이퍼이다. 관통형 웨이퍼 비아(7)는 상면(4)에서 하면(5)까지 연장된다. 디바이스층(38)은 예를 들면 MEMS 구조체 또는 미소 전자 구성요소를 포함하는 전자 디바이스를 형성하기 위해 사용될 수 있다.

[0051] 도 9a를 참조하면, 본 발명의 일 실시예는, 적어도 웨이퍼(3)의 상면(4)의 상부 표면층(top surface layer)에, 예컨대 CMOS 회로와 같은, 집적된 구성요소(integrated component)(50)를 포함한다. 본 발명에 따른 적어도 제1 도전막(25)과 절연층(27)을 포함하는 관통형 웨이퍼 비아(7)는 웨이퍼(3)의 상면(4)에서 하면(5)까지 연장된다. 바람직하게는 패시베이션층(passivation layer)(53)이 집적된 구성요소(50) 및 웨이퍼 표면을 덮는다. 관통형 웨이퍼 비아(7)는 집적된 구성요소(50)에 전기적으로 접속될 수 있다. 패시베이션층(53)은 필수적인 것은 아니지만, 보통 일정한 종류의 패시베이션은 바람직하다. 본 발명에 따른 전자 디바이스는, 이하에 설명하는 바와 같이, 미리 제조된 집적된 구성요소(50)를 포함하는 종래의 전자 디바이스에서 시작하여 제조될 수 있다. 그런 다음, 전자 디바이스 상에 이미 존재하는 패시베이션층(53)을, 그 다음의 가공 시에 집적된 구성요소(50)를 보호하기 위해 사용할 수 있다. 패시베이션층은 또한 전자 디바이스의 가공을 시작하기 전에 추가되거나 마감(finishing) 전에 추가될 수도 있다.

[0052] 도 9b를 참조하면, 본 발명에 따른 웨이퍼(3)의 일 실시예는, 집적회로와 같은, 웨이퍼(3)의 표면에 집적된 구성요소(50)과, 수동 구성요소, 집적 미소전자 구성요소, MEMS 구조체, 나노 구조체, 센서, 액추에이터 등(52)과 같은, 웨이퍼(3)의 표면 상에 배치된 구성요소들을 포함한다. 절연층과 적어도 제1 도전막(25)을 포함하고, 그리고 선택적으로 제2 도전막(26)을 포함하는 관통형 웨이퍼 비아(7)는 웨이퍼(3)의 상면(4)에서 하면(5)까지 연장된다. 도 9b에 도시된 바와 같이, 패시베이션층(53)은 집적된 구성요소(50)와 웨이퍼 표면을 덮는다. 관통형 웨이퍼 비아(7)는 집적된 구성요소(50)에 전기적으로 접속될 수 있다.

[0053] 본 발명은, 미소전자 구성요소, MEMS 구조체, 나노 구조체, 센서, 액추에이터 등과 같은, 미리 제조된 집적된 구성요소(50)를 포함하는 웨이퍼(3) 내에 관통형 웨이퍼 비아(7)의 형성을 가능하게 한다. 단지 예로서, 메모리 회로, 프로세서, FPGA 및 AISIC과 같은, 웨이퍼(3)에 표면에 배치된 집적회로 또는 미소전자 구성요소는 관통형 웨이퍼 비아(7)를 형성하기 전에 제조되거나 탑재된다. 종래기술을 사용하여서는 신뢰성 있는 관통형 웨이퍼 비아(7)를, 적어도 두꺼운 웨이퍼(3)를 가지는 디바이스 내에, 용이하게 만들 수 없다. 종래기술을 이용

하여 신뢰성 있는 비아를 만들 수 있을려면, 비아는 큰 직경으로 만들어져야 하거나, 또는 좁은 비아는 두꺼운 웨이퍼 내에 제한된 깊이로 가공되고, 이어서 웨이퍼를 씌닝(thinning)하여 비아를 노출시켜야 한다. 비아 우선 방법(via-first method)을 사용하면, 크랙 발생(crack initiation)을 일으켜, 이러한 디바이스의 제조 시의 전체 수율을 저하시킨다.

[0054] 도 10은 유리 세라믹 웨이퍼(3)를 포함하는 본 발명의 일 실시예를 나타낸 것이다. 유리 세라믹은 Foturan® 또는 유사한 유리 세라믹 재료가 바람직하다. 실리콘과 비교할 때, 이러한 재료는 가공 방법이 다르기 때문에, 다른 형상의 관통형 웨이퍼 비아홀(9)이 가능하다. 관통형 웨이퍼 비아홀(9)의 제1 부분(13) 및 제2 부분(14)은 약간 오목하고 상부 경사 측벽(20) 및 하부 경사 측벽(21)은 만곡되어 있다. 또, 상부 경사 측벽(20)과 하부 경사 측벽(21) 사이의 교차부(22)는 매끄럽고 둥글게 되어 있다. 유리 세라믹 웨이퍼를 사용하면, 교차부(22)의 최대 반경이 실리콘 웨이퍼의 경우보다 클 수 있다.

[0055] 도 11a은 둘 이상의 스택형 웨이퍼(tstacked wafer)(3)를 포함하는 본 발명의 일 실시예를 나타낸 것이다. 각각의 웨이퍼(3)는 상면(4)과 하면(5), 그리고 하나 이상의 관통형 웨이퍼 비아홀(9)을 가진다. 하부 웨이퍼(3a)의 상면(4)은 상부 웨이퍼(3b)의 하면에 인접하여 그 쪽을 향해 있다. 웨이퍼(3a, 3b)의 상면(4) 및 하면(5)의 적어도 일부와 관통형 웨이퍼 비아홀(9)의 측벽(11)은 연속하는 절연층(27)으로 덮여있다. 관통형 웨이퍼 비아홀(9)의 측벽(11)은 예컨대 물리 기상 증착에 의해 완성된 금속 또는 금속 합금 필름과 같은, 제1 도전막(25), 및 선택적으로 예컨대 도금된 금속 또는 금속 합금층과 같은, 제2 도전막(26)으로 코팅되어, 상면(4)에서 하면(5)까지 관통형 웨이퍼 비아(7)를 형성한다. 또, 관통형 웨이퍼 비아홀(9)는 실질적으로 수직의 측벽(16)을 가지는 제1 부분(13), 관통형 웨이퍼 비아홀(9)을 관통하는 중심선 쪽으로 볼록한 협착부(23)를 형성하는 제2 부분(14), 및 필수적으로 수직일 수 있지만 이에 한정되지 않는 측벽(17)을 가지는 제3 부분(15)을 포함한다. 제1 웨이퍼(3a) 내의 하나 이상의 관통형 웨이퍼 비아(7)는 제2 웨이퍼(3b) 내의 관통형 웨이퍼 비아(7)와 정렬되고, 접합부(joint)(61)에 의해 접속되어 있다. 도 11a에 도시된 바와 같이, 접합부(61)는 관통형 웨이퍼 비아(7)의 제2 도전층(26)에 부착되어 관통형 웨이퍼 비아홀(9) 내로 연장된다. 이것이 가로와 세로 양 쪽으로 고정되는 신뢰성 있는 접속을 제공한다. 또한 관통형 웨이퍼 비아(7)는 개방되거나 완전히 충전될 수도 있다. 도 11b에 도시된 바와 같이, 개방 관통형 웨이퍼 비아(7)에 의하면, 접합부(61)는 관통형 웨이퍼 비아(7)의 협착부(23)를 넘어 연장될 수 있다. 그 결과, 접합부(61)의 수직 고정(vertical anchoring)이 증대된다. 접합부(61)는 납땀, 도금, 예를 들면 도전성 접착제(conducting glue)를 사용한 접착 등에 의해 형성될 수 있다.

[0056] 도 12a는 본 발명에 따른 관통형 웨이퍼 비아(7)의 어레이를 포함하는 본 발명의 일 실시예를 나타낸 것이다. 적어도 제1 그룹(47)의 연속하는 관통형 웨이퍼 비아(7)가 선(46)을 따라 연장된다. 관통형 웨이퍼 비아(7)들은 선(46)을 따라 분포되어 어레이를 형성한다. 연속하는 관통형 웨이퍼 비아(7) 각각은, 선(46)으로부터 벗어나는 수직 방향으로 선행하는 관통형 웨이퍼 비아(7)에 대해 계단식으로 배치되어 있다

[0057] 도 12b는 관통형 웨이퍼 비아(7)의 어레이를 포함하는 본 발명의 일 실시예를 나타낸 것이다. 연속하는 관통형 웨이퍼 비아(7)의 적어도 제1 그룹(47) 및 제2 그룹(48)이 차례로 배치되고 선(46)을 따라 연장되어 어레이를 형성한다. 그룹(7, 8)의 연속하는 관통형 웨이퍼 비아(7) 각각은, 선(46)으로부터 벗어나는 수직 방향으로 선행하는 관통형 웨이퍼 비아(7)에 대해 계단식으로 배치되어 있다. 바람직하게는, 제1 그룹(47)의 마지막 관통형 웨이퍼 비아(7)와 제2 그룹(48)의 첫번째 관통형 웨이퍼 비아(7)의 거리는 제1 그룹(47) 및 제2 그룹(48) 내의 두 개의 연속하는 관통형 웨이퍼 비아(7) 간의 수직 거리보다 크다.

[0058] 도 12a 및 도 12b를 참조하여 앞서 설명한 실시예는 관통형 웨이퍼 비아(7)의 어레이를 가지는 전자 디바이스의 신뢰성을 향상시킨다. 상기한 실시예는 본 발명에 따른 관통형 웨이퍼 비아에 유용할 뿐아니라 다른 비아에도 유용하다. 보통 관통형 웨이퍼 비아(7)는 일직선의 줄(straight row)로 배치된다. 예컨대 관통형 웨이퍼 비아 하나에 인가된 부하에 기인하여 크랙이 형성되면, 크랙은 하나의 관통형 웨이퍼 비아(7)에서 다른 것으로 전파될 가능성이 있다. 특히, Si 웨이퍼와 같은 단결정 웨이퍼가 사용되고 관통형 웨이퍼 비아(7)가 일직선의 줄 상에 웨이퍼의 임의의 결정면과 평행하게 배치되는 경우, 이는 매우 가능성 있는 시나리오이다. 이 문제를 최소화하기 위해, 관통형 웨이퍼 비아(7)의 어레이는 결정면을 따라 놓이지 않는 다른 방향으로 향하게 될 수 있다. 그러나, 해당 기술분야의 당업자가 알고 있듯이, 많은 경우에 실질적으로 결정면을 따라 배치된 관통형 웨이퍼 비아(7)를 가지는 것이 필요하거나 적어도 유리하다. 도 12a 및 도 12b를 참조하여 앞서 설명한 바와 같이 관통형 웨이퍼 비아(7)를 배치함으로써, 크랙은 훨씬 더 많은 에너지를 필요로 하는, 결정면을 따르는 방향을 제외한 방향으로 전파해야 할 것이기 때문에, 크랙 전파가 방해받는다. 또, 도 12b의 배치는, 제1 그룹(47)의 마지막 관통형 웨이퍼 비아(7)와 제2 그룹(48)의 첫번째 관통형 웨이퍼 비아(7) 사이의 거리가 멀기 때

문에, 크랙이 어레이 전체를 따라 전파할 위험을 감소시킨다.

- [0059] 도 13a을 참조하면, 본 발명의 일 실시예는 상면(4)과 하면(5)을 가지고 상면(4)에서 하면(5)으로 연장되는 하나 이상의 관통형 웨이퍼 비아홀(9)을 포함하는 웨이퍼(3)이다. 예로서, 관통형 웨이퍼 비아홀(9)은 실질적으로 수직의 측벽(16)을 가지는 제1 부분(13), 관통형 웨이퍼 비아홀(9) 내로 불룩한 협착부(23)를 형성하는 제2 부분(14), 및 실질적으로 수직의 측벽(17)을 가지는 제3 부분(15)을 포함한다. 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과, 하면(5) 쪽으로 넓어지는 하부 경사 측벽(21)을 포함한다. 상기한 웨이퍼, 상기한 웨이퍼를 포함하는 전자 디바이스, 또는 상기한 웨이퍼의 적어도 일부는 이와 같이 관통형 웨이퍼 비아홀(9)을 통한 냉각 매체(60)의 흐름에 의해 냉각되도록 구성될 수 있다.
- [0060] 도 13b를 참조하면, 본 발명의 일 실시예는 상면(4)과 하면(5)을 가지고, 본 발명에 따른 협착부(23)를 포함하는 하나 이상의 관통형 웨이퍼 비아홀(9)을 포함하는 웨이퍼(3)이다. 관통형 웨이퍼 비아홀(9)의 측벽(11)은 상면(4)에서 하면(5)까지 관통형 웨이퍼 비아(7)를 형성하도록 제1 도전막(25)으로 코팅되어 있다. 예로서, 관통형 웨이퍼 비아홀(9)은 실질적으로 수직의 측벽(16)을 가지는 제1 부분(13), 관통형 웨이퍼 비아홀(9)의 중심을 쪽으로 불룩한 협착부(23)를 형성하는 제2 부분(14), 및 실질적으로 수직의 측벽(17)을 가지는 제3 부분(15)을 포함한다. 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)과, 하면(5) 쪽으로 넓어지는 하부 경사 측벽(21)을 포함한다. 이와 같이, 상기한 웨이퍼, 상기한 웨이퍼를 포함하는 전자 디바이스, 또는 상기한 웨이퍼의 적어도 일부는 관통형 웨이퍼 비아홀(9) 내의 냉각 매체(60)에 의해 냉각되도록 구성될 수 있다. 바람직하게는 냉각 매체(60)는 관통형 웨이퍼 비아홀(9)을 통해 흐른다.
- [0061] 전자 디바이스는, 동작하는 동안에 뜨거워지거나 따뜻해진다. 특히, RF 부품과 같은 고주파 부품의 경우가 그렇다. 웨이퍼 내에 집적된 전자 구성요소, 웨이퍼의 표면 상에 집적된 전자 구성요소 또는 웨이퍼의 표면 상에 탑재된 전자 구성요소는 전도되어 없어져야 할 열을 발생한다. 또한, 관통형 웨이퍼 비아는 상당한 양의 열을 발생할 수 있는데, 특히 관통형 웨이퍼 비아가 고주파 신호를 전도(conduct)할 때 그렇다. 전자 디바이스의 성능은 디바이스를 냉각시킴으로써 향상될 수 있다. 보통 전자 디바이스의 웨이퍼(3)는 열 흡수원(heat sink)으로서 사용된다. 측벽(11)에서의 열전도 특성은 웨이퍼(3)로부터 관통형 웨이퍼 비아로 또는 그 반대로 열을 전도하는 능력에 있어 중요하다. 본 발명에 따른 관통형 웨이퍼 비아(7)는 제1 도전성층(25)과 웨이퍼(3) 사이의 향상된 접촉으로 인해 측벽에서의 열전도 특성을 향상시킨다. 향상된 접촉은 협착부(23)의 경사면에 기인하여 증착 조건이 유리해진 결과이다.
- [0062] 관통형 웨이퍼 비아홀(9)을 포함하는 전자 디바이스 또는 웨이퍼(3)의 냉각은 관통형 웨이퍼 비아홀(9)을 통해 냉각 매체를 흐르게 함으로써 향상될 수 있다. 그러면, 냉각 매체는 열을 흡수하고, 그 열을 수송한다. 웨이퍼(3)로부터 냉각 매체로의 열전도는 측벽(11)의 냉각 매체 흐름 내에 형성된 경계층(boundary layer)에 의해 제한된다. 측벽(11)에서의 유속은 관통형 웨이퍼 비아홀(9)의 중앙에서보다 훨씬 느리다. 그러나, 본 발명에 따른 관통형 웨이퍼 비아홀(9)의 협착부(23)로 인해, 냉각 매체의 유속은 협착부(23)에서 증가된다. 이 때문에 경계층은 방해받을 수 있고, 열전도의 레이트는 증가된다. 이 현상은 제1 도전막(25) 및 제2 도전막(26) 유무 모두의 관통형 웨이퍼 비아홀(9) 내의 냉각을 위해 활용될 수 있다. 후자의 일례는 본 발명에 따른 관통형 웨이퍼 비아(7)에 대한 것이고, RF 신호와 같은 고주파 신호는 관통형 웨이퍼 비아(7)를 통해 전도된다.
- [0063] 도 13a 및 도 13b를 참조한 실시예는 관통형 웨이퍼 비아홀(9)의 중앙에 협착부(23)를 가지는 것으로 설명하였지만, 관통형 웨이퍼 비아홀(9)의 형상은 이에 한정되지 않는다. 앞서 설명한 실시예의 임의의 개방 관통형 웨이퍼 비아 구성과 그 변형에도 열전도를 향상시킬 수 있다.
- [0064] 도 14를 참조하면, 상면(4)과 하면(5)을 가지고 측벽(11)을 가지는 하나 이상의 관통형 웨이퍼 비아홀(9)을 포함하며, 관통형 웨이퍼 비아홀(9)의 측벽(11)은 상면(4)에서 하면(5)까지 관통형 웨이퍼 비아(7)를 형성하는 제1 도전막(25)으로 코팅되어 있고; 관통형 웨이퍼 비아홀(9)은 실질적으로 수직의 측벽(16)을 가지는 제1 부분(13)과, 협착부(23)를 규정하는 제2 부분(14)을 포함하고, 협착부(23)는 상면(4) 쪽으로 넓어지는 상부 경사 측벽(20)을 적어도 포함하는, 웨이퍼(3)를 제조하는 방법은 다음의 단계를 포함한다:
- [0065] - 101 웨이퍼(3) 내에 하나 이상의 제1 경사 측벽(18)을 규정하는 단계이며, 제1 경사 측벽(18)은 협착부(23)의 상부 경사 측벽(20)의 형상을 결정한다;
- [0066] - 102 이방성 에칭에 의해 관통형 웨이퍼 비아홀(9)을 형성하는 단계이며, 상부 경사 측벽(20)은 제1 경사 측벽(18)을 모사(replicate)한다;
- [0067] - 103 관통형 웨이퍼 비아홀(9)의 측벽(11) 상에 제1 도전막(25)을 증착하는 단계.

- [0068] 본 발명의 방법의 일 실시예에서, 상기한 규정하는 단계는 웨이퍼(3)의 상면(4)에 제1 경사 측벽(18)을 가지는 하나 이상의 제1 리세스(28)를 에칭에 의해 형성하는 단계를 포함한다.
- [0069] 도 15를 참조하면, 본 발명의 방법의 일 실시예에서, 상기한 규정하는 단계는 웨이퍼(3)의 상면(4)에 제1 경사 측벽(18)을 가지는 하나 이상의 제1 리세스(28)를 에칭에 의해 형성하는 단계 104를 포함한다. 바람직하게는 이방성 에칭에 의해 형성하는 단계는 건식 에칭을 포함한다.
- [0070] 도 16을 참조하면, 본 발명의 방법의 일 실시예는 웨이퍼(3)의 하면(5)에 제2 경사 측벽(19)을 가지는 하나 이상의 제2 리세스(29)를 에칭에 의해 형성하는 단계 105를 포함하며, 제2 경사 측벽(19)은 하면(5) 쪽으로 넓어지는 협착부(23)의 하부 경사 측벽(21)의 형성을 결정한다. 예로서, 상기한 이방성 에칭에 의해 형성하는 단계는 건식 에칭을 포함한다.
- [0071] 도 1에 도시된 관통형 웨이퍼 비아(7)는, 하면(5) 내의 제2 리세스(29)와 정렬되고 실질적으로 동일한 치수를 가지는 상면(4) 내의 제1 리세스(28)를, 예컨대 KOH 용액으로 이방성 습식 에칭에 의해 형성함으로써, (100) 실리콘 웨이퍼 내에 제조될 수 있다. 제1 리세스(28) 및 제2 리세스(29)의 제1 경사 측벽(18) 및 제2 경사 측벽(19)은 따라서 (111) 평면에 의해 규정된다. 건식 에칭 다음에, 반도체 웨이퍼는 제2 리세스(29) 내에서 예컨대 DRIE 프로세스를 이용하여 건식 에칭되어 수직의 측벽을 형성한다. 제2 경사 측벽(19)은, 건식 에칭 프로세스 동안에 홀(hole)이 웨이퍼(3)를 통하여 전파할 때 실질적으로 보존된다. 마침내, 홀이 제1 리세스(28)의 바닥에 도달하여 관통형 웨이퍼 비아홀(9)이 형성된다. 제2 경사 측벽(19)은 협착부(23)의 하부 경사 측벽(21)을 형성하도록 실질적으로 모사된다.
- [0072] 본 발명의 일 실시예에서, 이방성 에칭은 웨이퍼(3)의 상면(4)으로부터의 건식 에칭을 포함한다. 예로서, 도 3에 도시된 관통형 웨이퍼 비아(7)는 하면(5) 내의 제2 리세스(29)와 정렬되고 실질적으로 동일한 치수를 가지는 상면(4) 내의 제1 리세스(28)를, 예컨대 KOH 용액으로 이방성 습식 에칭에 의해 형성함으로써, 100 실리콘 웨이퍼 내에 완성될 수 있다. 습식 에칭 다음에 반도체 웨이퍼(3)는 제1 리세스(28) 및 제2 리세스(29) 내에서 예컨대 DRIE 프로세스를 이용하여 건식 에칭된다. 이렇게 함으로써 제1 경사 측벽(18) 및 제2 경사 측벽(19)이 실질적으로 모사되어 각각 협착부(23)의 상부 경사 측벽(20) 및 하부 경사 측벽(21)을 형성한다. 건식 에칭은 웨이퍼의 양면(4, 5)에서 동시에 또는 한 번에 한 면(4, 5)에서 수행될 수 있다.
- [0073] 협착부(23)의 건식 에칭 단계 후에, 상부 경사 측벽(20)과 하부 경사 측벽(21) 사이의 협착부(23)는 비교적 뾰족해진다. 또, 이 건식 에칭 프로세스는 상부 경사 측벽(20) 및 하부 경사 측벽(21)의 표면에, 예컨대 "그래스(grass)"라고 하는 결함을 남길 수 있다. 본 발명의 방법의 일 실시예에서, 상기한 방법은 또한 관통형 웨이퍼 비아(7)의 적어도 측벽(11)의 표면에 임시층(36), 예컨대 실리콘 산화물을 형성하는 단계를 더 포함한다. 이 실리콘 산화물의 형성은 웨이퍼(3)의 실리콘을 일정한 깊이까지 소비한다. 보통 3 $\mu$ m의 실리콘이 소비된다. 플르오르화 수소산 용액을 사용한 습식 에칭 프로세스로 실리콘 산화물을 제거함으로써, 상기한 결함은 제거되는데 이는 산화물층(36)의 형성이 결함이 있는 모든 실리콘을 필수적으로 소비하였기 때문이며, 따라서 협착부(23)는 매끈해진다.
- [0074] 제1 리세스(28) 및 제2 리세스(29)는 또한 이방성 건식 에칭 프로세스를 사용하여 형성될 수도 있으며, 이 프로세스는 상부 경사 측벽(20)과 하부 경사 측벽(21)의 특정한 기울기를 부여하도록 조정된다.
- [0075] 본 발명의 일 실시예에서, 습식 에칭을 하는 단계는 등방성 에칭을 하는 단계를 포함한다. 제1 리세스(28) 및 제2 리세스(29)는 예를 들면 등방성 습식 에칭 또는 등방성 건식 에칭을 사용하여 형성될 수 있다. 등방성 에칭을 사용함으로써, 제1 경사 측벽(18) 및 제2 경사 측벽(19)은 오목하게 만곡되므로, 상부 경사 측벽(20) 및 하부 경사 측벽(21)은 그 다음의 건식 에칭 프로세스에서 동일한 형상으로 모사된다.
- [0076] 제1 도전막(25)은 스퍼터링 또는 증발(evaporation)과 같은 물리 기상 증착(PVD)을 사용하여 증착될 수 있다. 본 발명의 협착부(23)의 제어된 형상으로 인해, 도전막(25, 26)의 커버리지는 상기한 목시선 프로세스가 사용됨에도 불구하고 완전하다.
- [0077] 본 발명의 방법의 일 실시예에서, 증착하는 단계는 제1 도전막(25) 상에 제2 도전막(26)을 증착하는 단계를 더 포함한다. 제2 도전막(26)은 예컨대, Cu, Al, Ni, Au, Ag 등의 금속 또는 금속 합금의 전기 도금이나 무전해 도금(electroless plating) 중 어느 하나의 도금법을 사용하여 증착된다. 이 경우에, 제1 도전막(25)은 습식의 화학적 프로세스 또는 무전해 도금법을 사용하여 증착되는 것이 바람직하다. 도금된 층(26)의 두께는 도 7b에 도시된 바와 같이, 도금된 금속 또는 금속 합금(26)에 의해 관통형 웨이퍼 비아홀(9)이 폐쇄될 때의 두께까지 되도록 선택될 수 있다. 제1 도전막(25)은 Ti/Cu, Ti/Au, Ti/Ni, Cr/Cu, Cr/Au, Cr/Ni, Pd/Ni, Pd/Ag, Ti/Ag

의 그룹 중에서 선택될 수 있지만, 이 재료들로 한정되는 것은 아니다.

- [0078] 본 발명의 방법의 일 실시예는 제1 도전막(25)을 증착하기 전에 관통형 웨이퍼 비아홀(9)의 적어도 측벽(11) 상에 절연층(36)을 증착하는 단계를 더 포함할 수 있다. 절연층을 증착하는 대신에, 절연층을 열 프로세스(thermal process)로 형성할 수도 있으며, 표면 상의 실리콘은 부분적으로 예컨대 SiO<sub>2</sub> 또는 Si<sub>3</sub>N<sub>4</sub>로 변형된다.
- [0079] 본 발명에 따른 웨이퍼를 제조하는 방법의 일 실시예에서, 개시 웨이퍼(starting wafer)는 집적된 미소전자 구성요소, MEMS 구조체 또는 나노 구조체와 같은 미리 제조된 부품을 포함한다, 즉 개시 웨이퍼는 실제로 전자 디바이스이다. 전술한 바와 같이, 집적된 미소전자 구성요소(50)는 예컨대 웨이퍼(3)의 표면에 적어도 부분적으로 매립된 CMOS 회로, 또는 웨이퍼 표면 상의 메모리 회로와 같은, 미소전자 구성요소에 증착된 박막(thin film)일 수 있다. 종래기술에서, 관통형 웨이퍼 비아는 전자 디바이스의 구성요소들을 제조하기 이전이나 이후에 만들어진다. 구성요소의 제조 이전에 만들어지는 경우, 관통형 웨이퍼 비아는 구성요소 제조의 일반적인 고온 프로세스를 견뎌야 하는데, 이는 관통형 웨이퍼 비아 내의 금속과 같은 고전도성 재료를 배제한다. 그러므로, 이러한 관통형 웨이퍼 비아는 저항이 비교적 높다. 한편, 미리 제조된 구성요소들을 포함하는 웨이퍼 상에 관통형 웨이퍼 비아를 만드는 경우, 관통형 웨이퍼 비아 가공의 신뢰성 및 수율이 매우 중요하다. 종래기술은 관통형 웨이퍼 비아 내의 제1 도전막(25)의 커버리지가 불충분한 비아, 너무 큰 비아, 크랙이 쉽게 발생하거나 또는 웨이퍼 씨닝 프로세스(wafer thinning process)를 필요로 할 수 있다. 본 발명은 고수율의 가공, 미리 제조된 구성요소들을 포함하는 웨이퍼의 관통형 웨이퍼 비아를 가능하게 한다. 또 웨이퍼 씨닝은 회피된다.
- [0080] 본 발명의 방법의 일 실시예에서, 관통형 웨이퍼 비아(7)는 웨이퍼(3)의 하면(5) 상의 CMOS 회로(50)로 예시된, 미리 제조된 구성요소들을 포함하는 웨이퍼(3) 내에 형성된다. 먼저, 건식 에칭에 의해 하면(5) 내에 제1 리세스(28)를 형성하여 제1 경사 측벽(18)을 규정한다. 다음에, 이방성 건식 에칭을 사용하여 관통형 웨이퍼 비아홀(9)을 형성한다. 이에 따라 협착부(23)가 형성되고 협착부(23)의 상부 경사 측벽(20)이 제1 경사 측벽(18)을 모사한다. 관통형 웨이퍼 비아홀(9)의 측벽(11)은 절연층으로 코팅되어 전기적 절연을 제공하는 것이 바람직하다. 그 다음에, 관통형 웨이퍼 비아홀(9)을 적어도 제1 도전막(25)으로 코팅한다. 다른 실시예에서, 관통형 웨이퍼 비아홀(9)의 이방성 건식 에칭 이전에, 습식 에칭, 예컨대 이방성 KOH 에칭을 사용하여 제1 리세스(28)를 형성한다. 이것은 침식성 식각액(aggressive etchant)로부터 상기한 구성요소들을 보호하기 위해 구성요소 상에 패시베이션층(53)을 필요로 한다. 보통 미리 제조된 구성요소들을 포함하는 웨이퍼는 패시베이션층으로 보호되며, 이는 관통형 웨이퍼 비아홀 가공에 적합하다. 그렇지 않으면, 패시베이션층은 다른 가공의 이전에 증착되어야 한다. 이들 실시예는 상면(4)에서의 에칭만을 기술하고 있지만, 본 발명에 따른 임의의 관통형 웨이퍼 비아(7)는 미리 제조된 부품을 포함하는 웨이퍼 내에 형성될 수 있다는 것을 이해해야 한다.
- [0081] 본 발명의 방법의 일례를 도 17a 및 도 17b에 나타냈다. 525 $\mu$ m 두께의 실리콘 100 웨이퍼(3)를 개시 재료로 사용한다. 해당 기술분야의 당업자가 이해하는 바와 같이, 웨이퍼는 웨이퍼 내의 구조체 또는 구성요소들을 형성하기 위해 이 단계 이전에 처리되었을 수 있다. 그 처리는 다음의 단계를 포함한다:
- [0082] - 적어도 웨이퍼(3)의 상면(4) 및 하면(5)을 덮는 실리콘 산화물층(41)을 형성하는 단계;
- [0083] - 종래의 포토리소그래피에 의해 레지스트층(42)을 증착 및 패터닝하여 장차 관통형 웨이퍼 비아홀(9)의 위치에 개구를 가지는 마스크층을 형성하는 단계;
- [0084] - 표준의 습식 에칭 프로세스를 사용하여, 예컨대 BHF 용액을 사용하여 마스크되지 않은(unmasked) 실리콘 산화물층(41)을 제거하는 단계;
- [0085] - 표준의 방법으로 레지스트층(42)을 벗기는 단계;
- [0086] - KOH를 사용하여(이방성 결정면 의존 습식 에칭), 상면(4)과 하면(5) 각각에 제1 리세스(28) 및 제2 리세스(29)를 형성하는 단계;
- [0087] - DRIE 에칭에 의해 관통형 웨이퍼 비아홀(9)의 제1 부분(13) 및 부분적으로 제3 부분(15)을 형성하는 단계;
- [0088] - 스퍼터링을 사용하여 웨이퍼의 상면(4) 상에 Al층(43)을 증착하는 단계;
- [0089] - Al층(43)이 에칭 정지층(etch stop layer)으로서 기능하는, DRIE 에칭으로 관통형 웨이퍼 비아홀(9)의 제3 부분(15)의 나머지 부분을 형성하는 단계;
- [0090] - 표준의 프로세스에 의해 상면(4) 상의 Al층(43)을 벗기는 단계;
- [0091] - 실리콘 산화물(41)을 제거하고 적어도 웨이퍼(3)의 상면(4) 및 하면(5)과 관통형 웨이퍼 비아홀(9)의 측벽

(11)을 덮는 새로운 실리콘 산화물층(27)을 형성하는 단계;

- [0092] - 실리콘 산화물층(27)을 덮는 제1 도전막(25), 즉 Ti/Cu로 이루어진 시드층을 증착하는 단계;
- [0093] - 레지스트층(44)을 증착하고, 관통형 웨이퍼 비아홀(9) 주위의 레지스트층(44)에 개구를 남기고 패터닝하는 단계;
- [0094] - 전기 도금으로 Cu로 이루어진 제2 도전막(26)을 증착하는 단계;
- [0095] - 표준의 프로세스로 레지스트(44)를 제거하는 단계; 및
- [0096] - 표준의 프로세스를 사용하여 노광된 시드층(25)을 제거하는 단계.
- [0097] 도 18을 참조하면, 본 발명에 따른 방법의 일 실시예는 다음의 단계를 포함한다:
- [0098] - 웨이퍼(3) 내에 하나 이상의 제1 경사 측벽(18)을 규정하는 단계로서, 제1 경사 측벽(18)은 협착부(23)의 상부 경사 측벽(20)의 형상을 결정하는 단계;
- [0099] - 이방성 에칭으로 관통형 웨이퍼 비아홀(9)을 부분적으로 형성하는 단계로서, 협착부(23)의 상부 경사 측벽(20)이 제1 경사 측벽(18)을 모사하는 단계;
- [0100] - 관통형 웨이퍼 비아홀(9)의 측벽(11) 상에 레지스트층(32)을 증착하는 단계;
- [0101] - 포토리소그래피에 의해 레지스트층(32)을 패터닝하고 현상하여 관통형 웨이퍼 비아홀(9)의 중심의 레지스트층(32)의 부분을 제거하는 단계; 및
- [0102] - 레지스트층(32)을 마스크로 하여 관통형 웨이퍼 비아홀(9)의 나머지 부분을 에칭하는 단계.
- [0103] 또한 이 절차는 웨이퍼(3)의 하면(5)에 구성요소가 있는 경우에도 사용될 수 있다. 이는 웨이퍼(3)의 하면(5)에 일정한 종류의 보호물(Protection)을 필요로 할 수 있다. 레지스트층(32)의 패터닝은 높은 정밀도로 이루어질 수 있으므로 상면에서 부품까지의 전기적 접속이 높은 정밀도로 달성될 수 있다.
- [0104] 레지스트층의 패터닝은 또한 도전막(25, 26)이 적용되는 곳을 규정하는 데 사용될 수 있다. 또 레지스트층의 패터닝은 관통형 웨이퍼 비아홀(9)의 측벽에 증착되는 다른 층들을 패터닝하는 데도 사용될 수 있다. 이들 층은 PECVD (plasma enhanced chemical vapour deposition) SiO<sub>2</sub>, BCB 또는 파릴렌을 포함할 수 있다. 해당 기술분야의 당업자가 이해하는 바와 같이, 레지스트는 다른 방법을 사용하여 증착될 수 있다. 즉, 스핀온 레지스트(spin-on resist), 스프레이온 레지스트(spray-on resist) 및 전착 레지스트(electrodeposited resist)가 사용될 수 있다. 도 19는 본 발명의 방법의 일 실시예를 나타낸 개략도로서, 다음의 단계를 포함한다:
- [0105] - 웨이퍼(3) 내에 하나 이상의 제1 경사 측벽(18)을 규정하는 단계로서, 제1 경사 측벽(18)이 협착부(23)의 상부 경사 측벽(20)의 형상을 결정하는 단계;
- [0106] - 관통형 웨이퍼 비아홀(9)의 측벽(11)의 나머지 부분을 규정하는 단계;
- [0107] - 이방성 에칭으로 관통형 웨이퍼 비아홀(9)을 형성하는 단계로서, 협착부(23)의 상부 경사 측벽(20)이 제1 경사 측벽(18)을 모사하는 단계; 및
- [0108] - 관통형 웨이퍼 비아홀(9)의 측벽(11) 상에 제1 도전막(25)을 증착하는 단계.
- [0109] 본 발명의 일 실시예에서, 상기한 방법은 웨이퍼(3) 내에 하나 이상의 제2 경사 측벽(19)을 규정하는 단계를 더 포함하며, 제2 경사 측벽(19)은 협착부(23)의 하부 경사 측벽(21)의 형상을 결정한다.
- [0110] 도 20을 참조하면, 도 3에 따른 형상을 가지는 웨이퍼(3)가 감광성 개시 재료, 예컨대 Foturan® 또는 유리 세라믹스라고 불리는 다른 재료를 사용하여 제조된다. 본 발명에 따르면, 일정한 파장(예컨대 Foturan®의 경우 290 - 330 nm)을 가지는 광빔으로 재료 위를 스캐닝하여 상부 경사 측벽(20) 및 하부 경사 측벽(21), 상부 경사 측벽(20)과 하부 경사 측벽(21) 사이의 매끈한 교차부(22), 및 측벽(11)의 나머지 부분을 규정한다, 즉 관통형 웨이퍼 비아홀(9)의 형상(geometry)를 규정한다. 노광된 재료는 그 특성이 변화되어 그 다음의 열처리되는 노광된 영역 내의 웨이퍼 재료의 결정화를 일으킨다. Foturan®에서, 은 원자(silver atom)는 노광된 영역 내에 형성되어 있고 500°C와 600°C 사이의 열처리를 하는 동안에 유리는 이 은 원자 주위에 결정화된다. 노광된 영역 내의, 즉 관통형 웨이퍼 비아홀 내의 재료는 그 후 플루오르화 수소산 용액을 사용한 이방성 에칭으로 제거된다. 10%의 플루오르화 수소산의 10% 용액으로 실온에서 에칭될 때, 결정질 영역의 에칭 레이트는 유리질

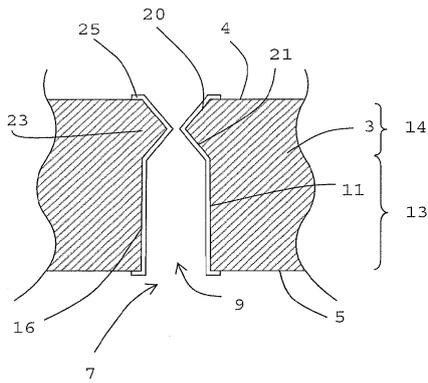
영역(vitreous region)의 에칭 레이트에 비해 최대 20배 더 높다.

[0111]

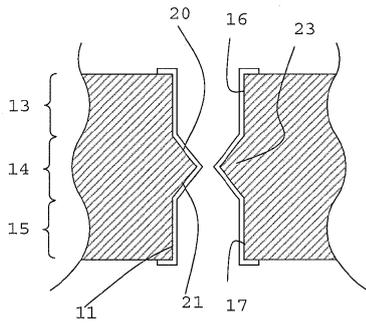
이상에서 본 발명을 현재 가장 실제적이고 바람직한 실시예로 생각되는 것과 관련하여 설명하였지만, 본 발명이 개시한 실시예로 한정되지 않는다는 것을 알아야 하며, 오히려 본 발명은 첨부된 특허청구범위 내의 각종 변형 예 및 등가물의 구성을 포함하도록 의도된다.

도면

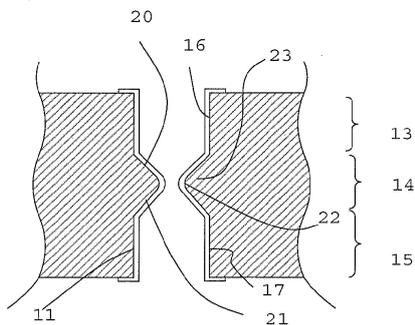
도면1



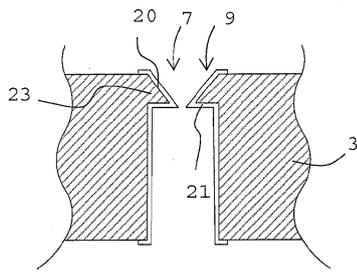
도면2



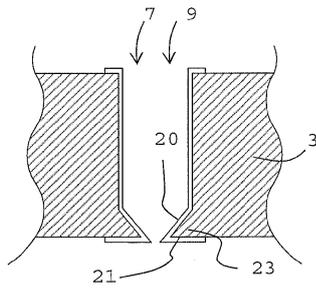
도면3



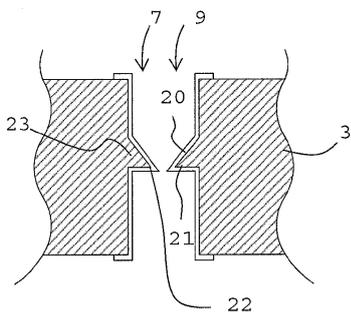
도면4a



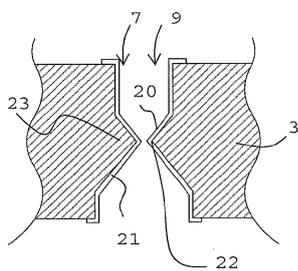
도면4b



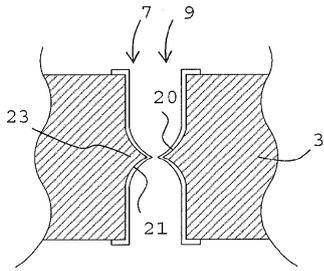
도면4c



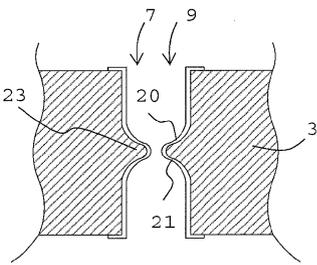
도면4d



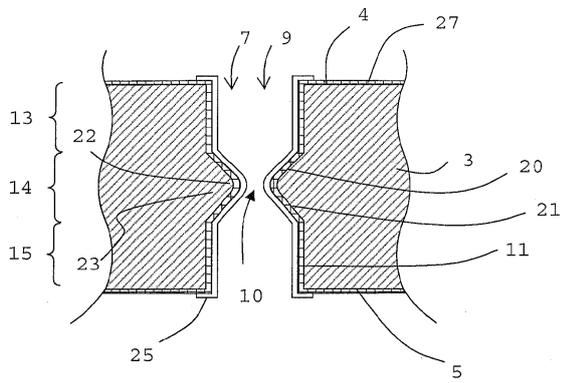
도면4e



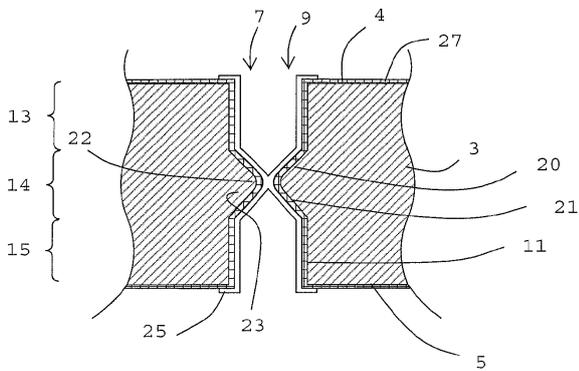
도면4f



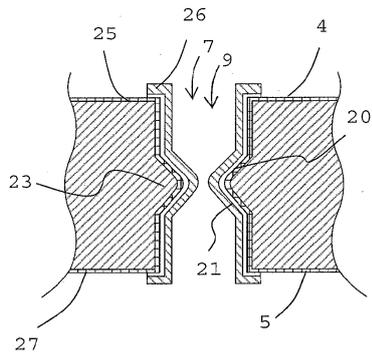
도면5



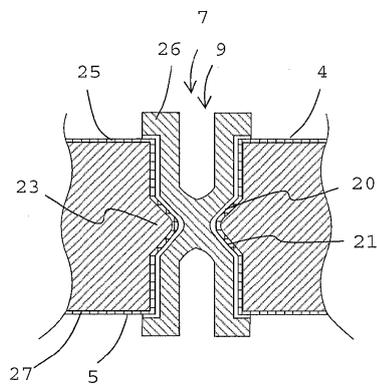
도면6



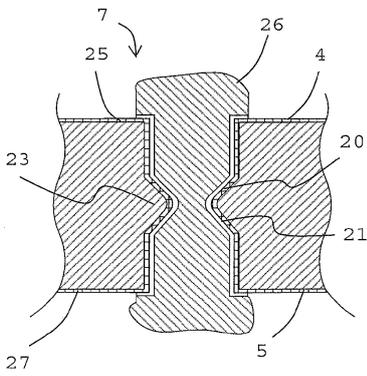
도면7a



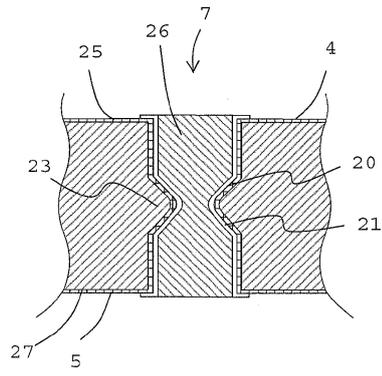
도면7b



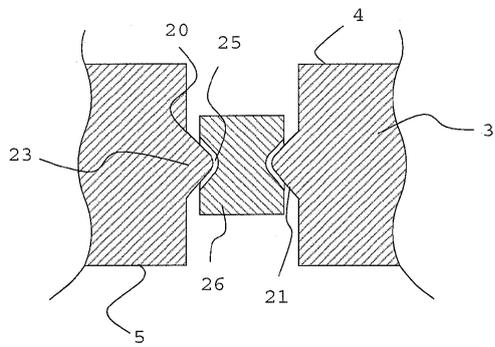
도면7c



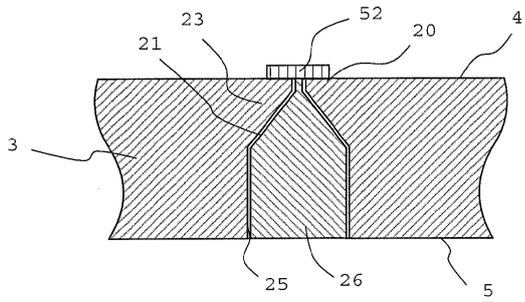
도면7d



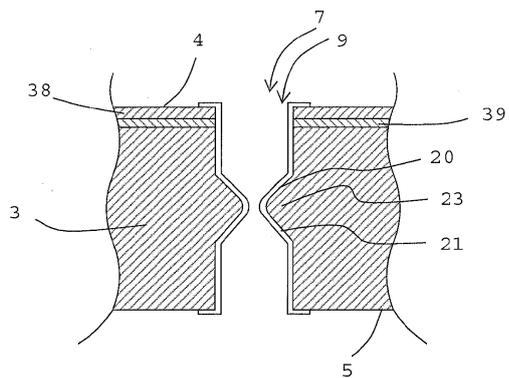
도면7e



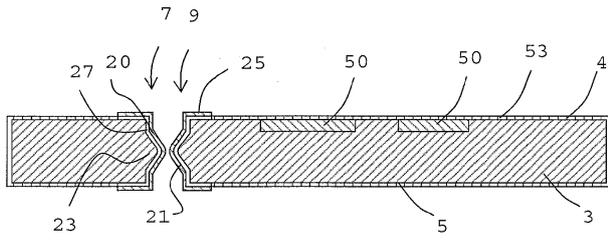
도면7f



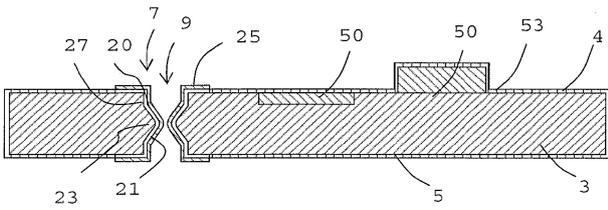
도면8



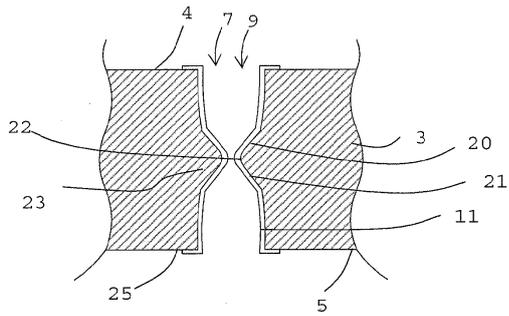
도면9a



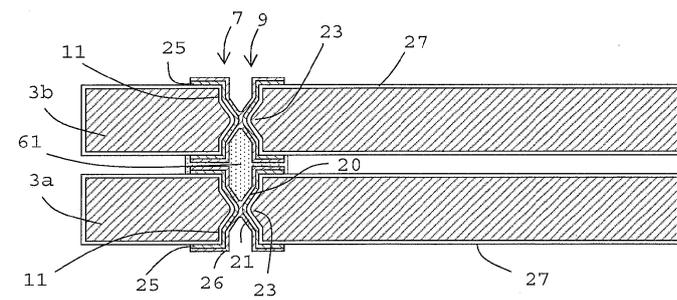
도면9b



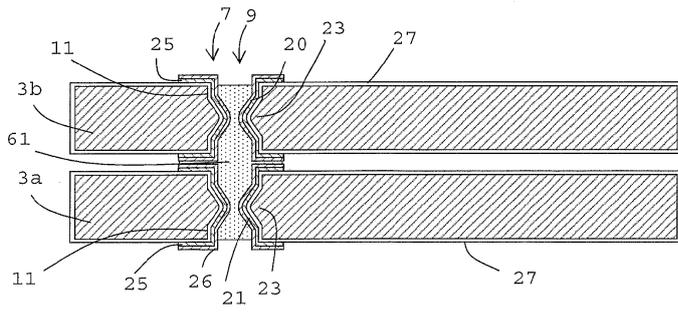
도면10



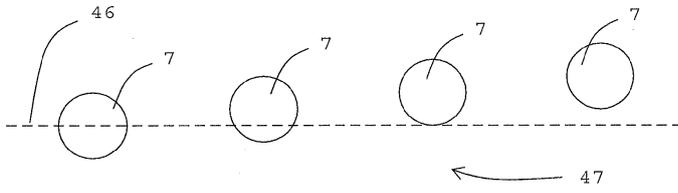
도면11a



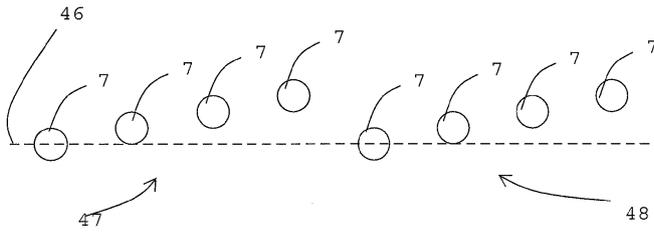
도면11b



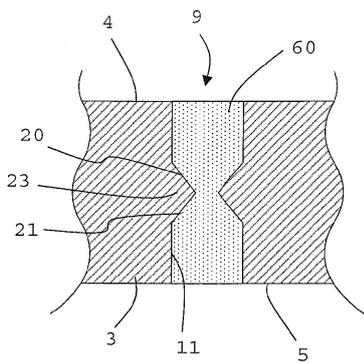
도면12a



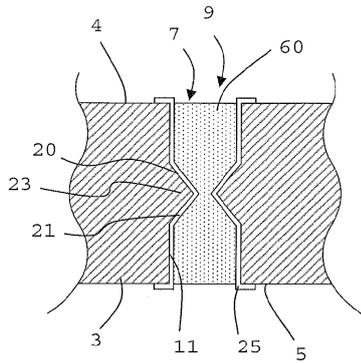
도면12b



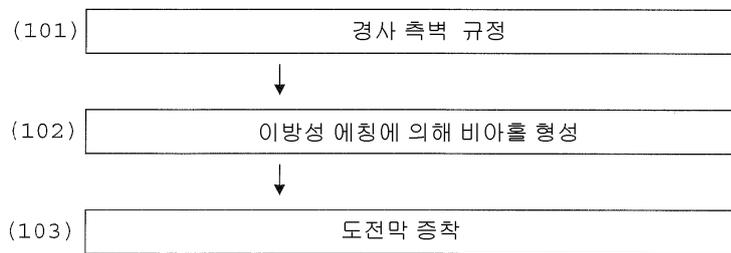
도면13a



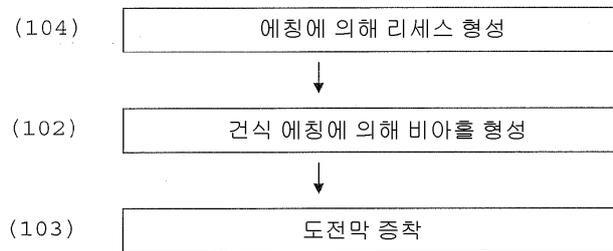
도면13b



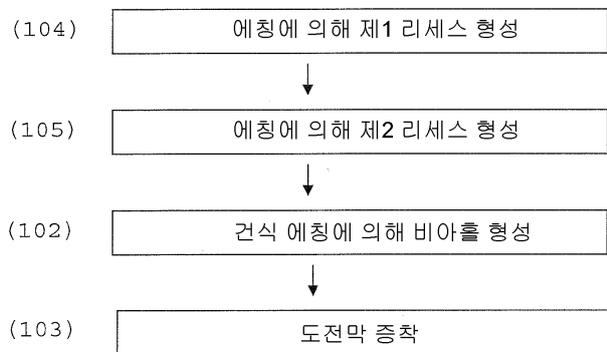
도면14



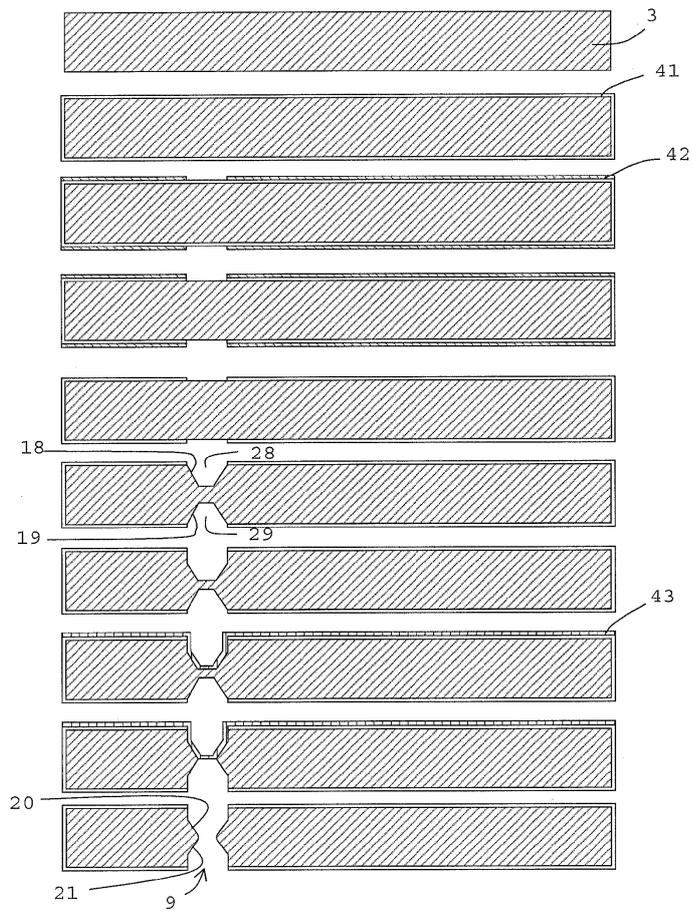
도면15



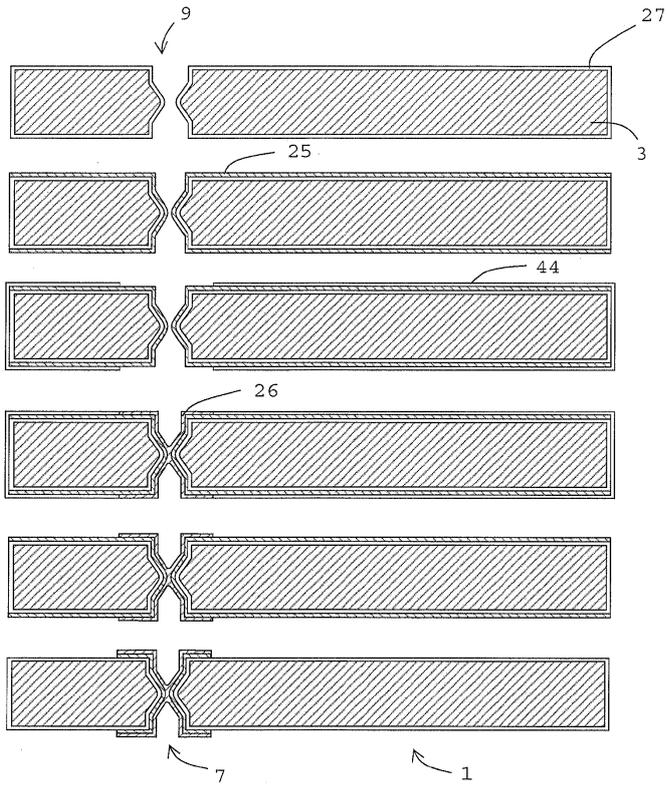
도면16



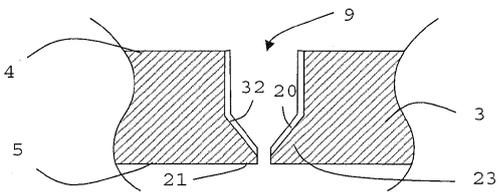
도면17a



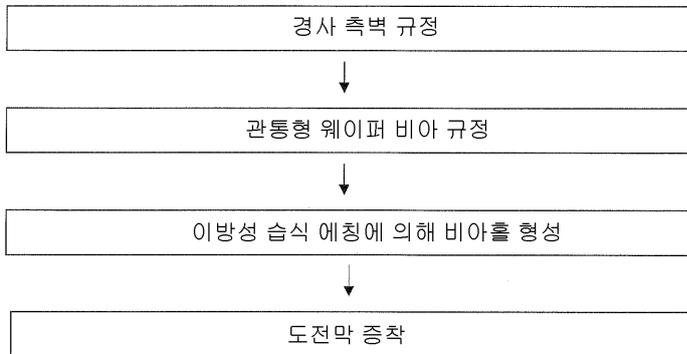
도면17b



도면18



도면19



도면20

