

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-189771

(P2007-189771A)

(43) 公開日 平成19年7月26日(2007.7.26)

(51) Int. Cl. F I テーマコード (参考)  
**H02M 3/155 (2006.01)** HO2M 3/155 B 5H730  
 HO2M 3/155 U

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2006-3729 (P2006-3729)  
 (22) 出願日 平成18年1月11日 (2006.1.11)

(71) 出願人 503361248  
 富士電機デバイステクノロジー株式会社  
 東京都品川区大崎一丁目11番2号  
 (74) 代理人 100092152  
 弁理士 服部 毅巖  
 (72) 発明者 鮎澤 智行  
 東京都品川区大崎一丁目11番2号 富士  
 電機デバイステクノロジー株式会社内  
 Fターム(参考) 5H730 AA02 AA14 AS01 BB13 BB82  
 BB86 DD04 EE43 FD01 XC14

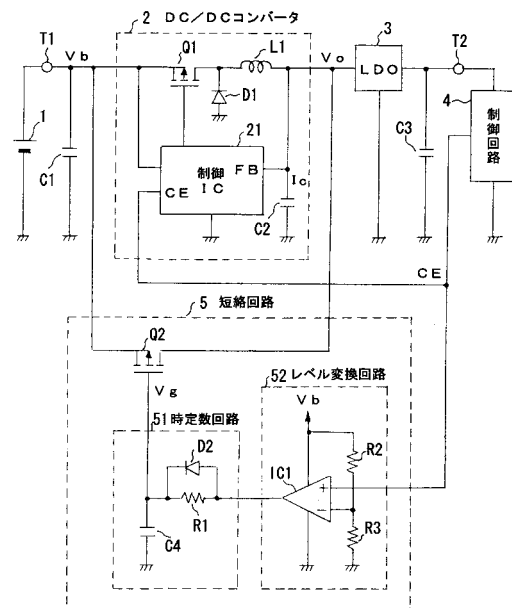
(54) 【発明の名称】 電源装置

(57) 【要約】

【課題】 DC / DCコンバータを用いた電源装置において、軽負荷時にDC / DCコンバータの入出力間を短絡させても電池電圧の瞬間的な低下が発生することなく、電池容量を全て使い切るまで動作させることができるようにする。

【解決手段】 DC / DCコンバータ2の入出力間に並列にFETQ2を接続し、このFETQ2のゲート信号を緩やかに変化させる時定数回路51を設ける。そして、軽負荷時のDC / DCコンバータ2の入出力間の短絡時に、FETQ2を高抵抗状態から低抵抗状態を経て緩やかに短絡状態にする。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

DC/DCコンバータを用いた電源装置において、  
前記DC/DCコンバータの入出力間に並列に接続されたスイッチ素子と、  
前記スイッチ素子を高抵抗状態から低抵抗状態を経て緩やかに短絡状態にする短絡制御回路と、を備えたことを特徴とする電源装置。

## 【請求項 2】

前記スイッチ素子は、FETからなり、  
前記短絡制御回路は、前記FETのゲート信号を緩やかに変化させる時定数回路からなることを特徴とする請求項 1 記載の電源装置。

10

## 【請求項 3】

出力にシ리즈レギュレータの入力が接続されていることを特徴とする請求項 1 または 2 記載の電源装置。

## 【請求項 4】

前記シ리즈レギュレータがLDO（ロー・ドロップ・レギュレータ）であることを特徴とする請求項 3 記載の電源装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、降圧型スイッチング電源を有する電源装置に関し、特にスルーモード付きDC/DCコンバータを用いた電源装置に関する。

20

## 【背景技術】

## 【0002】

従来、携帯機器のように電池で動作する電子機器においては、当該電子機器の電源電圧を安定化させるために、一般に電源装置を設けて電源電圧の制御が行われている。この電源装置が、LDO（Low Dropout Voltage Regulator；低ドロップアウト・リニア・レギュレータ）を含むシ리즈レギュレータ（リニアレギュレータ）の場合、入力電圧である電池電圧と出力電圧との電圧差で電力が消費される。したがって、電池電圧と上記電子機器の電源電圧の差が大きいときは、シ리즈レギュレータでの入出力電圧差による消費電力が大きくなり、電池のエネルギーを有効に使用することができない。例えば、シ리즈レギュレータの出力電圧が入力電圧の半分以下となった場合は、負荷である制御回路の消費電力よりシ리즈レギュレータを用いた電源回路での消費電力の方が大きくなってしま

30

## 【0003】

このため、電池とシ리즈レギュレータ（特にLDO）との間に電圧変換効率の高い（変換によるエネルギーロスの少ない）DC/DCコンバータを挿入し、シ리즈レギュレータ（特にLDO）の入出力電圧差を小さくして、電源回路での消費電力を抑えることにより、携帯機器の動作時間の改善を図ることが行われている。しかし、負荷回路としての上記電子機器に流れる負荷電流が大きいときは動作時間の改善を図ることができるが、軽負荷時には、DC/DCコンバータの消費電流が負荷電流より大きくなり、DC/DCコンバータがないシ리즈レギュレータだけの電源回路の方が有利となる。

40

## 【0004】

そこで、DC/DCコンバータを用いた電源回路において、DC/DCコンバータの入出力間を短絡する短絡回路を設け、軽負荷時にDC/DCコンバータの入出力間を短絡するとともにDC/DCコンバータを停止させ、シ리즈レギュレータのみの動作に切り替えることにより自身の消費電流を下げる事が可能なスルー（短絡）モード付きのDC/DCコンバータを構成し、電子機器の待機時間の改善を図ることが提案されている（例えば、特許文献 1 参照。）。

## 【0005】

図 3 はこのような従来のDC/DCコンバータを用いた電源装置の回路構成を示す図で

50

ある。この電源装置は、入力端子 T 1 からの電池（バッテリー）1 の電池電圧  $V_b$  を直流 - 直流変換する DC / DC コンバータ 2 及び LDO 3 からなる電源回路を有し、出力端子 T 2 から負荷である携帯機器の制御回路 4 に電源電圧を供給するものである。

【0006】

DC / DC コンバータ 2 は、P チャンネルの FET Q 1、インダクタ L 1、出力コンデンサ C 2 及びダイオード D 1 により降圧型スイッチング電源を構成し、制御 IC 2 1 を有している。C 1、C 3 は平滑用のコンデンサである。

【0007】

また、DC / DC コンバータ 2 には、DC / DC コンバータ 2 の入出力間を短絡するための FET Q 2 を有した短絡回路 1 0 が接続されており、合わせてスルーモード付きの DC / DC コンバータが構成されている。FET Q 2 は、DC / DC コンバータ 2 の入出力間に接続され、ゲート端子には N チャンネルの FET Q 1 1 が接続されている。この FET Q 1 1 のゲート端子には、制御回路 4 から制御信号 CE がインバータ Q 1 2 を介して入力される。R 1 1 は抵抗である。

10

【0008】

図 4 は図 3 に示す従来電源装置の各部の出力波形を示す図である。ここでは、制御回路 4 の制御信号 CE、FET Q 2 のゲート信号  $V_g$ 、DC / DC コンバータ 2 の出力端子の電圧  $V_o$ 、FET Q 2 を介して出力コンデンサ C 2 に流れる電流  $I_c$ 、及び電池 1 の電池電圧  $V_b$  を示している。なお、出力電流が過大でないときの電池電圧  $V_b = 4V$ 、DC / DC コンバータ 2 が動作している DC / DC モードのときの DC / DC コンバータ 2 の出力電圧 =  $2V$ 、LDO 3 の出力電圧 =  $1.5V$  としている。

20

【0009】

上記のように構成された電源装置においては、短絡回路 1 0 の FET Q 2 はゲート端子が抵抗 R 1 1 によりプルアップされ、FET Q 1 1 により駆動される。FET Q 1 1 のゲートは、制御回路 4 から制御信号 CE をインバータ Q 1 2 により反転された信号により駆動される。そして、FET Q 2 は、FET Q 1 1 のゲート信号が H（高レベル）のときにオン（導通）となり、このとき DC / DC コンバータ 2 の入出力間が短絡状態となる。なお、DC / DC モードでは制御回路 4 から出力される制御信号 CE が H（ $1.5V$ ）となっていて、DC / DC コンバータ 2 が動作しているとともに FET Q 2 がオフ（遮断）しているため電圧  $V_o$  は  $2V$  となり、スルーモードでは制御信号 CE が L（ $0V$ ）となっていて、DC / DC コンバータ 2 の動作が停止するとともに FET Q 2 がオンしているため電圧  $V_o$  は  $4V$  となる。

30

【0010】

したがって、制御回路 4 が軽負荷のときは制御信号 CE を L にすることにより DC / DC コンバータ 2 の入出力間を短絡し、電池の消耗を低減させて携帯機器の動作時間の改善を図ることができる。なお、DC / DC コンバータ 2 内部の制御 IC 2 1 の CE 端子への入力信号が L（低レベル）で、DC / DC コンバータ 2 が動作する場合は、制御信号 CE を直接 FET Q 1 1 のゲート端子に入力することで、インバータ Q 1 2 は不要となる。

【特許文献 1】特開平 5 - 38138 号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0011】

ところで、上記のような従来電源装置においては、軽負荷時に DC / DC コンバータ 2 の入出力間を FET Q 2 で短絡させた瞬間、DC / DC コンバータ 2 の出力コンデンサ C 2 に電池電圧  $V_b$  が印加されて、図 4 の  $I_c$  の波形に示すように出力コンデンサ C 2 への充電突入電流が発生し、電池電圧  $V_b$  が一瞬低下するという現象が発生する。

【0012】

そして、この現象が電池電圧  $V_b$  が低いとき、すなわち電池残量が少ないときに発生すると、制御回路 4 はこの電圧低下を図示しない手段により検知して電池残量がなくなると判断してしまい、携帯機器の電源をオフ（OFF）にする。このため、電池容量を全て

50

使い切ることができないという問題点がある。

【0013】

本発明は、このような点に鑑みてなされたものであり、軽負荷時にDC/DCコンバータの入出力間を短絡させても電池電圧の瞬間的な低下が発生することなく、電池容量を全て使い切るまで動作させることができる電源装置を提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明では上記課題を解決するために、DC/DCコンバータを用いた電源装置において、前記DC/DCコンバータの入出力間に並列に接続されたスイッチ素子と、前記スイッチ素子を高抵抗状態から低抵抗状態を経て緩やかに短絡状態にする短絡制御回路と、を備えたことを特徴とする電源装置が提供される。

10

【0015】

このような電源装置によれば、DC/DCコンバータの入出力間に接続されたスイッチ素子を高抵抗状態から低抵抗状態を経て緩やかに短絡状態にするので、軽負荷時にDC/DCコンバータの入出力間を短絡させても電池電圧の瞬間的な低下が発生することなく、電池容量を全て使い切るまで動作させることができる。

【0016】

また、本発明では、出力にLDOなどのシリースレギュレータを接続して総合的に変換効率を向上させることのできる電源装置が提供される。

【発明の効果】

20

【0017】

本発明の電源装置は、DC/DCコンバータの入出力間に接続されたスイッチ素子を高抵抗状態から低抵抗状態を経て緩やかに短絡状態にするため、軽負荷時にDC/DCコンバータの入出力間を短絡させても電池電圧の瞬間的な低下が発生することなく、電池容量を全て使い切るまで動作させることができるという利点がある。

【発明を実施するための最良の形態】

【0018】

以下、本発明の実施の形態を図面を参照して説明する。

図1は本発明の実施の形態のDC/DCコンバータを用いた電源装置の回路構成を示す図である。この電源装置は、図3に示す従来のもと同様、電池1の電池電圧 $V_b$ を直流-直流変換するDC/DCコンバータ2及びLDO3からなる電源回路を有し、負荷である携帯機器の制御回路4に電源電圧を供給するものである。

30

【0019】

DC/DCコンバータ2は、PチャンネルのFETQ1、インダクタL1、出力コンデンサC2及びダイオードD1により降圧型スイッチング電源を構成し、フィードバック(FB)制御によりFETQ1を駆動する制御IC21を有している。T1は入力端子、T2は出力端子、C1、C3は平滑用のコンデンサである。

【0020】

また、DC/DCコンバータ2には、DC/DCコンバータ2の入出力間を短絡するためのスイッチ素子であるPチャンネルのFETQ2を有した短絡回路5が接続され、合わせてスルーモード付きのDC/DCコンバータが構成されている。FETQ2は、DC/DCコンバータ2の入出力間に並列に接続され、ゲート端子は時定数回路51に接続されている。この時定数回路51は、抵抗R1とコンデンサC4からなるCR時定数回路の出力によりFETQ2のゲート電圧を緩やかに変化させて、FETQ2を高抵抗状態から低抵抗状態を経て緩やかに短絡状態にする短絡制御回路として設けられている。D2は抵抗R1と並列に接続されたダイオードである。

40

【0021】

上記時定数回路51には、制御回路4からの制御信号CEがレベル変換回路52を通して入力される。このレベル変換回路52は、制御信号CEをFETQ2のソース端子電圧である電池電圧レベルの信号に変換するもので、図では演算増幅器IC1と閾値設定用の

50

抵抗  $R_2$  ,  $R_3$  で構成した例を示しているが、レベル変換 IC などを用いてもよい。

【0022】

図2は図1に示す本実施の形態の電源装置の各部の出力波形を示す図である。ここでは、DC/DCコンバータ2のDC/DCモード及びスルーモード時における制御回路4から出力される制御信号CE、FETQ2のゲート信号Vg、DC/DCコンバータ2の出力端子の電圧Vo、FETQ2を介して出力コンデンサC2に流れる電流Ic、及び電池1の電池電圧Vb（定格は通常3~4.2V）を示している。なお、出力電流が過大でないときの電池電圧Vb = 4V、DC/DCモードのときのDC/DCコンバータ2の出力電圧 = 2V、LDO3の出力電圧 = 1.5Vとしている。

【0023】

本実施の形態の電源装置では、DC/DCコンバータ2の入出力間の短絡回路5に、瞬間的に短絡させないための時定数回路51を追加し、電池1からの電流が徐々に増加するように制御し、出力コンデンサC2への突入電流を制限して、電池電圧の瞬間的な低下が発生しないようにしている。

【0024】

すなわち、制御回路4が軽負荷になって制御信号CEがLになると、DC/DCコンバータ2はその動作が停止されるとともに入出力間が短絡される。このとき、レベル変換回路52の出力もLに変わるが、FETQ2のゲート端子電圧Vgは、時定数回路51のコンデンサC4に蓄えられた電荷が抵抗R1を通して放電されるため、緩やかに低下する。これにより、FETQ2のオン(ON)抵抗が高抵抗状態から低抵抗状態に緩やかに変化して短絡状態に至る。

【0025】

以上の動作により、DC/DCコンバータ2の出力コンデンサC2の充電電流は、FETQ2のオン抵抗に制限されながら出力コンデンサC2を充電するため、充電突入電流を防ぐことができる。したがって、図2に示すように、軽負荷時にDC/DCコンバータ2の入出力間を短絡させても電池電圧Vbの瞬間的な低下が発生することなく、電池容量を全て使い切るまで動作させることができる。

【0026】

なお、制御回路4の負荷が増える場合は、制御信号CEがHに切り替わり、DC/DCコンバータ2が動作を開始するが、このときFETQ2のゲート端子電圧Vgは、レベル変換回路52の出力がダイオードD1を通してコンデンサC4を充電するので、時定数による遅延なしにHに切り替わる。このため、FETQ2は直ぐにオフ(遮断)に切り替わり、DC/DCコンバータ2の動作(出力)には影響を与えない。

【図面の簡単な説明】

【0027】

【図1】本発明の実施の形態の電源装置の回路構成を示す図である。

【図2】本実施の形態の電源装置の各部の出力波形を示す図である。

【図3】従来電源装置の回路構成を示す図である。

【図4】従来電源装置の各部の出力波形を示す図である。

【符号の説明】

【0028】

- 1 電池
- 2 DC/DCコンバータ
- 3 LDO
- 4 制御回路
- 5 短絡回路
- 21 制御IC
- 51 時定数回路
- 52 レベル変換回路
- C1, C3, C4 コンデンサ

10

20

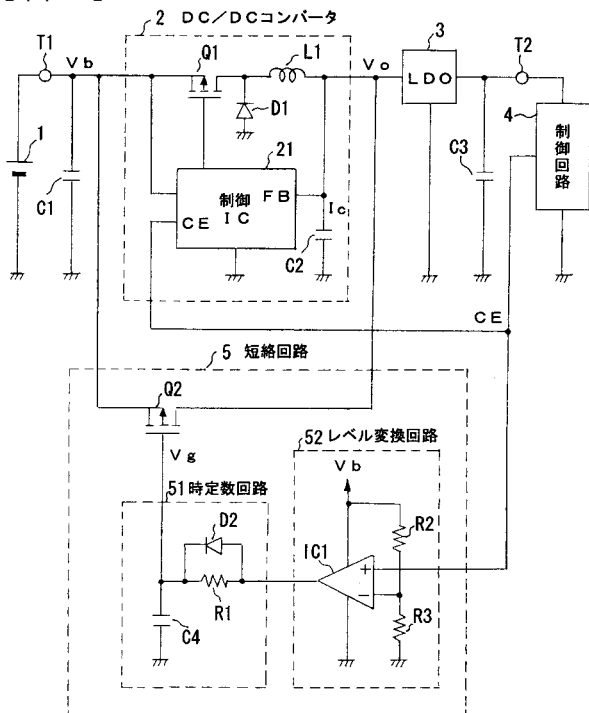
30

40

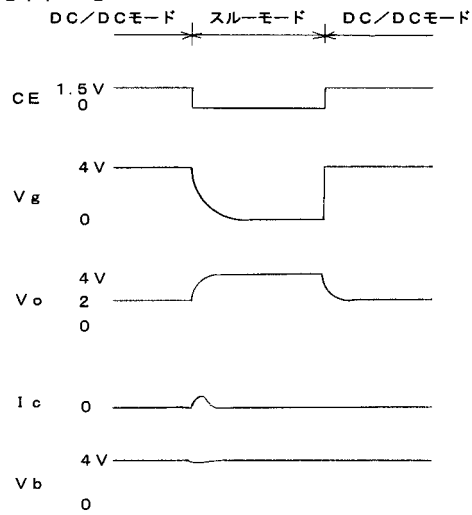
50

- C 2 出力コンデンサ
- D 1 , D 2 ダイオード
- I C 1 演算増幅器
- L 1 インダクタ
- Q 1 , Q 2 F E T
- R 1 , R 2 , R 3 抵抗

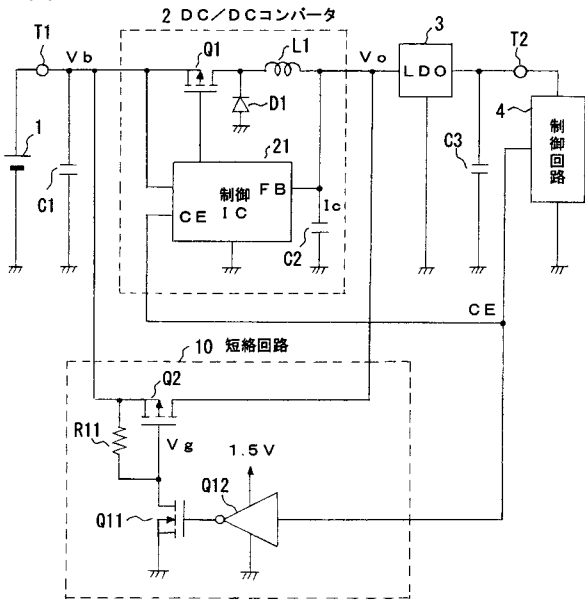
【 図 1 】



【 図 2 】



【図3】



【図4】

