

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 27/04

(45) 공고일자 2000년03월 15일  
(11) 등록번호 10-0247724  
(24) 등록일자 1999년 12월 14일

(21) 출원번호	10-1996-0032312	(65) 공개번호	특1997-0018507
(22) 출원일자	1996년08월02일	(43) 공개일자	1997년04월30일
(30) 우선권주장	8/522,768 1995년09월01일	미국(US)	
(73) 특허권자	인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘		
	미국 10504 뉴욕주 아몽크		
(72) 발명자	라스키 제롬 브레트		
	미국 05452 버몬트주 에섹스 정선 유레이 로드 11		
(74) 대리인	장수길		

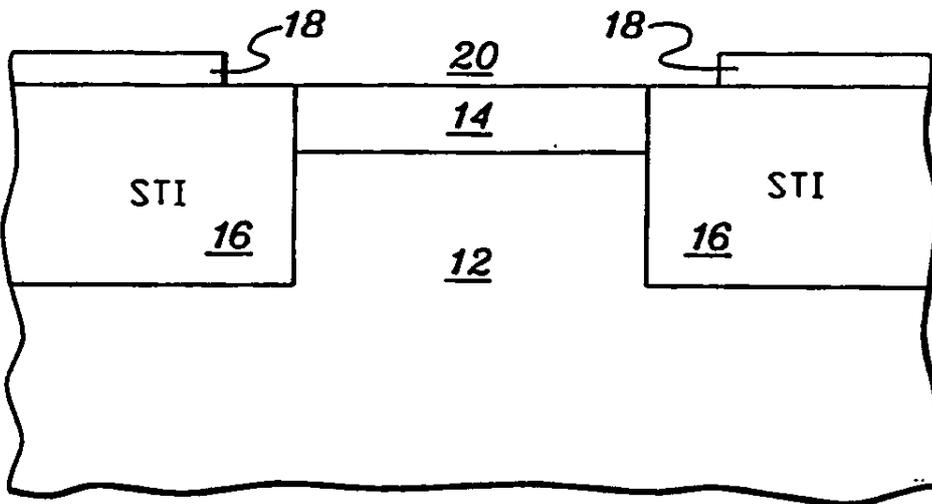
심사관 : 정해근

(54) 실리사이드화된 접촉 영역을 갖는 확산 저항 구조 및 그의 제조 방법

요약

본 발명은 실리사이드화된 제1 접촉 영역과 실리사이드화된 제2 접촉 영역의 반대 단부들에서 전기적으로 집적된 저항 형성 확산 영역을 포함하는 확산 저항 구조를 제공한다. 폴리실리콘 및 산화물층 또는 산화물층만이 확산 영역의 몸체 영역위에 남는다. 본 발명의 방법은 후속하는 도펀트 외부 확산 단계가 수행될 때 상부 폴리실리콘층으로 확산하는 것을 방지하는 확산 장벽층을 이용함으로써 실리사이드화된 접촉으로 확산 저항의 형성을 제공한다. 다음에 선택적 에칭이 도핑되지 않은 폴리실리콘층을 제거하는데 사용되고 확산 영역의 몸체 위에 폴리실리콘 캡을 남긴다. 확산 영역의 제2 영역은 몸체 영역은 보호되면서 실리사이드화된 제1 접촉 영역과 제2 접촉 영역을 포함한다.

대표도



명세서

도면의 간단한 설명

제1도는 얇은 트렌치 절연부(STI)에 의해 절연된 반도체 기판 내의 저항 형성 확산 층과 그 위에 패턴된 질화물이 형성된 단면도.

제2도는 확산 영역의 제1영역 위에 폴리실리콘층이 형성한 다음의 제1도의 반도체 구조의 부분 사시도.

제3도는 확산 영역의 제1영역 위의 폴리실리콘 층 위에 있는 산화물층의 형성 다음의 제2도의 반도체 구조의 단면도.

제4도는 제3도의 반도체 구조로부터 질화물층이 제거되고 확산 영역의 제2영역의 제1접촉 영역과 제2접촉 영역에 실리사이드층을 형성한 다음에 얻어진, 본 발명에 따른 하나의 확산 저항 구조의 부분 사시도.

## 〈도면의 주요부분에 대한 부호의 설명〉

10 : 확산 저항 구조	12 : 웰
14 : 확산 영역	16 : 얇은 트렌치 절연부
17 : 제 1 접촉 영역	18 : 확산 장벽층
19 : 제 2 접촉 영역	22 : 폴리 실리콘
24 : 보호 산화물층	

**발명의 상세한 설명****발명의 목적****발명이 속하는 기술분야 및 그 분야의 종래기술**

본 발명은 반도체 소자를 제조하는 방법에 관한 것으로, 특히 제어된 저항률과 실리사이드화된 접촉 영역을 갖는 확산 저항 구조 및 그 제조 방법에 관한 것이다.

초기의 반도체 집적 회로에서, 저항은 확산된 영역에 의해, 또는 에칭에 의해 정해진 반도체 기판의 부분들에 의해 제공되었다. 집적 회로 내의 소자들의 밀도가 증가함에 따라 저항이 차지하는 영역은 제한되었기 때문에, 저항을 일부만 사용하거나 또는 전혀 사용하지 않는 논리적 형성물을 선호되었다. 예를 들어, 바이폴라 기술의 트랜지스터-트랜지스터 논리(TTL) 및 집적 주입 논리(I<sup>2</sup>L)은 저항이 차지하는 바(bar) 상의 영역을 최소화시키는 특징을 가졌다. 금속-산화물 반도체(MOS) 논리 및 메모리에서, 트랜지스터가 부하 소자로서 사용된다. 단일 칩 디지털 프로세서 또는 메모리 칩 내에 저항을 포함하지 않고 다수의 트랜지스터를 포함하는 복잡한 MOS 회로의 다양한 예가 본 기술에 공지되어 있다. 그러나, 융통성의 개선을 위해, 이러한 칩에, 특히 다이내믹 랜덤 액세스 메모리(DRAM) 칩 및 집적된 DRAM/논리 칩에 확산형 저항을 제공하는 것이 바람직하다.

DRAM 또는 DRAM/논리 칩에 확산 저항을 형성하는데 있어서의 관건 중의 한가지 요소는 칩 구조를 제조하는데 필요한 추가 마스크 단계의 수가 제한되는데, 바람직하게는 DRAM 칩 또는 DRAM/논리 칩 자체의 형성을 위해 이미 필요로 하는 것 외에 추가적인 마스크 공정을 더 요구하지 않아야 한다는 것이다. 추가 마스크가 있을 때마다 복잡도는 증가한다. 예를 들어, 칩 상의 소자들은 수 마이크로미터 내에 정렬되어야 하고 이전의 마스크 동작에 대해 웨이퍼의 한 부분 내에 정렬되는 마스크는 웨이퍼의 다른 부분 내의 레지스트리(registry)를 벗어날 수 있다. 그러므로, 온-칩 확산 저항 구조(on-chip diffusion resistor structure)를 제공하는데 필요한 마스크의 수를 제한하는 것이 중요하다.

다른 고려로서, 내화성 금속 및 내화성 금속 실리사이드는 도전성 구조를 상호 접속하는데 흔히 사용하였다. 이들 물질은 물질에 나타나는 제조상 위험을 제공하지 않고서 알루미늄 및 구리와 같은 금속과 정상적으로 관련된 낮은 저항률 특성을 갖는다. 전형적으로, 실리사이드 전극은 기판상에 내화성 금속 층을 피착하고, 노출된 실리콘 영역 위에 실리사이드를 형성하도록 금속을 가열하고, 반응하지 않는 내화성 금속을 제거하기 위해 습식 에천트(wet etchant)로 기판을 처리함으로써 실리콘 확산 영역 위에 형성된다. 확산 저항 위에서 적용될 경우에, 실리사이드 형성방법은 결과물인 구조의 저항값이 너무 낮아서, 일반적으로 사용하기에는 부적절하고, 저항값은 위치에 따라서 상당히 변화할 수 있다는 문제점을 갖고 있다. 그러므로, 저항으로서의 이러한 구조의 유용성은 매우 의문스럽다.

본 명세서에 참고로 인용되는 "Boron Out-Diffused Surface Strap Process"라고 하는 양도된 미국 특허 5,185,294호는 관심 있는 하나의 공정을 기술하고 있다. 이 특허에서, 영역이 유전체에 의해 분리될 때 제1 실리콘 영역을 제2 실리콘 영역에 전기적으로 접속하기 위한 반도체 소자 내의 스트랩 형성의 신규한 공정이 기술되어 있다. 이 특허는 도전성 구조 사이에 저 저항 접속을 형성할 필요성을 제안하였으나, 확산 저항의 제조에 대해서는 제안하지 못하였다.

**발명이 이루고자 하는 기술적 과제**

따라서, 반도체 확산 저항 구조를 포함하는 반도체 칩을 제조하는데 필요한 마스크 단계의 수를 반드시 증가시키지 않고서 제어된 저항률 및 실리사이드화된 접촉 영역을 갖는 반도체 확산 저항 구조를 제공하는 것이 본 기술분야에서 필요하게 되었다.

간단히 요약하면, 본 발명의 제1 양태에 따르면, 반도체 구조의 상부 표면으로부터 반도체 구조내로 연장하는 저항 형성 확산 영역을 갖는 확산 저항 구조가 제공된다. 확산 영역은 반도체 구조 내에서 전기적으로 절연(isolate)되고 제1 영역 및 제2 영역을 포함한다. 제1 영역은 확산 저항 구조의 저항체를 포함하고, 제2 영역은 제1 접촉 영역 및 제2 접촉 영역을 포함한다. 제1 접촉 영역 및 제2 접촉 영역은 확산 영역의 제1 영역에 의해 분리된다. 폴리실리콘층은 확산 영역의 제1 영역 위에 놓이고, 산화물층은 폴리실리콘층 위에 놓인다. 실리사이드는 확산 영역의 제2 영역 위에 형성되어, 제1 접촉 영역은 제1 실리사이드화된 접촉 영역을 포함하고 제2 접촉 영역은 제2 실리사이드화된 접촉 영역을 포함한다. 확산 저항 구조와의 전기적 접속은 제2 영역의 제1 실리사이드화된 접촉 영역과 제2 실리사이드화된 접촉 영역을 통해 이루어진다. 다른 실시예에서는, 폴리실리콘층을 생략하고 산화물층만이 제1 영역 위에 놓일 수도 있다.

다른 양태에서, 확산 저항 구조를 제조하는 방법이 제공된다. 이 방법은 반도체 구조의 상부 표면에 인접한 반도체 구조 내에서 절연된 저항 형성 확산 영역을 형성하는 단계, 반도체 구조 위에 확산 장벽층을 형성하는 단계로서 확산 장벽층은 확산 영역의 제1 영역이 반도체 구조의 상부 표면에 노출되고 확산 영

역의 제2 영역이 확산 장벽층 아래에 놓이도록 패턴되는 단계, 확산 장벽층과 확산 영역의 제1 영역 위에 폴리실리곤층을 형성하는 단계, 제1 영역으로부터 폴리실리곤층으로 도펀트를 확산하여 도핑된 폴리실리곤층을 형성하는 단계로서, 확산 장벽층은 확산 영역의 제2 영역으로부터의 도펀트의 확산을 방지하는 단계, 도핑된 폴리실리곤층 위에 산화물층을 형성하는 단계, 및 확산 장벽층을 제거하여 반도체 구조의 상부 표면으로부터 확산 영역의 제2 영역을 실리사이드화하는 단계를 포함한다. 제2 영역은 확산 영역의 제1 영역에 의해 분리된 제1 접촉 영역 및 제2 접촉 영역을 포함한다. 확산 저항 구조와의 전기적 접촉은 실리사이드화된 제1 접촉 영역 및 실리사이드화된 제2 접촉 영역을 통해 이루어진다.

또 다른 양태로서, 본 발명은 반도체 구조의 상부 표면으로부터 반도체 구조내에 절연된 저항 형성 확산을 형성하는 단계, 확산 영역 위에 마스크층을 형성하는 단계, 반도체 구조의 상부 표면에서 확산 영역의 제1 영역을 노출시키기 위해 마스크 층의 일부를 패턴하고 제거하는 단계, 제1 확산 영역 위에 산화물층을 형성하는 단계, 마스크층을 확산 영역 제2 영역 위에서 제거하는 단계로서, 제2 영역은 제1 접촉 영역 및 제2 접촉 영역을 포함하고 제1 접촉 영역과 제2 접촉 영역은 확산 영역의 제1 영역에 의해 분리되는 단계, 및 확산 영역의 제2 영역의 제1 접촉 영역과 제2 접촉 영역을 실리사이드화하는 단계를 포함하는 확산 저항 구조를 제조하는 방법을 포함한다. 확산 저항 구조와의 전기적 접촉은 실리사이드화된 제1 접촉 영역과 실리사이드화된 제2 접촉 영역을 통해 이루어진다.

다시 말하면, 이러한 구조를 제조하는 방법에 따라 여전히 실리사이드화된 접촉 영역을 가지면서도 제어된 저항률을 가질 수 있는 확산 저항 구조가 제공된다. 개선된 저항률 제어는 접촉 영역의 실리사이드링과 같은 정도인 실리사이드이션으로 부터 확산 저항체를 절연시킴으로써 이루어진다. 이것을 달성하기 위한 다양한 구현이 본 명세서에 제시된다. 유리하게도, 확산 저항의 주 몸체부 위에 있는 상부 폴리실리곤 또는 산화물 층은 그 저항률에 상당히 영향을 주지 않는다. 또한 확산 저항 구조가 집적될 반도체 제조 공정에 따라 추가 마스크 단계가 요구되지 않는다. 예를 들어, 본 발명에 따른 확산 저항 구조는 추가 마스크 단계를 필요로 하지 않고서 제시된 기술에 따라 다이내믹 랜덤 액세스 메모리(DRAM) 칩 또는 DRAM/논리칩용으로 제조될 수 있다.

본 발명의 이들 목적과 다른 목적, 장점 및 특징은 첨부 도면과 관련하여 이루어진 본 발명의 소정의 양호한 실시예의 다음의 상세한 설명으로부터 보다 용이하게 이해될 수 있을 것이다.

### 발명의 구성 및 작용

본 출원에 사용되는 바와 같이, 도핑이라 함은 반도체 물질에 불순물을 첨가하는 것을 말한다. 도핑은 도전을/-저항률의 변화 정도에 따라 N형 및 P형 반도체의 제조를 가능하게 한다. 일반적으로 도핑의 정도가 클수록 도전률은 높아지고 저항률은 낮아진다. 공지된 바와 같이, N형 물질은 도너형 불순물로 도핑되는 반도체 물질을 말하고, 결과적으로 전자를 통해 전류를 흐르게 한다. P형 물질은 억셉터 불순물로 도핑되는 반도체 물질을 말하고, 결과적으로 정공 이동을 통해 전류를 흐르게 한다.

에칭은 에칭된 회로에서 볼 수 있듯이, 원하는 패턴을 형성하기 위해 금속을 화학적으로 에칭제거하는 것을 말한다. RIE는 반응성 이온 에칭을 말한다. 선택적에칭은 에칭의 사용을 말하고, 예를 들어 특정회로의 제조에 있어서 반도체 구조 내에서 한 물질의 선택된 부분을 서로 다른 물질로부터 제거하는 것을 말한다. 본 출원에 사용되는 실리곤은 폴리실리곤(다결정 실리곤), 비정질 실리곤(무결정 실리곤) 및 단결정 실리곤을 포함한다. 이러한 실리곤은 N 또는 P 도핑될 수 있고, 또는 전혀 도핑되지 않을 수도 있다.

상술한 바와 같이, 본 발명의 광의의 넓은 개념은 매립된 확산 저항 구조에 관한 것이고 이러한 구조를 제조하는 방법에 관한 것이다. 여기서 실리사이드화된 접촉 영역은 저항 형성 확산 영역의 반대 단부에 제공된다. 실리사이드화된 접촉영역은 매립된 확산 저항 구조와 전기적 접촉을 하기 위해 노출된다. 이 방법은 넓게는,

- (a) 저항 형성 확산 영역을 정하기 위해 실리곤 구조의 노출된 표면을 도핑하는 단계,
- (b) 실리곤 표면의 상부 표면 위에 연속 확산 장벽층을 피착하는 단계,
- (c) 실리곤 구조 내의 매립 확산 영역의 제1 영역 위에 확산 장벽층의 일부를 선택적으로 제거하도록 확산 장벽층을 에칭하여, 하부 실리곤 표면을 노출시키는 단계,
- (d) 확산 영역의 제1 영역 내로 도펀트를 주입하는 단계,
- (e) 확산 장벽층 및 또한 제1 영역의 노출된 하부 표면 위에 폴리실리곤의 연속층을 피착하는 단계,
- (f) 확산 영역의 제1 영역으로부터 폴리실리곤의 연속층으로 주입된 도펀트를 확산하는 단계로서, 확산 장벽층의 제거되지 않은 부분은 확산 장벽층의 제거되지 않은 부분 위에 있는 폴리실리곤층의 연속층의 그 부분으로 도펀트가 확산하는 것을 방지하는 단계,
- (g) 확산 도펀트를 포함하지 않는 폴리실리곤의 연속층을 선택적으로 제거하기 위해 최종 구조를 에칭하여 매립 확산 영역의 제1 영역의 노출된 표면 위에 폴리실리곤의 연속층의 도핑된 부분을 남기는 단계,
- (h) 나머지 폴리실리곤층 위에 산화물층을 형성하는 단계, 및
- (i) 어떤 남아있는 확산 장벽층을 제거하기 위해 최종 구조를 에칭하여 매립 확산 영역의 제2 영역을 노출한 다음 제1 실리사이드화된 접촉 영역 및 제2 실리사이드화된 접촉 영역이 정해지도록 제2 영역을 실리사이드화하는 단계로서, 제1 실리사이드화된 접촉 영역 및 제2 실리사이드화된 접촉 영역이 매립 확산 영역의 제1 영역에 의해 분리되고 제1 영역은 확산 저항 구조의 저항체를 포함하는 단계를 포함한다.

다르게는, 도펀트의 주입, 폴리실리곤의 피착 및 폴리실리곤으로의 도펀트의 외부 확산은 산화가 매립 확산 영역의 제1 영역의 노출된 표면 바로 위에서 일어나도록 생략될 수 있다.

반도체 구조는 양호하게는 확산 영역을 정하기 위해 이온 주입을 이용하여 붕소로 도핑된 실리곤 기판을 포함한다. 다르게는 도펀트는 BF<sub>2</sub>를 포함할 수 있고, 이 경우에 어닐링(annealing) 단계가 붕소를 배출하

는데 요구된다. 또한, 이전 단계 대신에 단계 (b) 및 (c) 이 후에 확산 영역의 노출된 표면을 도핑하는 것이 가능하다. 어느 경우이나 도펀트는 확산 저항이 형성될 위치에 가해지고 도펀트는 본 명세서에 기술되는 바와 같이 확산을 위해 유용하다.

한 실시예에서의 연속 확산 장벽층은 실리콘 질화물을 포함하나, 알루미늄 산화물 또는 실리콘 이산화물을 포함할 수도 있다. 확산 장벽층은 양호하게는 화학기상 증착법을 이용하여 피착된다.

마스크가 다음에 매립된 확산 영역의 제1 영역(즉, 확산 저항체)의 노출의 결과로 생긴 상기 층 내에 패턴을 정하기 위해 확산 장벽층 위에 가해진다. 다음에 폴리실리콘의 연속층이 남아있는 확산 장벽층과 확산 장벽층의 부분적 제거에 의해 노출된 하부표면 위에도 피착된다. 양호하게는, 이 피착은 화학 증착을 포함한다. 폴리실리콘층을 이용하는 방법에서 중요한 단계는 매립 확산 영역의 제1 영역으로 부터 폴리실리콘층의 상부층으로의 도펀트의 확산이다. 이 도펀트는 나머지 확산 장벽층을 통하여 확산하지 않고, 오히려 확산 장벽층이 이미 에칭 제거된 위치에 대응하는 폴리실리콘의 연속층으로만 확산한다.

양호하게는, 이 외부 확산(out-diffusion)은 약 5분 동안 약 875-900°C에서 구조를 어닐링하는 것을 포함하고, 결국 붕소의 확산이 폴리실리콘층으로의 약 0.2 마이크로미터의 거리로 된다.

최종 구조는 다음에, 예를 들어, 칼륨 하이드록사이드-이소프로필 알콜(KOH/IPA) 또는 다른 적합한 알콜, 또는 에틸렌디아민, 피로카테콜 및 물(EPW)로 습식 에칭되어, 폴리실리콘의 연속층의 일부를 제거하는데 이 폴리실리콘 연속층으로는 도펀트가 확산하지 않는다. 그러므로, 폴리실리콘층의 남아있는 부분만이 확산 장벽층이 이미 에칭 제거된 부분에 대응하는 그 부분이다. 폴리실리콘은 다음에 산화되고 남아있는 확산 장벽층은, 양호하게는 반응성 이온 에칭을 사용하여 에칭제거된다. 확산 장벽층을 제거할 때, 확산 영역의 제2 영역은 실리사이드화되어, 예를 들어, 티타늄 실리사이드(TiSi)가 형성된다. 최종 실리사이드화된 영역은 제1 접촉 영역과 제2 접촉 영역을 포함하고, 이들은 확산 저항 구조의 반대 단부에 인접하여 분리된다. 이들 접촉 영역은 저항체를 다시 포함하는 확산 영역의 제1 영역에 의해 분리된다. 사용할 때에, 확산 영역의 제1 영역을 통해 제1 접촉 영역으로부터 제2 접촉 영역으로 전류가 흐른다. 제1 접촉 영역 및 제2 접촉 영역의 실리사이드이션은 확산 저항과의 전기 접촉을 용이하게 한다.

확산 저항 구조의 한 실시예와 그 제조 방법도 1-4에 도시되어 있는데 이들 도면에는 동일한 참조 번호가 동일하거나 유사한 소자들을 표시하는데 여러 도면에 사용되었다. 또한, 이들 도면은 실제 규격대로 도시되지는 않았다. 도 1에 도시한 바와 같이, 확산 영역(14)는 실리콘 기판 또는 웰(12)과 같은 반도체 구조 내에 정해진다. 이 확산 영역(14)는 이 경우에 얇은 트렌치 절연부(STI; 16)로 절연된다. 패턴된 확산 장벽층(18)은 반도체 구조의 상부 표면 위에 놓인다. 상술한 바와 같이, 이 확산 장벽층(18)은 질화물을 포함할 수 있다. 도시된 횡단면도에서, 층(18)은 확산 영역(14)의 상부 표면을 노출시키기 위해 개구(20)로 패턴된다. 확산 영역(14)는 고체 용해도 훨씬 이상으로 표면 농도를 같도록 붕소 이온 주입된 것으로 가정된다. 한 실시예에서, 10keV에서의 2 E15 BF<sub>2</sub>가 사용될 수 있다.

특히, 붕소가 주입된 (그러나 어닐링되지 않음) 후에, 질화물층은 저압 화학증착(LPCVD)을 이용하여 피착될 수 있고, 바람직하게는 약 250 Å의 두께로 실리콘 질화물이 형성된다. 다음에, 레지스트층이 질화물층의 반응성 이온 에칭을 위한 마스크로 가능하도록 가해진다. 확산 저항체로서 기능하는 매립 확산 영역의 중심부는 그 영역 내의 질화물을 에칭함으로써 노출된다. 도 1은 레지스트층이 제거된 후의 최종 반도체 구조를 도시한다.

레지스트층의 제거 후에, 진성 폴리실리콘층이 LPCVD층을 사용하여 전체 구조 위에 가해진다. 한 실시예에서, 피착된 폴리실리콘은 1200 Å 두께이다. 폴리실리콘의 피착 이 후에, 붕소는 확산 영역(14)의 노출된 부분으로부터 외부 확산된다. 한 예로서, 외부 확산은 5분 동안 900°C에서 구조를 어닐링함으로써 달성될 수 있다.

도펀트의 외부 확산 이 후에, 반도체 구조는 예를 들어, 칼륨 하이드록사이드-이소프로필 알콜(KOH/IPA) 또는 다른 적합한 알콜, 또는 에틸렌디아민, 피로카테콜 및 물(EPW)로 습식 에칭되어, "저농도 도핑된" 폴리실리콘을 제거한다. 저농도 도핑된 폴리실리콘은 붕소 외부 확산 단계 중에 더 이상 도핑되지 않는 폴리실리콘이다. 즉 질화물층 위에 피착된 확산 영역이다. 남아있는 폴리실리콘은 도 2의 영역(22)에 대응하고, 이 간단한 예에서 확산 저항체 위의 영역을 나타낸다.

남아있는 폴리실리콘(22)는 다음에 산화되어, 폴리실리콘층 위에 보호 산화물층(24)가 형성된다(도 3 참조). RIE는 확산 영역은 노출된 제2 영역 내에 생성된 나머지 질화물층을 제거하는데 사용된다. 제2 영역은 제1 접촉 영역(17)과 제2 접촉 영역(19)를 포함한다. 영역(17) 및 영역(19)는 확산 저항의 주 몸체(21), 즉 확산 영역의 제1 영역으로 분리된다. 티타늄 실리사이드층이 다음에 노출된 실리콘층(17) 및 (19) 위에 가해진다(도 2 및 4 참조). 특정적으로, 티타늄층은 전체 구조 위에 피착되고 티타늄과 어떤 노출된 하부 실리콘층 사이의 반응을 일으키도록 가열된다. 이것은 확산 저항의 제1 접촉 영역(17)과 제2 접촉 영역(19)에 티타늄 실리사이드를 생성시킨다. 반응되지 않은 티타늄은 본 기술에 숙련된 자들에게 공지된 어떤 적합한 수단을 사용하여 제거된다. 참조 번호(10)으로 전체적으로 표시된 최종 확산 저항 구조가 도 4에 도시된다. 또한, 본 기술에 숙련된 자들은 본 명세서에 나타난 발명으로부터 도 4의 구조(10)은 단지 제시된 개념의 한 구현에 지나지 않는다는 것을 인식할 것이다. 다양한 확산 저항 구성이 본 발명의 범위를 벗어나지 않고서 용이하게 인식될 수 있다.

본 명세서에 개략된 각 단계들은 공정 윈도우를 정하도록 최적화될 수 있다. 예를 들어, P+ 접합 형성시의 추가 이온 주입의 목적은 외부 확산 단계 동안 지속될 붕소의 저장통을 제공하는 것이다. 표준 반도체 접합이 이미 고체 용해도 이상으로 농도를 상승시키기 때문에, 이 추가 이온 주입은 접합 깊이의 변화를 주지 않는다. 1 E15 이상의 이온 주입의 경우에 매립 확산 영역의 크기의 증가는 없다. 즉, 이것보다 높은 도즈(dose)의 경우에 붕소 저장통은 확산 종료시에 공핍되지 않았다.

BF<sub>2</sub>가 고 도즈 이온 주입을 위해 사용되는 경우, 붕소 배출 가스 어닐이 요구된다. 붕소 배출 가스 어닐을 위한 양호한 조건은 20분 동안 700°C이나, 이것은 반응 증기에 삽입한 후이나 여기에 놓기 전에 저압 질화물 피착에 놓는 것으로 대체될 수 있다.

상기 예에서, 확산 영역(14)는 P+ 도핑된 물질을 포함하는 것으로 가정된다. 다르게는, 본 명세서에 제시된 공정은 N+ 확산에 대해서 이용될 수 있다. 이러한 경우에, 폴리실리콘이 KOH/IPA 에칭 이 후에 N+ 확산 영역 위에 남아 있도록 폴리실리콘내로 충분한 붕소 외부 확산이 되지 않을 수 있다. 그러나, 실리콘 인터페이스에서 KOH/IPA 에칭을 정지시키기엔 충분한 붕소가 있을 것이다. 그 결과는 본 발명에 따른 저항의 한 형태인 N+접합 위에 있는 산화물층이다.

위에 간단히 설명된 바와 같이 본 발명의 넓은 개념을 구현시키기 위한 다른 방법은 폴리실리콘층을 생략하고 매립 확산 저항의 제1 영역(21) 바로 위에 산화물을 형성하는 것이다. 이 다른 방법은 다음 단계를 포함하는 간단한 제조 공정을 이루게 한다:

- (a) 기판 또는 웰 내에 절연된 확산 영역을 포함하는 반도체 구조의 상부 표면 위에 마스크층을 피착하는 단계,
- (b) 절연된 확산 영역의 제1 영역 위의 구조의 일부를 선택적으로 제거하기 위해 마스크층을 에칭하는 단계로서 제1 영역은 확산 저항체를 형성하는 단계,
- (c) 확산 영역의 제1 영역 내의 실리콘의 노출된 표면을 산화시키는 단계,
- (d) 확산 영역의 제1 영역에 의해 분리된 제1 접촉 영역 및 제2 접촉 영역을 포함하는 확산 영역의 제2 영역 위로부터 마스크층을 제거하는 단계, 및
- (e) 확산 영역의 제2 영역 내의 노출된 실리콘을 실리사이드화하여 실리사이드화된 제1 접촉 영역과 실리사이드화된 제2 접촉 영역이 형성되는 단계.

상기 개요에서 알 수 있는 바와 같이, 이 실시예는 접촉 영역의 후속 실리사이드데이션을 위한 확산 영역의 몸체를 덮기 위해 도펀트의 폴리실리콘 내로의 주입 및 후속 외부 확산을 생략하고 있다. 또한 일반적으로 말하면, 본 발명은 확산 저항체 내에 실리사이드화된 접촉 영역 및 제어된 저항률을 갖는 확산 저항 구조를 포함한다. 제어된 저항률은 실리사이드이션 공정 동안 확산 저항체를 보호함으로써 달성된다. 본 기술에 숙련된 자들은 이러한 일반적인 개념을 달성하기 위한 다른 방법들이 가능하다는 것을 알 것이다. 확산 저항 구조가 결합될 칩 공정은 어떤 특정 공정과 최종 구조가 선택되는 지를 거의 제어할 것이다.

### 발명의 효과

유리하게도, 상부 폴리실리콘 또는 산화물층은 확산 저항의 주 몸체부의 저항률에 상당히 영향을 주지 않는다. 또한, 확산 저항 구조가 직접될 반도체 제조 공정에 따라 추가 마스크 단계가 요구되지 않을 수 있다. 예를 들어, 본 발명에 따른 확산 저항 구조는 추가 마스크 단계를 필요로 하지 않고서, 제시된 기술에 따라 다이내믹 랜덤 액세스 메모리(DRAM) 칩 또는 DRAM논리 칩용으로 제조될 수 있다.

본 발명이 소정의 양호한 실시예에 따라 본 명세서에 상세히 기술되었지만 여러 가지 수정 및 변화가 본 기술의 숙련된 자들에 의해 이루어 질 수 있다. 예를 들어, 본 기술에 숙련된 자들은 여기에 제시된 신규한 개념들이 기술된 것 이외의 다른 집적 회로에서 용이하게 이용하게 될 수 있다는 것을 알아야 한다. 따라서, 첨부된 특허 청구의 범위는 본 발명의 진정한 취지와 범위 내에 드는 것으로 모든 이러한 수정 및 변화를 포함하는 것으로 의도된다.

### (57) 청구의 범위

#### 청구항 1

확산 저항 구조(diffusion resistor structure)를 제조하는 방법에 있어서,

- (a) 반도체 구조의 상부 표면에 인접하여 반도체 구조 내에서 절연된 저항 형성 확산 영역(resistor-shaped diffusion)을 형성하는 단계,
- (b) 상기 반도체 구조 위에 확산 장벽층(diffusion barrier layer)을 형성하는 단계 -상기 확산 장벽층은 상기 확산 영역의 제1 영역이 상기 반도체 구조의 상기 상부 표면에서 노출되고 상기 확산 영역의 제2 영역이 상기 확산 장벽층 아래에 있도록 패턴됨-,
- (c) 상기 확산 장벽층과 상기 확산 영역의 상기 제1 영역 위에 폴리실리콘층을 형성하는 단계,
- (d) 도펀트를 상기 제1 영역으로부터 상기 폴리실리콘층으로 확산하여, 도핑된 폴리실리콘층을 형성하는 단계 -상기 확산 장벽층은 상기 확산 영역으로부터 상기 도펀트가 확산 장벽층 위로 연장하는 상기 폴리실리콘층의 부분으로 확산하는 것을 방지하므로써 도핑되지 않은 폴리실리콘 영역을 정의함-,
- (e) 상기 도핑된 폴리실리콘 영역 위에 산화물층(oxide layer)을 형성하는 단계,
- (f) 상기 확산 장벽층을 제거하고, 상기 반도체 구조의 상기 상부 표면으로부터 상기 확산 영역의 상기 제2 영역을 실리사이드화하는 단계를 포함하되, 상기 제2 영역은 제1 접촉 영역 및 제2 접촉 영역을 포함하고, 상기 제1 접촉 영역과 상기 제2 접촉 영역은 상기 확산 영역의 상기 제1 영역에 의해 분리되며, 상기 제1 접촉 영역은 제1 실리사이드화된 접촉 영역을 포함하고, 상기 제2 접촉 영역은 제2 실리사이드화된 접촉 영역을 포함하며, 상기 제1 실리사이드화된 접촉 영역과 상기 제2 실리사이드화된 접촉 영역을 통해 상기 확산 저항 구조와의 전기적 접촉이 이루어지는 확산 저항 구조 제조 방법.

#### 청구항 2

제1항에 있어서, 상기 단계(d) 후에, 상기 도핑된 폴리실리콘 영역만을 남기고 상기 도핑되지 않은 폴리실리콘 영역을 제거하는 단계를 더 포함하는 확산 저항 구조 제조 방법.

#### 청구항 3

제2항에 있어서, 상기 도핑되지 않은 폴리실리콘 영역을 제거하는 상기 단계는 습식 에칭(wet etching)을 포함하는 확산 저항 구조 제조 방법.

#### 청구항 4

제2항에 있어서, 상기 도핑되지 않은 폴리실리콘 영역을 제거하는 상기 단계는 칼륨 하이드록사이드/이소프로필 알콜(potassium hydroxide/isopropyl alcohol)을 사용하는 에칭을 포함하는 확산 저항 구조 제조 방법.

#### 청구항 5

제2항에 있어서, 상기 도핑되지 않은 폴리실리콘 영역을 제거하는 상기 단계는 에틸렌디아민(ethylenediamine), 피로카테콜(pyrocatechol) 및 물(water)을 사용하는 에칭을 포함하는 확산 저항 구조 제조 방법.

#### 청구항 6

제3항에 있어서, 상기 확산 장벽층은 질화물을 포함하고, 상기 형성 단계(e)는 상기 도핑된 폴리실리콘 영역을 산화하는 단계를 포함하는 확산 저항 구조 제조 방법.

#### 청구항 7

제1항에 있어서, 상기 형성 단계(b)는 상기 확산 영역의 상기 제1 영역이 상기 반도체 구조의 상기 상부 표면에서 노출되도록 상기 반도체 구조 위에 질화물층을 형성하고, 상기 질화물층을 패턴화 및 에칭하는 단계를 포함하고, 상기 질화물층은 상기 확산 장벽층을 포함하는 확산 저항 구조 제조 방법.

#### 청구항 8

제1항에 있어서, 상기 단계(c) 전에, 상기 반도체 구조 내의 상기 확산 영역내로 붕소 도펀트(Boron dopant)를 주입하는 단계를 더 포함하는 확산 저항 구조 제조 방법.

#### 청구항 9

제8항에 있어서, 상기 확산 단계(d)는 상기 반도체 구조를 가열하여, 붕소를 상기 확산 영역의 상기 제1 영역으로부터 상기 폴리실리콘층으로 외부 확산(out-diffuse)시키는 단계를 포함하는 확산 저항 구조 제조 방법.

#### 청구항 10

제1항에 있어서, 상기 확산 영역은 상기 반도체 구조 내에 P형 확산 영역을 포함하는 확산 저항 구조 제조 방법.

#### 청구항 11

제7항에 있어서, 상기 제거 단계(f)는 상기 확산 영역의 상기 제2 영역 내의 상기 반도체 구조의 상부 표면으로부터 상기 질화물을 제거하기 위해 상기 질화물을 반응성 이온 에칭(reactive ion etching)하고, 후속하여 상기 확산 영역의 상기 제2 영역 위에 티타늄을 피착 및 어닐링(annealing)하여 상기 제2 영역의 상기 제1 접촉 영역 및 상기 제2 접촉 영역과 일체로 된 실리사이드층을 형성하는 단계를 포함하는 확산 저항 구조 제조 방법.

#### 청구항 12

확산 저항 구조를 제조하는 방법에 있어서,

(a) 반도체 구조의 상부 표면으로부터 반도체 구조 내에 절연된 저항 형성 확산 영역을 형성하는 단계,

(b) 상기 확산 영역 위에 마스크층을 형성하는 단계,

(c) 상기 반도체 구조의 상기 상부 표면에 상기 확산 영역의 제1 영역을 노출시키기 위해 상기 마스크층의 일부를 패턴화 및 제거하는 단계,

(d) 상기 패턴화 및 제거 단계후에 상기 확산 영역의 상기 제1 영역 위에 산화물층을 열적 산화(thermal oxidation)로써 증식하는 단계,

(e) 상기 확산 영역의 제2 영역 위로부터 상기 마스크를 제거하는 단계 -상기 제2 영역은 제1 접촉 영역 및 제2 접촉 영역을 포함하고, 상기 제1 접촉 영역 및 상기 제2 접촉 영역은 상기 확산 영역의 상기 제1 영역에 의해 분리됨-, 및

(f) 상기 확산 영역의 상기 제2 영역의 상기 제1 접촉 영역 및 상기 제2 접촉 영역을 실리사이드화하여, 제1 실리사이드화된 접촉 영역 및 제2 실리사이드화된 접촉 영역을 생성하는 단계를 포함하되, 전기적 접촉이 제1 실리사이드화된 접촉 영역 및 제2 실리사이드화된 접촉 영역을 통해 상기 확산 저항 구조와 이루어지는 확산 저항 구조 제조 방법.

#### 청구항 13

확산 저항 구조를 제조하는 방법에 있어서, 상기 제조방법은

(a) 반도체 구조의 상부 표면으로부터 반도체 구조 내에 절연된 저항 형성 확산 영역을 형성하는 단계,

(b) 상기 확산 영역 위에 마스크층을 형성하는 단계,

(c) 상기 반도체 구조의 상기 상부 표면에 상기 확산 영역의 제1 영역을 노출시키기 위해 상기 마스크층의 일부를 패턴화 및 제거하는 단계,

(d) 상기 확산 영역의 상기 제1 영역 위에 산화물층을 형성하는 단계,

(e) 상기 확산 영역의 제2 영역 위로부터 상기 마스크를 제거하는 단계 -상기 제2 영역은 제1 접촉 영역 및 제2 접촉 영역을 포함하고, 상기 제1 접촉 영역 및 상기 제2 접촉 영역은 상기 확산 영역의 상기 제1 영역에 의해 분리됨-, 및

(f) 상기 확산 영역의 상기 제2 영역의 상기 제1 접촉 영역 및 상기 제2 접촉 영역을 실리사이드화하여, 제1 실리사이드화된 접촉 영역 및 제2 실리사이드화된 접촉 영역을 생성하는 단계 -전기적 접촉이 제1 실리사이드화된 접촉 영역 및 제2 실리사이드화된 접촉 영역을 통해 상기 확산 영역 저항 구조와 이루어짐-, 를 포함하되, 상기 마스크층은 질화물층을 포함하고 상기 제거 단계(e)는 상기 확산 영역의 상기 제2 영역 위의 상기 반도체 구조의 상부 표면으로부터 상기 질화물을 제거하기 위해 상기 질화물을 반응성 이온 에칭하는 단계를 포함하는 확산 저항 구조 제조 방법.

#### 청구항 14

확산 저항 구조를 제조하는 방법에 있어서, 상기 제조 방법은

(a) 반도체 구조의 상부 표면으로부터 반도체 구조 내에 절연된 저항 형성 확산 영역을 형성하는 단계,

(b) 상기 확산 영역 위에 마스크층을 형성하는 단계,

(c) 상기 반도체 구조의 상기 상부 표면에 상기 확산 영역의 제1 영역을 노출시키기 위해 상기 마스크층의 일부를 패턴화 및 제거하는 단계,

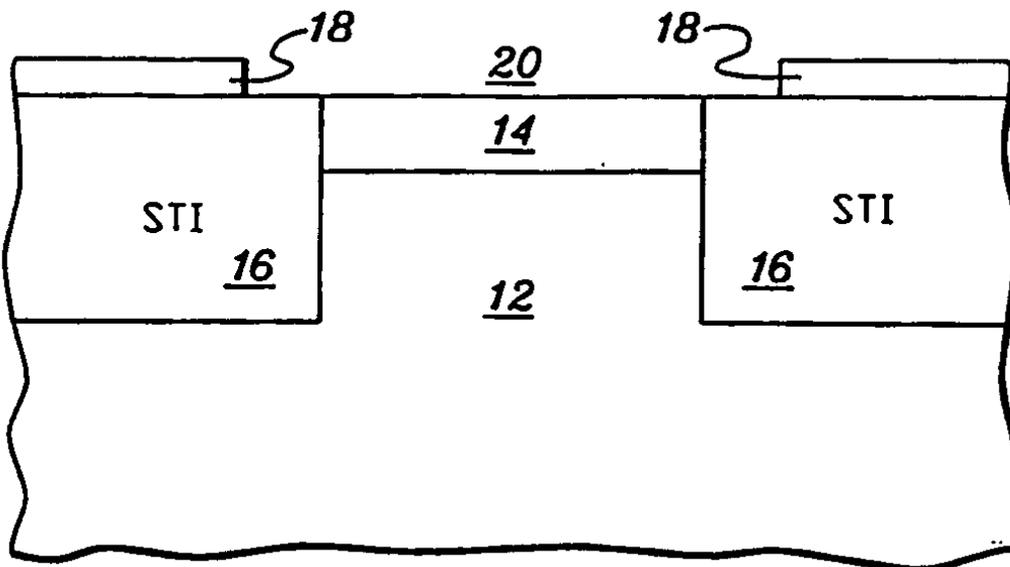
(d) 상기 확산 영역의 상기 제1 영역 위에 산화물층을 형성하는 단계,

(e) 상기 확산 영역의 제2 영역 위로부터 상기 마스크를 제거하는 단계 -상기 제2 영역은 제1 접촉 영역 및 제2 접촉 영역을 포함하고, 상기 제1 접촉 영역 및 상기 제2 접촉 영역은 상기 확산 영역의 상기 제1 영역에 의해 분리됨-, 및

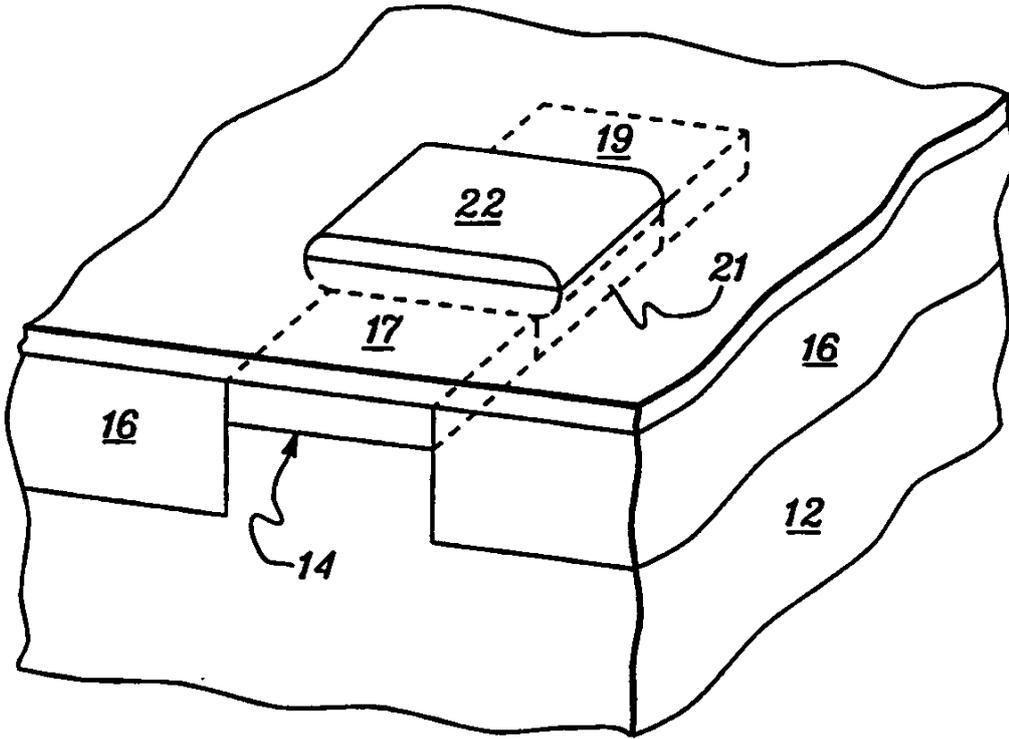
(f) 상기 확산 영역의 상기 제2 영역의 상기 제1 접촉 영역 및 상기 제2 접촉 영역을 실리사이드화하여, 제1 실리사이드화된 접촉 영역 및 제2 실리사이드화된 접촉 영역을 생성하는 단계 -전기적 접촉이 제1 실리사이드화된 접촉 영역 및 제2 실리사이드화된 접촉 영역을 통해 상기 확산 저항 구조와 이루어짐-, 를 포함하되, 상기 실리사이드 단계(f)는 상기 확산 영역의 상기 제2 영역 위에 티타늄을 피착 및 어닐링하여 상기 제2 영역과 일체로 된 티타늄 실리사이드를 형성하는 단계를 포함하는 확산 저항 구조 제조 방법.

#### 도면

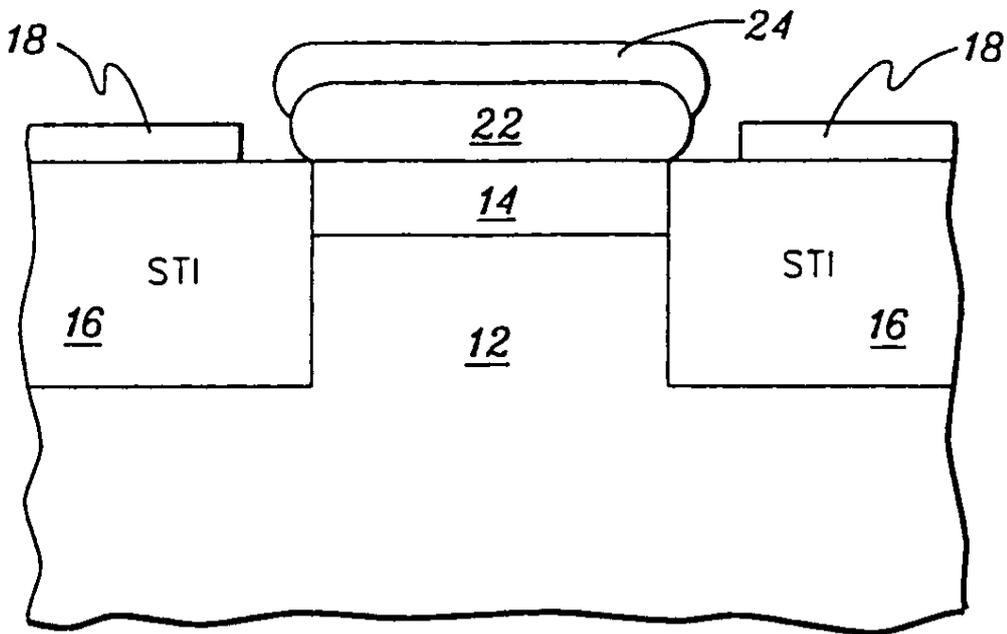
도면1



도면2



도면3



도면4

