

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 11/407	(45) 공고일자 1999년11월01일	(11) 등록번호 10-0228455
(21) 출원번호 10-1996-0071474	(65) 공개번호 특1997-0051298	(24) 등록일자 1999년08월10일
(22) 출원일자 1996년12월24일	(43) 공개일자 1997년07월29일	
(30) 우선권 주장 95-337279 1995년12월25일 일본(JP)		
(73) 특허권자 가부시키가이샤 도시바	니시무로 타이쵸	
(72) 발명자 이누즈카 가즈오	일본국 가나가와켄 가와사끼시 사이와이쿠 호리가와쵸 72반지	
(74) 대리인 구영창, 장수길	일본 가나가와켄 가와사끼시 사이와이쿠 호리가와쵸 580-1 가부시키가이샤 도시바 세미콘덕터 시스템 엔지니어링 센터 내 오시마 시게오 일본 가나가와켄 가와사끼시 사이와이쿠 호리가와쵸 580-1 가부시키가이샤 도시바 세미콘덕터 시스템 엔지니어링 센터 내 나가바 가쯔시 일본 가나가와켄 가와사끼시 사이와이쿠 호리가와쵸 580-1 가부시키가이샤 도시바 세미콘덕터 시스템 엔지니어링 센터 내 구영창, 장수길	

심사관 : 장현근

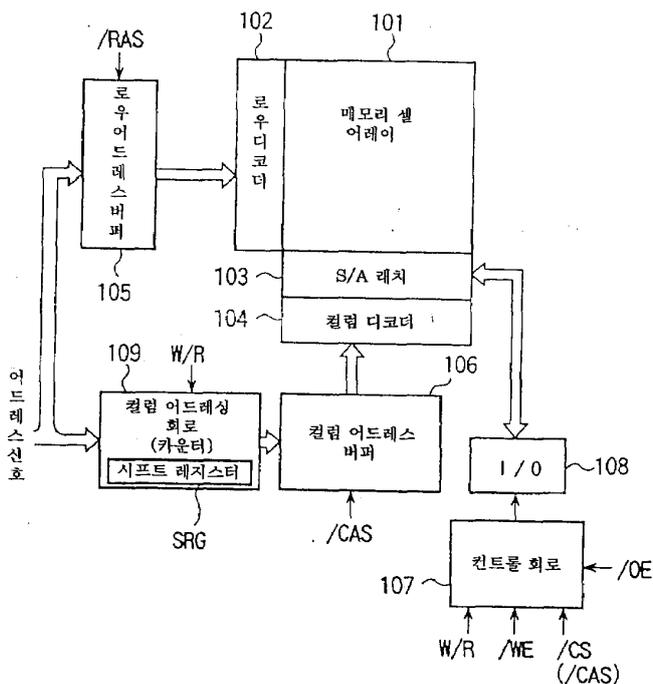
(54) 반도체 메모리 회로

요약

컬럼 어드레스의 어드레싱 회로를 간이화, 고속화함으로써, 소정 컬럼분의 액세스를 고속으로 행하는 반도체 메모리 회로를 제공한다.

DRAM 메모리 회로에서 컬럼 어드레스 버퍼(106) 전단의 컬럼 어드레싱 회로(109)에서 통상 카운터로 구성되는 컬럼 어드레싱 회로(109) 내의 일부가 시프트레지스터(SRG)로 구성되어 있고, 소정 컬럼분의 액세스를 위한 소정 컬럼분의 어드레스 신호의 랩(lap)을 복수 종류 실현하는 것을 특징으로 하고 있다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 실시 형태에 관한 DRAM의 주요부의 구성을 도시한 블록도.

제2도는 제1도의 어드레싱 회로 중의 시프트 레지스터에 적용되는 기본적인 회로도.

제3도는 제2도의 회로 동작을 설명하는 동작 파형도.

제4도는 제1도의 어드레싱 회로 중의 시프트 레지스터에 적용되는 어드레싱 모드에 의해 시프트 방향 변경 가능한 시프트 레지스터를 구성한 회로도.

제5도는 제4도의 인터리브 모드를 설명하기 위한 동작 파형도.

제6도는 카운터를 이용한 종래의 어드레싱 회로의 주요부(버스트 액세스에 관한 일부의 어드레싱 회로)를 도시한 회로도.

제7도는 제6도는 회로 동작을 설명하는 동작 파형도.

제8도는 싱크로너스 DRAM에서 카운터를 이용한 종래의 어드레싱 회로의 주요부를 도시한 회로도.

제9도는 제8도의 인터리브 모드를 설명하기 위한 동작 파형도.

제10도는 싱크로너스 DRAM의 컬럼 어드레싱을 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명

101 : 메모리셀 어레이	102 : 로우 디코더
103 : 센스 앰프	104 : 컬럼 디코더
105 : 로우 어드레스 버퍼	106 : 컬럼 어드레스 버퍼
107 : 컨트롤 회로	108 : I/O 회로
109 : 컬럼 어드레싱 회로	SRG : 시프트 레지스터
11~14, 21~24, 31~34 : 클럭드 인버터	
41~44 : NOR 게이트	51~56 : 트랜스퍼 게이트
61, 62 : EXNOR 게이트	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 특히 메모리 액세스에 한 것으로 클럭에 동기하여 어드레스 신호가 랩(lap)하여 소정 컬럼 분의 액세스를 행하는 어드레싱계를 갖는 반도체 메모리회로에 관한 것이다.

싱크로너스 DRAM은 메모리셀에 대하여 기입/판독 데이터를 클럭에 동기하여 버스트 액세스 하는 것이 알려져 있다. 싱크로너스 DRAM에서는 버스트 동작을 행하기 위한 카운터 구성의 어드레싱 회로가 구비되어 있다.

제6도는 카운터를 이용한 종래의 어드레싱 회로의 주요부(버스트 액세스에 관한 일부의 어드레싱 회로)를 도시한 회로도이며, 제7도는 그 동작 파형도이다. 싱크로너스 DRAM에서 버스트 동작을 개시하기 위해서는 라이트/리드(Write/Read) 커맨드 신호와 동시에 선두 컬럼 어드레스 신호(톱 어드레스 신호:A0EXT, A1EXT)를 입력한다.

제6도에서 신호 A0IN은 톱 어드레스 신호(A0EXT)에 대응하는 내부 어드레스신호, 신호 A1IN은 톱 어드레스 신호(A1EXT)에 대응하는 내부 어드레스 신호이다.

클럭드 인버터(111,112)는 라이트/리드 커맨드 신호를 받은 후 외부 클럭 신호(CLK)의 하강에서 상승하고, 상승에서 하강하는 신호(CLKT)로 액티브가 된다. 클럭드 인버터(131,132)는 클럭 신호(CLK)의 "H" 레벨에서 액티브로 된다. 클럭드 인버터(121,122)는 클럭 신호(BCLK; CLK의 반전 신호)의 "H" 레벨에서 액티브된다. 또, 클럭드 인버터(121,122)는 신호(CLKT)의 펄스가 입력되었을 때에는 신호 BCLK에 따르지 않고 비동작 상태가 되기 위하여 내부에서 제어되게 구성되어 있다.

클럭드 인버터(131)의 출력인 어드레싱용 신호(A0)는 인버터(141)의 입력에 접속됨과 동시에 EXOR 게이트(142)의 한쪽 입력에 접속된다. 인버터(141)의 출력(노드 N11)은 클럭드 인버터(121)의 입력에 접속되며, 이 인버터(121)의 출력은 클럭드 인버터(131)의 입력(노드 N12)에 접속된다. 신호 A0IN을 입력하는 클럭드 인버터(111)의 출력은 노드 N12에 접속된다.

클럭드 인버터(132)의 출력인 어드레싱용 신호 A1은 EXOR 게이트(142)의 다른 쪽 입력에 접속된다. EXOR 게이트(142)의 출력(노드 N13)은 클럭드 인버터(122)의 입력에 접속되며, 이 인버터(122)의 출력은 인버터(132)의 입력(노드 N14)에 접속된다. 신호 A1IN을 입력하는 클럭드 인버터(112)의 출력은 노드 N14에

접속된다.

상기 어드레싱용 신호(A0,A1)과, 각각의 인버터(143,144)를 통한 A0, A1의 반전 신호와의 각 4개의 조합 신호는 각 NOR 게이트(145~148)를 통하여 컬럼 드라이브 신호(CDRV0~CDRV3)로서 출력되어, 대응하는 컬럼 선택선을 구동하게 된다.

제7도를 참조하여 제6도의 회로 동작을 설명한다. 라이트/리드 커맨드 신호와 동시에 톱 어드레스 신호(A0EXT,A1EXT)가 입력되면, 신호 CLK에 의해 클럭드인버터(111,112)가 액티브, 클럭드 인버터(121,122)가 비동작 상태로 되고, 톱 어드레스 신호(A0EXT,A1EXT)에 대응하여 생성된 내부 어드레스 신호(A0IN,A1IN)에 따라서 노드(N12,N14)에 초기치가 세트된다. 다음에 최초의 클럭(CLK)에서 클럭드 인버터(131,132)가 액티브로 되어서 신호(A0,A1)가 출력되며, 대응하는 컬럼 드라이브 신호(CDRV0~CDRV3)로 펄스를 발생시킨다. 그 후, 클럭(CLK)마다 어드레싱용 신호(A0,A1)는 카운트 업 된다.

싱크로너스 DRAM에서 소정 컬럼 분의 어드레싱은 예를 들면 제10도에 도시한 바와 같이 행해진다. 컬럼 어드레스는 예를 들면 "2 - 3 - 4 - 5"와는 자릿수 올림되지 않고, "2 - 3 - 0 - 1"과 랩된다. 또한, 어드레스 선택 모드로서 시퀀셜모드 외에 다른 인터리브 모드를 가진다.

인터리브 모드에서 A0IN = 1일 때 어드레스가 디크리먼트하는 것을 고려하면, 싱크로너스 DRAM에서 카운터를 이용한 어드레싱 회로는 제8도와 같은 구성이 된다. 상기 제6도에서의 NOR 게이트(145~148)의 출력이 각각 신호 INTO, BINT0로 제어되는 트랜스퍼 게이트(451,461,471,481), 신호 INTO1, BINT01로 제어되는 트랜스퍼 게이트(452,462,472,482), 신호 INTO3, BINT03으로 제어되는 트랜스퍼게이트

(453,463,473,483)를 통하여 소정의 컬럼 드라이브 신호(CDRV0~CDRV3)에 연결되도록 되어 있다. 각 트랜스퍼 게이트의 각 신호 쌍의 선두의 B는 반전 신호를 의미한다. 각 트랜스퍼 게이트는 제어 신호 INTO(INT01 또는 INTO3)이 "H" 레벨[BINT0 (BINT01 또는 BINT03)이 "L" 레벨]에서 도통하며, 그 반대의 신호 관계에서 비도통이 된다.

제9도는 제8도의 인터리브 모드를 설명하기 위한 동작 파형도이다. 카운터로 카운트 업 후에 어드레싱 모드와 톱 어드레스의 대응해서 컬럼 드라이브 신호(CDRV0~CDRV3)로서의 데이터 버스, 즉 상기 각 트랜스퍼 게이트에 대한 제어 신호(INT0, INTO1, INTO3)를 바꿀 수 있다.

인터리브 모드에서 A0IN = 1일 때, INTO 제어의 트랜스퍼 게이트(451,461,471,481)는 오프하고, 이때 A1IN = 0이라면 INTO1 제어의 트랜스퍼 게이트(452,462,472,482)가 온, 각 컬럼 드라이브 신호의 "H" 레벨의 펄스 발생 순서가 CDRV1 → 0 → 3 → 2 로 되며, A1IN = 1 이면 INTO3 제어의 트랜스퍼 게이트(452,462,472,482)가 온, 각 컬럼 드라이브 신호의 펄스 발생 순서가 CDRV3 → 2 → 1 → 0으로 된다. 그 이외의 경우에는 INTO 제어의 트랜스퍼 게이트(451,461,471,481)가 온하고, 제6도의 경우와 같이 어드레싱이 된다.

상기 구성에서는 어드레스 신호의 카운트 업 후에 그 어드레스 신호에 대응하는 각 컬럼 드라이브 신호(CDRV0~3)를 발생시키기 때문에 다음과 같은 문제가 있다. 첫째로 제어 신호가 많아 회로가 복잡해진다. 둘째로, 클럭 신호(CLK)에서 컬럼 드라이브 신호(CDRV0~3)까지의 지연 시간이 길다. 셋째로는 어드레싱용 신호(A0,A1)를 통상의 바이너리·카운터 회로로 구성하고 있기 때문에 상위 비트로의 자릿수 올림이 자동적으로 행해져서 싱크로너스 DRAM과 같이 어드레스 신호를 랩하는 계통에서는 자릿수 올림을 행하지 않기 위한 회로가 더 필요해지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

이와 같이, 종래에는 바이너리·카운터 회로에서 어드레스 신호의 카운트 업을 한 후에 대응하는 각 컬럼 드라이브 신호(CDRV0~3)를 발생시키기 위한 회로를 동작시키는 구성이었기 때문에, 제어 신호도 많고 복잡하여 지연 시간이 긴 회로구성이 되지 않을 수 없다는 결점이 있다.

본 발명은 상기와 같은 사정을 고려하여 이루어진 것으로, 그 목적은 컬럼어드레스의 어드레싱 회로를 간이화, 고속화함으로써 소정 컬럼분의 액세스를 고속으로 행할 수 있는 반도체 메모리 회로를 제공하는 것이다.

발명의 구성 및 작용

본 발명은 1종류 이상의 어드레스 선택 모드를 갖고, 이 어드레스 선택 모드에 따라서 소정 컬럼분의 액세스를 행하는 반도체 메모리 회로에서 있어서, 복수의 메모리셀이 배치된 메모리셀 어레이와, 상기 메모리셀 어레이에 대해 외부로부터의 클럭 신호에 동기한 상기 소정 컬럼분의 액세스를 위한 선두의 어드레스에 대응하는 어드레스 신호를 확정시키는 수단과, 상기 클럭 신호에 동기하여 상기 어드레스로부터 상기 어드레스 선택 모드에 따른 상기 소정 컬럼분의 액세스를 행하기 위한 시프트 레지스터를 포함하는 내부 어드레스 신호 발생 수단을 구비한 것을 특징으로 한다.

본 발명에서는 시프트 레지스터 구성에 의해 액세스를 위한 선두의 어드레스에 대응하는 어드레스 신호의 랩을 지연이 적은 간소화된 회로로 실현한다. 또한, 순방향과 역방향의 어느 쪽 방향에서도 시프트 가능한 응용적 구성도 간단하게 구성할 수 있으며, 어드레스 선택 모드에 따르는 어드레스 신호의 랩 설정에 기여한다.

제1도는 본 발명의 실시 형태에 관한 DRAM(다이내믹 RAM)의 주요부의 구성을 도시한 블록도이다. 메모리셀 어레이(101)는 데이터를 기억하는 복수의 메모리셀이 배치되어 구성된다. 로우 디코더(102), 센스 앰프(103), 컬럼 디코더(104)는 /RAS(RAS의 하강 신호) 및 /CAS(CAS의 하강 신호)가 각각 입력되는 로우 어드레스 버퍼(105) 및 컬럼 어드레스 버퍼(106)로부터의 어드레스 신호에 의해 메모리셀데이터의 판독과

가입, 그 밖에 리프레시 등에 이용되는 메모리 코어부이다. 컨트롤 회로(107)는 라이트 인에이블 신호의 /WE, 아웃풋 인에이블 신호의 /OE, 라이트/리드(Write/Read) 커맨드 신호(W/R) 등을 입력하여 데이터 입출력에 관한 I/O 회로(108)를 제어한다. 컬럼 어드레싱 회로(109)는 컬럼 어드레스 버퍼(106) 전단에 설치되며, 외부로부터의 어드레스 신호 및 라이트/리드 커맨드 신호를 입력한다.

상기 구성은 컬럼 어드레싱 회로(109)에서 소정 컬럼분의 어드레스 신호의 랩을 실현하는 구성에 특징이 있다. 즉, 통상 카운터로 구성되는 컬럼 어드레싱 회로(109) 내의 일부가 시프트 레지스터(SRG)로 구성되어 있고, 이것이 어드레스 신호의 랩을 행함으로써 대단히 편리한 회로 구성이 된다. 시프트 레지스터(SRG)는 컬럼 어드레싱 회로(109)에 공급된 라이트/리드 커맨드 신호 및 어드레스 신호의 일부인 톱 어드레스 신호(A0ENT, A1ENT)를 받아서 어드레스 신호의 랩 계통을 제어한다.

제2도는 제1도의 어드레싱 회로(109)내의 시프트 레지스터(SRG)에 적용되는 기본적인 회로도이고, 제3도는 그 동작 파형도이다. 제2도에서 신호 A0IN은 톱 어드레스 신호(A0ENT)에 대응하는 내부 어드레스 신호, 신호 A1IN은 톱 어드레스 신호(A1ENT)에 대응하는 내부 어드레스 신호이다. 클럭드 인버터(11~14)는 라이트/리드 커맨드 신호를 받은 다음의 클럭 신호의 하강에서 상승하고, 상승에서 하강하는 신호(CLKT)에서 액티브된다. 클럭드 인버터(21~24)는 외부의 클럭 신호(CLK)에서 액티브된다. 클럭드 인버터(31~34)는 외부의 클럭 신호(BCLK; CLK의 반전신호)에서 액티브된다. 또, 이 클럭드 인버터(31~34)는 신호(CLKT)의 펄스가 입력되었을 때에는 신호 BCLK에 의하지 않고 비동작 상태가 되도록 내부에서 제어되게 구성되어 있다. 이들 클럭드 인버터는 31, 21, 32, 22, 33, 23, 34, 24의 순으로 직렬로 접속되며, 클럭드 인버터(24)의 출력이 31의 입력과 접속된다.

클럭드 인버터(11)의 입력에는 내부 어드레스 신호(A0IN, A1IN)를 2 입력으로 한 NOR 게이트(41)의 출력이 접속된다. 클럭드 인버터(11)의 출력은 클럭드 인버터(31과 21)의 접속 노드(N0)에 접속된다. 클럭드 인버터(21과 32)의 접속점에서 컬럼 드라이브 신호(CDRV0)를 얻을 수 있다.

클럭드 인버터(12)의 입력에는 내부 어드레스 신호 BA0IN(A0IN의 반전 신호), A1IN을 2 입력으로 한 NOR 게이트(42)의 출력이 접속된다. 클럭드 인버터(12)의 출력은 클럭드 인버터(32와 22)의 접속 노드(N1)에 접속된다. 클럭드 인버터(22와 33)의 접속점에서 컬럼 드라이브 신호(CDRV1)를 얻을 수 있다.

클럭드 인버터(13)의 입력에는 내부 어드레스 신호(A0IN, BA1IN; A1IN의 반전 신호)를 2 입력으로 한 NOR 게이트(43)의 출력이 접속된다. 클럭드 인버터(13)의 출력은 클럭드 인버터(33과 23)의 접속점에서 접속 노드(N2)에 접속된다.

클럭드 인버터(23과 34)의 접속점에서 컬럼 드라이브 신호(CDRV2)를 얻을 수 있다.

클럭드 인버터(14)의 입력에는 내부 어드레스 신호(BA0IN, BA1IN)를 2 입력으로 한 NOR 게이트(44)의 출력이 접속된다. 클럭드 인버터(14)의 출력은 클럭드 인버터(34와 24)의 접속점에서 접속 노드(N3)에 접속된다. 클럭드 인버터(23과 31)의 접속점에서 컬럼 드라이브 신호(CDRV3)를 얻을 수 있다.

제3도를 참조하여 제2도의 회로 동작을 설명한다. 리드/라이트 커맨드 및 톱 어드레스 신호(A0EXT, A1EXT)가 입력되면, 신호 A0EXT, A1EXT에 대응한 내부 어드레스 신호(A0IN, A1IN) 및 신호(CLKT)에 의해 클럭드 인버터(11~14)가 액티브로 되며, 신호(A0IN, A1IN)에 따라서 노드(N0~3)중 한 개의 노드가 "L" 레벨로, 다른 3 노드가 "H" 레벨로 초기화된다 이 때, 신호 CLKT의 펄스 출력에 의해 클럭드 인버터(31~34)는 비동작 상태로 되기 때문에, 전단으로부터의 데이터 전송은 정지된다. 그래서, 다음의 최초 클럭(CLK)에서 클럭드 인버터(21~24)가 액티브로 되어 데이터가 전송되며, 컬럼 드라이브 신호(CDRV0~3)중 1개가 "H" 레벨로, 다른 3개가 "L" 레벨로 된다. 그 후, CDRV0 → 1 → 2 → 3 과 시리얼인 랩에 기초하여 클럭(CLK)마다 "H" 레벨이 전송되어 간다.

상기 구성에 의하면 시프트 레지스터 내의 데이터 전송을 이용하여 어드레싱을 행하기 때문에 회로 구성이 간단하다. 카운터를 이용한 경우와 비교하여, 클럭(CLK)으로부터 컬럼 드라이브 신호(CDRV)까지의 소자의 단수가 적기 때문에, 지연시간이 소멸되어 고속인 이점이 있다. 또한, 어드레스 신호를 랩할 때 자릿수 올림을 정지하는 회로를 필요로 하지 않고, 예를 들면 이 회로만으로 컬럼 어드레스 하위 2 비트의 어드레싱을 행할 수 있다.

다음에, 본 발명을 싱크로너스 DRAM의 2개의 어드레싱 모드(시퀀셜/인터리브)(제10도 참조)에 용이하게 적용시키기 위한 회로예를 이하에 설명한다.

제4도는 제1도의 어드레싱 회로(109) 내의 시프트 레지스터(SRG)에 적용되는 어드레싱 모드에 의해 시프트 방향 변경 가능한 시프트 레지스터를 구성한 회로도이다. 싱크로너스 DRAM에서는 인터리브 모드에서 A0IN=1일 때 컬럼 어드레스가 디크리먼트하지만, 제4도의 회로에서는 시프트 레지스터를 역회전시킴으로써 이 어드레싱을 실현한다.

제4도의 회로 구성에 대해서 상기 제2도의 구성과 상이한 부분을 설명한다. 클럭드 인버터(21)의 출력과 신호 CDRV0의 출력간의 노드(N4)를 도통 제어하는 트랜스퍼 게이트(51)가 설치된다. 클럭드 인버터(22)의 출력과 신호 CDRV1의 출력간의 노드(N5)를 도통 제어하는 트랜스퍼 게이트(52)가 설치된다. 클럭드 인버터(23)의 출력과 신호 CDRV2의 출력간의 노드(N6)를 도통 제어하는 트랜스퍼 게이트(53)가 설치된다. 클럭드 인버터(24)의 출력과 신호 CDRV3의 출력간의 노드 N7을 도통 제어하는 트랜스퍼 게이트(54)가 설치된다.

또, 노드 N4와 신호 CDRV2의 출력간을 도통 제어하는 트랜스퍼 게이트(55)가 설치된다. 노드 N7과 신호 CDRV1의 출력간을 도통 제어하는 트랜스퍼 게이트(56)가 설치된다. 노드 N6과 신호 CDRV0의 출력간을 도통 제어하는 트랜스퍼 게이트(57)가 설치된다. 노드 N5와 신호 CDRV3의 출력간을 도통 제어한 트랜스퍼 게이트(58)가 설치된다.

상기 각 트랜스퍼 게이트의 제어 신호쌍(INT0, BINT0)은 상보 신호이다(선두의 B는 반전 신호를 의미한

다). 트랜스퍼 게이트(51~54)는 제어 신호 INT0가 "L" 레벨(BINT0가 "H" 레벨)에서 도통하고, 그 반대의 신호 관계에서 비도통 된다. 트랜스퍼 게이트(55~58)는 제어 신호 BINT0가 "L" 레벨(INT0가 "H" 레벨)에서 도통하고, 그 반대의 신호 관계로 비도통 된다.

또한, NOR 게이트(42)의 한쪽 입력단은 EXNOR 게이트(61)의 출력이 접속되어 있다. EXNOR 게이트(61)는 신호 A11N과 모드 설정 신호 SEQ를 2 입력으로 한다. NOR 게이트(44)의 한쪽 입력단은 EXNOR 게이트(62)의 출력이 접속되어 있다. EXNOR 게이트(61)는 신호 A11N과 모드 설정 신호 SEQ를 2 입력으로 한다. 신호 SEQ는 여기에서는 시퀀셜·모드에서 "H" 레벨, 인터리브·모드에서 "L" 레벨로 한다.

제5도는 제4도의 인터리브 모드를 설명하기 위한 동작 파형도이다. 어드레스가 디크린먼트할 때는 제어 신호 INT0의 "H" 레벨에 따라 트랜스퍼 게이트(51~54)는 비도통이 되며, 트랜스퍼 게이트(55~58)가 도통 상태로 됨으로써 데이터 전송 버스가 반대의 시프트 순서로 전환된다. 즉, 톱 어드레스 신호에 대응한 A01N, A11N과 모드 설정에 따른 시프트 레지스터의 시프트 방향의 설정으로부터 노드(N0~3)의 각 노드가 초기화된다. 여기에서 시퀀셜·모드이면 컬럼 드라이브 신호 발생이 CDRV0 →1 →2 →3과 시리얼인 랩에 기초하여 클럭(CLK)마다 "H" 레벨이 전송되고, 인터리브·모드이면 컬럼 드라이브 신호 발생이 CDRV3 →2 →1 →0과 반대의 시리얼인 랩에 기초하여 클럭(CLK)마다 "H" 레벨이 전송된다.

상기 구성의 회로에 의하면, 인터리브·모드와 같은 어드레스 선택 모드가 있던 경우에도 레지스터 내의 데이터 전송을 이용하여 어드레싱을 행할 수 있다. 이 때문에, 카운터를 이용하는 종래의 제8도에 비교하여, 클럭(CLK)에서 컬럼 드라이브 신호(CDRV)까지의 소자의 단수가 적다. 또한, 제어 신호도 감소되어 간소화된다. 이 결과, 싱크로너스 DRAM에서의 컬럼 어드레스의 어드레싱 회로가 간이화되어, 보다 고속 동작을 기대할 수 있다.

또, 본 발명은 싱크로너스 DRAM에서의 컬럼 어드레스의 어드레싱 회로에 한정하지 않고 플래시 메모리 등 시리얼 액세스를 행하는 계통에서 제2도와 같은 시프트 레지스터 구성을 기본으로하여 원하는 어드레스 신호의 랩계를 형성하면 동일한 효과를 얻을 수 있다.

발명의 효과

이상 설명한 바와 같이 이 발명에 따르면 소정의 어드레스 신호의 랩계를 시프트 레지스터 구성을 기본으로하여 구성함으로써, 데이터의 시프트 전송에 어드레스 신호의 카운트 업에 직결한 신호 출력이 실현되므로, 때문에, 어드레싱 회로가 간이화, 고속화되는 반도체 메모리 회로를 제공할 수 있다.

또, 본원 청구 범위의 각 구성 요건에 병기한 도면 참조 번호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

(57) 청구의 범위

청구항 1

1종류 이상의 어드레스 선택 모드를 갖고, 상기 어드레스 선택 모드에 따라서 소정 컬럼분의 액세스를 행하는 메모리 회로에 있어서, 복수의 메모리셀이 배치된 메모리셀 어레이(101)와, 상기 메모리셀 어레이에 대해 외부로부터의 클럭 신호에 동기된 상기 소정 컬럼분의 액세스를 위한 선두의 어드레스에 대응하는 어드레스 신호를 확정시키는 수단(21~24,31~34)과, 상기 클럭 신호에 동기하여 상기 어드레스로부터 상기 어드레스 선택 모드에 따른 상기 소정 컬럼분의 액세스를 행하기 위한 시프트 레지스터(SRG)를 포함하는 내부 어드레스 신호 발생 수단(109)을 구비한 것을 특징으로 하는 반도체 메모리 회로.

청구항 2

제1항에 있어서, 상기 시프트 레지스터는 상기 어드레스 선택 모드 설정을 위한 신호와 상기 어드레스 신호와의 논리 합성 결과에 따라 순방향, 역방향의 어느 한쪽 시프트 방향을 선택하여 이 시프트 동작에 의해 상기 소정 컬럼분의 액세스에 따른 어드레스 신호를 발생시키는 것을 특징으로 하는 반도체 메모리 회로.

청구항 3

제1항에 있어서, 상기 시프트 레지스터는 시프트 경로 도중에 트랜스퍼 제어 수단(51~54,55~58)을 설치하고, 이 트랜스퍼 제어 수단을 도통 제어함으로써, 상기 어드레스 선택 모드에 따른 시프트 경로를 구성하는 것을 특징으로 하는 반도체 메모리 회로.

청구항 4

버스트 동작을 위한 1종류 이상의 어드레스 선택 방식을 갖고, 이 어드레스 선택 방식에 따라서 외부로부터의 클럭 신호에 동기된 버스트 액세스를 행하는 메모리 회로에 있어서, 데이터를 기억하는 복수의 메모리셀이 배치된 메모리셀 어레이(101)와, 상기 메모리 셀 어레이에 대해 상기 버스트 액세스를 위한 선두의 어드레스에 대응하는 어드레스 신호를 확정시키는 수단(21~24,31~34)과, 상기 클럭 신호에 동기하여 상기 어드레스로부터 상기 어드레스 선택 방식에 따른 상기 버스트 액세스를 행하기 위한 시프트 레지스터(SRG)를 포함하는 내부 어드레스 신호 발생 수단(109)을 구비한 것을 특징으로 하는 반도체 메모리 회로.

청구항 5

제4항에 있어서, 상기 시프트 레지스터는 상기 어드레스 선택 모드의 설정을 위한 신호와 상기 어드레스 신호와의 논리 합성의 결과로부터 순방향, 역방향의 어느 한쪽 시프트동작을 선택함으로써 상기 소정 컬럼분의 액세스에 따르는 어드레스 신호를 발생시키는 것을 특징으로 하는 반도체 메모리 회로.

청구항 6

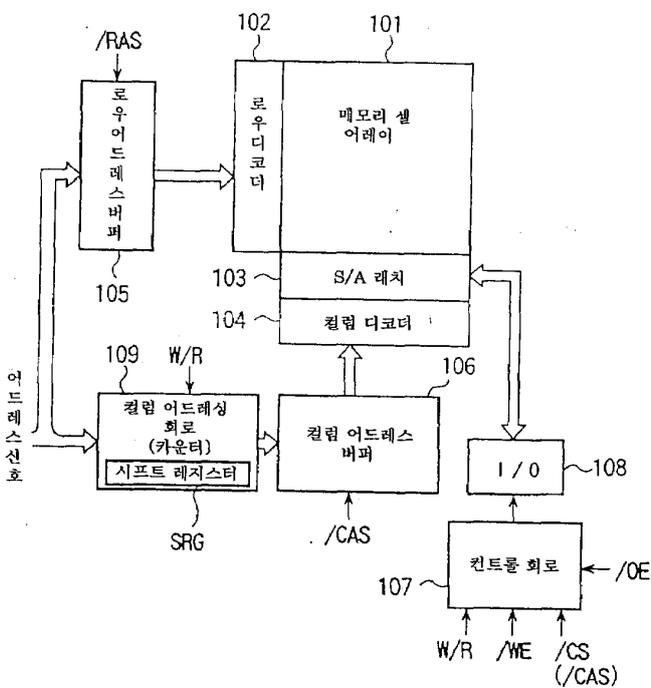
제4항에 있어서, 상기 시프트 레지스터는 시프트 경로 도중에 트랜스퍼 제어 수단을 설치하고, 이 트랜스퍼 제어 수단을 도통 제어함으로써 상기 어드레스 선택 방식에 따른 시프트 경로를 구성하는 것을 특징으로 하는 반도체 메모리 회로.

청구항 7

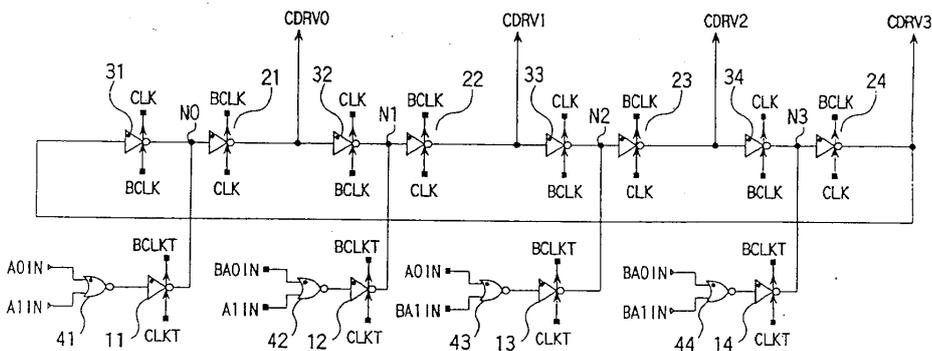
복수의 메모리셀이 배치된 메모리셀 어레이(101)와, 상기 메모리셀 어레이에 대해 외부로부터의 클럭 신호에 동기한 소정 컬럼분의 액세스를 위한 선두의 어드레스에 대응하는 어드레스 신호를 확정시키는 수단(21~24, 31~34)과, 상기 클럭 신호에 동기하여 상기 어드레스로부터 상기 소정 컬럼분의 액세스를 행하기 위한 시프트 레지스터(SRG)를 포함하는 내부 어드레스 신호 발생 수단(109)을 구비하며, 상기 시프트 레지스터는 닫힌 시프트 경로를 가지는 직렬 입력 병렬 출력의 좌우 시프트 레지스터이고, 시프트 경로 도중에 트랜스퍼 제어 수단(51~54, 55~58)을 설치하여, 트랜스퍼 제어에 따른 시프트 경로를 구성하는 것을 특징으로 하는 반도체 메모리 회로.

도면

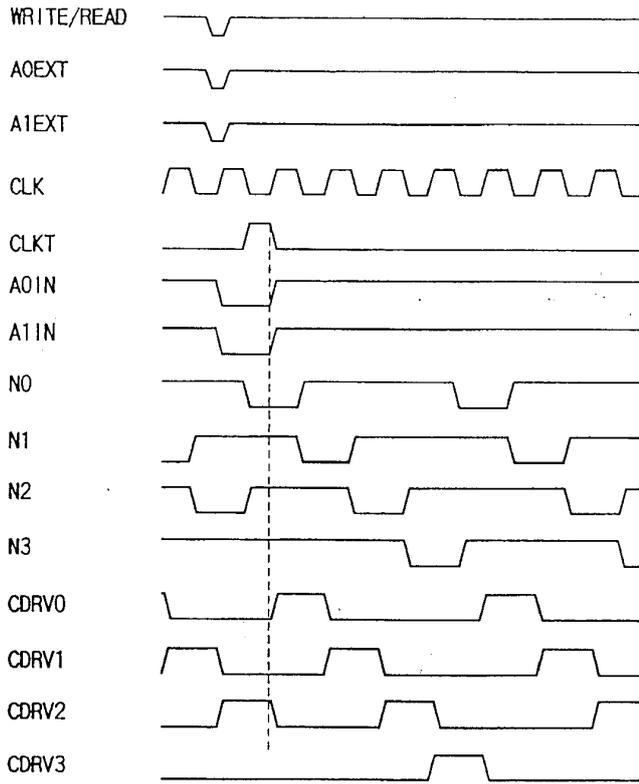
도면1



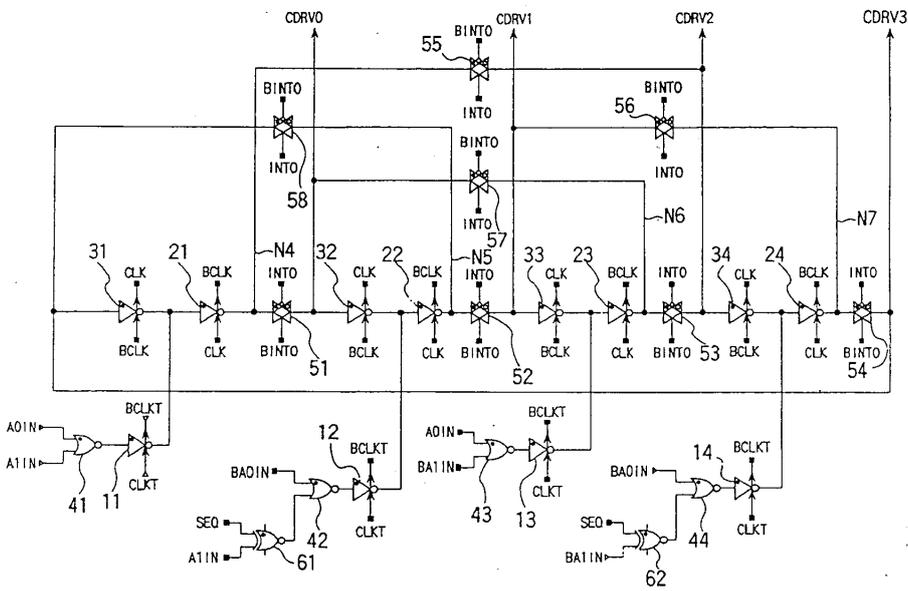
도면2



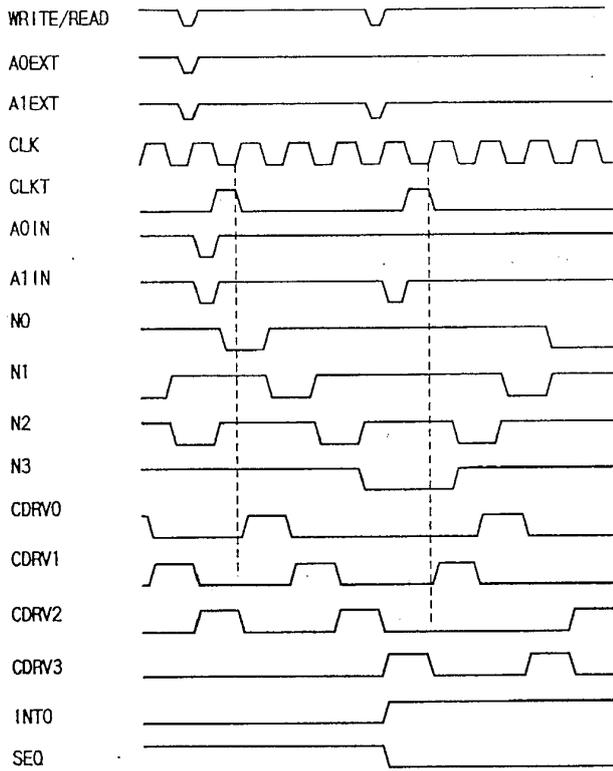
도면3



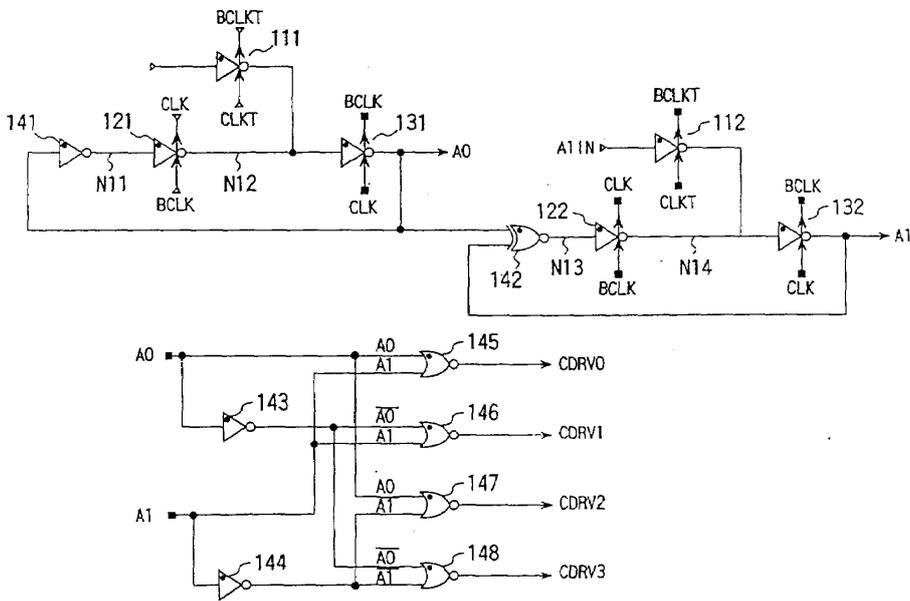
도면4



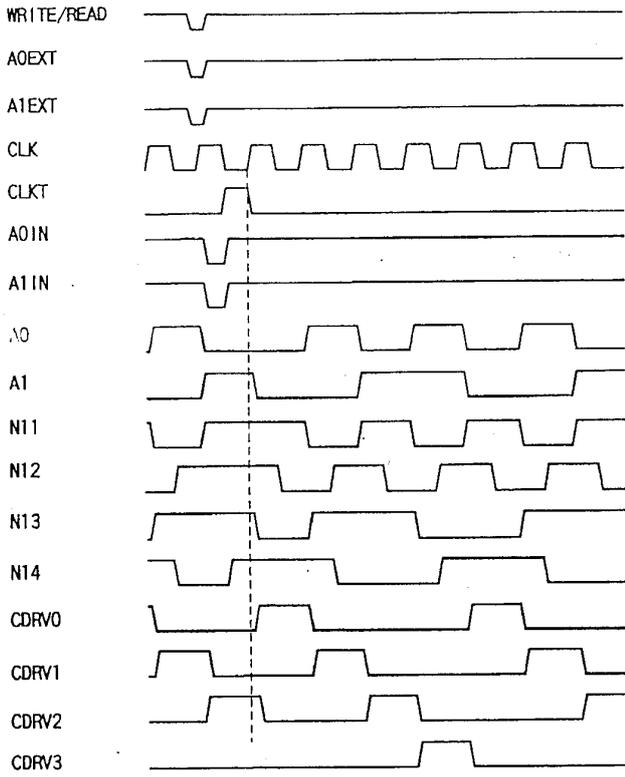
도면5



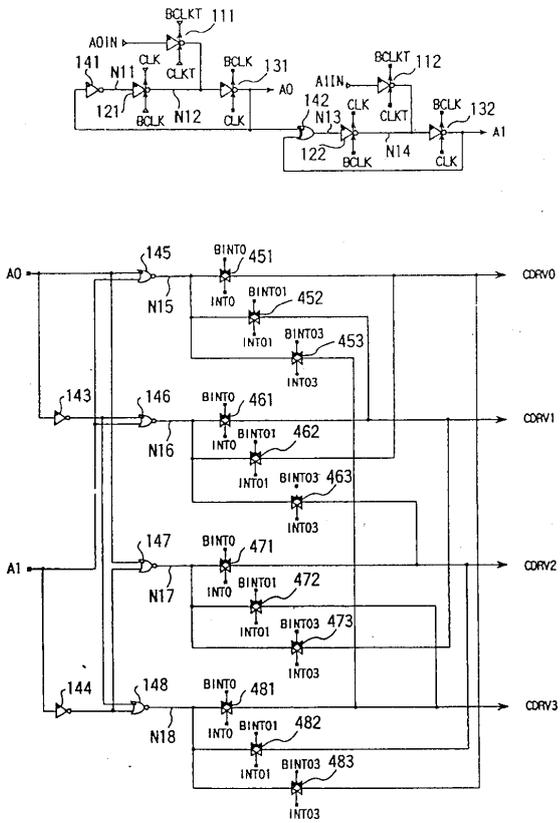
도면6



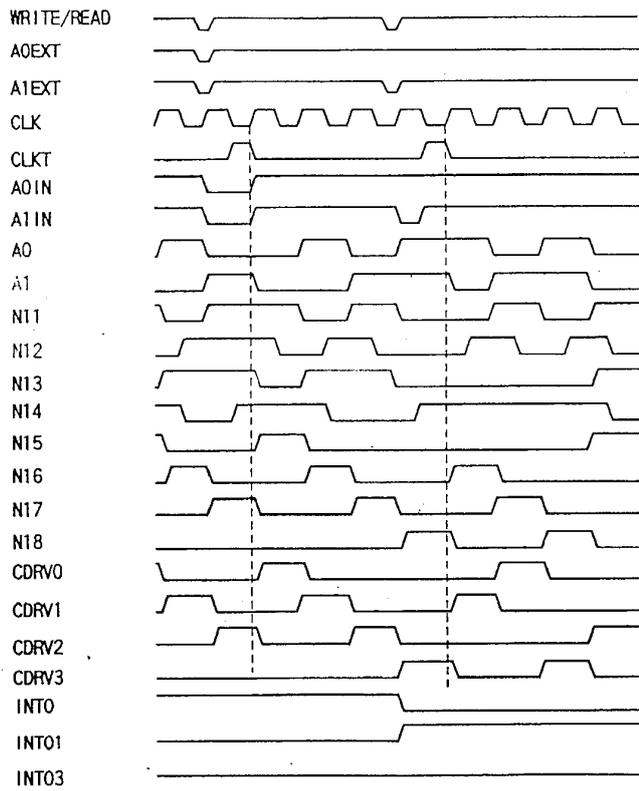
도면7



도면8



도면9



도면10

	톱 어드레스 (AOEXT·A1EXT)	킬림 어드레스 (하위 2bit)
시퀀셜 모드	00	0→1→2→3
	01	1→2→3→0
	10	2→3→0→1
	11	3→0→1→2
인터리브 모드	00	0→1→2→3
	01	1→0→3→2
	10	2→3→0→1
	11	3→2→1→0