



(12)实用新型专利

(10)授权公告号 CN 210984733 U

(45)授权公告日 2020.07.10

(21)申请号 201922399069.7

(22)申请日 2019.12.27

(73)专利权人 南京芯舟科技有限公司

地址 210000 江苏省南京市浦口区江浦街道浦口大道1号新城总部大厦506-1室

(72)发明人 杜文芳

(74)专利代理机构 北京汇泽知识产权代理有限公司 11228

代理人 亓赢

(51)Int.Cl.

H01L 29/06(2006.01)

H01L 29/739(2006.01)

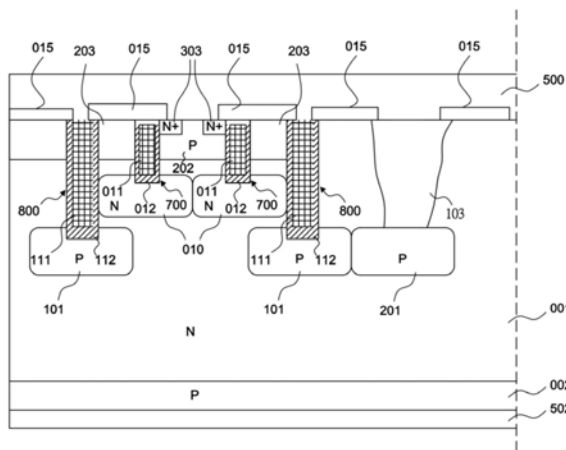
权利要求书2页 说明书10页 附图11页

(54)实用新型名称

元胞结构及其应用的半导体组件

(57)摘要

本申请是一种元胞结构及其应用的半导体组件,所述元胞结构包括半导体衬底,其上设置多数个第一与第二槽单元,载流子势垒区与第一电场屏蔽区分别设置于第一与第二槽单元的槽底,并于外围设置第二电场屏蔽区,槽内设置导电材料而对应形成二栅极区。源体区设置于相邻第一槽单元之间并接触半导体衬底顶部的第一金属层,上部区设置于第一与第二槽单元之间并通过绝缘介质与第二金属层隔离,所述源体区表面紧贴所述第一槽单元与所述第二槽单元中至少一者的侧边设置有一个以上的源区。半导体衬底底部则设置第一半导体区及其接触的第二金属层。



1. 一种半导体器件的元胞结构,其特征在于,所述元胞结构包括:
  - 第一导电类型的半导体衬底;
  - 多数个槽单元,设置在所述半导体衬底的第一侧,所述多数个槽单元包括第一槽单元与第二槽单元,所述第一槽单元分隔设置,所述第二槽单元设置于所述第一槽单元两外侧;
  - 第一栅极区,设置于所述第一槽单元内,通过第一介质与所述半导体衬底相隔离;
  - 第二栅极区,设置于所述第二槽单元内,通过第二介质而与所述半导体衬底相隔离;
  - 第一导电类型的载流子势垒区,设置邻接于所述第一槽单元的底部;
  - 第二导电类型的第一电场屏蔽区,设置邻接所述第二槽单元的底部;
  - 第二导电类型的源体区,设置所述第一槽单元的内侧间隔,所述源体区设置有一个以上的第一导电类型的源区,所述源区紧贴所述第一槽单元的所述第一介质,所述源体区及所述源区位在所述半导体衬底表面;
  - 上部区,设置于所述第一槽单元与所述第二槽单元的间隔;
  - 第一金属层,设置于所述半导体衬底顶部,所述第一金属层接触所述源体区,并通过第三介质隔离所述上部区及隔离部分或全部的所述第一槽单元;
  - 第二导电类型的第二电场屏蔽区,设置于最外围所述第一电场屏蔽区中至少一者的外侧;
  - 第二导电类型的掺杂区域,以垂直方向形成于所述半导体衬底中,接触所述第二电场屏蔽区与所述第一金属层;
  - 第一半导体区,设置在所述半导体衬底的第二侧,所述第二侧与所述第一侧为相对侧;以及
  - 第二金属层,设置接触所述第一半导体区。
2. 如权利要求1所述半导体器件的元胞结构,其特征在于,所述第二电场屏蔽区接触或不接触所述第一电场屏蔽区。
3. 如权利要求1所述半导体器件的元胞结构,其特征在于,所述第二电场屏蔽区位于所述第一电场屏蔽区的外侧下方。
4. 如权利要求1所述半导体器件的元胞结构,其特征在于,所述掺杂区域与所述第一金属层通过所述第三介质相互隔离。
5. 如权利要求1所述半导体器件的元胞结构,其特征在于,所述上部区还包括设置于至少其一所述第二槽单元的外侧,且通过所述第三介质与所述第一金属层相隔离。
6. 如权利要求1所述半导体器件的元胞结构,其特征在于,所述第二栅极区表面全部与所述第一金属层接触;或者,所述第三介质对应所述第二槽单元的槽口位置局部位置设置有开口,所述第一金属层通过所述开口接触所述第二栅极区。
7. 如权利要求1所述半导体器件的元胞结构,其特征在于,所述第一槽单元与所述第二槽单元的槽口宽度为相同或相异;所述第二槽单元的深度大于或等于所述第一槽单元。
8. 如权利要求1所述半导体器件的元胞结构,其特征在于,所述第一槽单元的一外侧设置的所述第二槽单元为多数个,所述多数个第二槽单元底部均邻接设置有所述的第二导电类型的电场屏蔽区;所述电场屏蔽区,至少有二者相邻接;及,所述源体区还设置于所述第二槽单元的间隔中并接触所述第一金属层。
9. 如权利要求1所述半导体器件的元胞结构,其特征在于,所述第一导电类型为N型,所

述第二导电类型为P型;或者,所述第一导电类型为P型,所述第二导电类型为N型。

10. 一种半导体器件,包括元胞区与终端区,其特征在于,所述元胞区包括一个以上的元胞,所述元胞的结构包括:

N型半导体衬底;

多数个槽单元,设置在所述N型半导体衬底的第一侧,所述多数个槽单元的内部设置有多晶硅,所述多数个槽单元包括第一槽单元与第二槽单元,所述第一槽单元分隔设置,所述第二槽单元设置于所述第一槽单元两外侧;

所述多晶硅设置于所述第一槽单元内作为第一栅极区,通过第一介质与所述半导体衬底相隔离;

所述多晶硅设置于所述第二槽单元内作为第二栅极区,通过第二介质而与所述半导体衬底相隔离;

N型载流子势垒区,设置邻接于所述第一槽单元的底部;

第一P型电场屏蔽区,设置于邻接所述第二槽单元的底部;

P型源体区,设置于所述第一槽单元的内侧间隔,所述P型源体区设置有一个以上的N型源区,所述N型源区紧贴所述第一槽单元的所述第一介质,所述P型源体区及所述N型源区位在所述半导体衬底表面;

P型上部区,设置于所述第一槽单元与所述第二槽单元的间隔;以及

第一金属层,设置于所述半导体衬底顶部,所述第一金属层接触所述源体区,并通过第三介质隔离所述上部区及隔离部分或全部的所述第一槽单元;

第二P型电场屏蔽区,设置于最外围所述第一P型电场屏蔽区中至少一者的外侧;

P型掺杂区域,以垂直方向形成于所述半导体衬底中,接触所述第二P型电场屏蔽区与所述第一金属层;

P型半导体区,设置在所述半导体衬底的第二侧,所述第二侧与所述第一侧为相对侧;以及

第二金属层,设置接触所述P型半导体区。

## 元胞结构及其应用的半导体组件

### 技术领域

[0001] 本申请涉及半导体技术领域,特别是关于元胞结构及其应用的半导体组件。

### 背景技术

[0002] 沟槽功率半导体器件具有集成度高、输入阻抗高、驱动功率小、驱动电路简单、导通电阻低、导通压降低、开关速度快、开关损耗小等诸多特点,广泛应用于各类电源管理及开关转换。例如常见的绝缘栅双极型晶体管(Insulated Gate Bipolar Transistor, IGBT),其由绝缘栅场效应管(MOS)与双极性晶体管(BJT)组成的复合全控型电压驱动式功率半导体器件,就具备上述特点。为更进一步提高器件的鲁棒性及电流密度,一种应用深浅槽相结合的新型器件被提出,然而,这种功率半导体器件制程,需严格调整各部位半导体材料的浓度及掺杂程度,以有效控制器件的性能,故工艺要求相对较为严苛。

[0003] 若是材料掺杂精度有误,浅槽下掺杂区通过扩散到达深槽周边,除产生横向扩散外更会产生纵向扩散,因此较容易产生与其它相异导电性质的半导体区域形成相互补偿的风险,半导体器件失去栅控性能。而且,当槽的刻蚀窗口发生套偏时,就会使得某一侧半导体区域靠近深槽处浓度与预定需求有所偏差,造成与深槽配合的结构有误,从而产生较差的导通路径或是产生预想之外的空穴通道,使得器件导通压降大幅增加。

### 实用新型内容

[0004] 为了解决上述技术问题,本申请的目的在于,提供一种元胞结构及其应用的半导体组件,通过元胞结构的改良而控制槽刻蚀窗口的偏移容错性。

[0005] 本申请的目的在于解决其技术问题是采用以下技术方案来实现的。

[0006] 依据本申请提出的一种半导体器件的元胞结构,其特征在于,所述元胞结构包括:第一导电类型的半导体衬底;多数个槽单元,设置在所述半导体衬底的第一侧,所述多数个槽单元包括第一槽单元与第二槽单元,所述第一槽单元分隔设置,所述第二槽单元设置于所述第一槽单元两外侧;第一栅极区,设置于所述第一槽单元内,通过第一介质与所述半导体衬底相隔离;第二栅极区,设置于所述第二槽单元内,通过第二介质而与所述半导体衬底相隔离;第一导电类型的载流子势垒区,设置邻接于所述第一槽单元的底部;第二导电类型的电场屏蔽区,设置于邻接所述第二槽单元的底部;第二导电类型的源体区,设置所述第一槽单元的内侧间隔,所述源体区设置有一个以上的第一导电类型的源区,所述源区紧贴所述第一槽单元的所述第一介质,所述源体区及所述源区位在所述半导体衬底表面;上部区,设置于所述第一槽单元与所述第二槽单元的间隔;第一金属层,设置于所述半导体衬底顶部,所述第一金属层接触所述源体区,并通过第三介质隔离所述上部区及隔离部分或全部的所述第一槽单元;第二导电类型的第二电场屏蔽区,设置于最外围所述第一电场屏蔽区中至少一者的外侧;第二导电类型的掺杂区域,以垂直方向形成于所述半导体衬底中,接触所述第二电场屏蔽区与所述第一金属层;第一半导体区,设置在所述半导体衬底的第二侧,所述第二侧与所述第一侧为相对侧;以及,第二金属层,设置接触所述第一半导体区。

- [0007] 本申请解决其技术问题还可采用以下技术措施进一步实现。
- [0008] 在本申请的一实施例中,所述第二电场屏蔽区接触或不接触所述第一电场屏蔽区。
- [0009] 在本申请的一实施例中,所述第二电场屏蔽区位于所述第一电场屏蔽区的外侧下方。
- [0010] 在本申请的一实施例中,所述掺杂区域与所述第一金属层通过所述第三介质相互隔离。
- [0011] 在本申请的一实施例中,所述上部区还包括设置于至少其一所述第二槽单元的外侧,且通过所述第三介质与所述第一金属层相隔离。
- [0012] 在本申请的一实施例中,所述第二栅极区表面全部与所述第一金属层接触。
- [0013] 在本申请的一实施例中,所述第三介质对应所述第二槽单元的槽口局部位置设置有开口,所述第一金属层通过所述开口接触所述第二栅极区。
- [0014] 在本申请的一实施例中,所述第一槽单元与所述第二槽单元的槽口宽度为相同或相异。
- [0015] 在本申请的一实施例中,所述第二槽单元的深度大于或等于所述第一槽单元。
- [0016] 在本申请的一实施例中,所述第一槽单元的一外侧设置的所述第二槽单元为多数个,所述的多数个第二槽单元底部均邻接设置有所述的第二导电类型的电场屏蔽区。所述电场屏蔽区,至少有二者相邻接。所述源体区还设置于所述第二槽单元的间隔中并接触所述第一金属层。
- [0017] 在本申请的一实施例中,所述源区为第一导电类型或第二导电类型。
- [0018] 在本申请的一实施例中,所述源区为重掺杂区或轻掺杂区。
- [0019] 在本申请的一实施例中,所述第一导电类型为N型,所述第二导电类型为P型。
- [0020] 在本申请的一实施例中,所述第一导电类型为P型,所述第二导电类型为N型。
- [0021] 在本申请的一实施例中,所述源区为N型时作为电子源区,所述源区为P型时作为空穴源区。
- [0022] 在本申请的一实施例中,所述第一半导体区域为第一导电类型或第二导电类型。
- [0023] 在本申请的一实施例中,所述第一半导体区域的一侧设置有与其导电类型相同或相异的第三半导体区。
- [0024] 在本申请的一实施例中,所述第一半导体区域的同层侧边设置有与其导电类型相异的第四半导体区。
- [0025] 在本申请的一实施例中所述上部区为第一导电类型半导体、第二导电类型半导体或绝缘物质。
- [0026] 在本申请的一实施例中,所述栅极区与所述阴极区为导电材料,其包括多晶硅或具导电能力的金属材料。
- [0027] 在本申请的一实施例中,前述的各类半导体的材料包括硅(Si)材料或碳化硅(SiC)材料。
- [0028] 在本申请的一实施例中,所述第一介质、所述第二介质与所述第三介质可选择性的采用包括二氧化硅或苯环丁烯(BCB)或聚酰亚胺(PI)、二氧化硅与其它物质的复合层,例如二氧化硅与氮化硅的复合层、二氧化硅与聚酰亚胺(PI)的复合层…等绝缘材料。

[0029] 本申请的另一目的的一种半导体器件,包括元胞区与终端区,其特征在于,所述元胞区包括一个以上的元胞,所述元胞的结构包括:N型半导体衬底;多数个槽单元,设置在所述N型半导体衬底的第一侧,所述多数个槽单元的内部设置有多晶硅,所述多数个槽单元包括第一槽单元与第二槽单元,所述第一槽单元分隔设置,所述第二槽单元设置于所述第一槽单元两外侧;所述多晶硅设置于所述第一槽单元内作为第一栅极区,通过第一介质与所述半导体衬底相隔离;所述多晶硅设置于所述第二槽单元内作为第二栅极区,通过第二介质而与所述半导体衬底相隔离;N型载流子势垒区,设置邻接于所述第一槽单元的底部;第一P型电场屏蔽区,设置于邻接所述第二槽单元的底部;P型源体区,设置于所述第一槽单元的内侧间隔,所述P型源体区设置有一个以上的N型源区,所述N型源区紧贴所述第一槽单元的所述第一介质,所述P型源体区及所述N型源区位在所述半导体衬底表面;上部区,设置于所述第一槽单元与所述第二槽单元的间隔;第一金属层,设置于所述半导体衬底顶部,所述第一金属层接触所述源体区,并通过第三介质隔离所述上部区及隔离部分或全部的所述第一槽单元;第二P型电场屏蔽区,设置于最外围所述第一P型电场屏蔽区中至少一者的外侧;P型掺杂区域,以垂直方向形成于所述半导体衬底中,接触所述第二P型电场屏蔽区与所述第一金属层;P型半导体区,设置在所述半导体衬底的第二侧,所述第二侧与所述第一侧为相对侧;以及,第二金属层,设置接触所述P型半导体区。

[0030] 本申请通过上部区以调节浅槽底部掺杂区可扩散范围,较能避免相异导电性质的半导体区域形成相互补偿,稳定半导体器件制成后的栅控性能。其次,通过多数个第一槽单元的浅槽并列设计,即使少数槽的刻蚀窗口发生套偏,较能调节半导体区域靠近深槽处浓度,避免与深槽配合的结构有误,从而产生较差的导通路径或是产生预想之外的空穴通道,而使得器件导通压降大幅增加。再者,上部区可间接的界定源体区后续工序需求的刻蚀窗口的宽度,有助于降低源区的设置复杂性。此外,通过双重电场屏蔽区的设计,大部分从半导体衬底中带正电的电离施主会被电场屏蔽区中带负电的电离受主所吸收,使得到达源体区的电力线基本被屏蔽,进而提升半导体器件的耐压性。

## 附图说明

- [0031] 图1为利用深浅槽相结合的半导体器件结构示意图;
- [0032] 图2为本申请实施例的半导体器件的元胞结构示意图;
- [0033] 图3为本申请实施例的半导体器件的元胞结构示意图;
- [0034] 图4为本申请实施例的半导体器件的元胞结构示意图;
- [0035] 图5为本申请实施例的半导体器件的元胞结构示意图;
- [0036] 图6为本申请实施例的半导体器件的元胞结构示意图;
- [0037] 图7为本申请实施例的半导体器件的元胞结构示意图;
- [0038] 图8为本申请实施例的半导体器件的元胞结构示意图;
- [0039] 图9为本申请实施例的半导体器件的元胞结构示意图;
- [0040] 图10为本申请实施例的半导体器件的元胞结构示意图;
- [0041] 图11为本申请实施例的穿透型或电场截止型元胞结构示意图;
- [0042] 图12为本申请实施例的逆导型元胞结构示意图;
- [0043] 图13为本申请实施例的电场截止型结合逆导型的元胞结构示意图。

## 具体实施方式

[0044] 以下各实施例的说明是参考附加的图式,用以例示本申请可用以实施的特定实施例。本申请所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本申请,而非用以限制本申请。

[0045] 附图和说明被认为在本质上是示出性的,而不是限制性的。在图中,结构相似的单元是以相同标号表示。另外,为了理解和便于描述,附图中示出的每个组件的尺寸和厚度是任意示出的,但是本申请不限于此。

[0046] 在附图中,为了清晰、理解和便于描述,夸大设备、系统、组件、电路的配置范围。将理解的是,当组件被称作“在”另一组件“上”时,所述组件可以直接在所述另一组件上,或者也可以存在中间组件。

[0047] 另外,在说明书中,除非明确地描述为相反的,否则词语“包括”将被理解为意指包括所述组件,但是不排除任何其它组件。此外,在说明书中,“在……上”意指位于目标组件上方或者下方,而不意指必须位于基于重力方向的顶部上。

[0048] 为更进一步阐述本申请为达成预定创作目的所采取的技术手段及功效,以下结合附图及具体实施例,对依据本申请提出的一种元胞结构及其应用的半导体组件,其具体实施方式、结构、特征及其功效,详细说明如后。

[0049] 图1为利用深浅槽相结合的半导体器件结构示意图。该器件是由多个元胞单位组成。图1示例其中一个元胞的剖面结构图。元胞的结构包括:N型半导体衬底001,N型半导体衬底001的一侧设置有P型第一半导体区002,其作为阳极区。N型半导体衬底001的另一侧设置数量分别为一个以上的第一槽单元700和第二槽单元800,第一槽单元700的深度小于第二槽单元800。在第一槽单元700的底部有比N型半导体衬底001的掺杂浓度更高的N型载流子势垒区010,亦称作少子势垒区,在第二槽单元800的底部设有P型电场屏蔽区101。第一槽单元700与第二槽单元800内设置有导电材料,导电材料可为多晶硅或是具导电性质的材料。第一槽单元700内的导电材料作为第一栅极区011,第二槽单元800内的导电材料作为第二栅极区111。通过第一介质012及第二介质112,第一栅极区011与第二栅极区111分别与N型半导体衬底001相隔离。N型载流子势垒区010的侧边与第二槽单元800的第二介质112相接触。P型源体区202设置在第一槽单元700和第二槽单元800之间,P型源体区202内设有N型源区303,N型源区303紧贴第一槽单元700的一侧的第一介质012。第一槽单元700和第二槽单元800之外设置有P型浮空半导体区203。第一电极500与第二电极502包括金属材料或由金属材料制成。第一电极500与至少部分的第一栅极区111、至少部分的P型源体区202以及至少部分的N型源区303相接触,第二电极502覆盖P型第一半导体区002。第一栅极区011与第一电极500之间设有第三介质015进行隔离;P型浮空半导体区203与第一电极500之间设有第四介质016进行隔离。第一栅极区011为该器件的栅电极,第一电极500与第二电极502分别为该器件的阴极及阳极。

[0050] 结合上述可得,第一槽单元700、N型载流子势垒区010、P型源体区202以及N型源区303构成一个NMOS结构。N型源区303是NMOS的电子的源区,N型载流子势垒区010是NMOS的电子的漏区,第一栅极区011是NMOS的栅区。当第二电极502和第一电极500之间的电压 $V_{CE}$ 大于零,且第一栅极区011和第一电极500之间的电压 $V_{CE}$ 超过所述NMOS的阈值电压 $V_{THN}$ 时,NMOS沟

道开启,电子自N型源区303通过P型源体区202、N型载流子势垒区010、N型半导体衬底001到达P型第一半导体区002。相对的,空穴自P型第一半导体区002通过N型半导体衬底001、P型电场屏蔽区101到达N型载流子势垒区010。N型半导体衬底001与N型载流子势垒区010之间形成的内建电势阻碍了空穴往P型源体区202的流动,N型半导体衬底001中的空穴浓度在靠近N型载流子势垒区010处会显着提高而形成强烈的电导调制,从而大大地提高了器件的电流密度。即在相同的电流密度下,该器件拥有比IGBT更低的导通压降 $V_{ON}$ 。通过合理设计,在相同的导通压降下,该器件的电流密度接近于晶闸管,因此该器件被命名为MOS Controlled quasi-Thyristor,简称MCKT。

[0051] 当第二电极502和第一电极500之间的电压 $V_{CE}$ 较高时,部分耗尽的P型电场屏蔽区101内带负电的电离受主吸收了来自耗尽的N型半导体衬底001内带正电的电离施主产生的电力线,使得只有极少电力线到达栅极区011,因此第一槽单元700与第二槽单元800底部的介质层周围的电场较低,从而可以获得高的阻断电压,同时提高了介质层的寿命,从而使得器件的可靠性得以提高。由于P型电场屏蔽区101屏蔽了来自N型半导体衬底001的大部分电力线,第一栅极区011内电荷对集电极电位的变化变得不敏感,反映为栅-集电极电容( $C_{GC}$ )的减小。

[0052] 此外,调节P型浮空半导体区203所占元胞的面积比例可以获得合适的饱和集电极电流,以获得良好的抗短路特性。普通IGBT在其关断过程中阳极持续注入少子而产生拖尾电流,关断过程的功率损耗有很大一部分是由拖尾电流产生的,且该拖尾电流的大小随着阳极少子注射效率的增加而增大。由于MCKT在N型载流子势垒区010一侧大幅提高了空穴浓度,因此在相同的导通压降下允许大幅度降低阳极的空穴注入效率,使得电子电流占总电流的比例增加,减小拖尾电流,因而可以获得较小的关断损耗。

[0053] 虽然图1所示的器件具有上述优点,但在实际工艺制程中对工艺控制要求较为严苛,为使空穴能够有效地被阻挡,N型载流子势垒区010需要扩散至第二槽单元800的介质层112并与其接触,且在该介质层表面的浓度需要较高,因此该N型载流子势垒区010剂量往往要求较高,而较高剂量的N型载流子势垒区010容易扩散至P型源体区202并与之相互补偿,使得器件失去栅控能力从而失效。另外槽刻蚀窗口发生套偏时,亦会使得N型载流子势垒区010在一侧介质层112表面浓度较低,从而给空穴提供一个通道从P型源体区202流出器件,使得器件失去低导通压降的优势。

[0054] 图2为本申请实施例的半导体器件的元胞结构示意图。所述元胞结构包括:第一导电类型的半导体衬底001;多数个槽单元,设置在所述半导体衬底001的第一侧,所述多数个槽单元包括第一槽单元700与第二槽单元800,所述第一槽单元700分隔设置,所述第二槽单元800设置于所述第一槽单元700两外侧;第一栅极区011,设置于所述第一槽单元700内,通过第一介质012与所述半导体衬底001相隔离;第二栅极区111,设置于所述第二槽单元800内,通过第二介质112而与所述半导体衬底001相隔离;第一导电类型的载流子势垒区010,设置邻接于所述第一槽单元700的底部;第二导电类型的电场屏蔽区101,设置于邻接所述第二槽单元800的底部;第二导电类型的源体区202,设置于所述第一槽单元700的内侧间隔,所述源体区202设置有一个以上的源区303,所述源区303紧贴所述第一槽单元700的所述第一介质012,所述源体区202及所述源区303位在所述半导体衬底001表面;上部区203,设置于所述第一槽单元700与所述第二槽单元800的间隔;第一金属层,设置于所述半导体



衬底001顶部,所述第一金属层接触所述源体区202,并通过第三介质015与所述上部区203及部分或全部的所述第一栅极区011相隔离;第二导电类型的第二电场屏蔽区201,设置于最外围所述第一电场屏蔽区101中至少一者的外侧;第二导电类型的掺杂区域103,以垂直方向形成于所述半导体衬底001中,接触所述第二电场屏蔽区201与所述第一金属层500;以及,所述半导体衬底001的第二侧设置有第一半导体区002,所述第二侧与所述第一侧为相对侧。第二金属层设置于所述半导体器件底部,所述第二金属层即为前述的第二电极502,其结合第一半导体区002作为阳极区。所述第一金属层即如前述的第一电极500,其相对阳极区的作为阴极区。

[0055] 为便于理解,各半导体区域导电类型暂与图1相同,第一导电类型为N型,第二导电类型为P型,所呈现电学特性原则上与图1所示半导体器件相同。

[0056] 图2所示的器件与图1所示器件不同之处在于,源体区202设置于两个第一槽单元700之间,第一槽单元700与第二槽单元800之间增设上部区203。该器件工作原理与图1所示器件类似,在半导体导电类型等同图1的情形下,当第二电极502和第一电极500之间的电压 $V_{CE}$ 大于零,且第一栅极区011和第一电极500之间的电压 $V_{GE}$ 超过由第一槽单元700、N型载流子势垒区010、P型源体区202以及N型源区303所构成的NMOS的阈值电压 $V_{THN}$ 时,NMOS沟道开启,电子自N型源区303通过P型源体区202、N型载流子势垒区010、N型半导体衬底001到达P型第一半导体区002。相对的,空穴自P型第一半导体区002通过N型半导体衬底001、P型电场屏蔽区101到达N型载流子势垒区。N型半导体衬底001与N型载流子势垒区010之间形成的内建电势阻碍了空穴往P型源体区202的流动,而所述增设的上部区203亦阻挡了空穴流出器件,因此空穴浓度在靠近N型载流子势垒区010及其附近处会显着提高而形成强烈的电导调制,从而大大地提高了器件的电流密度。即在相同的电流密度下,该器件拥有比IGBT更低的导通压降 $V_{ON}$ 。由于上部区203的增设,N型载流子势垒区010不需要扩散至第二槽单元800的介质层112与其接触,亦不需要要求N型载流子势垒区010靠近该介质层表面的浓度较高,从而可以避免N型载流子势垒区010扩散至P型源体区202与之相互补偿,稳定半导体器件制成后的栅控性能。其次,即便槽(如第一槽单元700)的刻蚀窗口发生套偏,第一槽单元700与第二槽单元800之间亦不会形成空穴的通路,从而维持半导体器件的预定的低导通压降的功能性质。

[0057] 在本申请的一实施例中,所述上部区203是用以作为限制空穴路径或是电子路径的产生位置,上部区203依据设计需求可采用N型半导体区、P型半导体区、绝缘材质或是导电材料,未有特定限制,只要能达到阻挡空穴路径或是电子路径的要求可。

[0058] 在一些实施例中,第三介质015设置于所述半导体衬底001的表面,并位于所述第二金属层500与所述半导体衬底001之间,同时部分的涵盖所述半导体区域102表面外围部分。

[0059] 在一些实施例中,受掺杂区域103的影响,第二电场屏蔽区201的电位接近阴极的电位,第二电场屏蔽区201与半导体衬底001形成PN结反偏,开始相互耗尽,大部分从半导体衬底001中带正电的电离施主会被双重的电场屏蔽区中带负电的电离受主所吸收,使得到达源体区202的电力线基本被屏蔽,进而提升半导体器件的耐压性。

[0060] 在本申请的一实施例中,所述上部区203还包括设置于至少其一所述第二槽单元800的外侧,且通过所述第三介质016与所述第一金属层500相隔离。

[0061] 在本申请的一实施例中,所述第一槽单元700与所述第二槽单元800的槽口宽度为相同或相异。

[0062] 在本申请的一实施例中,所述第二槽单元800的深度大于或等于所述第一槽单元700。

[0063] 在本申请的一实施例中,所述第三介质015对应所述第二槽单元800的槽口位置设置有开口,所述第一金属层通过所述开口接触所述第二栅极区111。

[0064] 在一些实施例中,所述第二栅极区111表面全部与所述第一金属层接触。

[0065] 在一些实施例中,所述第三介质015的开口有限,所述第一金属层通过所述开口接触所述第二栅极区局部表面。

[0066] 在本申请的一实施例中,所述源区303为第一导电类型或是第二导电类型。

[0067] 在本申请的一实施例中,所述源区303为重掺杂区或轻掺杂区。

[0068] 如图2所示,在本申请的一实施例中,所述第二电场屏蔽区201接触所述第一电场屏蔽区101。

[0069] 图3为本申请实施例的半导体器件的元胞结构示意图。如图3所示,所述第二电场屏蔽区201不接触所述第一电场屏蔽区101。

[0070] 图4为本申请实施例的半导体器件的元胞结构示意图。在本申请的一实施例中,所述第二电场屏蔽区201位于所述第一电场屏蔽区101的外侧下方。

[0071] 图5为本申请实施例的半导体器件的元胞结构示意图。在本申请的一实施例中,所述掺杂区域103与所述第一金属层500通过所述第三介质015相互隔离。

[0072] 图6为本申请实施例的半导体器件的元胞结构示意图。与图2示例不同之处在于,所述第二槽单元800的槽口为所述第三介质015所覆盖,所述第一金属层与所述第二栅极区为所述第三介质所隔离。

[0073] 在一些实施例中,所述第二槽单元内800的导电材料可设计朝向某方向开孔,以绕过所述第三介质015而与所述第一金属层(第一电极500)接触,亦或者在局部区域开孔与所述第一金属层接触,亦或者接触其它接地部件。

[0074] 图7为本申请实施例的半导体器件的元胞结构示意图。在本申请的一实施例中,所述载流子势垒区010仅有一个,且设置范围较宽,所述第一槽单元700同时接触所述载流子势垒区010。

[0075] 图8为本申请实施例的半导体器件的元胞结构示意图。在本申请的一实施例中,所述第一槽单元与所述第二槽单元的深度相同或相近,所述电场屏蔽区101与载流子势垒区010设置于所述半导体衬底001的深度亦为相同或相近。相邻的所述电场屏蔽区101与载流子势垒区010可选择性的被设计相互接触或不接触。

[0076] 图9为本申请实施例的半导体器件的元胞结构示意图。在本申请的一实施例中,所述第一槽单元700的一外侧设置的所述第二槽单元800为多数个,所述的多数个第二槽单元底部均邻接设置有所述的第二导电类型的电场屏蔽区。

[0077] 在本申请的一实施例中,所述电场屏蔽区101,至少有二者相邻接。在本申请的一实施例中,所述源体区202还设置于所述第二槽单元800的间隔中并接触所述第一金属层(第一电极500)。当所述的半导体器件工作于高压大电流等某种极端情形时,会有大量带正电荷的空穴自P型第一半导体区002注入到N型半导体衬底001并到达P型电场屏蔽区101,以

抬高P型电场屏蔽区101的电位。当P型电场屏蔽区101的电位高到一定程度时会使得由所述P型源体区202、所述N型衬底001、所述电场屏蔽区101构成的PMOS开启,紧贴第二槽单元800的侧壁会形成与NMOS的电子沟道分离的空穴通道。N型半导体衬底001内大量的空穴将沿着空穴通道,经过P型源体区202,最终到达MCKT的阴极—第二电极500,以避免传统器件中由N型源区、P型源体区、N型衬底所形成的寄生晶体管开启问题,从而抑制闩锁(Latch-up)的发生。

[0078] 图10为本申请实施例的半导体器件的元胞结构示意图。在本申请的一实施例中,所述第二槽单元800之间设置有与所述衬底区001掺杂浓度相异的第二种导电类型的第二半导体区102,且所述的第二半导体区102邻接所述源体区202。由第二槽单元800、源体区202、第二半导体区102以及电场屏蔽区101构成一个PMOS结构,其中所述P型电场屏蔽区101是该PMOS的空穴的源区,所述P型源体区202是该PMOS的空穴的漏区。

[0079] 在本申请的一实施例中,所述源体区202还设置于所述第二槽单元800的间隔中并接触所述第一金属层500。

[0080] 在本申请的一实施例中,所述源区为N型时作为电子源区,所述源区为P型时作为空穴源区。

[0081] 在本申请的一实施例中,所述半导体衬底001与所述第二金属层502之间设置有第一半导体区域002。如前述,所述第一半导体区域002为第二导电类型;或者,所述第一半导体区域002的导电类型等同所述半导体衬底001。

[0082] 所述第一半导体区域002的一侧设置有与其导电类型相同或相异的第三半导体区003。

[0083] 在本申请的一实施例中,所述第一半导体区域002的同层侧边设置有与其导电类型相异的第四半导体区004。

[0084] 图11为本申请实施例的穿通型或电场截止型元胞结构示意图。在本申请的一实施例中,所述第一半导体区域002的一侧设置有第一导电类型的第三半导体区003,其作为场截止区,第三半导体区003的掺杂浓度高于半导体衬底001。在集电极和发射极之间加上最高电压时使得电场在场截止区内截止,且场截止区不会全耗尽。因此图11所形成的电场截止型结构可以获得较小的半导体衬底001厚度,从而获得更小的导通压降( $V_{ON}$ )。其次,半导体衬底001内载流子总量和半导体衬底001厚度成正比,故可使得载流子总量减小。在一定电流下,半导体器件从导通态到关断态或者从关断态到导通态所需的时间更短,进而获得较小的开关损耗。

[0085] 图12为本申请实施例的逆导型元胞结构示意图。在本申请的一实施例中,所述第一半导体区域002的同层侧边设置有第一导电类型的第四半导体区004。半导体区002和第四半导体区004均与第二电极502直接接触,形成阳极短路(Anode Short)结构。同以第一导电类型为N型,第二导电类型为P型作说明。由P型源体区202、N型载流子势垒区010、N型半导体衬底001以及N型第四半导体区004构成一个体二极管,其中P型源体区202为所述体二极管的阳极,N型第四半导体区004为所述体二极管的阴极,在本申请的一实施例中,当第一电极500的电位高于第二电极502的电位时,此体二极管正偏,电流从P型源体区202经N型载流子势垒区010、N型半导体衬底001流向N型第四半导体区004。由于N型载流子势垒区010的存在,所述体二极管的阳极空穴注入效率被大大降低,从而在体二极管导通时阳极区附近获

得极低的电荷浓度。图13为本申请实施例的电场截止型结合逆导型的元胞结构示意图,其所示结构兼具图11和图12描述的电学特征,这里不再赘述。

[0086] 在本申请的一实施例中,图1至图10所示半导体衬底001是非穿通型(Non Punch Through),即在集电极和发射极之间加上最高电压时半导体衬底001不会全耗尽;图11所示穿通型(Punch Through)或电场截止型(Field Stop)的元胞;图12所示逆导型(Reverse Conduction)的元胞;图13为图11与图12结构的组合。然而,上述实施例不以各自图示结构为限,各实施例均适用非穿通型(Non Punch Through)结构、穿通型(Punch Through)、电场截止型(Field Stop)与阳极短路(Anode Short)型结构,或与上述相等效/相近似的结构。

[0087] 在本申请的一实施例中,前述的多数个相邻的第二槽单元800、第二电场屏蔽区及其配套结构设计,不限用于前述示例,亦可以用本申请各实施例与示范例的结构,但不以说明书中示例为限,相同、相关、类似、等效的半导体器件结构亦适用。

[0088] 在本申请的一实施例中,所述第一栅极区011与所述第二栅极区111为导电材料,其包括多晶硅或具导电能力的金属材料。

[0089] 在本申请的一实施例中,前述的各类半导体的材料包括硅(Si)材料或碳化硅(SiC)材料。

[0090] 在本申请的一实施例中,所述第一介质012、所述第二介质112、所述第三介质015所述第四介质016可选择性的采用包括二氧化硅或苯环丁烯(BCB)或聚酰亚胺(PI)、二氧化硅与其它物质的复合层,例如二氧化硅与氮化硅的复合层、二氧化硅与聚酰亚胺(PI)的复合层…等绝缘材料。

[0091] 本申请的另一目的的一种半导体器件,包括元胞区与终端区,其特征在于,所述元胞区包括一个以上的元胞,所述元胞的结构包括:N型半导体衬底001;多数个槽单元,设置在所述N型半导体衬底001的第一侧,所述多数个槽单元的内部设置有多晶硅,所述多数个槽单元包括第一槽单元700与第二槽单元800,所述第一槽单元700分隔设置,所述第二槽单元800设置于所述第一槽单元700两外侧;所述多晶硅设置于所述第一槽单元700内作为第一栅极区011,其通过第一介质012与所述半导体衬底001相隔离;所述多晶硅设置于所述第二槽单元800内作为第二栅极区111,通过第二介质112而与所述半导体衬底001相隔离;N型载流子势垒区010,设置邻接于所述第一槽单元700的底部;P型电场屏蔽区101,设置于邻接所述第二槽单元800的底部;P型源体区202,设置于所述第一槽单元700的内侧间隔,所述P型源体区202设置有一个以上的N型源区303,所述N型源区303紧贴所述第一槽单元700的所述第一介质012,所述P型源体区202及所述N型源区303位在所述半导体衬底001表面;上部区203,设置于所述第一槽单元700与所述第二槽单元800的间隔;第一金属层,设置于所述半导体衬底001顶部,所述第一金属层接触所述源体区202,并通过第三介质015隔离所述上部区203及隔离部分或全部的所述第一槽单元700;第二P型电场屏蔽区201,设置于最外围所述第一P型电场屏蔽区101中至少一者的外侧;P型掺杂区域103,以垂直方向形成于所述半导体衬底001中,接触所述第二P型电场屏蔽区201与所述第一金属层500;P型半导体区002,设置在所述半导体衬底001的第二侧,所述第二侧与所述第一侧为相对侧;以及,第二金属层502,设置接触所述P型半导体区002。

[0092] 本申请通过上部区以调节浅槽底部掺杂区可扩散范围,较能避免相异导电性质的半导体区域形成相互补偿,稳定半导体器件制成后的栅控性能。其次,本申请所增设的上部

区阻挡空穴从该处流出体外,从而可以避免因槽刻蚀窗口发生套偏而产生空穴通道,增加了槽的刻蚀容差,维持半导体器件的预定的低导通压降的功能性质。此外,通过双重电场屏蔽区的设计,大部分从半导体衬底中带正电的电离施主会被电场屏蔽区中带负电的电离受主所吸收,使得到达源体区的电力线基本被屏蔽,进而提升半导体器件的耐压性。

[0093] 如先前所述,第一导电类型与第二导电类型为相异,例如:第一导电类型为P型,第二导电类型为N型;或者,第一导电类型为N型,第二导电类型为P型,即以上描述中的N型和P型可以互换,对应的电子和空穴也可以互换,互换之后仍然适用本申请的原理。

[0094] “在本申请的一实施例中”及“在各种实施例中”等用语被重复地使用。此用语通常不是指相同的实施例;但它也可以是指相同的实施例。“包含”、“具有”及“包括”等用词是同义词,除非其前后文意显示出其它意思。

[0095] 以上所述,仅是本申请的具体实施例而已,并非对本申请作任何形式上的限制,虽然本申请已以具体实施例揭露如上,然而并非用以限定本申请,任何熟悉本专业的技术人员,在不脱离本申请技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本申请技术方案的内容,依据本申请的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本申请技术方案的范围。

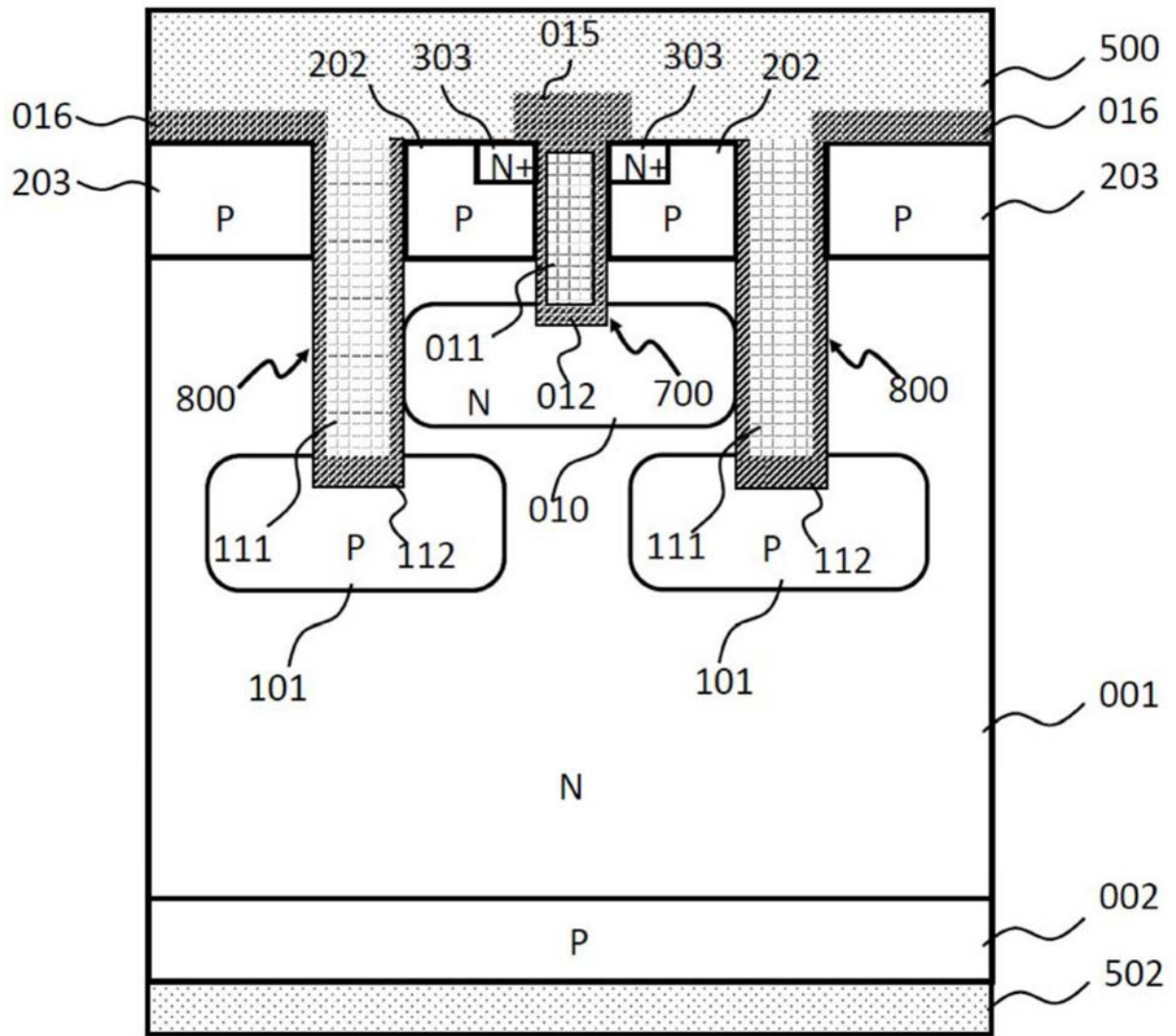


图1

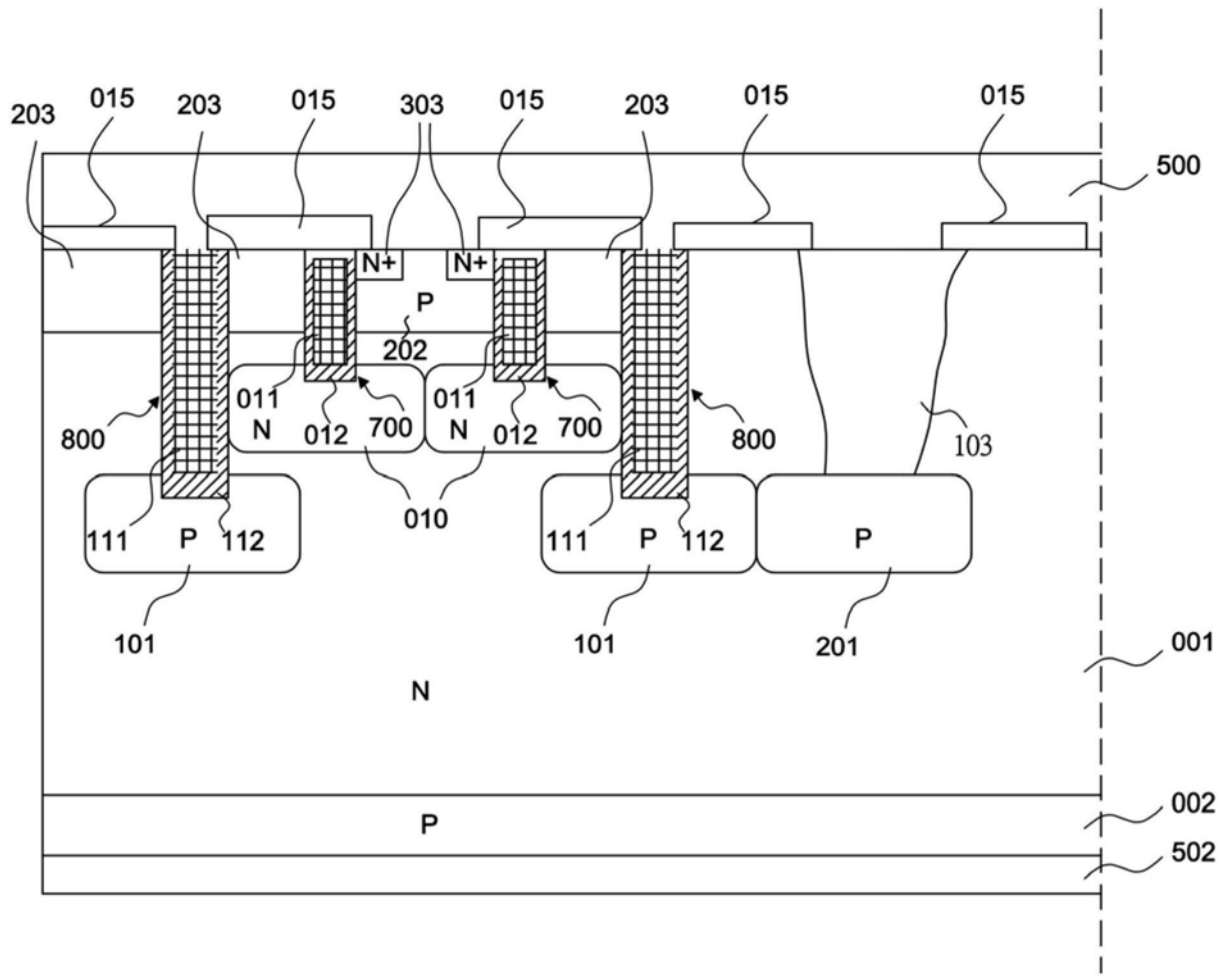


图2

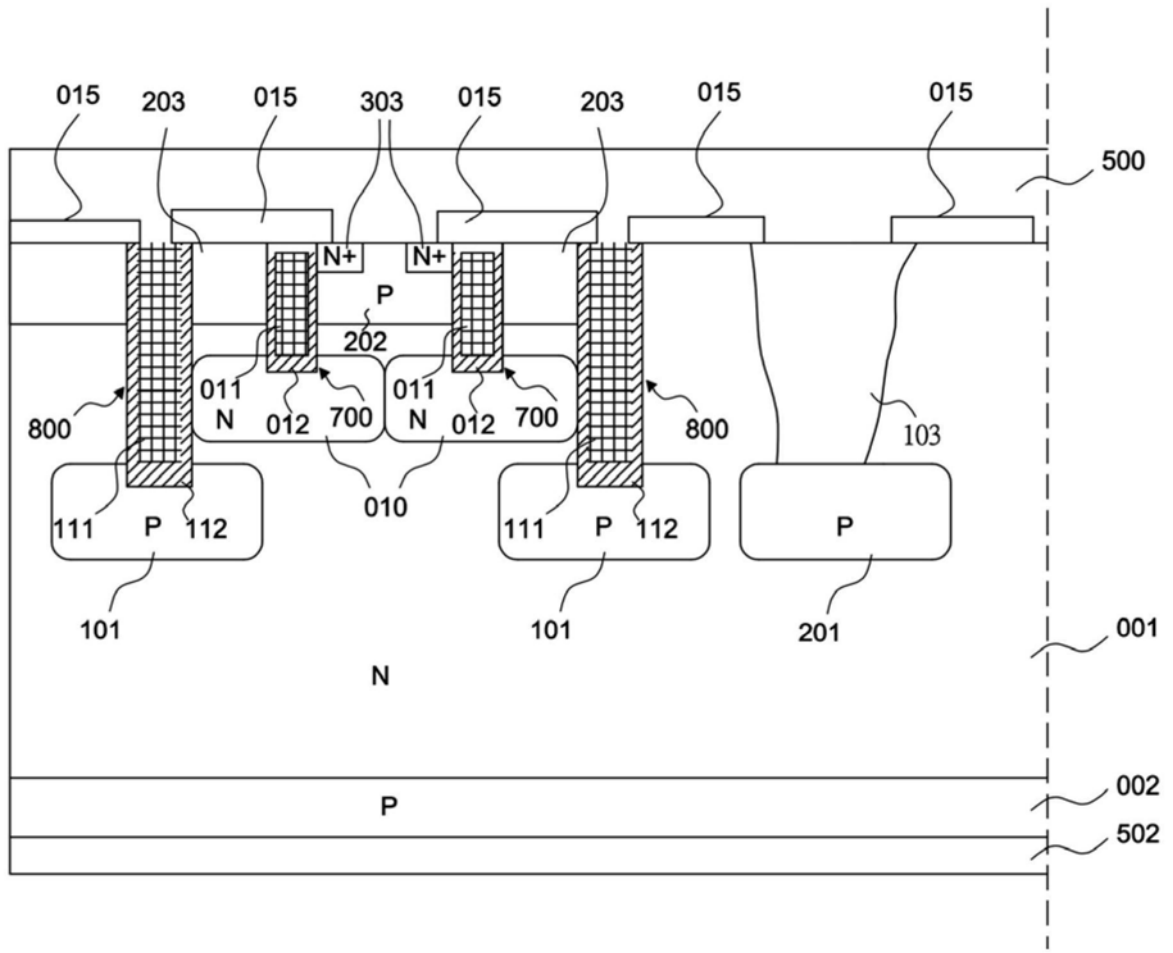


图3



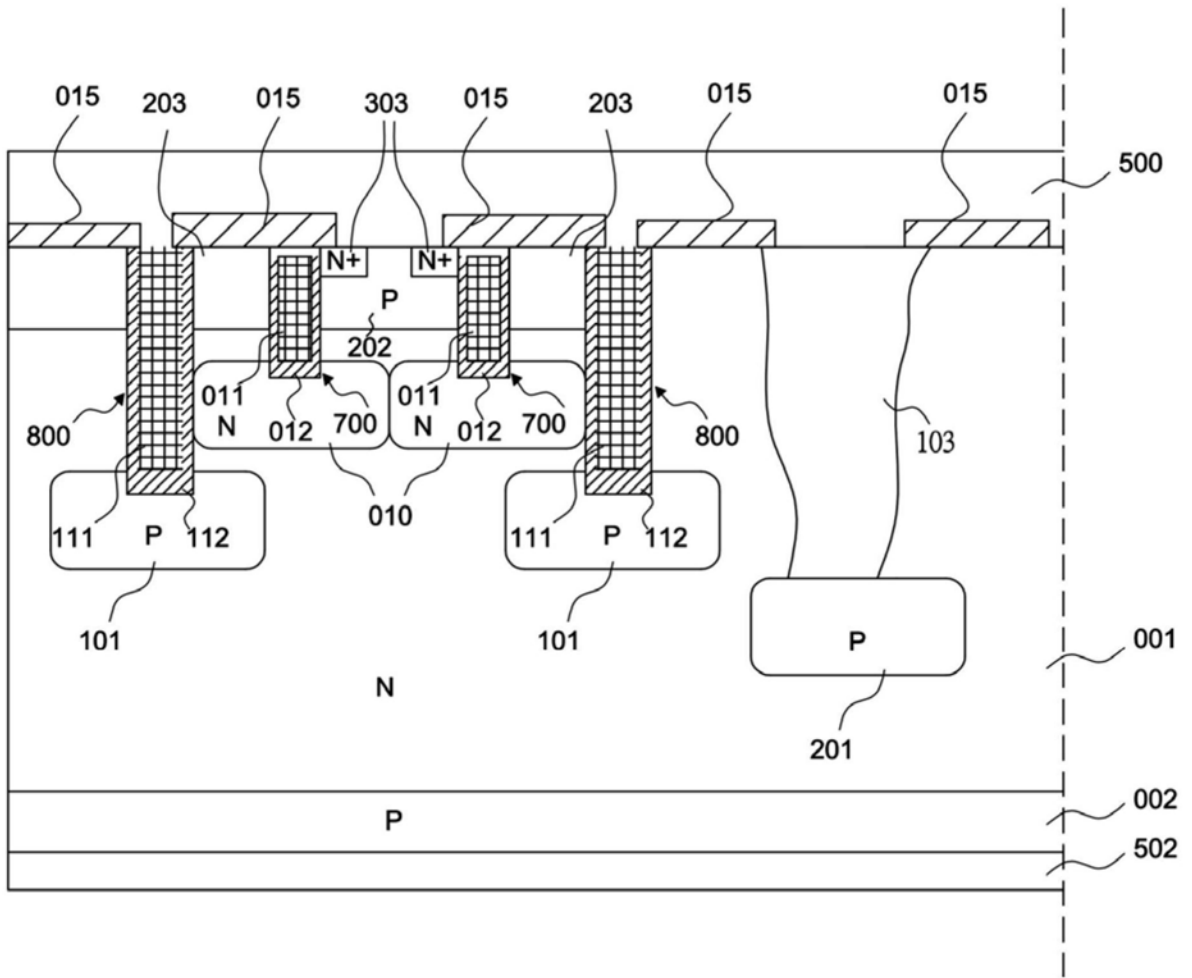


图4

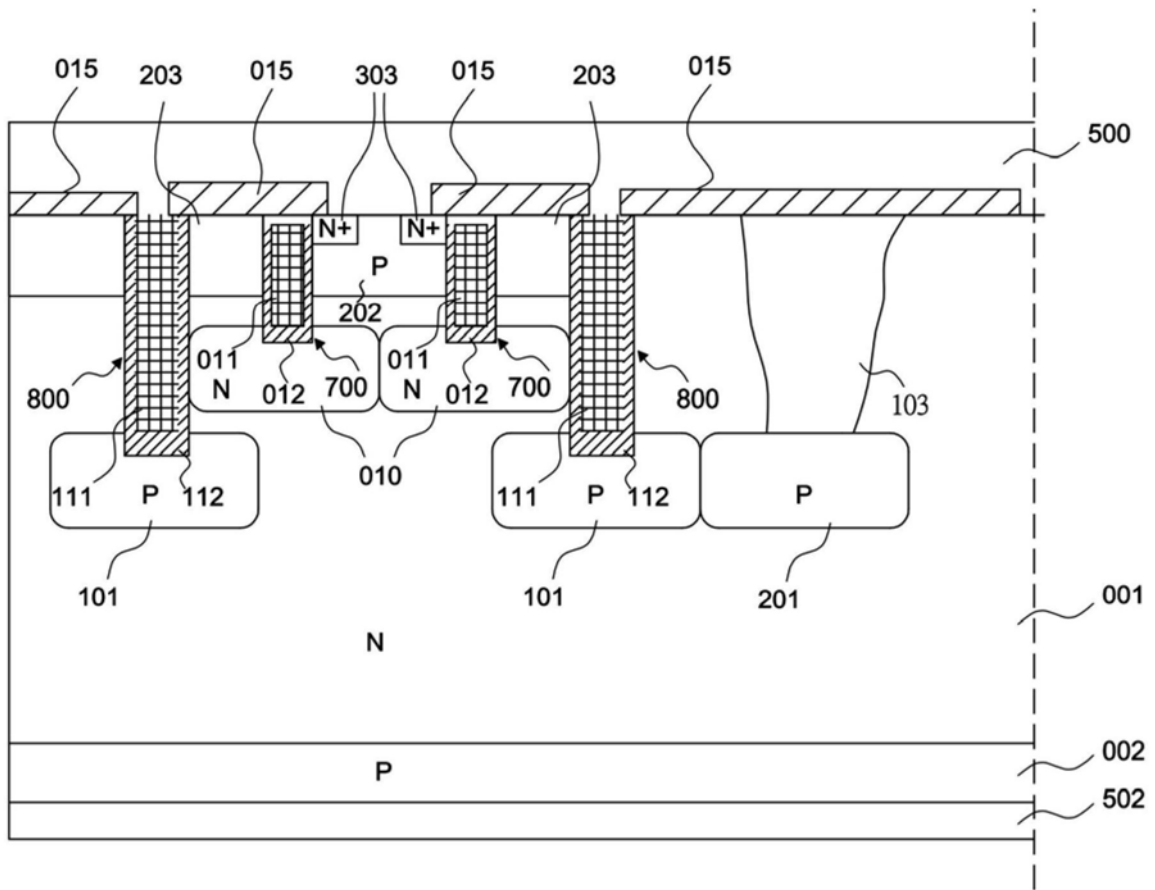


图5



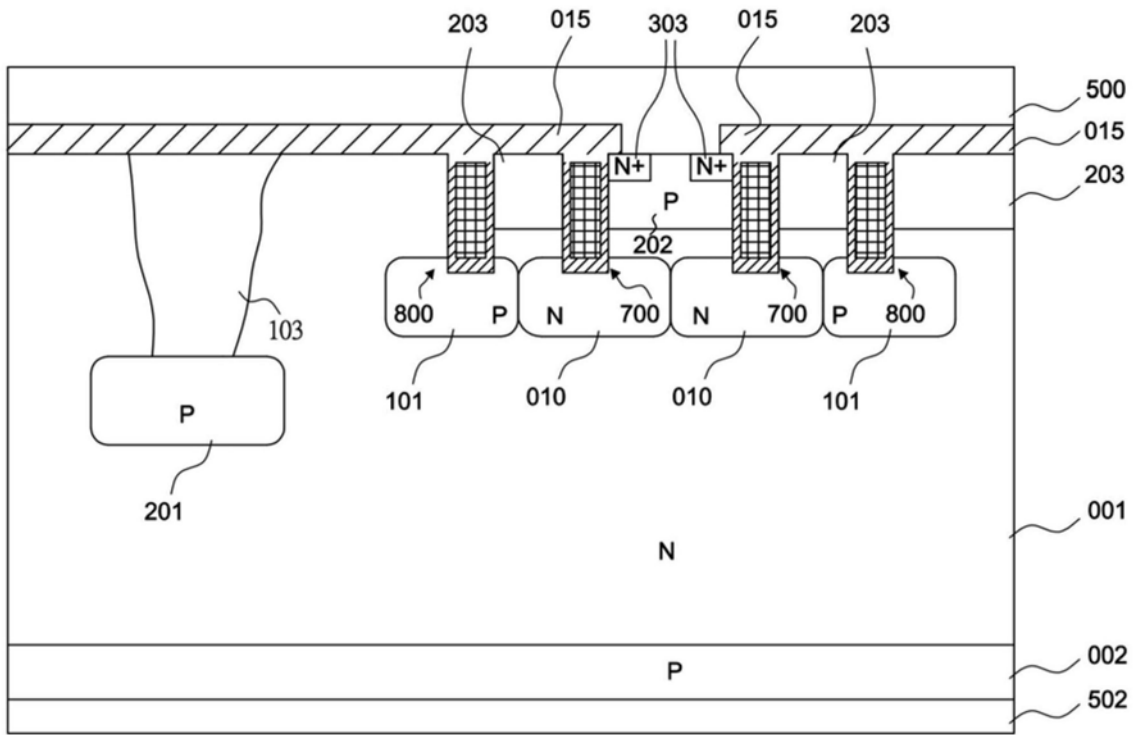


图8

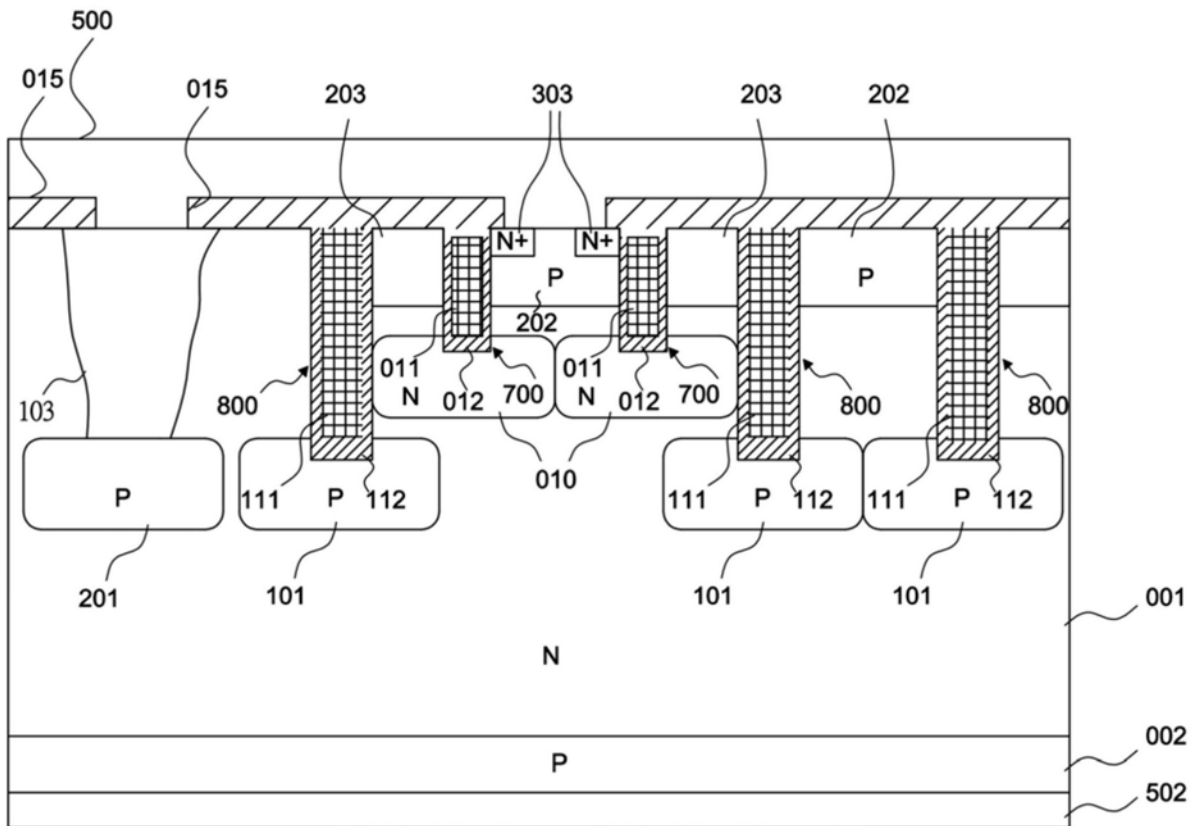


图9



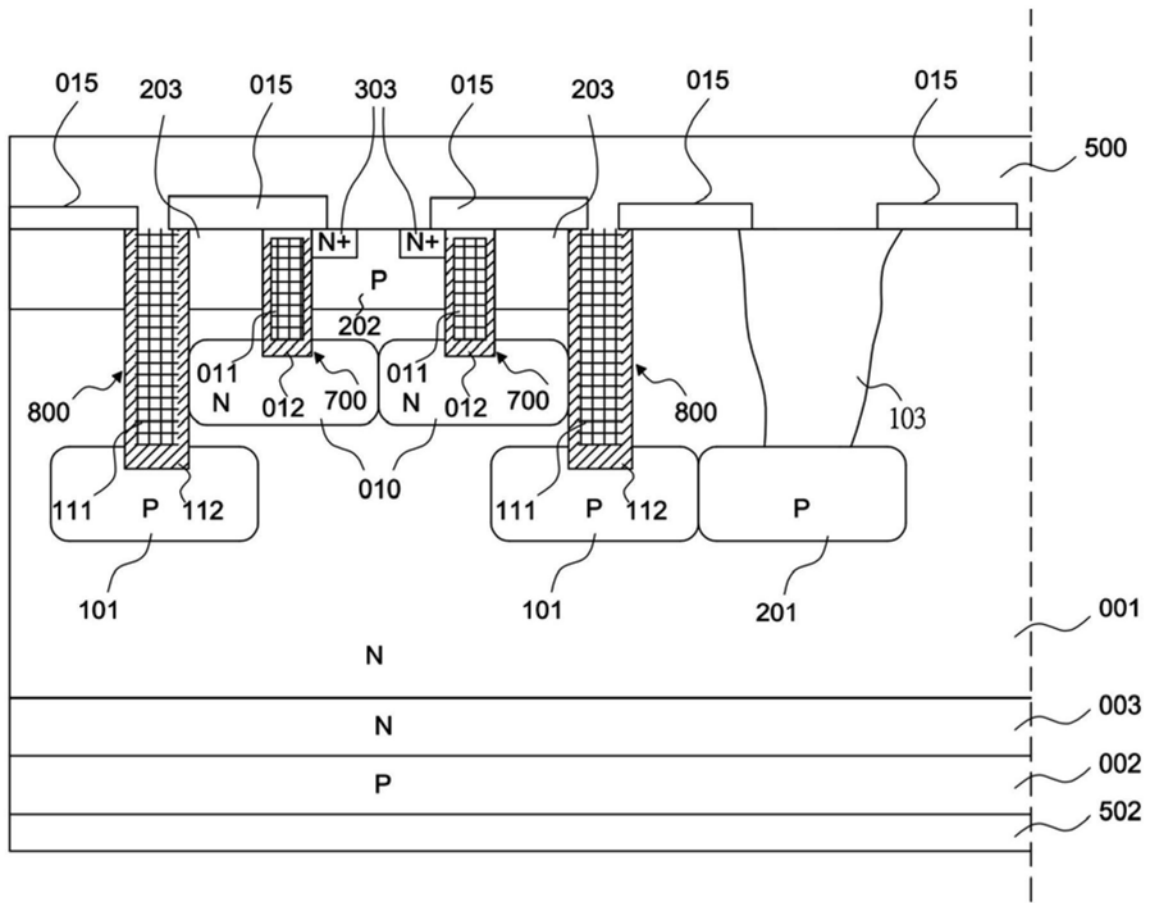


图11

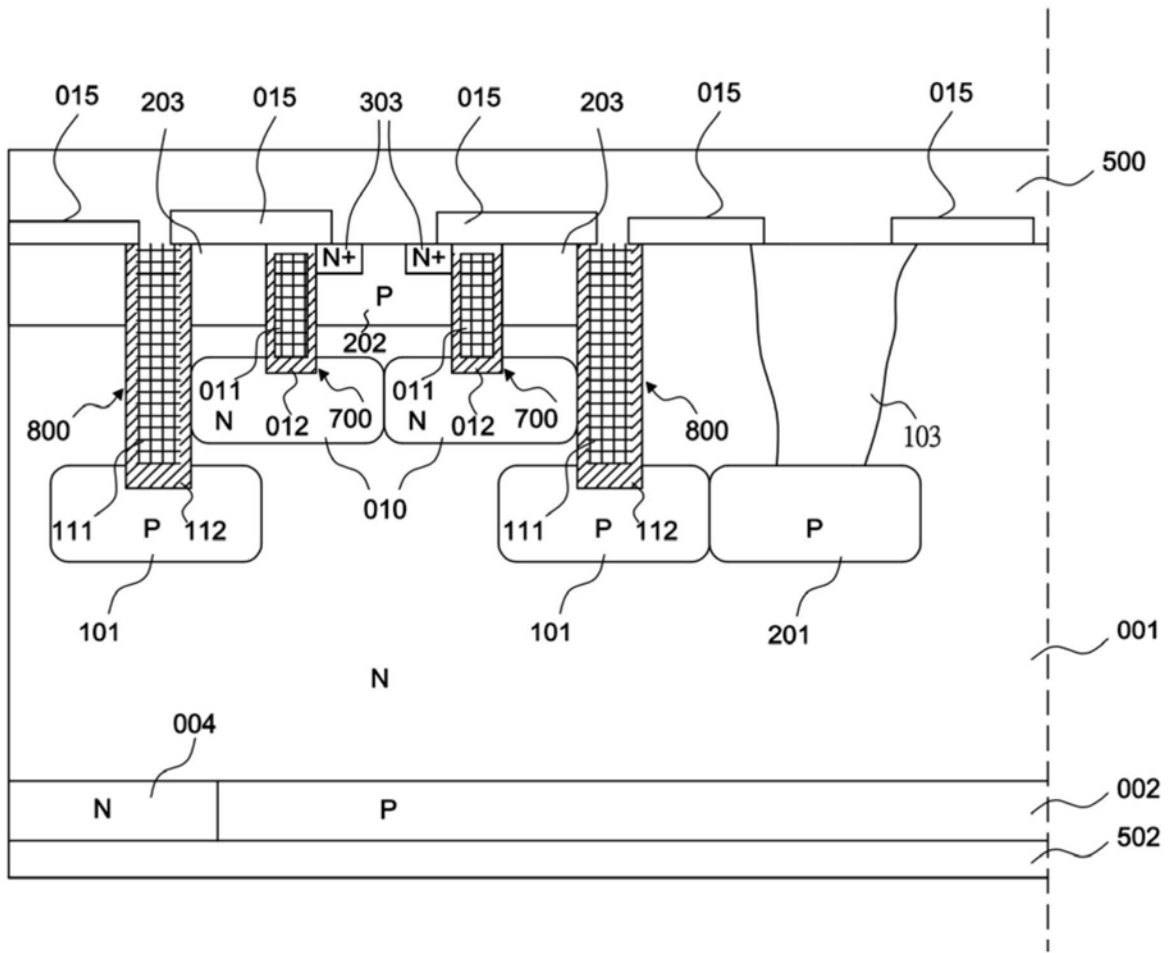


图12

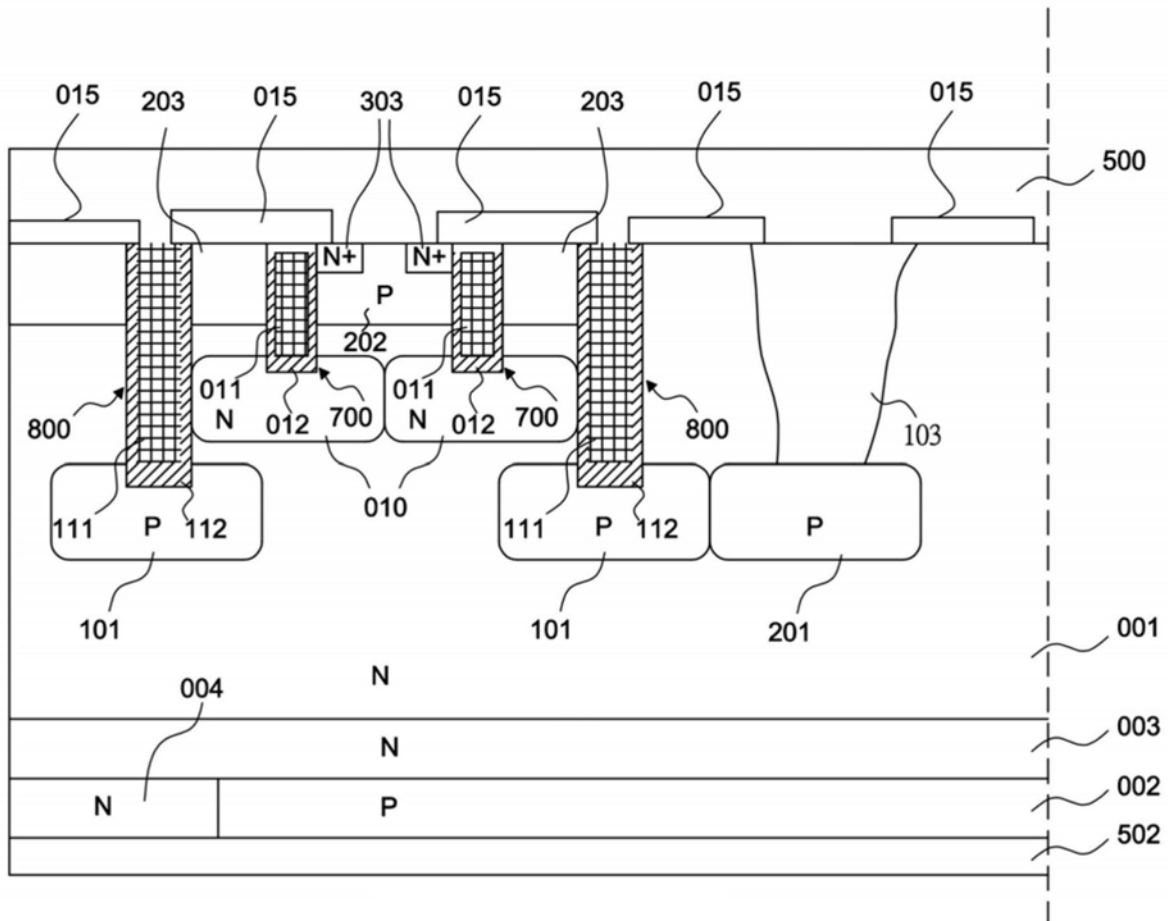


图13