



(12)发明专利

(10)授权公告号 CN 106847750 B

(45)授权公告日 2020.04.03

(21)申请号 201710046716.9

H01L 29/417(2006.01)

(22)申请日 2017.01.19

(56)对比文件

(65)同一申请的已公布的文献号

申请公布号 CN 106847750 A

CN 1735971 A,2006.02.15,

CN 102184863 A,2011.09.14,

CN 102751234 A,2012.10.24,

US 2001009287 A1,2001.07.26,

CN 1586007 A,2005.02.23,

(43)申请公布日 2017.06.13

(73)专利权人 上海宝芯源功率半导体有限公司

地址 201203 上海市浦东新区浦东盛夏路

560号219室

审查员 齐哲

(72)发明人 王凡

(74)专利代理机构 上海光华专利事务所(普通

合伙) 31219

代理人 罗泳文

(51)Int.Cl.

H01L 21/8234(2006.01)

H01L 27/088(2006.01)

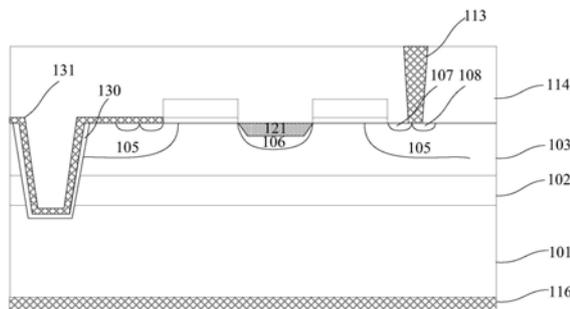
权利要求书2页 说明书9页 附图8页

(54)发明名称

一种用于锂电保护的开关器件及其制作方法

(57)摘要

本发明还提供一种用于锂电保护的开关器件及其制作方法,该开关器件包括:P+型衬底及P-型外延层;N型阱区;两个P型阱区;两个栅极结构;共用的N-型漂移区,形成于两个栅极结构之间;N型源区及P+型接触区;沟槽,形成于体接触区域;金属硅化物,基于沟槽连接第一个N型源区及P+型衬底;介质层,所述介质层中打开有第二个N型源区的接触窗口;以及填充于所述接触窗口内的电极材料。本发明采用共用漂移区的方式构建MOSFET器件,使得漂移区区域电阻可以大大降低,同时保证耐压不变。将其中一个源区的接触通过金属硅化物导电的方式引到芯片背面,封装时可与基底焊接,省掉一个打线电阻,在极低的内阻要求下非常有效,而且器件整体结构非常简洁。



1. 一种用于锂电保护的开关器件的制作方法,其特征在于,所述制作方法包括步骤:

1) 提供一P+型衬底,于所述P+型衬底表面形成P-型外延层,于所述P-型外延层中形成STI隔离区;

2) 于所述P-型外延层中形成N型阱区;

3) 于所述N型阱区中形成相隔排列的两个P型阱区;

4) 制作出两个栅极结构,各栅极结构横跨于N型阱区及P型阱区之间,所述STI隔离区位于所述两个栅极结构之间;

5) 于两个栅极结构之间形成N-型漂移区,所述N-型漂移区包围于所述STI隔离区;

6) 于所述P型阱区中形成N型源区及P+型接触区,且所述N型源区及P+型接触区位于所述栅极结构的侧边;

7) 定义体接触区域,并刻蚀所述体接触区域的P-型外延层形成直至所述P+型衬底的沟槽;

8) 于所述沟槽表面及与其相邻的P型阱区、N型源区及P+型接触区表面形成金属层,并进行退火形成金属硅化物,以实现第一个N型源区与P+型衬底的电性连接;

9) 于器件表面形成介质层,于所述介质层中打开第二个N型源区的接触窗口,于所述接触窗口内填充电极材料形成源区电极,完成开关器件的电性引出;

10) 于所述P+型衬底的背面制作背镀金属,以将所述第一个N型源区的接触通过所述金属硅化物导电的方式引到芯片背面。

2. 根据权利要求1所述的用于锂电保护的开关器件的制作方法,其特征在于:步骤2) 包括:

步骤2-1), 于所述P-型外延层制作掩膜;

步骤2-2), 基于掩膜采用离子注入方式于所述P-型外延层中形成N型阱区,使得所述N型阱区与后续制备的金属硅化物之间被所述P-型外延层隔离。

3. 根据权利要求1所述的用于锂电保护的开关器件的制作方法,其特征在于:所述源区电极同时与所述N型源区及P+型接触区接触。

4. 根据权利要求1所述的用于锂电保护的开关器件的制作方法,其特征在于:步骤7) 还包括:对所述沟槽表面进行P型离子注入,以于所述沟槽表面形成P型掺杂层。

5. 根据权利要求4所述的用于锂电保护的开关器件的制作方法,其特征在于:采用斜注入的方法进行P型离子注入,注入方向与垂直方向的倾斜角度为 $5\sim 45$ 度,注入能量为不大于 $40\text{keV}$ ,注入剂量为不小于 $1\text{e}15/\text{cm}^2$ 。

6. 根据权利要求1所述的用于锂电保护的开关器件的制作方法,其特征在于:所述背镀金属的制作包括:

a) 采用溅射或蒸镀的方法于所述P+型衬底的背面形成TiN层或Ag层;

b) 采用快速热退火的方法对所述TiN层或Ag层进行退火形成与所述P+型衬底的欧姆接触。

7. 一种用于锂电保护的开关器件,其特征在于:包括:

P+型衬底;

P-型外延层;形成于所述P+型衬底表面;

N型阱区,形成于所述P-型外延层中;

- 两个P型阱区,相隔排列形成于所述N型阱区中;
- 两个栅极结构,各栅极结构横跨于N型阱区及P型阱区之间;
- N-型漂移区,形成于两个栅极结构之间;
- N型源区及P+型接触区,形成于所述P型阱区中,且所述N型源区及P+型接触区位于所述栅极结构的侧边;
- 沟槽,形成于体接触区域且其底部露出所述P+型衬底;
- 金属硅化物,形成于所述沟槽表面及与该沟槽相邻的P型阱区、N型源区及P+型接触区表面,以实现第一个N型源区与P+型衬底的电性连接;
- 介质层,形成于器件表面,所述介质层中打开有第二个N型源区的接触窗口;
- 电极材料,填充于所述第二个N型源区的接触窗口,实现开关器件的电性引出;
- 所述P-型外延层中还形成有STI隔离区,所述STI隔离区位于两个栅极结构之间,且所述N-型漂移区包围于所述STI隔离区;
- 所述P+型衬底的背面形成有背镀金属,以将所述第一个N型源区的接触通过所述金属硅化物导电的方式引到芯片背面。
8. 根据权利要求7所述的用于锂电保护的开关器件,其特征在于:所述N型阱区与所述金属硅化物之间被所述P-型外延层隔离。
9. 根据权利要求7所述的用于锂电保护的开关器件,其特征在于:所述沟槽的内表面还形成有P型掺杂层,所述P型掺杂层的掺杂浓度为不小于 $1e18/cm^3$ 。
10. 根据权利要求7所述的用于锂电保护的开关器件,其特征在于:所述源区电极同时与所述N型源区及P+型接触区接触。
11. 根据权利要求7所述的用于锂电保护的开关器件,其特征在于:所述背镀金属包括TiN层及Ag层中的一种。
12. 根据权利要求7所述的用于锂电保护的开关器件,其特征在于:所述P+型衬底的掺杂浓度为 $1e18\sim 1e19/cm^3$ ,所述P-型外延层的掺杂浓度为 $1e16\sim 1e17/cm^3$ ,所述N型阱区的掺杂浓度为 $1e15\sim 1e16/cm^3$ ,所述N-型漂移区的掺杂浓度为 $1e16\sim 1e17/cm^3$ ,所述P型阱区的掺杂浓度为 $1e17\sim 1e18/cm^3$ 。

## 一种用于锂电保护的开关器件及其制作方法

### 技术领域

[0001] 本发明涉及一种锂电池保护电路,特别是涉及一种用于锂电保护的开关器件及其制作方法。

### 背景技术

[0002] 随着科技进步与社会发展,如手机、笔记本电脑、MP3播放器、PDA、掌上游戏机、数码摄像机等便携式设备已越来越普及,这类产品中许多是采用锂离子电池供电,锂电池分为一次电池和二次电池两类,目前在部分耗电量较低的便携式电子产品中主要使用不可充电的一次锂电池,而在笔记本电脑、手机、PDA、数码相机等耗电量较大的电子产品中则使用可充电的二次电池,即锂离子电池。

[0003] 与镍镉和镍氢电池相比,锂离子电池具备以下几个优点:1)电压高,单节锂离子电池的电压可达到3.6V,远高于镍镉和镍氢电池的1.2V电压。2)容量密度大,其容量密度是镍氢电池或镍镉电池的1.5-2.5倍。3)荷电保持能力强(即自放电小),在放置很长时间后其容量损失也很小。4)寿命长,正常使用其循环寿命可达到500次以上。5)没有记忆效应,在充电前不必将剩余电量放空,使用方便。

[0004] 由于锂离子电池的化学特性,在正常使用过程中,其内部进行电能与化学能相互转化的化学正反应,但在某些条件下,如对其过充电、过放电和过电流将会导致电池内部发生化学副反应,该副反应加剧后,会严重影响电池的性能与使用寿命,并可能产生大量气体,使电池内部压力迅速增大后爆炸而导致安全问题,因此所有的锂离子电池都需要一个保护电路,用于对电池的充、放电状态进行有效监测,并在某些条件下关断充、放电回路以防止对电池发生损害。

[0005] 一个典型的锂离子电池保护电路原理图如图1所示,该保护回路由两个MOSFET(V1、V2)和一个控制IC(N1)外加一些阻容元件构成。控制IC负责监测电池电压与回路电流,并控制两个MOSFET的栅极,MOSFET在电路中起开关作用,分别控制着充电回路与放电回路的导通与关断,C3为延时电容,该电路具有过充电保护、过放电保护、过电流保护与短路保护功能,其工作原理分析如下:

[0006] 1)在正常状态下电路中N1的“CO”与“DO”脚都输出高电压,两个MOSFET都处于导通状态,电池可以自由地进行充电和放电,由于MOSFET的导通阻抗很小,通常小于30毫欧,因此其导通电阻对电路的性能影响很小。此状态下保护电路的消耗电流为 $\mu\text{A}$ 级,通常小于7 $\mu\text{A}$ 。

[0007] 2)锂离子电池要求的充电方式为恒流/恒压,在充电初期,为恒流充电,随着充电过程,电压会上升到4.2V(根据正极材料不同,有的电池要求恒压值为4.1V),转为恒压充电,直至电流越来越小。电池在被充电过程中,如果充电器电路失去控制,会使电池电压超过4.2V后继续恒流充电,此时电池电压仍会继续上升,当电池电压被充电至超过4.3V时,电池的化学副反应将加剧,会导致电池损坏或出现安全问题。在带有保护电路的电池中,当控制IC检测到电池电压达到4.28V(该值由控制IC决定,不同的IC有不同的值)时,其“CO”脚将

由高电压转变为零电压,使V2由导通转为关断,从而切断了充电回路,使充电器无法再对电池进行充电,起到过充电保护作用。而此时由于V2自带的体二极管VD2的存在,电池可以通过该二极管对外部负载进行放电。在控制IC检测到电池电压超过4.28V至发出关断V2信号之间,还有一段延时时间,该延时时间的长短由C3决定,通常设为1秒左右,以避免因干扰而造成误判断。

[0008] 3) 电池在对外部负载放电过程中,其电压会随着放电过程逐渐降低,当电池电压降至2.5V时,其容量已被完全放光,此时如果让电池继续对负载放电,将造成电池的永久性损坏。在电池放电过程中,当控制IC检测到电池电压低于2.3V(该值由控制IC决定,不同的IC有不同的值)时,其“DO”脚将由高电压转变为零电压,使V1由导通转为关断,从而切断了放电回路,使电池无法再对负载进行放电,起到过放电保护作用。而此时由于V1自带的体二极管VD1的存在,充电器可以通过该二极管对电池进行充电。由于在过放电保护状态下电池电压不能再降低,因此要求保护电路的消耗电流极小,此时控制IC会进入低功耗状态,整个保护电路耗电会小于0.1 $\mu$ A。在控制IC检测到电池电压低于2.3V至发出关断V1信号之间,也有一段延时时间,该延时时间的长短由C3决定,通常设为100毫秒左右,以避免因干扰而造成误判断。

[0009] 4) 由于锂离子电池的化学特性,电池生产厂家规定了其放电电流最大不能超过2C(C=电池容量/小时),当电池超过2C电流放电时,将会导致电池的永久性损坏或出现安全问题。电池在对负载正常放电过程中,放电电流在经过串联的2个MOSFET时,由于MOSFET的导通阻抗,会在其两端产生一个电压,该电压值 $U=I \cdot R_{DS} \cdot 2$ ,RDS为单个MOSFET导通阻抗,控制IC上的“V-”脚对该电压值进行检测,若负载因某种原因导致异常,使回路电流增大,当回路电流大到使 $U>0.1V$ (该值由控制IC决定,不同的IC有不同的值)时,其“DO”脚将由高电压转变为零电压,使V1由导通转为关断,从而切断了放电回路,使回路中电流为零,起到过电流保护作用。在控制IC检测到过电流发生至发出关断V1信号之间,也有一段延时时间,该延时时间的长短由C3决定,通常为13毫秒左右,以避免因干扰而造成误判断。在上述控制过程中可知,其过电流检测值大小不仅取决于控制IC的控制值,还取决于MOSFET的导通阻抗,当MOSFET导通阻抗越大时,对同样的控制IC,其过电流保护值越小。

[0010] 5) 电池在对负载放电过程中,若回路电流大到使 $U>0.9V$ (该值由控制IC决定,不同的IC有不同的值)时,控制IC则判断为负载短路,其“DO”脚将迅速由高电压转变为零电压,使V1由导通转为关断,从而切断放电回路,起到短路保护作用。短路保护的延时时间极短,通常小于7微秒。其工作原理与过电流保护类似,只是判断方法不同,保护延时时间也不一样。

[0011] 除了控制IC外,电路中还有一个重要元件,就是MOSFET,它在电路中起着开关的作用,由于它直接串接在电池与外部负载之间,因此它的导通阻抗对电池的性能有影响,当选用的MOSFET较好时,其导通阻抗很小,电池包的内阻就小,带载能力也强,在放电时其消耗的电能也少。

[0012] 锂电保护的两个MOSFET,目前主流技术都是利用Trench VDMOS来实现。VDMOS的优点是沟道密度大,可以有效降低沟道电阻。缺点是用来承受耐压的漂移区(drift)电阻较大。另外,VDMOS的两个源区(source)都在芯片(chip)表面,封装时两个源区电极均需要打金属连线(bonding),而打线电阻受物理限制很难降低。随着快充等大电流锂电充电技术实

施,要求锂电保护的MOSFET内阻尽可能的低。

[0013] 基于以上所述,提供一种能够有效降低漂移区内阻,并降低金属连线占用面积及内阻的开关器件及其制备方法实属必要。

## 发明内容

[0014] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种用于锂电保护的开关器件及其制作方法,用于解决现有技术中锂电保护的MOSFET的漂移区内阻较大以及面积较大的问题。

[0015] 为实现上述目的及其他相关目的,本发明提供一种用于锂电保护的开关器件的制作方法,所述制作方法包括步骤:1) 提供一P+型衬底,于所述P+型衬底表面形成P-型外延层;2) 于所述P-型外延层中形成N型阱区;3) 于所述N型阱区中形成相隔排列的两个P型阱区;4) 制作出两个栅极结构,各栅极结构横跨于N型阱区及P型阱区之间;5) 于两个栅极结构之间形成N-型漂移区;6) 于所述两个栅极结构两侧的P型阱区中分别形成N型源区及P+型接触区;7) 定义体接触区域,并刻蚀所述体接触区域的P-型外延层形成直至所述P+型衬底的沟槽;8) 于所述沟槽表面及与其相邻的P型阱区、N型源区及P+型接触区表面形成金属层,并进行退火形成金属硅化物,以实现第一个N型源区与P+型衬底的电性连接;9) 于器件表面形成介质层,于所述介质层中打开第二个N型源区的接触窗口,于所述接触窗口内填充电极材料形成源区电极,完成开关器件的电性引出。

[0016] 作为本发明的用于锂电保护的开关器件的制作方法的一种优选方案,步骤1) 还包括于所述P-型外延层中形成STI隔离区的步骤,所述STI隔离区位于后续制作的两个栅极结构之间,且后续制备的N-型漂移区包围于所述STI隔离区。

[0017] 作为本发明的用于锂电保护的开关器件的制作方法的一种优选方案,步骤2) 包括:步骤2-1), 于所述P-型外延层制作掩膜;步骤2-2), 基于掩膜采用离子注入方式于所述P-型外延层中形成N型阱区,使得所述N型阱区与后续制备的金属硅化物之间被所述P-型外延层隔离。

[0018] 作为本发明的用于锂电保护的开关器件的制作方法的一种优选方案,所述源区电极同时与所述N型源区及P+型接触区接触。

[0019] 作为本发明的用于锂电保护的开关器件的制作方法的一种优选方案,步骤7) 还包括:对所述沟槽表面进行P型离子注入,以于所述沟槽表面形成P型掺杂层。

[0020] 优选地,采用斜注入的方法进行P型离子注入,注入方向与垂直方向的倾斜角度为5~45度,注入能量为不大于40keV,注入剂量为不小于 $1e15/cm^2$ 。

[0021] 作为本发明的用于锂电保护的开关器件的制作方法的一种优选方案,还包括于所述P+型衬底的背面制作背镀金属的步骤。

[0022] 作为本发明的用于锂电保护的开关器件的制作方法的一种优选方案,所述背镀金属的制作包括:a) 采用溅射或蒸镀的方法于所述P+型衬底的背面形成TiN层或Ag层;b) 采用快速热退火的方法对所述TiN层或Ag层进行退火形成与所述P+型衬底的欧姆接触。

[0023] 本发明还提供一种用于锂电保护的开关器件,包括:P+型衬底;P-型外延层;形成于所述P+型衬底表面;N型阱区,形成于所述P-型外延层中;两个P型阱区,相隔排列形成于所述N型阱区中;两个栅极结构,各栅极结构横跨于N型阱区及P型阱区之间;N-型漂移区,形

成于两个栅极结构之间;N型源区及P+型接触区,形成于所述两个栅极结构两侧;沟槽,形成于体接触区域且其底部露出所述P+型衬底;金属硅化物,形成于所述沟槽表面及与该沟槽相邻的P型阱区、N型源区及P+型接触区表面,以实现第一个N型源区与P+型衬底的电性连接;介质层,形成于器件表面,所述介质层中打开有第二个N型源区的接触窗口;电极材料,填充于所述第二个N型源区的接触窗口,实现开关器件的电性引出。

[0024] 作为本发明的用于锂电保护的开关器件的一种优选方案,所述P-型外延层中还形成有STI隔离区,所述STI隔离区位于两个栅极结构之间,且所述N-型漂移区包围于所述STI隔离区。

[0025] 作为本发明的用于锂电保护的开关器件的一种优选方案,所述N型阱区与所述金属硅化物之间被所述P-型外延层隔离。

[0026] 作为本发明的用于锂电保护的开关器件的一种优选方案,所述沟槽的内表面还形成有P型掺杂层,所述P型掺杂层的掺杂浓度为不小于 $1e18/cm^3$ 。

[0027] 作为本发明的用于锂电保护的开关器件的一种优选方案,所述源区电极同时与所述N型源区及P+型接触区接触。

[0028] 作为本发明的用于锂电保护的开关器件的一种优选方案,所述P+型衬底的背面还形成有背镀金属,所述背镀金属包括TiN层及Ag层中的一种。

[0029] 作为本发明的用于锂电保护的开关器件的一种优选方案,所述P+型衬底的掺杂浓度为 $1e18\sim 1e19/cm^3$ ,所述P-型外延层的掺杂浓度为 $1e16\sim 1e17/cm^3$ ,所述N型阱区的掺杂浓度为 $1e15\sim 1e16/cm^3$ ,所述N-型漂移区的掺杂浓度为 $1e16\sim 1e17/cm^3$ ,所述P型阱区的掺杂浓度为 $1e17\sim 1e18/cm^3$ 。

[0030] 如上所述,本发明的用于锂电保护的开关器件及其制作方法,具有以下有益效果:

[0031] 1) 采用共用漂移区(drift)的方式构建MOSFET器件,使得漂移区(drift)区域电阻可以大大降低,同时保证耐压不变。

[0032] 2) 将其中一个源区(source)的接触通过金属硅化物以及P型掺杂层导电的方式引到芯片(chip)背面,封装时可与基底焊接,省掉一个打线电阻,在极低的内阻要求下非常有效,而且器件整体结构非常简洁。

[0033] 3) 实际的数据表明,本发明可得到单位面积导通内阻更低的双MOSFET器件。

## 附图说明

[0034] 图1显示为一个典型的锂离子电池保护电路原理图。

[0035] 图2~图12显示为本发明实施例1的用于锂电保护的开关器件的制作方法各步骤所呈现的结构示意图。

[0036] 图13显示为本发明实施例2的用于锂电保护的开关器件的结构示意图。

[0037] 图14显示为本发明实施例3的用于锂电保护的开关器件的结构示意图。

[0038] 图15~图16显示为本发明实施例4的用于锂电保护的开关器件的结构示意图。

[0039] 图17显示为本发明实施例5的用于锂电保护的开关器件的结构示意图。

[0040] 元件标号说明

[0041] 101 P+型衬底

[0042] 102 P-型外延层

[0043]	103	N型阱区
[0044]	104	栅极结构
[0045]	105	P型阱区
[0046]	106	N-型漂移区
[0047]	107	N型源区
[0048]	108	P+型接触区
[0049]	109	沟槽
[0050]	113	源区电极
[0051]	114	介质层
[0052]	115	金属层
[0053]	116	背镀金属
[0054]	121	STI隔离区
[0055]	130	P型掺杂层
[0056]	131	金属硅化物

### 具体实施方式

[0057] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0058] 请参阅图2~图17。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

#### [0059] 实施例1

[0060] 如图2~图9所示,本实施例提供一种用于锂电保护的开关器件的制作方法,所述制作方法包括步骤:

[0061] 如图2所示,首先进行步骤1),提供一P+型衬底101,于所述P+型衬底101表面形成P-型外延层102。

[0062] 具体地,所述P+型衬底101的掺杂浓度为 $1e18\sim 1e19/cm^3$ ,采用外延的方法于所述P+型衬底101表面形成P-型外延层102,所述P-型外延层102的掺杂浓度为 $1e16\sim 1e17/cm^3$ 。

[0063] 如图2所示,然后进行步骤2),于所述P-型外延层102中形成N型阱区103。

[0064] 具体地,采用无掩膜的离子注入的方式于所述P-型外延层102中形成N型阱区103,所述N型阱区103的掺杂浓度为 $1e15\sim 1e16/cm^3$ 。

[0065] 如图3所示,接着进行步骤3),于所述N型阱区103中形成相隔排列的两个P型阱区105;

[0066] 具体地,先依据定义的P型阱区105的图形制作掩膜,然后采用离子注入的方式于所述N型阱区103中形成相隔排列的两个P型阱区105,所述P型阱区105的掺杂浓度为 $1e17\sim 1e18/cm^3$ 。

[0067] 如图4所示,然后进行步骤4),制作出两个栅极结构104,各栅极结构104横跨于N型阱区103及P型阱区105之间。

[0068] 作为示例,先沉积二氧化硅层作为栅介质层114,然后沉积多晶硅作为栅极材料,接着采用光刻-刻蚀的方法使得各栅极结构104横跨于N型阱区103及P型阱区105之间。

[0069] 如图5所示,接着进行步骤5),于两个栅极结构104之间形成N-型漂移区106。

[0070] 具体地,基于自对准工艺于两个栅极结构104之间进行离子注入,形成N-型漂移区106,所述N-型漂移区106的掺杂浓度为 $1e16\sim 1e17/cm^3$ 。该N-型漂移区106为开关器件的两个MOSFET共用的漏区。

[0071] 如图6所示,然后进行步骤6),于所述两个栅极结构104两侧的P型阱区105中分别形成N型源区107及P+型接触区108。

[0072] 具体地,先依据N型源区107的图形制作掩膜后,基于掩膜进行离子注入形成N型源区107,然后依据P+型接触区108的图形制作掩膜后,基于掩膜进行离子注入形成P+型接触区108。

[0073] 如图7所示,接着进行步骤7),定义体接触区域,并刻蚀所述体接触区域的P-型外延层形成直至所述P+型衬底的沟槽109。

[0074] 如图8所示,然后进行步骤8),于所述沟槽表面及与其相邻的P型阱区、N型源区及P+型接触区表面形成金属层,并进行退火形成金属硅化物131,以实现第一个N型源区与P+型衬底的电性连接。

[0075] 具体地,先制备于与沟槽相邻的P型阱区、N型源区及P+型接触区表面具有窗口的掩膜,然后采用溅射等方法于于所述沟槽表面及与其相邻的P型阱区、N型源区及P+型接触区表面形成金属层,然后进行退火形成金属硅化物131,以实现第一个N型源区与P+型衬底的电性连接。所述金属层可以选用为Pt、Au、Cu、Ag、Al等金属。

[0076] 如图9~图10所示,然后进行步骤9),于器件表面形成介质层114,于所述介质层114中打开第二个N型源区的接触窗口,于所述接触窗口内填充电极材料形成源区电极,完成开关器件的电性引出。

[0077] 具体地,采用化学气相沉积法于器件表面形成二氧化硅层,作为介质层114,所述介质层同时填充于所述沟槽内,可以对沟槽内的金属硅化物131进行保护,并提高器件的耐压性能,然后制作掩膜后于所述介质层114中打开第二个N型源区的接触窗口,采用物理气相沉积法或电镀法于所述接触窗口内电极材料,最后进行平坦化完成源区电极的制备。

[0078] 作为示例,所述源区电极113同时与所述N型源区107及P+型接触区108接触。

[0079] 如图11所示,最后进行步骤10),于所述P+型衬底101的背面制作背镀金属116。

[0080] 具体地,所述背镀金属116的制作包括:a)采用溅射或蒸镀的方法于所述P+型衬底101的背面形成TiN层或Ag层;b)采用快速热退火的方法对所述TiN层或Ag层进行退火形成与所述P+型衬底101的欧姆接触。

[0081] 如图11所示,本实施例还提供一种用于锂电保护的开关器件,包括:P+型衬底101;P-型外延层102;形成于所述P+型衬底101表面;N型阱区103,形成于所述P-型外延层102中;两个P型阱区105,相隔排列形成于所述N型阱区103中;两个栅极结构104,各栅极结构104横跨于N型阱区103及P型阱区105之间;N-型漂移区106,形成于两个栅极结构104之间;N型源区107及P+型接触区108,形成于所述两个栅极结构104两侧;沟槽109,形成于体接触区域且

其底部露出所述P+型衬底101;金属硅化物131,形成于所述沟槽109表面及与该沟槽109相邻的P型阱区105、N型源区107及P+型接触区108表面,以实现第一个N型源区与P+型衬底的电性连接;介质层114,形成于器件表面,所述介质层114中打开有第二个N型源区的接触窗口;电极材料,填充于所述第二个N型源区的接触窗口,实现开关器件的电性引出。

[0082] 作为示例,所述源区电极113同时与所述N型源区107及P+型接触区108接触。

[0083] 作为示例,所述P+型衬底101的背面还形成有背镀金属116,所述背镀金属116包括TiN层及Ag层中的一种。

[0084] 作为示例,所述P+型衬底101的掺杂浓度为 $1e18\sim 1e19/cm^3$ ,所述P-型外延层102的掺杂浓度为 $1e16\sim 1e17/cm^3$ ,所述N型阱区103的掺杂浓度为 $1e15\sim 1e16/cm^3$ ,所述N-型漂移区106的掺杂浓度为 $1e16\sim 1e17/cm^3$ ,所述P型阱区105的掺杂浓度为 $1e17\sim 1e18/cm^3$ 。

[0085] 本发明的用于锂电保护的开关器件采用共用漂移区(drift)的方式构建MOSFET器件,使得漂移区(drift)区域电阻可以大大降低,同时保证耐压不变。将其中一个源区(source)的接触通过金属硅化物导电的方式引到芯片(chip)背面,封装时可与基底焊接,省掉一个打线电阻,在极低的内阻要求下非常有效,而且器件整体结构非常简洁。

[0086] 如图12所示,本发明的用于锂电保护的开关器件为包含两个MOSFET的四端器件,包括一个正面的源区引出端,两个栅极控制端和一个背面的源区引出端,本发明在器件导通时的电流流向如图12所示。

[0087] 实施例2

[0088] 如图13所示,本实施例提供一种用于锂电保护的开关器件的制作方法,其基本步骤如实施例1,其中,与实施例1的不同之处在于,本实施例的步骤2)包括:

[0089] 步骤2-1),于所述P-型外延层102制作掩膜;

[0090] 步骤2-2),基于掩膜采用离子注入方式于所述P-型外延层102中形成N型阱区103,使得所述N型阱区103与后续制备的金属硅化物131之间被所述P-型外延层102隔离。

[0091] 如图13所示,本实施例还提供一种用于锂电保护的开关器件,其基本结构如实施例1,其中,与实施例1的不同之处在于:所述N型阱区103与所述金属硅化物131之间被所述P-型外延层102隔离。

[0092] 由于所述N型阱区103与所述金属硅化物131之间被所述P-型外延层102隔离,可以进一步防止N型阱区103与金属硅化物131之间的漏电流的产生,大大提高器件的可靠性和节省功耗。

[0093] 实施例3

[0094] 如图14所示,本实施例提供一种用于锂电保护的开关器件的制作方法,其基本步骤如实施例1,其中,与实施例1的不同之处在于:

[0095] 步骤1)还包括于所述P-型外延层102中形成STI隔离区121的步骤,所述STI隔离区121位于后续制作的两个栅极结构104之间,且后续制备的N-型漂移区106包围于所述STI隔离区121。以及

[0096] 步骤2)包括:

[0097] 步骤2-1),于所述P-型外延层102制作掩膜;

[0098] 步骤2-2),基于掩膜采用离子注入方式于所述P-型外延层102中形成N型阱区103,使得所述N型阱区103与后续制备的金属硅化物131之间被所述P-型外延层102隔离。

[0099] 如图14所示,本实施例还提供一种用于锂电保护的开关器件,其基本结构如实施例1,其中,与实施例1的不同之处在于:所述N型阱区103与所述金属硅化物131之间被所述P-型外延层102隔离。所述P-型外延层102中还形成有STI隔离区121,所述STI隔离区121位于两个栅极结构104之间,且所述N-型漂移区106包围于所述STI隔离区121。

[0100] 由于所述N型阱区103与所述金属硅化物131之间被所述P-型外延层102隔离,可以进一步防止N型阱区103与金属硅化物131之间的漏电流的产生,大大提高器件的可靠性和节省功耗。并且,所述STI隔离区121可以有效提高器件的耐压性能。

[0101] 实施例4

[0102] 如图15~图16所示,本实施例提供一种用于锂电保护的开关器件的制作方法,其基本步骤如实施例1,其中,与实施例1的不同之处在于:步骤7)还包括:对所述沟槽109表面进行P型离子注入,以于所述沟槽表面形成P型掺杂层130。

[0103] 具体地,采用斜注入的方法进行P型离子注入,注入方向与垂直方向的倾斜角度为5~45度,注入能量为不大于40keV,注入剂量为不小于 $1e15/cm^2$ 。

[0104] 如图12所示,本实施例还提供一种用于锂电保护的开关器件,其基本结构如实施例1,其中,与实施例1的不同之处在于:所述沟槽的内表面还形成有P型掺杂层130,所述P型掺杂层的掺杂浓度为不小于 $1e18/cm^3$ 。

[0105] 所述P型掺杂层一方面可以与所述金属硅化物组合导电,提高第一个N型源区的电流引出,另一方面可以隔离所述金属硅化物以及所述N型阱区103,可以防止N型阱区103与金属硅化物131之间的漏电流的产生,大大提高器件的可靠性和节省功耗。

[0106] 实施例5

[0107] 如图17所示,本实施例提供一种用于锂电保护的开关器件的制作方法,其基本步骤如实施例4,其中,与实施例4的不同之处在于:步骤1)还包括于所述P-型外延层102中形成STI隔离区121的步骤,所述STI隔离区121位于后续制作的两个栅极结构104之间,且后续制备的N-型漂移区106包围于所述STI隔离区121。

[0108] 如图17所示,本实施例还提供一种用于锂电保护的开关器件,其基本结构如实施例4,其中,与实施例4的不同之处在于:4所述P-型外延层102中还形成有STI隔离区121,所述STI隔离区121位于两个栅极结构104之间,且所述N-型漂移区106包围于所述STI隔离区121。所述STI隔离区121可以有效提高器件的耐压性能。

[0109] 如上所述,本发明的用于锂电保护的开关器件及其制作方法,具有以下有益效果:

[0110] 1) 采用共用漂移区(drift)的方式构建MOSFET器件,使得漂移区(drift)区域电阻可以大大降低,同时保证耐压不变。

[0111] 2) 将其中一个源区(source)的接触通过金属硅化物以及P型掺杂层导电的方式引到芯片(chip)背面,封装时可与基底焊接,省掉一个打线电阻,在极低的内阻要求下非常有效,而且器件整体结构非常简洁。

[0112] 3) 实际的数据表明,本发明可得到单位面积导通内阻更低的双MOSFET器件。

[0113] 所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0114] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完

成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

锂离子电池保护电路图

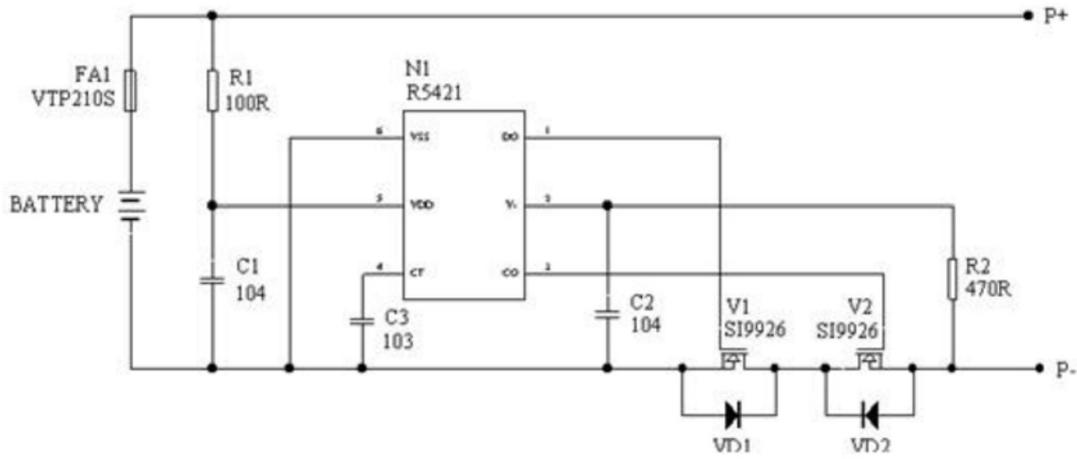


图1



图2



图3

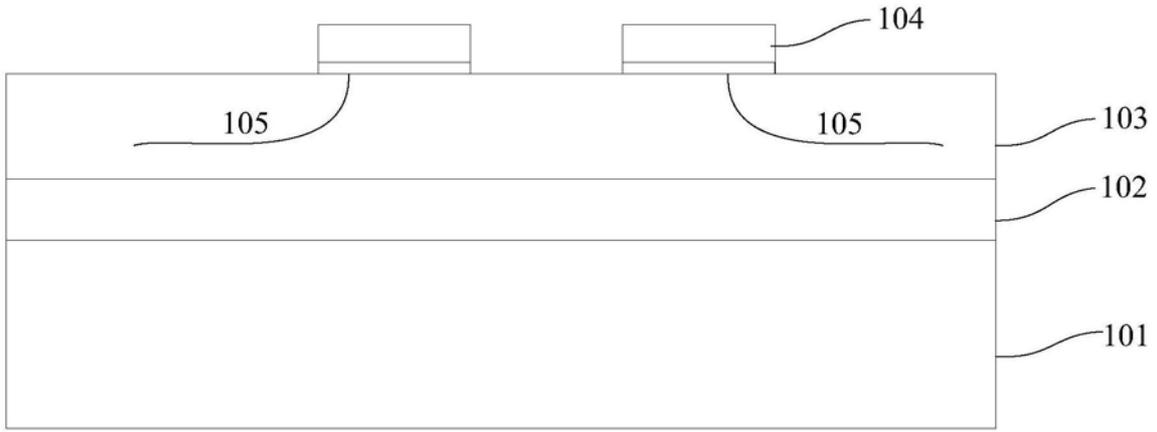


图4

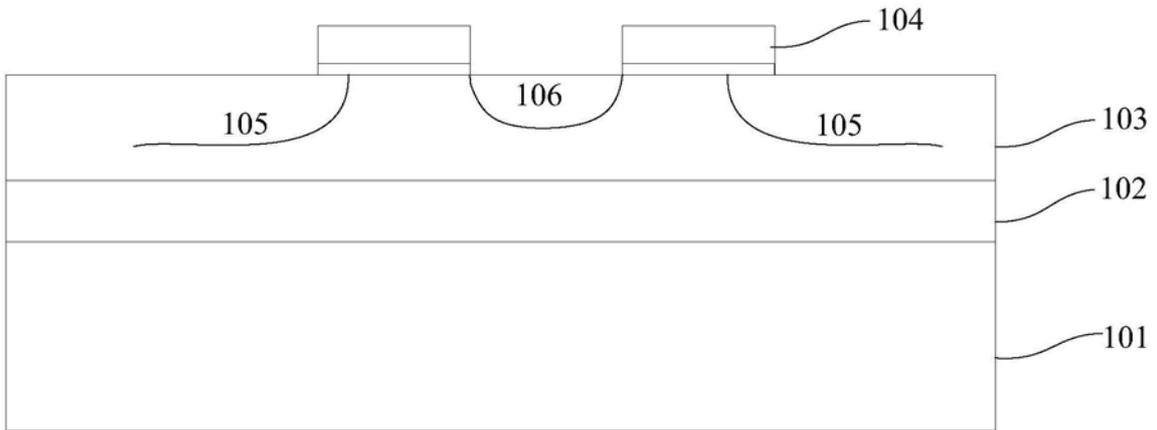


图5

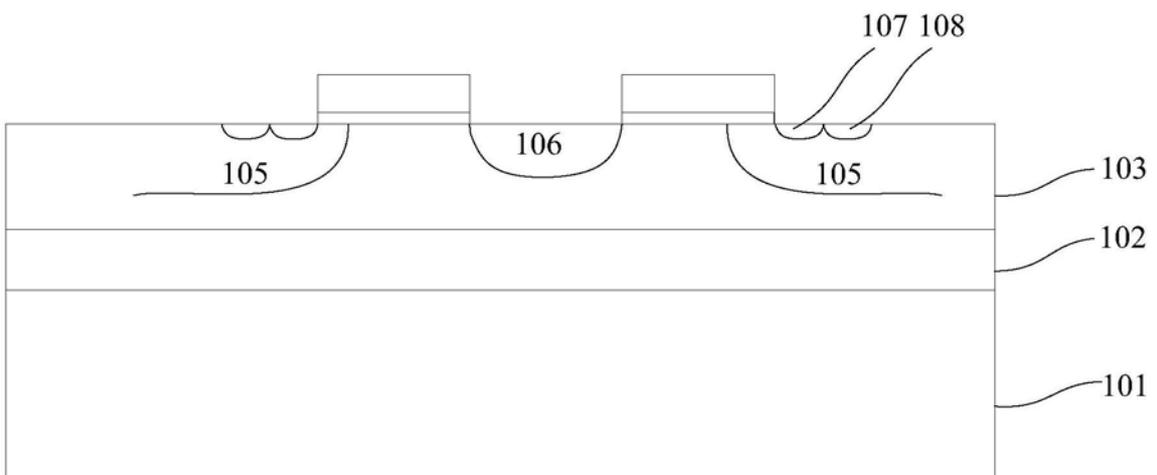


图6

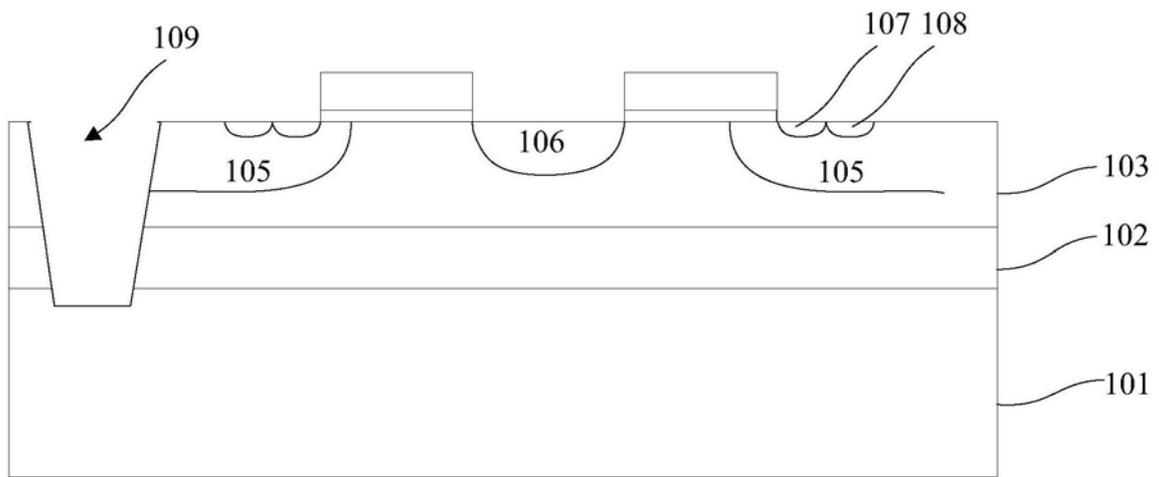


图7

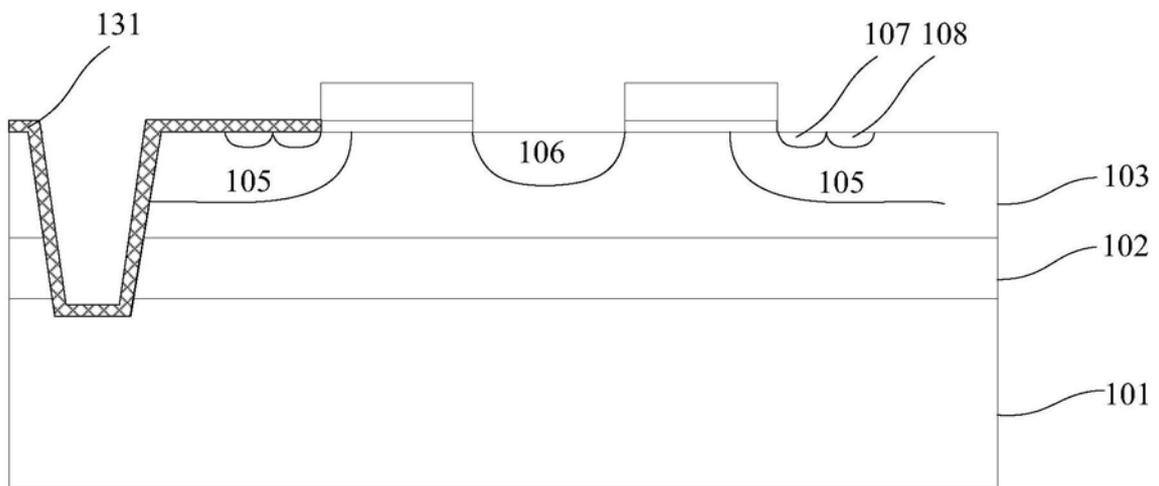


图8

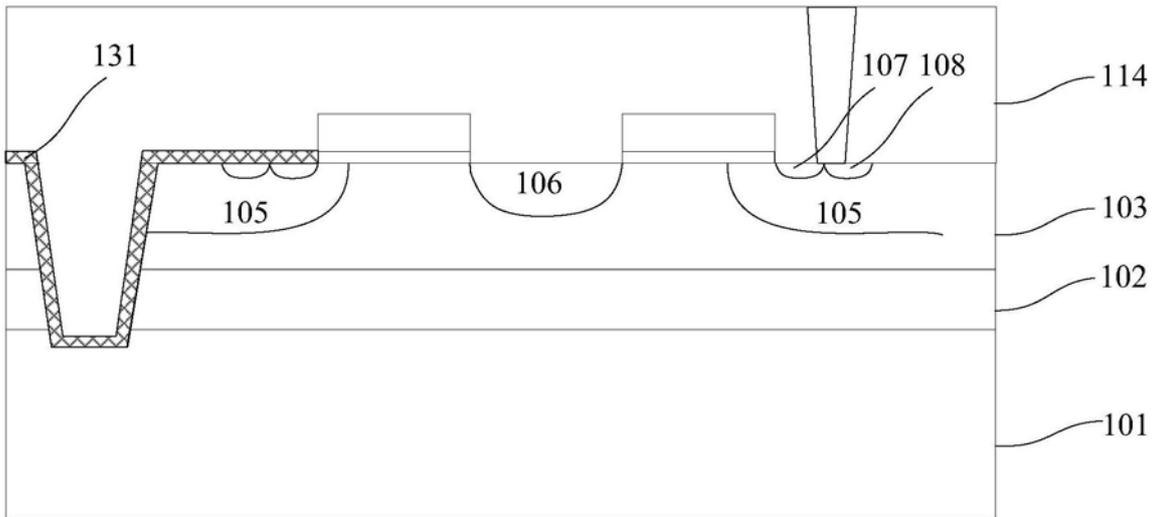


图9

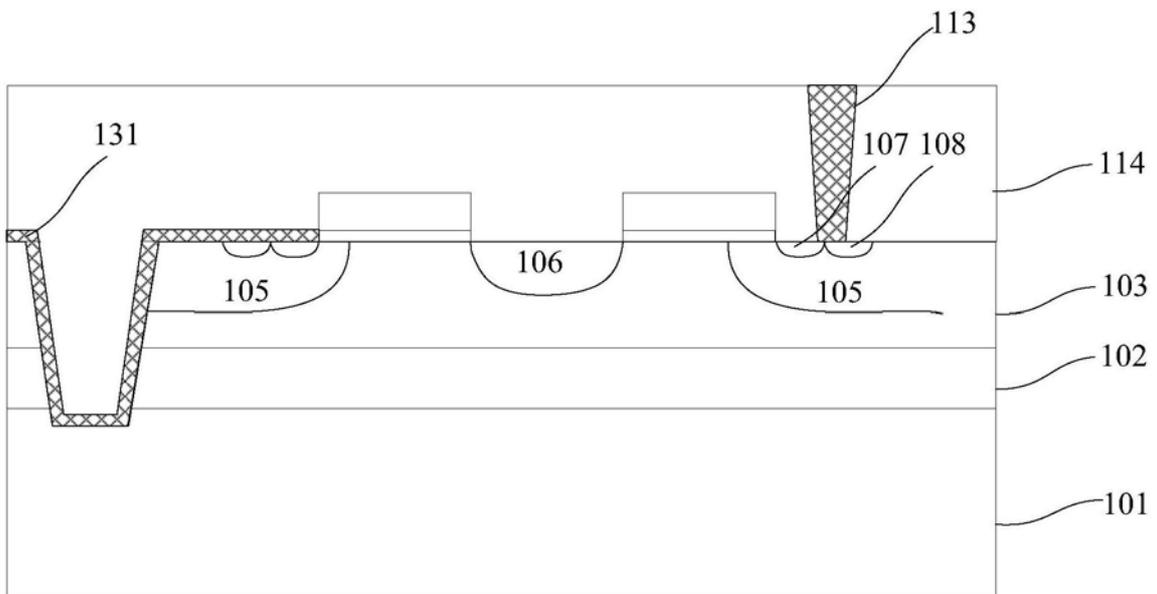


图10

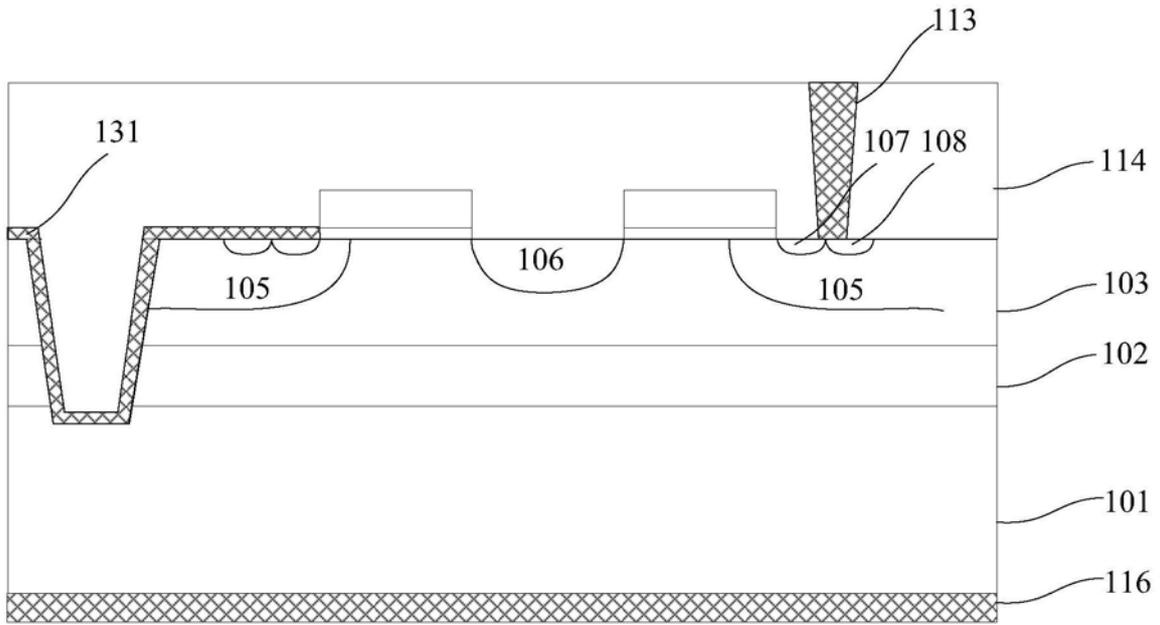


图11

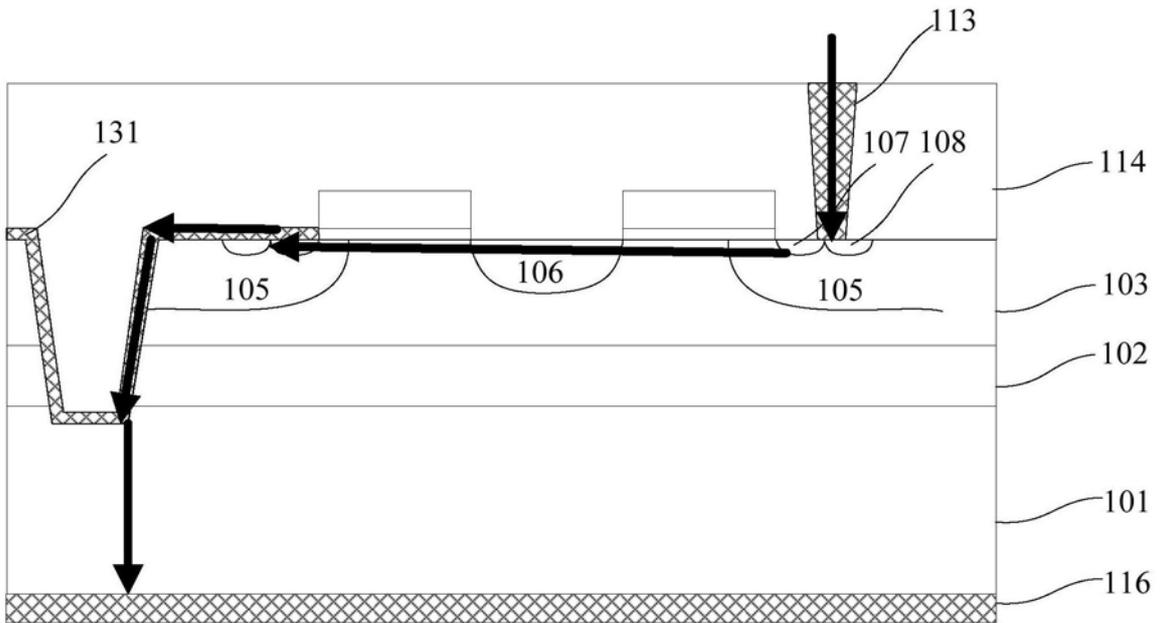


图12

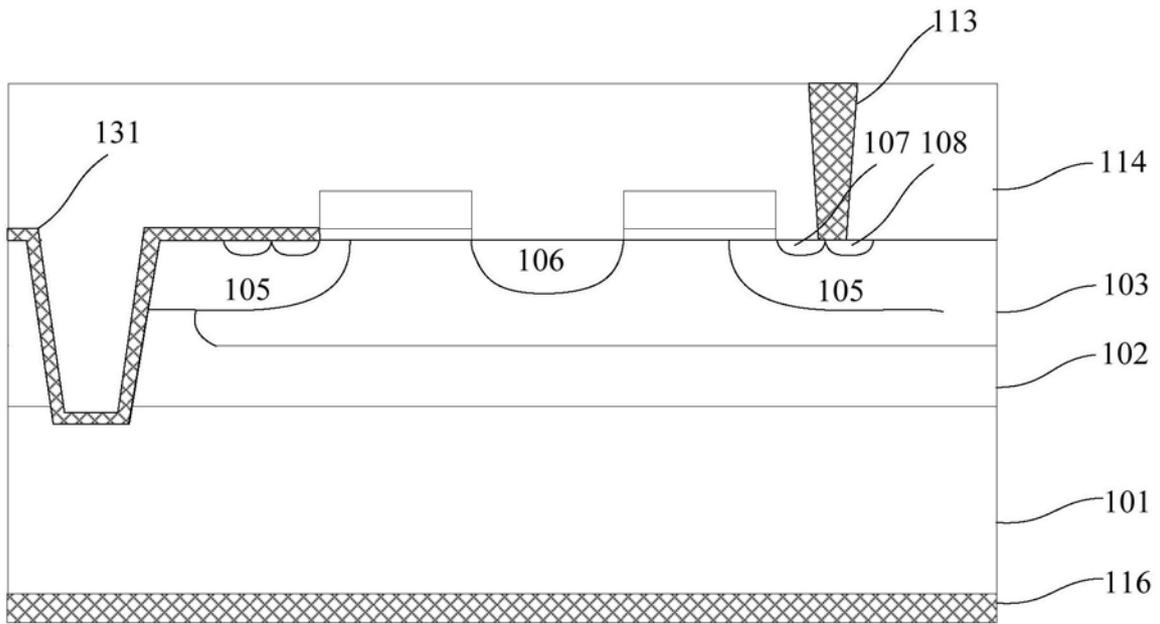


图13

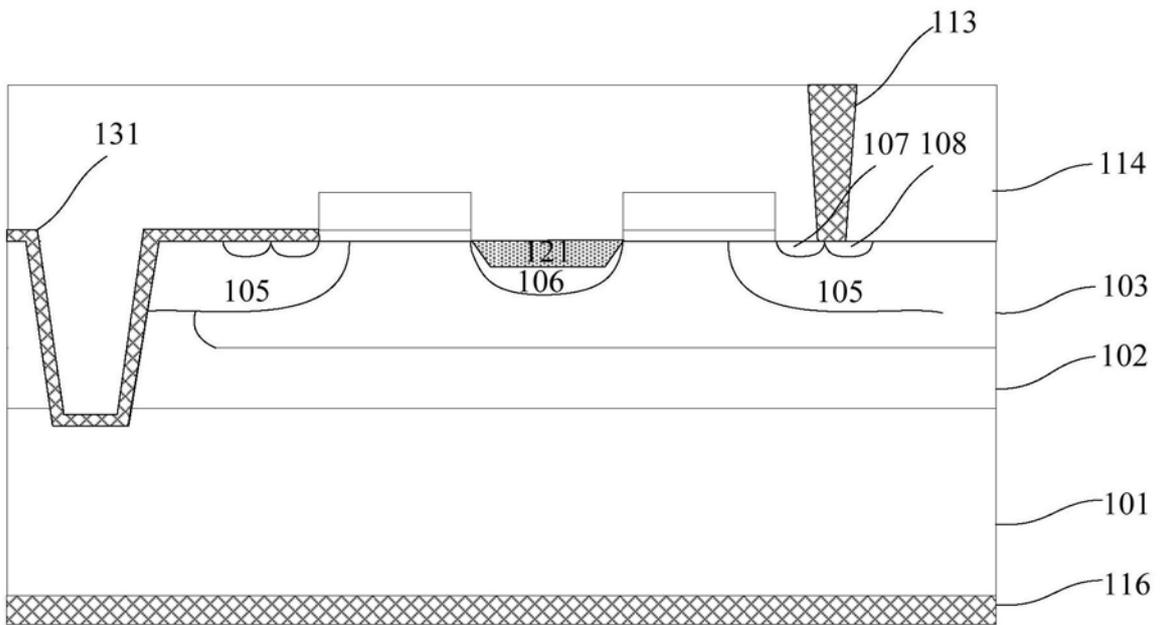


图14

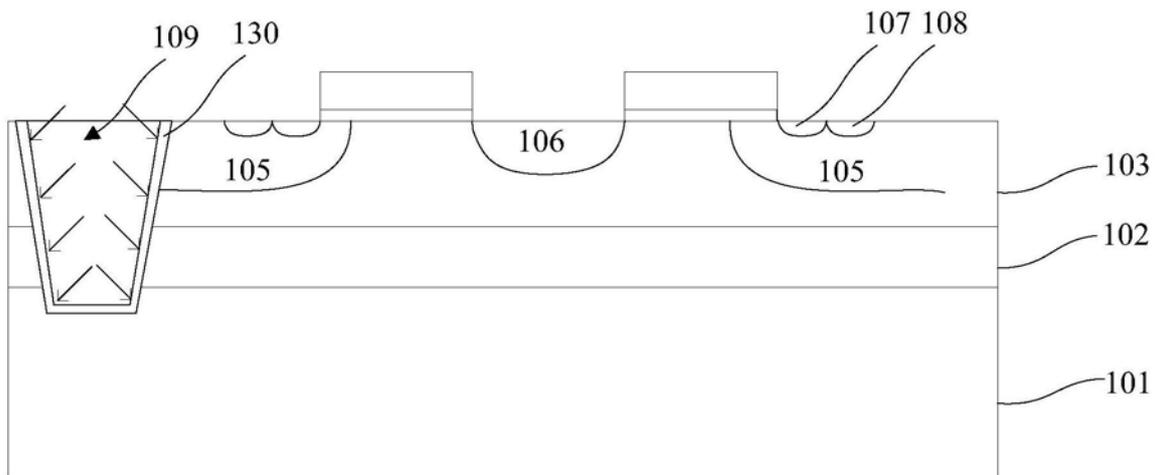


图15

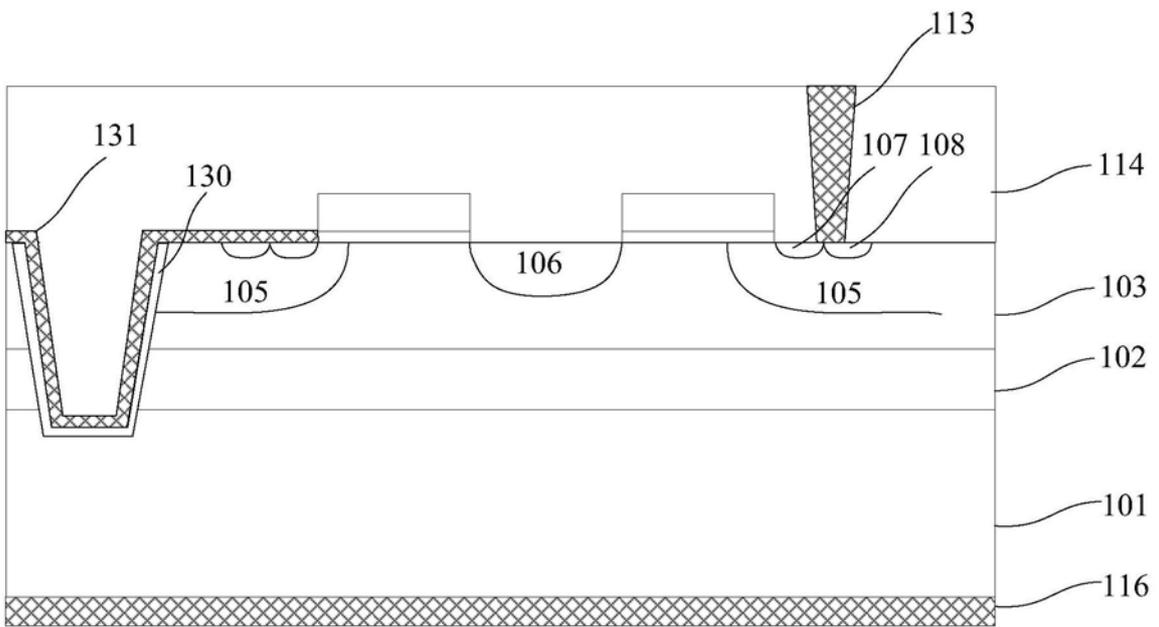


图16

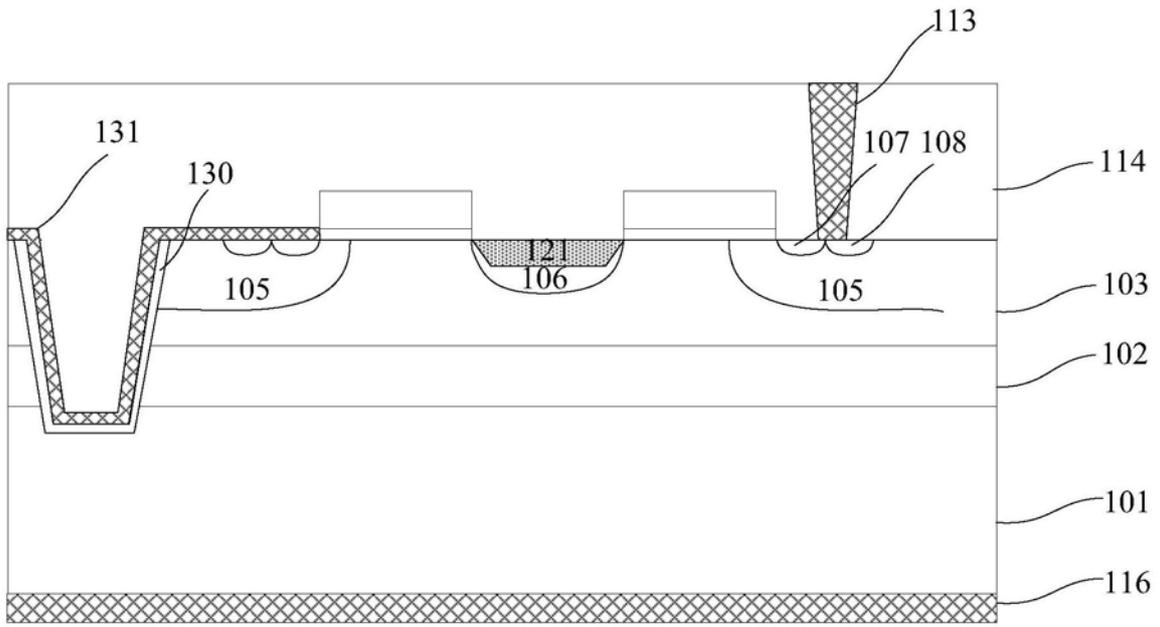


图17