

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5224769号
(P5224769)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int. Cl.	F I
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 C
HO 1 L 27/092 (2006.01)	HO 1 L 27/08 3 2 1 B
HO 1 L 27/08 (2006.01)	HO 1 L 27/08 3 3 1 E
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 0 1 G
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 0 1 H

請求項の数 14 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2007-266424 (P2007-266424)	(73) 特許権者	390009531
(22) 出願日	平成19年10月12日(2007.10.12)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公開番号	特開2008-131032 (P2008-131032A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公開日	平成20年6月5日(2008.6.5)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
審査請求日	平成22年6月25日(2010.6.25)	(74) 代理人	100108501
(31) 優先権主張番号	11/562093		弁理士 上野 剛史
(32) 優先日	平成18年11月21日(2006.11.21)	(74) 代理人	100112690
(33) 優先権主張国	米国 (US)		弁理士 太佐 種一
		(74) 代理人	100091568
			弁理士 市位 嘉宏

最終頁に続く

(54) 【発明の名称】 立体的形状の活性領域を含むCMOS構造体

(57) 【特許請求の範囲】

【請求項1】

第1の極性を有し、半導体基板の第1の活性領域内に配置された第1のデバイスであって、前記第1の活性領域は第1の結晶方位をもつ平坦な表面を有する、第1のデバイスと、

前記第1の極性とは異なる第2の極性を有し、前記半導体基板の第2の活性領域内に配置された第2のデバイスであって、前記第2の活性領域は単一厚さを有し、前記第1の結晶方位とは異なる第2の結晶方位を有し且つ前記第1の結晶方位が存在しない、立体的形状の表面を有する、第2のデバイスと、
を含むCMOS構造体。

【請求項2】

前記第1の活性領域及び前記第2の活性領域はチャネル領域及びソース/ドレイン領域を含む、請求項1に記載のCMOS構造体。

【請求項3】

前記立体的形状の表面は複数のV字型溝を備える、請求項1に記載のCMOS構造体。

【請求項4】

前記第2の活性領域と前記半導体基板を構成する埋め込み誘電体層との間に介在する少なくとも1つの空洞部をさらに含む、請求項1に記載のCMOS構造体。

【請求項5】

前記第1のデバイスはn-FETであり、前記第1の結晶方位は(100)結晶方位で

あり、

前記第 2 のデバイスは p - F E T であり、前記第 2 の結晶方位は (1 1 1) 結晶方位である、

請求項 1 に記載の C M O S 構造体。

【請求項 6】

第 1 の極性を有し、半導体基板の第 1 の活性領域の上に配置された第 1 のゲート電極を有する第 1 のデバイスであって、前記第 1 の活性領域は第 1 の結晶方位をもつ平坦な表面を有する、第 1 のデバイスと、

前記第 1 の極性とは異なる第 2 の極性を有し、前記半導体基板の第 2 の活性領域の上に配置された第 2 のゲート電極を有する第 2 のデバイスであって、前記第 2 の活性領域は単一厚さを有する、前記第 1 の結晶方位とは異なる第 2 の結晶方位をもち且つ前記第 1 の結晶方位が存在しない、少なくとも 1 つの V 字型溝を有する立体的形状の表面を有し、前記第 2 のゲート電極は前記少なくとも 1 つの V 字型溝と平行ではない、第 2 のデバイスと、を含む C M O S 構造体。

10

【請求項 7】

前記第 1 の活性領域及び前記第 2 の活性領域はチャネル領域及びソース/ドレイン領域を含む、請求項 6 に記載の C M O S 構造体。

【請求項 8】

前記立体的形状の表面は複数の平行な V 字型溝を備える、請求項 6 に記載の C M O S 構造体。

20

【請求項 9】

前記第 2 の活性領域と前記半導体基板を構成する埋め込み誘電体層との間に介在する少なくとも 1 つの空洞部をさらに含む、請求項 6 に記載の C M O S 構造体。

【請求項 10】

C M O S 構造体を製造するための方法であって、

半導体基板内に、第 1 の極性を有し、第 1 の結晶方位と平坦な表面とを有する第 1 の表面半導体層を含む、第 1 の活性領域と、

前記第 1 の極性とは異なる第 2 の極性を有し、立体的形状の表面と前記第 1 の結晶方位とは異なる第 2 の結晶方位とを有し且つ前記第 1 の結晶方位が存在しない第 2 の表面半導体層とを含み、前記第 2 の表面半導体層の下に位置する空洞であって、当該空洞と前記第 2 の表面半導体層との境界が、前記第 2 の表面半導体層の表面と同じ立体的形状となる空洞をさらに含み、これによって単一厚さとなることを特徴とする第 2 の活性領域と、を形成するステップと、

30

前記第 1 の活性領域内に第 1 のデバイスを形成し、前記第 2 の活性領域内に第 2 のデバイスを形成するステップと、を含む方法。

【請求項 11】

前記半導体基板内に前記第 1 の活性領域と前記第 2 の活性領域とを形成する前記ステップは、シリコン・オン・インシュレータ基板及びバルク半導体基板のうち的一方を用いる、請求項 10 に記載の方法。

【請求項 12】

前記第 2 の結晶方位をもつ前記立体的形状の表面を有する前記第 2 の活性領域を形成する前記ステップは、結晶学的特異性エッチャントを用いて前記第 2 の結晶方位を与える、請求項 10 に記載の方法。

40

【請求項 13】

前記立体的形状の表面は、少なくとも 1 つの V 字型溝を備える、請求項 10 に記載の方法。

【請求項 14】

前記第 2 のデバイスを形成する前記ステップは、前記少なくとも 1 つの V 字型溝と平行ではない第 2 のゲート電極を形成するステップを含む、請求項 13 に記載の方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、一般に、相補型金属酸化膜半導体（CMOS）構造体に関する。より具体的には、本発明は、性能を向上させたCMOS構造体に関する。

【背景技術】

【0002】

CMOS設計及び製造における最近の進歩は、n-FETデバイスを製造するときCMOS構造体内のp-FETデバイスと比べて異なる半導体基板結晶方位（crystallographic orientations）を用いることを中心としてきた。当該技術分野においては、n-FETデバイス内の電子及びp-FETデバイス内の正孔のいずれについても、特定の結晶方位が電荷キャリア移動度を向上させることが知られている。具体的な例として、チャンネル領域として（100）シリコン半導体基板を用いて製造されたn-FETデバイスは、電子移動度が向上することが知られており、一方、チャンネル領域として（111）又は（110）シリコン半導体基板を用いて製造されたp-FETデバイスは、正孔移動度が向上することが知られている。

10

【0003】

n-FETデバイス及びp-FETデバイスのチャンネル領域として異なる結晶方位の半導体基板領域を用いることによって、CMOS構造体内における性能上の利点をもたらされることは確かであるが、n-FETデバイス及びp-FETデバイスのチャンネルとして異なる結晶方位の半導体基板領域を用いることによって、CMOS構造体内における問題が完全になくなるわけではない。具体的には、異なる結晶方位の半導体基板領域をCMOS構造体内に容易に製造することは困難な場合が多い。異なる結晶方位の半導体基板領域を与える従来の方法は、通常は、少なくとも1つの異なる結晶方位の半導体基板領域を製造するためにエピタキシャル法を用いる必要がある。エピタキシャル法を用いて形成される特定の結晶領域は、欠陥を含むことが多い。また、エピタキシャル法は高価な場合が多い。

20

【0004】

性能を向上させたMOS構造体及びその製造方法は、半導体製造技術分野において公知である。例えば、特許文献1において、Weberは、CMOS構造体内において従来の（100）n-FET構造体又は（100）p-FET構造体と組み合わせてCMOS構造体の性能を向上させることができる特定のV字型チャンネルp-FET構造体を教示する。V字型チャンネルp-FET構造体は、自己整合犠牲ゲート方法を用いて製造することができる。

30

【0005】

【特許文献1】“A Novel Locally Engineered (111) V-channel pMOSFET Architecture with Improved Drivability Characteristics for Low-Standby power (LSTP) CMOS Applications,” 2005 VLSI Tech. Symp. Dig., pp. 156-57

【発明の開示】

【発明が解決しようとする課題】

【0006】

当業者であれば分かるように、MOSFETのゲート長をスケールダウンすること、及びMOSFETのゲートを再構築することは困難な場合があるため、上記の方法は、低性能のMOSFET（すなわち、ゲート線幅の寸法が比較的大きいもの）には望ましい場合があるが、高性能のMOSFET（すなわち、ゲート線幅の寸法が比較的小さいもの）を製造するのは本質的に困難となることもある。

40

【0007】

CMOSデバイス及びCMOS構造体は、製造の容易さ、拡張性の高さ、及び本質的な性能の点で有利であるため、半導体製造技術分野において引き続き相当な関心の対象であることは確実である。したがって、複数の結晶方位の半導体基板領域を有するCMOSデバイス及びCMOS構造体、及び、そのようなCMOSデバイス及びCMOS構造体を製

50

造するための方法が望ましい。

【課題を解決するための手段】

【0008】

本発明は、CMOS構造体と、CMOS構造体を製造する方法とを含む。CMOS構造体は、第1の結晶方位をもつ平坦な第1の活性領域と、第1の結晶方位とは異なる第2の結晶方位をもつ立体的形状の第2の活性領域とを用いる。第1の活性領域と第2の活性領域とで異なる結晶方位を用いることによって、第1の活性領域内に製造される第1のCMOSデバイス、及び、第2の活性領域内に製造される（第1のCMOSデバイスとは異なる極性をもつ）第2のCMOSデバイスにおいて、個々に電荷キャリア移動度が向上する。本発明はまた、少なくとも1つのV字型溝（V shaped groove）を備える活性領域を用いて製造された半導体デバイスを含む半導体構造体を含む。

10

【0009】

本発明による半導体構造体は、少なくとも1つのV字型溝を備える活性領域を含む半導体基板を含む。半導体構造体はまた、少なくとも1つのV字型溝を非平行に横断するゲート電極を含む。

【0010】

本発明によるCMOS構造体は、第1の極性を有し、半導体基板の第1の活性領域内に配置された第1のデバイスを含む。この特定のCMOS構造体内では、第1の活性領域は、第1の結晶方位をもつ平坦な表面を有する。本発明によるこの特定のCMOS構造体はまた、第1の極性とは異なる第2の極性を有し、半導体基板の第2の活性領域内に配置された第2のデバイスを含む。この特定のCMOS構造体内では、第2の活性領域は、第1の結晶方位とは異なる第2の結晶方位をもち、かつ、第1の結晶方位が存在しない、立体的形状の表面（topographic surface）を有する。

20

【0011】

本発明による別のCMOS構造体は、第1の極性を有し、半導体基板の第1の活性領域の上に配置された第1のゲート電極を有する、第1のデバイスを含む。この別のCMOS構造体内では、第1の活性領域は、第1の結晶方位をもつ平坦な表面を有する。この別のCMOS構造体はまた、第1の極性とは異なる第2の極性を有し、半導体基板の第2の活性領域の上に配置された第2のゲート電極を有する、第2のデバイスを含む。この別のCMOS構造体内では、第2の活性領域は、第1の結晶方位とは異なる第2の結晶方位をもち且つ第1の結晶方位が存在しない、少なくとも1つのV字型溝を備える立体的形状の表面を有する。この別のCMOS構造体内では、第2のゲート電極は、少なくとも1つのV字型溝と非平行である。

30

【0012】

本発明によるCMOS構造体を製造するための方法は、半導体基板内に、（1）第1の極性を有し、第1の結晶方位をもつ平坦な表面を有する、第1の活性領域と、（2）第1の極性とは異なる第2の極性を有し、第1の結晶方位とは異なる第2の結晶方位をもち且つ第1の結晶方位が存在しない立体的形状の表面を有する、第2の活性領域と、を形成するステップを含む。CMOS構造体を製造するための方法はまた、第1の活性領域内に第1のデバイスを形成するステップと、第2の活性領域内に第2のデバイスを形成するステップとを含む。

40

【発明を実施するための最良の形態】

【0013】

本発明の目的、特徴、及び利点は、以下に示される好ましい実施形態の説明との関連において理解される。好ましい実施形態の説明は、本開示の重要な部分を成す添付図面との関連において理解される。

【0014】

CMOS構造体、及びCMOS構造体を製造するための方法を含む本発明は、以下の説明との関連において理解される。以下の説明は、添付図面との関連において理解される。図面は説明を目的とするものであることを意図しているため、必ずしも縮尺に合わせて描

50

かれてはいない。

【0015】

図1から図14は、本発明の実施形態によるCMOS構造体の一連の概略平面図及び概略断面図を示す。本発明のこの特定の実施形態は、本発明の好ましい実施形態を含む。図1(A)及び(B)は、本発明によるCMOS構造体の製造の初期段階における概略平面図及び概略断面図を示す。

【0016】

図1(B)は、特に、ベース半導体基板10を示す。ベース半導体基板10の上には埋め込み(buried)誘電体層12が配置され、埋め込み誘電体層12の上には表面半導体層14が配置される。ベース半導体基板10、埋め込み誘電体層12、及び表面半導体層14は、全体でシリコン・オン・インシュレータ(SOI)と呼ばれる。

10

【0017】

ベース半導体基板10は、幾つかある半導体材料のいずれかを含むものとすることができる。限定的ではない例として、シリコン、ゲルマニウム、シリコン-ゲルマニウム合金、シリコン・カーバイド、シリコン-ゲルマニウム・カーバイド合金、及び化合物(すなわち、III-V族及びII-VI族)半導体材料が挙げられる。化合物半導体材料の限定的ではない例として、ガリウムヒ素半導体材料、インジウムヒ素半導体材料、及びインジウムリン半導体材料が挙げられる。典型的には、ベース半導体基板10は、約0.5ミリメートルから約1.5ミリメートルの厚さのシリコン半導体材料又はシリコン-ゲルマニウム合金半導体材料を含む。

20

【0018】

埋め込み誘電体層12は、幾つかある半導体材料のいずれかを含むものとすることができる。限定的ではない例として、特にシリコンの酸化物、窒化物、及び酸窒化物が挙げられるが、他の元素の酸化物、窒化物、及び酸窒化物を除外するものではない。埋め込み誘電体層12は、結晶性誘電体材料又は非結晶性誘電体材料を含むものとすることができ、結晶性誘電体材料が極めて好ましい。埋め込み誘電体層12は、幾つかある方法のいずれかを用いて形成することができる。限定的ではない例として、イオン注入法、熱又はプラズマによる酸化法又は窒化法、化学気相堆積法、及び物理気相堆積法が挙げられる。典型的には、埋め込み誘電体層12は、半導体基板10を構成する半導体材料の酸化物を少なくとも部分的に含む。典型的には、埋め込み誘電体層12は、約50オングストロームから約200オングストロームの厚さを有する。

30

【0019】

表面半導体層14は、幾つかある半導体材料のいずれかを含むものとすることができる。表面半導体層14及びベース半導体基板10は、化学的組成、ドーパント極性、ドーパント濃度、及び結晶方位に関して、同一の半導体材料又は異なる半導体材料のいずれかを含むものとすることができる。典型的には、表面半導体層14は、約200オングストロームから約2000オングストロームの厚さを有する(100)又は(110)のシリコン材料又はシリコン-ゲルマニウム合金材料を含む。図1(A)及び図1(B)に示されるように、表面半導体層14及びベース半導体基板10は、異なる極性の電界効果トランジスタを製造するために異なる極性を備えることを目的とした、別個ではあるが隣接する左側領域と右側領域とを有する。典型的には、表面半導体層14の左側領域はn-FETを製造するためのものであり、隣接する表面半導体層14の右側領域はp-FETを製造するためのものである。

40

【0020】

図1に示される半導体オン・インシュレータ基板は、幾つかある方法のいずれかを用いて製造することができる。限定的ではない例として、積層法、層転移法、及び、酸素注入による分離(separation by implantation of oxygen; SIMOX)法が挙げられる。

【0021】

例示的な実施形態は、ベース半導体基板10と埋め込み誘電体層12と表面半導体層14とを含む上述の半導体オン・インシュレータ基板との関連において本発明を説明してい

50

るが、例示的な実施形態及び本発明のいずれも、そのように限定することを意図するものではない。むしろ、本実施形態及び本発明は、それに代わるものとして、(ベース半導体基板10と表面半導体層14とが同一の化学的組成及び結晶方位をもつという条件の下で、埋め込み誘電体層12が存在しない場合に得られる)バルク半導体基板を用いて実施することができる。

【0022】

図1(A)及び図1(B)はまた、表面半導体層14の上に配置された犠牲層16と、犠牲層16の一部の上に配置されたエッチング停止層18とを示す。

【0023】

犠牲層16は、幾つかある犠牲材料のいずれかを含むものとしてすることができる。限定的ではない例として、導体犠牲材料、半導体犠牲材料、及び誘電体犠牲材料が挙げられる。誘電体犠牲材料が最も一般的である。誘電体犠牲材料の限定的ではない例は、特にシリコンの酸化物、窒化物、及び酸窒化物を含むが、他の元素の酸化物、窒化物、及び酸窒化物が除外されるものではない。誘電体犠牲材料は、幾つかある方法のうちのいずれかを用いて形成することができる。限定的ではない例として、熱又はプラズマによる酸化法又は窒化法、化学気相堆積法、及び物理気相堆積法が挙げられる。典型的には、犠牲層16は、約50オングストロームから約200オングストロームの厚さを有する熱シリコン酸化物誘電体犠牲材料を含む。

【0024】

同様に、エッチング停止層18は、幾つかあるエッチング停止材料のいずれかを含むものとしてすることができる。同様に、限定的ではない例として、導体エッチング停止材料、半導体エッチング停止材料、及び誘電体エッチング停止材料が挙げられる。エッチング停止層18はまた、熱又はプラズマによる酸化法又は窒化法、化学気相堆積法、及び物理気相堆積法を含む方法を用いて形成することができるが、これらに限定されるものではない。典型的には、エッチング停止層18は、約50オングストロームから約150オングストロームの厚さを有するアモルファス・シリコン・エッチング停止材料又はポリシリコン・エッチング停止材料を含む。

【0025】

図2(A)及び(B)は、図1(A)及び(B)のCMOS構造体のさらなるプロセスの結果を示す。

【0026】

図2(A)及び(B)は、図1(A)及び(B)のCMOS構造体の上に配置されたハードマスク層20を示す。ハードマスク層20は、犠牲層16及びエッチング停止層18と異なる組成をもつ限りにおいて、幾つかあるハードマスク材料のいずれかを含むものとしてすることができる。したがって、例えば犠牲層16がシリコン酸化物材料を含み、エッチング停止層18がアモルファス・シリコン材料又はポリシリコン材料を含むという条件の下で、ハードマスク層20は、シリコン酸化物材料、アモルファス・シリコン材料、又はポリシリコン材料以外のものを含む。犠牲層16及びエッチング停止層18に関して上述された好ましい材料の限定との関連において、ハードマスク層20は、典型的には、約400オングストロームから約800オングストロームの厚さを有するシリコン窒化物材料又はシリコン酸窒化物材料のいずれかを含む。

【0027】

図3(A)、(B)、(C)、及び(D)は、図2(A)及び(B)のCMOS構造体のさらなるプロセスの結果を示す。

【0028】

図3(A)、(B)、(C)、及び(D)は、図2(A)及び(B)のCMOS構造体内のハードマスク層20の上に配置された第2のマスク層22を示す。

【0029】

第2のマスク層22は、一般に、ハードマスク層20を構成するハードマスク材料以外のマスク材料を含むことになる。したがって、例示的な実施例又は本発明を必ずしも限定

10

20

30

40

50

するものではないが、第2のマスク層22は、典型的には、フォトリソ・マスク材料を含む。第2のマスク層22を構成することができるフォトリソ材料の候補として、ポジ型フォトリソ材料、ネガ型フォトリソ材料、及びハイブリッド型フォトリソ材料が挙げられるが、これらに限定されるものではない。上述されたタイプのフォトリソ材料のいずれも、他の点では一般的な従来技術であるスピンコーティング方法、露光方法、及び現像方法を用いて堆積させることができる。典型的には、第2のマスク層22は、約1000オングストロームから約3000オングストロームの厚さを有するポジ型フォトリソ材料又はネガ型フォトリソ材料のいずれかを含む。

【0030】

図4(A)、(B)、(C)、及び(D)は、ハードマスク層20及び犠牲層16をエッチングしてハードマスク層20'及び犠牲層16'を形成した結果を示す。ハードマスク層20'及び犠牲層16'を形成するためのハードマスク層20及び犠牲層16の上述のエッチングは、第2のマスク層22をマスクとして用いる。ハードマスク層20及び犠牲層16の上述のエッチングは、半導体製造技術分野における従来のエッチング方法及び材料を用いて行うことができる。限定的ではない例として、湿式化学エッチング法及び材料、並びに、乾式プラズマ・エッチング法及び材料が挙げられる。乾式プラズマ・エッチング法及び材料は、典型的には、垂直(又は、ほぼ垂直)な側壁をハードマスク層20'及び犠牲層16'に与えるため、乾式プラズマ・エッチング法が好ましい場合が多い。典型的には、湿式化学エッチング法は、シリコン窒化物材料のエッチングにはリン酸水溶液エッチャントを高温で用い、シリコン酸化物材料のエッチングにはフッ化水素酸水溶液エッチャントを用いる。典型的には、乾式プラズマ・エッチング法は、シリコン窒化物材料及びシリコン酸化物材料のいずれかの(選択性の有無を問わない)エッチングにフッ化水素酸含有エッチャント・ガス組成物を用いる。

【0031】

図5(A)、(B)、(C)、及び(D)は、第一に、図4(A)、(B)、(C)、及び(D)のCMOS構造体から第2のマスク層22を剥離した結果を示す。

【0032】

第2のマスク層22は、半導体製造技術分野における従来の方法及び材料を用いて剥離することができる。限定的ではない例として、湿式化学剥離法及び材料、並びに、乾式プラズマ剥離法及び材料が挙げられる。上述された方法及び材料の組み合わせもまた考慮される。

【0033】

図5(A)、(B)、(C)、及び(D)はまた、ハードマスク層20'及び犠牲層16'をマスクとして用いると同時に、表面半導体層14に結晶学的特異性エッチング(crystallographically specific etching)を行って表面半導体層14'を形成した結果を示す。結晶学的特異性エッチングは、結晶学的特異性エッチャントを用いる。例示的な実施形態に基づいて好ましいものとして、結晶方位(100)のシリコン表面半導体層14をエッチングするとき用いることができる具体的な結晶学的特異性エッチャントは、水酸化アンモニウム(すなわち、 NH_4OH)希釈水溶液エッチャント、又は、水酸化テトラメチルアンモニウム(すなわち、 $(\text{CH}_3)_4\text{NOH}$)水溶液エッチャントである。従来の一般的な濃度及び露光条件であれば、上述されたエッチャント溶液のいずれを用いても、図5(C)において最も詳細に示されるV字型ノッチを表面半導体層14'に設けることができる。表面結晶方位(100)を含むシリコン表面半導体層14と併せて上述の結晶学的特異性エッチャントを用いたときには、シリコン表面半導体層14'内のV字型ノッチの面は、結晶方位(111)を含む。

【0034】

しかしながら、本発明は、結晶方位(111)のみを含むV字型ノッチ(V shaped notches)に限定されるのではなく、結晶方位(100)、(110)、及び(111)のV字型ノッチも含むが、これらに限定されるものではない。必要に応じて、以下にさらに詳細に示されるように、上述の結晶方位のいずれもn-FET又はp-FETのいずれかと

10

20

30

40

50

共に用いることができる。

【 0 0 3 5 】

図 6 (A)、(B)、(C)、及び (D) は、図 5 (A)、(B)、(C)、及び (D) の CMOS 構造体の上に配置され形成されたフィラー層 2 4 を示す。フィラー (filler) 層 2 4 は、幾つかあるフィラー材料のいずれかを含むものとして形成することができる。限定的ではない例として、導体フィラー材料、半導体フィラー材料、及び誘電体フィラー材料が挙げられる。フィラー材料は、幾つかある方法のいずれかを用いて形成することができる。限定的ではない例として、化学気相堆積法及び物理気相堆積法が挙げられる。典型的には、フィラー層 2 4 は、約 5 0 0 オングストロームから約 1 0 0 0 オングストロームの厚さを有するシリコン酸化物誘電体フィラー材料などの誘電体フィラー材料を含み、化学気相堆積法を用いながら形成することができる。例示的な実施形態及び本発明との関連において、フィラー層 2 4 は、ハードマスク層 2 0 ' を構成するハードマスク材料とは異なるフィラー材料を含む。

10

【 0 0 3 6 】

図 7 (A)、(B)、(C)、及び (D) は、フィラー層 2 4 をハードマスク層 2 0 ' が露出する厚さまでエッチバックした結果として得られる複数のフィラー層 2 4 ' を示す。フィラー層 2 4 をエッチングしてハードマスク層 2 0 ' を露出状態で残す、フィラー層 2 4 ' を形成するステップは、半導体製造技術分野における従来方法及び材料を用いて実現することができる。限定的ではない例として、湿式化学エッチング法及び材料、並びに、乾式プラズマ・エッチング法及び材料が挙げられる。上述のエッチング方法及び材料のいずれも用いることができる。典型的には、フィラー層 2 4 は、(B) において最も詳細に示されるように、ハードマスク層 2 0 ' の露出面の下約 1 0 0 オングストロームから約 3 0 0 オングストロームの凹部 R を有するフィラー層 2 4 ' を形成するまでエッチングされる。

20

【 0 0 3 7 】

図 8 (A)、(B)、(C)、及び (D) は、図 7 (A)、(B)、(C)、及び (D) の半導体構造体からハードマスク層 2 0 ' を完全に剥離した結果を示す。

【 0 0 3 8 】

ハードマスク層 2 0 ' は、半導体製造技術分野における従来方法及び材料を用いて剥離することができる。限定的ではない例として、ここでも湿式化学剥離法及び材料、並びに、乾式プラズマ剥離法及び材料が挙げられる。典型的には、シリコン窒化物材料を含むときには、ハードマスク層 2 0 ' は、リン酸水溶液を高温で用いて剥離することができる。代替的に他の方法及び材料を用いてもよい。

30

【 0 0 3 9 】

図 9 (A)、(B)、(C)、及び (D) は、エッチング停止層 1 8 をマスクとして用いながら犠牲層 1 6 ' をエッチングした結果として得られる犠牲層 1 6 ' ' を示す。したがって、犠牲層 1 6 ' ' は、エッチング停止層 1 8 の下に位置合わせされる。犠牲層 1 6 ' をこのようにエッチングして犠牲層 1 6 ' ' を得るステップは、フィラー層 2 4 ' の間に介在する表面半導体層 1 4 ' の露出部分も残す。熱シリコン酸化物材料を含むときの犠牲層 1 6 ' は、特定の条件の下では、フィラー層 2 4 ' が堆積シリコン酸化物材料などの異なるシリコン酸化物材料を含むときに、フィラー層 2 4 ' に関して選択的にエッチングすることができる。犠牲層 1 6 ' をエッチングして犠牲層 1 6 ' ' を形成するための典型的なエッチャントは、フッ素含有エッチャント・ガス組成物を含むプラズマ・エッチャント、並びに、他の特定の気体エッチャント及びフッ化水素酸含有材料を含む湿式化学水溶液エッチャントを含む。

40

【 0 0 4 0 】

図 1 0 (A)、(B)、(C)、及び (D) は、フィラー層 2 4 ' 及び犠牲層 1 6 ' ' をマスク層として用いるとともに、ここでも結晶学的特異性エッチャントを用いながら、表面半導体層 1 4 ' をさらにエッチングした結果として得られる表面半導体層 1 4 ' ' を示す。このような結晶学的特異性エッチャントは、好ましくはエッチング停止層 1 8 がア

50

モルファス・シリコン材料又はポリシリコン材料を含むときに、犠牲層 16' ' からエッチング停止層 18 も剥離する。したがって、上述の結晶学的特異性エッチングによって、表面半導体層 14' ' 内のフィラー層 24' ' の下以外の位置に付加的な V 字型ノッチが形成され配置されるため、完全にギザギザに (serrated) なった波形の (corrugated) 複数の V 字型表面が表面半導体層 14' ' に形成される。表面半導体層 14' ' の完全にギザギザになった波形の複数の V 字型表面は、図 10 (C) において最も詳細に示される。

【0041】

図 9 (A)、(B)、(C)、及び (D) に示される表面半導体層 14' ' をエッチングして図 10 (A)、(B)、(C)、及び (D) に示される表面半導体層 14' ' を得るのに用いられる結晶学的特異性エッチャントは、図 4 (A)、(B)、(C)、及び (D) に示される表面半導体層をエッチングして図 5 (A)、(B)、(C)、及び (D) に示される表面半導体層 14' ' を形成するのに用いられる結晶学的特異性エッチャントと類似であるか、同等であるか、又は同一である。ここでも、より具体的には、こうした結晶学的特異性エッチャントは、水酸化アンモニウム希釈水溶液エッチャント又は水酸化テトラメチルアンモニウム希釈水溶液エッチャントを含む。上述のエッチャントのいずれも、従来の一般的な条件を採用しながら用いることができる。

10

【0042】

図 11 (A)、(B)、(C)、及び (D) は、図 10 (A)、(B)、(C)、及び (D) の半導体構造体からフィラー層 24' ' 及び犠牲層 16' ' を剥離した結果を示す。フィラー層 24' ' 及び犠牲層 16' ' は、半導体製造技術分野における従来方法及び材料を用いて剥離することができる。方法及び材料の限定的ではない例として、湿式化学エッチング法及び材料、並びに、乾式プラズマ・エッチング法及び材料が挙げられる。典型的には、フッ化水素酸水溶液エッチャント材料を使用する湿式化学エッチング法及び材料が用いられる。

20

【0043】

図 12 (A)、(B)、(C)、及び (D) は、第一に、図 11 (A)、(B)、(C)、及び (D) の CMOS 構造体の左側を第 3 のマスク層 26 でマスクした結果を示す。第 3 のマスク層 26 は、図 4 (A)、(B)、(C)、及び (D) に示されるマスク層 22 を形成するために用いられるマスク材料、厚さ寸法、及び方法と類似であるか、同等であるか、又は同一であるマスク材料を含み、厚さ寸法を有し、方法を用いて形成することができる。典型的には、マスク層 26 は、約 1000 オングストロームから約 3000 オングストロームの厚さを有し、CMOS 構造体の右側を露出されたまま残す、フォトレジスト・マスク材料を含む。

30

【0044】

図 12 (A)、(B)、(C)、及び (D) はまた、表面半導体層 14' ' にイオン注入を行った結果として得られる表面半導体層 14' ' ' を示す。イオン注入は、表面半導体層 14' ' ' の下側にあるギザギザの波形部分に化学的変成及び組成差を与えるように意図された量の注入イオン 27 を用いる。下側にあるギザギザの波形部分のこうした組成差は、注入イオン 27 のための投影範囲を表面半導体層 14' ' の最小厚さと等しく選択することによって、領域選択的に与えられる。

40

【0045】

実用上の見地から、表面半導体層 14' ' がシリコン半導体材料を含むときには、シリコン材料よりもシリコン - ゲルマニウム合金材料を選択的にエッチングするエッチャントが当該技術分野において知られているため、注入イオン 27 はゲルマニウム注入イオンを含むものとすることができる。他の注入イオンを用いることもできる。典型的には、注入イオン 27 は、表面半導体層 14' ' ' の下側にあるギザギザの波形部分内に注入原子を集中させるために、1 平方センチメートル当たり約 3×10^{14} から約 3×10^{15} のイオン量及び約 25 keV から約 150 keV のエネルギーで与えられる。

【0046】

図 13 (A)、(B)、(C)、及び (D) は、第一に、表面半導体層 14' ' ' をパ

50

ターン形成して、第1の表面半導体層14a'''と第2の表面半導体層14b'''とを形成した結果を示す。第1の表面半導体層14a'''は、例示的な実施形態との関連においては結晶方位(100)を含むことが好ましい平坦で平らな表面を含む。第2の表面半導体層14b'''は、結晶方位(100)を含むいかなる部分も存在しない結晶方位(111)を含むことが好ましい、ギザギザになった波形の複数のV字型表面を含む。上述のパターン形成は、半導体製造技術分野における従来の方法及び材料を用いて実現することができる。限定的ではない例として、湿式化学エッチング法及び材料、並びに、乾式プラズマ・エッチング法及び材料が挙げられる。乾式プラズマ・エッチング法及び材料が通常はより一般的である。乾式プラズマ・エッチング法及び材料はまた、典型的には、シリコン又はシリコン・ゲルマニウム合金材料をエッチングするために塩素含有エッチャント・ガス組成物を用いる。

10

【0047】

図13(D)はまた、特に、図12(D)に示される表面半導体層14'''の下方に位置する(ことが好ましい)シリコン-ゲルマニウム合金部分をエッチングして、下に複数の空洞部15が配置された第2の表面半導体層14b'''を形成した結果をさらに示す。空洞部15は、埋め込み誘電体層12によっても囲まれる。上記で示唆されるように、上述のエッチングは、半導体製造技術分野における従来の方法及び材料を用いて実現することができる。湿式化学エッチング法及び材料は本質的に等方性エッチング法及び材料であるため、空洞部15を形成する場合により実用的なエッチング方法及び材料であると考えられる。それにもかかわらず、幾つかのより高圧のプラズマ・エッチング法及び材料も特定の条件の下では等方的なものとすることができるため、これらを用いることもできる。特に図12(D)に示される表面半導体層14'''のシリコン-ゲルマニウム合金部分をエッチングして、図13(D)に示される表面半導体層14b'''を得るための好ましいエッチャントは、エッチャント材料として四フッ化炭素(すなわち、 CF_4)又はトリフルオロメタン(すなわち、 CHF_3)などのフッ素含有エッチャント・ガスを含む。当業者であれば分かるように、図12(D)のイオン注入処理手順及び図13(D)の等方性エッチング処理手順によって、約200オングストロームから約1000オングストロームの単一の厚さをもつギザギザの波形構造体を有する表面半導体層14b'''が得られる。

20

【0048】

当業者であれば分かるように、図13(D)のCMOS構造体内の空洞部(voids)15は、他の場合であれば誘電体分離の目的で空洞部15の代わりに通常用いられる非中空の誘電体材料より誘電率の低い材料(すなわち、誘電定数がより低い誘電体材料)を含むため、価値がある。図13(A)、(B)、(C)、及び(D)のCMOS構造体内において、このようなより優れた誘電体分離は、図13(A)、(B)、(C)、及び(D)に示される表面半導体層14b'''を電界効果トランジスタのチャネル領域として部分的に用いて製造される電界効果トランジスタのソース/ドレイン領域とチャネル領域との間の電氣的相互作用を低減させる限り、望ましい。このようなソース/ドレイン領域とチャネル領域との間の電氣的相互作用の低減は、電界効果トランジスタ内の短チャネル効果の発生も低減させる。必要に応じて、及び特定の条件の下においては好ましくは、空洞部15は、比較的低い(すなわち、約4より小さい)誘電定数の材料で再充填することができる。

30

40

【0049】

図13(A)、(B)、(C)、及び(D)は、最後に、新たに形成された第1の表面半導体層14a'''と第2の表面半導体層14b'''とを取り囲んで配置された分離領域28を示す。分離領域28は、従来の一般的な誘電体分離材料を含むものとしてすることができる。このような誘電体分離材料の限定的ではない例として、シリコンの酸化物、窒化物、及び酸窒化物が挙げられる。ここでも同様に、他の元素の酸化物、窒化物、及び酸窒化物は除外されない。誘電体分離材料は、半導体製造技術分野における従来の方法を用いて形成することができる。方法の限定的ではない例として、化学気相堆積法及び物理気

50

相堆積法が挙げられる。典型的には、分離領域 28 は、少なくとも部分的にシリコン酸化物誘電体分離材料を含む。

【0050】

図 14 (A)、(B)、(C)、及び(D)は、第 1 の表面半導体層 14 a ' ' ' を活性領域 (すなわち、チャンネル領域及びソース/ドレイン領域を含む) として用いて配置された第 1 のトランジスタ T1 と、第 2 の表面半導体層 14 b ' ' ' を活性領域 (すなわち、同様に、チャンネル領域及びソース/ドレイン領域を含む) として用いて配置された第 2 のトランジスタ T2 とを示す。

【0051】

第 1 のトランジスタ T1 及び第 2 のトランジスタ T2 の各々は、(1) 第 1 の表面半導体層 14 a ' ' ' 又は第 2 の表面半導体層 14 b ' ' ' の上に配置されたゲート誘電体 30 と、(2) ゲート誘電体 30 の上に配置されたゲート電極 32 と、(3) ゲート誘電体 30 及びゲート電極 32 の側壁を囲んで配置されたスペーサ層 34 と、(4) 第 1 の表面半導体層 14 a ' ' ' 又は第 2 の表面半導体層 14 b ' ' ' 内に配置され、ゲート電極 32 によって隔てられた、一对のソース/ドレイン領域 36 と、を含む。上述の層及び構造体の各々は、半導体製造技術分野における従来の材料を含み、従来の寸法を有するものとする。上述の層及び構造体の各々はまた、半導体製造技術分野における従来の方法を用いて形成することができる。

【0052】

ゲート誘電体 30 は、真空中で測定された約 4 から約 20 の誘電定数を有する、シリコンの酸化物、窒化物、及び酸窒化物などの従来の誘電体材料を含むものとする。代替的に、ゲート誘電体 30 はまた、一般に、約 20 から少なくとも約 100 の誘電定数を有する、誘電定数のより高い誘電体材料を含むものとする。このような誘電定数のより高い誘電体材料として、酸化ハフニウム、ハフニウム・シリケート、酸化チタン、酸化ランタン、チタン酸バリウム・ストロンチウム (BST)、及び、チタン酸ジルコン酸鉛 (PZT) を挙げることができるが、これらに限定されるものではない。ゲート誘電体 30 は、その組成における 1 つ又は複数の材料に適した幾つかの方法のいずれかを用いて形成することができる。熱又はプラズマによる酸化法又は窒化法、(原子層化学気相堆積法を含む) 化学気相堆積法、及び、(スパッタリング法を含む) 物理気相堆積法が挙げられるが、これらに限定されるものではない。典型的には、ゲート誘電体 30 は、約 8 オングストロームから約 70 オングストロームの厚さの熱シリコン酸化物誘電体材料を含む。

【0053】

ゲート電極 32 は、特定の金属、金属合金、金属窒化物、及び金属シリサイド、並びに、その積層体及び複合体を含む材料を含むものとする。これらに限定されるものではない。ゲート電極 32 はまた、ドーパされたポリシリコン及びポリシリコン-ゲルマニウム合金材料 (すなわち、1 立方センチメートル当たり約 1×10^{18} ドーパント原子から約 1×10^{22} ドーパント原子のドーパント濃度を有する)、及び、ポリサイド材料 (必要に応じてゲルマニウムドーパすることもできる、ドーパされたポリシリコン/金属シリサイド・スタック材料) を含むことができる。同様に、上述の材料もまた、幾つかある方法のいずれかを用いて形成することができる。限定的ではない例として、シリサイド法、(原子層化学気相堆積法を含む) 化学気相堆積法、及び、限定されるものではないが蒸着法及びスパッタリング法などといった物理気相堆積法が挙げられる。典型的には、ゲート電極 32 は、約 600 オングストロームから約 2000 オングストロームの厚さのドーパされたポリシリコン材料を含む。

【0054】

スペーサ 34 は、導体材料及び誘電体材料を含む材料を含むものとする。これらに限定されるものではない。導体スペーサ材料は、あまり一般的ではないが公知である。誘電体スペーサ材料は、より一般的である。スペーサ材料は、分離領域 28 を形成するのに用いられる方法と類似であるか、同等であるか、又は同一である方法を用いて

10

20

30

40

50

形成することができるが、材料は、特定の条件の下では異なる場合がある。スペーサ層 34 はまた、典型的にはスペーサ層 34 の対が分離領域 28 を構成する分離材料とは異なるスペーサ材料を含むものであることが必要なブランケット層堆積法及び異方性エッチバック法を用いることによって、特徴的な内向きのスペーサ形状として形成される。典型的には、分離領域 28 がシリコン酸化物分離材料を含むときに、スペーサ層 34 は、シリコン窒化物スペーサ材料を含む。

【0055】

最後に、第 1 のトランジスタ T1 内のソース/ドレイン領域 36 は、典型的にはリン・ドーパント又は砒素ドーパントのいずれかを含む従来の一般的な (n-FET 型の第 1 のトランジスタ T1 のための) n 導電型ドーパントを含む。同様に、第 2 のトランジスタ T2 内のソース/ドレイン領域 36 は、典型的にはホウ素ドーパント又はインジウム・ドーパントを含む従来の一般的な (p-FET 型の第 2 のトランジスタ T2 のための) p 導電型ドーパントを含む。当業者であれば分かるように、ソース/ドレイン領域 36 は、2 段階のイオン注入法を用いて形成される。本方法における第 1 のイオン注入プロセス・ステップは、スペーサ 34 が不在の状態のゲート電極 32 をマスクとして用いて、スペーサ層 34 の下に延びる拡張領域を形成する。第 2 のイオン注入プロセス・ステップは、ゲート電極 32 及びスペーサ層 34 をマスクとして用いて、拡張領域を同時に組み込みながらソース/ドレイン領域 36 のより広いコンタクト領域部分を形成する。ドーパント・レベルは、ソース/ドレイン領域 36 の各々の内部において 1 立方センチメートル当たり約 1×10^{19} ドーパント原子から約 1×10^{21} ドーパント原子である。ソース/ドレイン領域 36 内の拡張領域は、特定の条件の下ではソース/ドレイン領域 36 内のコンタクト領域より低濃度にドーピングすることもできるが、このような異なるドーピング濃度は本発明の要件ではない。

【0056】

例示的な実施形態の関連する特徴として、図 14 (A) 及び図 (D) により詳細に示されるように、第 2 の表面半導体層 14 b' ' ' 内のソース/ドレイン領域 36 の露出面は、複数の V 字型溝又はノッチによってギザギザの波形にされている。同様に、ゲート電極 32 は、非平行に (non-parallel) 配置されて、より特定的には名目上直角に (nominally perpendicular) 配置されて、複数の V 字型溝を横断する。

【0057】

このようなギザギザの波形によって、後に第 2 の表面半導体層 14 b' ' ' 内のソース/ドレイン領域 36 に接触するコンタクト・スタッドを形成するとき、第 2 の表面半導体層 14 b' ' ' のソース/ドレイン領域 36 の表面接触面積が増大する。その結果として、このような表面接触面積の増大によって、第 2 の表面半導体層 14 b' ' ' のソース/ドレイン領域 36 に接触するコンタクト・スタッドの接触抵抗がより低下する。

【0058】

さらに、ゲート 32 を V 字型溝と平行に配置すると、所与の特定のゲート 32 の限界寸法に対して有効なゲート長が増大するため、V 字型溝に対してゲート 32 を非平行に、好ましくは直角に、通すことが望ましい。

【0059】

図 15 (A) は、図 14 (A)、(B)、(C)、及び (D) の半導体構造体の概略斜視図を示す。

【0060】

図 15 (A) は、第 1 のトランジスタ T1 と第 2 のトランジスタ T2 とを含む CMOS 構造体を示す。第 1 のトランジスタ T1 は、好ましくは、(結晶方位 (100) をもつことが好ましい平坦で平らな表面を含む) 第 1 の表面半導体層 14 a' ' ' を第 1 の活性領域として用いる n-FET である。第 2 のトランジスタ T2 は、好ましくは (結晶方位 (100) が全く存在しない (111) 結晶方位をもつことが好ましい、立体的にギザギザになった波形の複数の V 字型溝付き表面を含む) 第 2 の表面半導体層 14 b' ' ' を第 2 の活性領域として用いる p-FET である。当業者であれば分かるように、第 1 のトラン

ジスタ T 1 及び第 2 のトランジスタの活性領域について異なる結晶方位を用いることによって、第 1 のトランジスタ T 1 及び第 2 のトランジスタ T 2 の両方において電荷キャリア移動度の向上がもたらされる。

【 0 0 6 1 】

特定の好ましい実施形態はまた、第 2 の活性領域 1 4 b ' ' ' は (選択的イオン注入プロセス及び選択的エッチング・プロセスに伴う) 単一厚さを有しており、それにより第 2 の表面半導体層 1 4 b ' ' ' の部分を埋め込み誘電体層 1 2 から分離する複数の空洞部 (voids) 1 5 が得られることを考慮している。このような空洞部 1 5 によって、第 2 のトランジスタ T 2 内のチャネル分離が改善されたソース/ドレイン 3 6 が得られる。同様に、第 2 のトランジスタのソース/ドレイン領域 3 6 は、第 2 のトランジスタのソース/ドレイン領域 3 6 に接触するコンタクト・スタッドを形成するときに接触面積を増大させることを可能にするギザギザの波形表面を含む。

10

【 0 0 6 2 】

上述の好ましい実施形態は、本発明を限定するものではなく、本発明を例示するものである。上述の好ましい実施形態による CMOS 構造体の方法、材料構造、及び寸法を変更し、変更することができるが、その場合でも、本発明による、さらに言えば特許請求の範囲による CMOS 構造体が依然として提供される。

【 図面の簡単な説明 】

【 0 0 6 3 】

【 図 1 】 (A) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略平面図である。 (B) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。

20

【 図 2 】 (A) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略平面図である。 (B) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。

【 図 3 】 (A) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略平面図である。 (B) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (C) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (D) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。

30

【 図 4 】 (A) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略平面図である。 (B) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (C) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (D) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。

【 図 5 】 (A) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略平面図である。 (B) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (C) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (D) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。

40

【 図 6 】 (A) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略平面図である。 (B) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (C) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (D) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。

【 図 7 】 (A) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略平面図である。 (B) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (C) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。 (D) : 本発明の 1 つの実施形態に従って製造される CMOS 構造体の概略断面図である。

50

【図8】(A)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略平面図である。(B)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(C)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(D)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。

【図9】(A)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略平面図である。(B)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(C)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(D)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。

10

【図10】(A)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略平面図である。(B)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(C)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(D)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。

【図11】(A)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略平面図である。(B)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(C)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(D)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。

20

【図12】(A)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略平面図である。(B)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(C)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(D)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。

【図13】(A)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略平面図である。(B)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(C)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(D)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。

30

【図14】(A)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略平面図である。(B)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(C)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。(D)：本発明の1つの実施形態に従って製造されるCMOS構造体の概略断面図である。

【図15】図14の半導体構造体の概略斜視図である。

【符号の説明】

【0064】

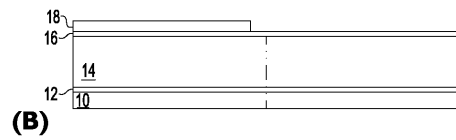
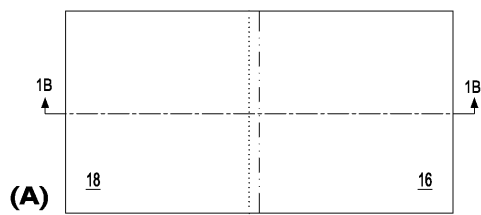
- 10：ベース半導体基板
- 12：埋め込み誘電体層
- 14、14'、14''、14'''：表面半導体層
- 14a'''：第1の表面半導体層
- 14b'''：第2の表面半導体層
- 15：空洞部
- 16、16'、16''：犠牲層
- 18：エッチング停止層
- 20、20'：ハードマスク層
- 22：第2のマスク層
- 24、24'：フィラー層
- 28：分離領域

40

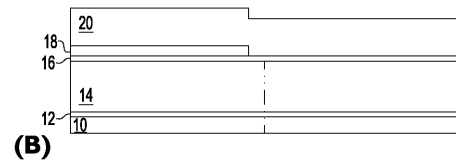
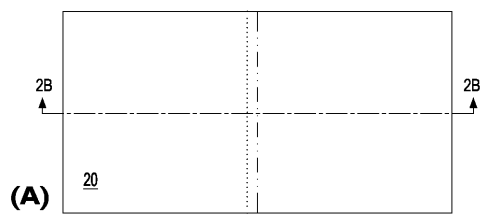
50

- 30 : ゲート誘電体
- 32 : ゲート電極
- 34 : スペース層
- 36 : ソース/ドレイン領域
- T1 : 第1のトランジスタ
- T2 : 第2のトランジスタ

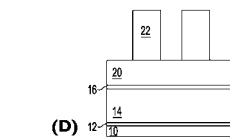
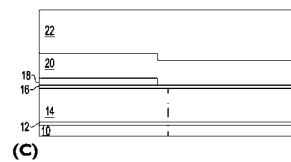
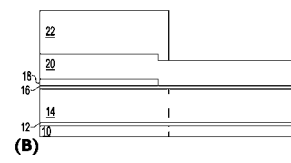
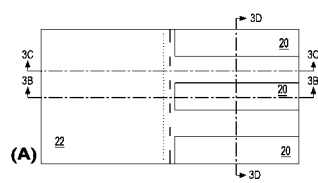
【図1】



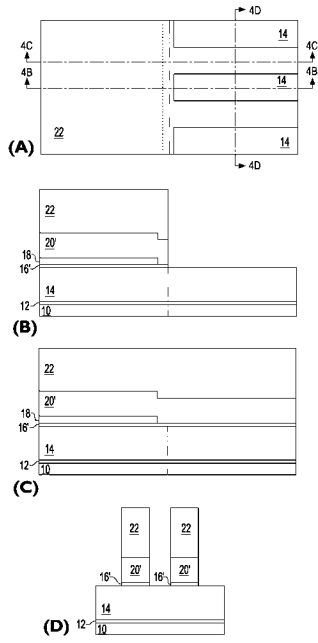
【図2】



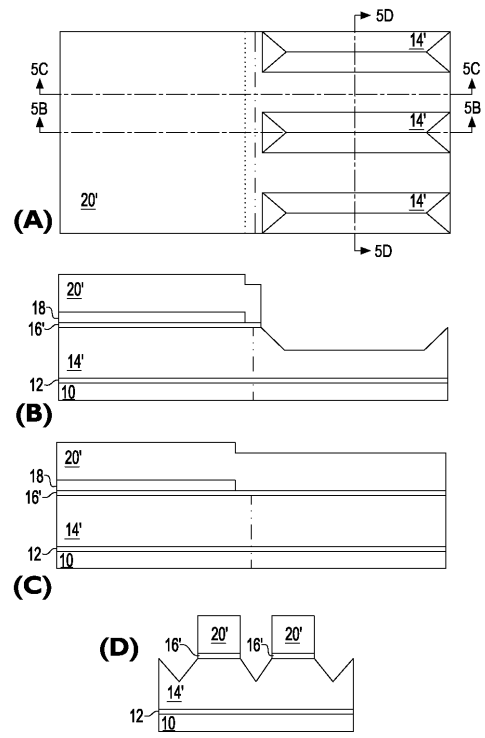
【図3】



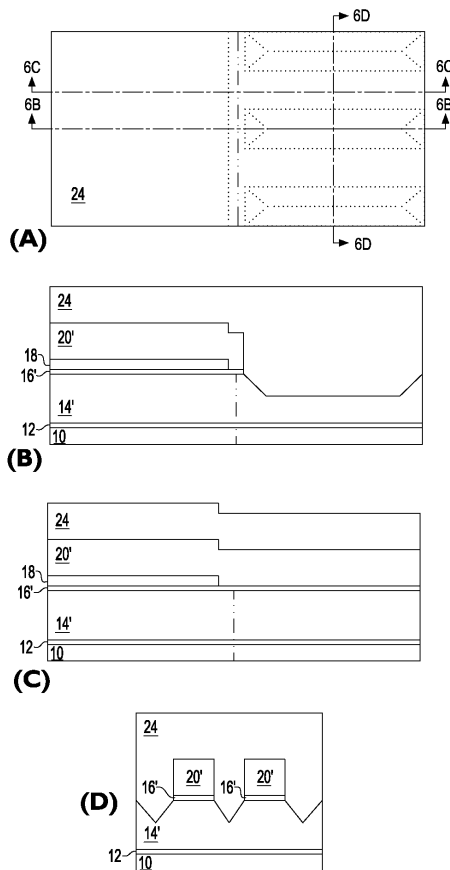
【 図 4 】



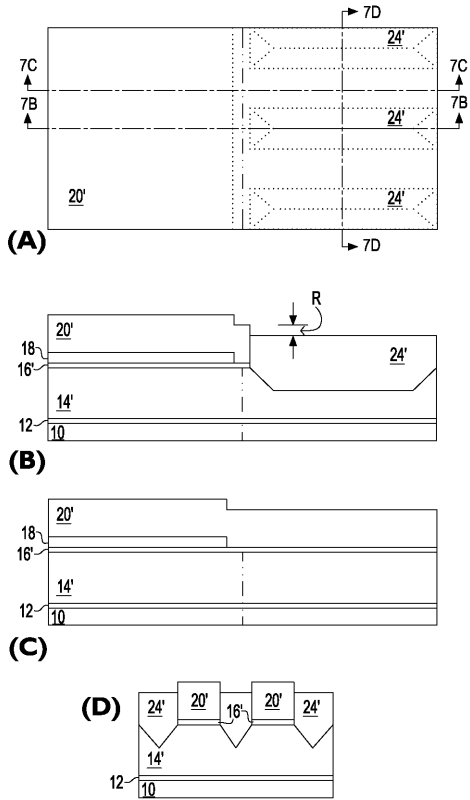
【 図 5 】



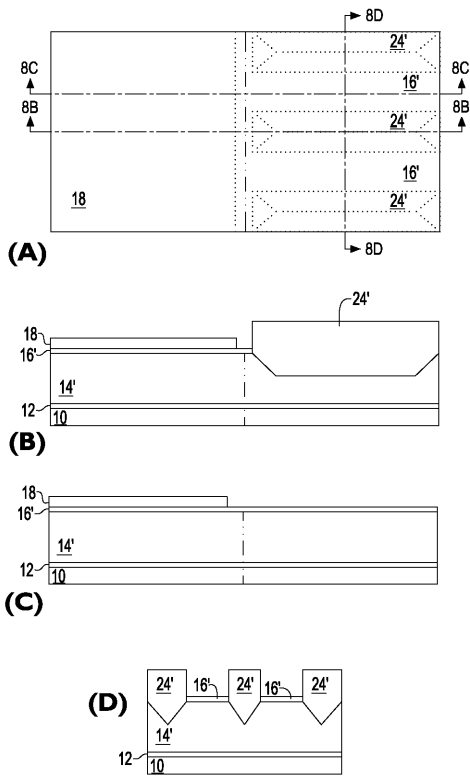
【 図 6 】



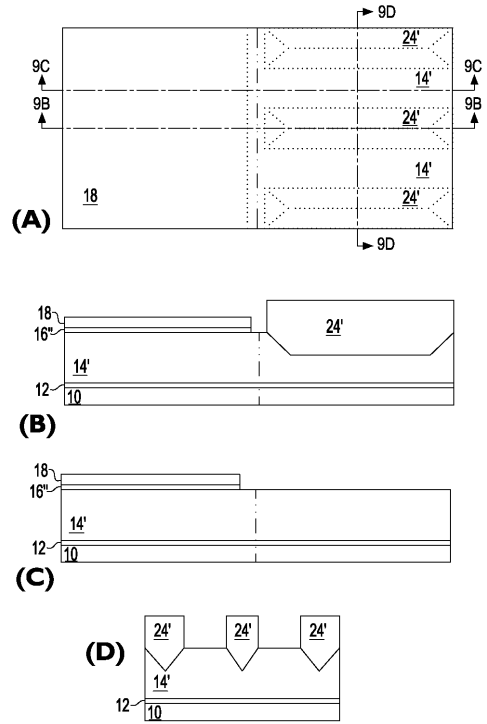
【 図 7 】



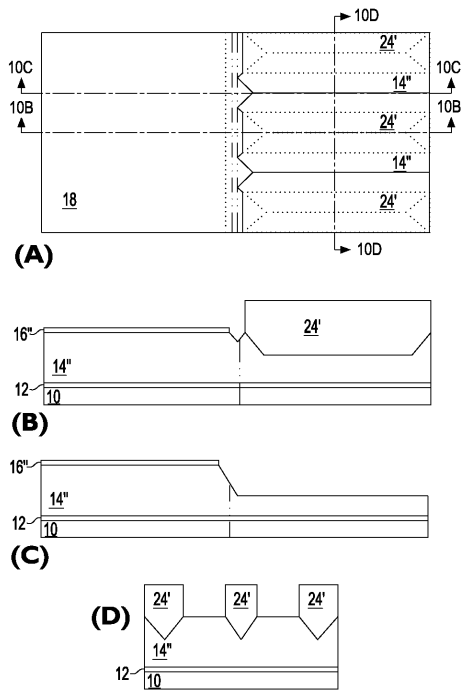
【 図 8 】



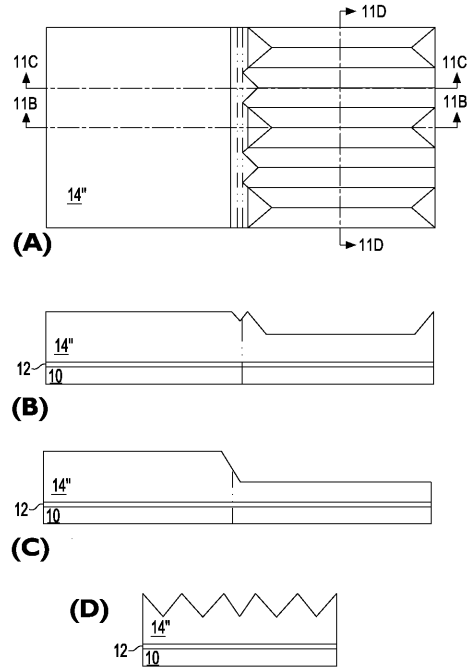
【 図 9 】



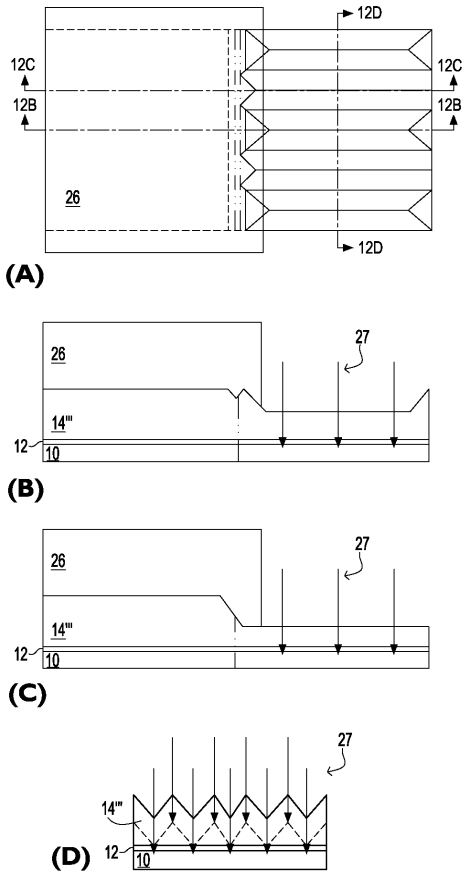
【 図 1 0 】



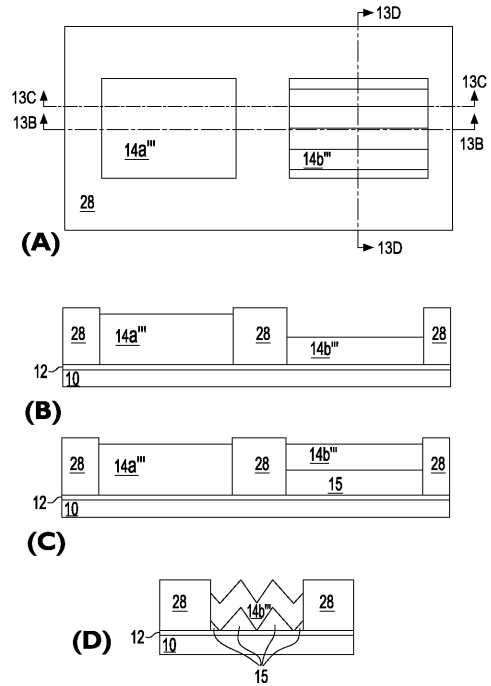
【 図 1 1 】



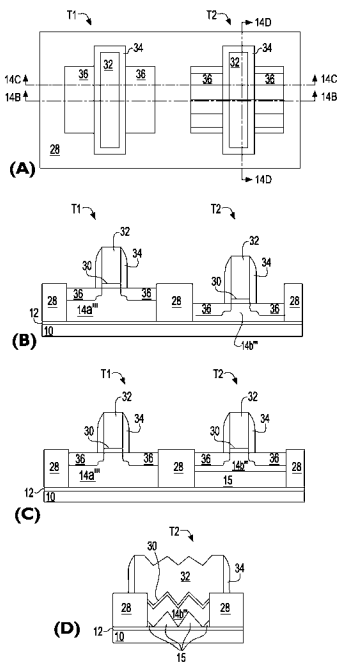
【 図 1 2 】



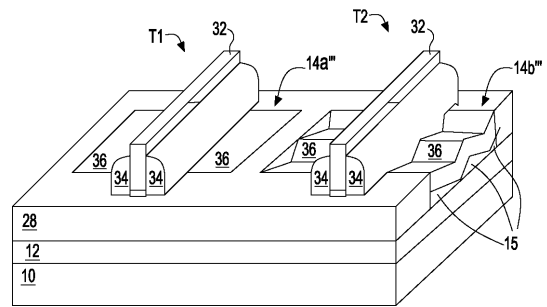
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 (2006.01) H 0 1 L 29/78 6 1 3 A
H 0 1 L 29/78 6 1 8 C
H 0 1 L 29/78 6 2 0

(74)代理人 100086243

弁理士 坂口 博

(72)発明者 ホイロン・チュー

アメリカ合衆国 1 2 6 0 3 ニューヨーク州 ポキプシー オータム・ドライブ 9 3

審査官 安田 雅彦

(56)参考文献 特開平09 - 023011 (JP, A)
特開平10 - 079504 (JP, A)
特開2004 - 335714 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 1 / 3 3 6