

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

**特許第3914618号**  
**(P3914618)**

(45) 発行日 平成19年5月16日(2007.5.16)

(24) 登録日 平成19年2月9日(2007.2.9)

(51) Int. Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 8 1 E
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 8 1 D
	HO 1 L 27/10 6 9 1

請求項の数 1 (全 37 頁)

<p>(21) 出願番号 特願平9-259105                  (22) 出願日 平成9年9月24日(1997.9.24)                  (65) 公開番号 特開平11-97648                  (43) 公開日 平成11年4月9日(1999.4.9)                  審査請求日 平成15年3月7日(2003.3.7)</p>	<p>(73) 特許権者 500174247                  エルピーダメモリ株式会社                  東京都中央区八重洲2-2-1                  (74) 代理人 100123788                  弁理士 宮崎 昭夫                  (74) 代理人 100106138                  弁理士 石橋 政幸                  (74) 代理人 100127454                  弁理士 緒方 雅昭                  (72) 発明者 大湯 静憲                  東京都小平市上水本町五丁目20番1号                  株式会社日立製作所 半導体事業部内                  (72) 発明者 大倉 理                  東京都国分寺市東恋ヶ窪一丁目280番地                  株式会社日立製作所 中央研究所内                  最終頁に続く</p>
---	--

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

メモリアレイに複数のメモリセルと複数の救済セルとが形成されたDRAMを有する半導体集積回路装置であって、前記救済セルが形成された活性領域の幅を、前記メモリセルが形成された活性領域の幅よりも大きくし、前記メモリセルと前記救済セルのそれぞれは、メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とからなり、前記救済セルにおけるメモリセル選択用MISFETのソース、ドレインの一方と前記情報蓄積用容量素子の下部電極とを接続するスルーホールは、第1方向の径とこれに直交する第2方向の径が異なることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路装置および製造方法に関し、特に、DRAM(Dynamic Random Access Memory)の欠陥救済構造に適用して有効な技術に関するものである。

【0002】

【従来の技術】

互いに直交して配置された複数のワード線および複数のビット線ならびにそれらの各交点に配置された複数のメモリセルによって構成されるメモリアレイを備えたDRAMは、メモリアレイの一部に通常メモリセルと構造および寸法が同じセルを含んだ予備の冗長回路を設けておき、ウエハテスト時に欠陥セルが検出されたライン(ワード線またはビット

線)を冗長ラインと置き換えることによって、製品不良率の低減を図っている(例えば培風館発行、「超LSIメモリ」p181~p183参照)。

【0003】

特開平4-232688号公報は、リフレッシュサイクルの長時間化を図ったDRAMを開示している。このDRAMは、複数個の冗長メモリセルとメモリセルのアドレスを受け取るデコーダとスイッチ回路とを含み、そのリフレッシュサイクルは、正常メモリセルに比べて情報保持特性が劣る欠陥セルよりも長くなるように調節されている。デコーダは、受け取ったアドレスが正常メモリセルのそれであれば第1の出力を、欠陥セルのそれであれば第2の出力を発生し、スイッチ回路は、第1の出力に応答して救済セルにアクセスを許容することで欠陥セルへのアクセスを阻止するようになっている。

10

【0004】

特開平7-244997号公報は、チップサイズを増大することなく、リーク障害を持つワード線(情報保持特性の劣る欠陥セルが接続されたワード線)を使用することのできるDRAMを開示している。このDRAMは、冗長アドレスデコーダに、冗長ワード線に割り当てられたワード線の障害がリーク障害であることを示す記憶手段(ヒューズ)を設けると共に、冗長ワード線に割り当てられたワード線の障害がリーク障害である場合には、このワード線と冗長ワード線とを同時に選択状態とする機能を持たせている。これにより、リーク障害を持つワード線に割り当てられた冗長ワード線が同じようなリーク障害を持つ場合でも、メモリセルの実質的な情報蓄積容量を2倍に拡大してこれを救済することが可能となる。

20

【0005】

特開平1-213900号公報は、雑音による誤動作に起因するセンスアンプ不良を救済するために、救済セルに高性能センスアンプを接続した冗長回路付き半導体記憶装置を開示している。このセンスアンプは、正常メモリセルに接続されたセンスアンプを構成するMOSトランジスタに比べてゲート長およびゲート幅が大きい高駆動能力のMOSトランジスタで構成されているために、雑音の影響を受け難い。これにより、正常メモリセルに接続されたセンスアンプが雑音によって誤動作した場合でも、確実な救済が可能となる。

【0006】

特開平4-67669号公報は、ゴミの付着などによる冗長回路の不良発生を回避するために、冗長回路の微細化度(冗長回路を構成するトランジスタ、ビット線およびワード線のサイズならびに間隔)を主回路部のそれよりも大きく設定した半導体記憶装置を開示している。

30

【0007】

【発明が解決しようとする課題】

本発明者が検討したところによれば、上記した従来の欠陥救済技術には、それぞれ次のような問題がある。

【0008】

DRAMのリフレッシュ時間は、JEDEC(Joint Electron Device Engineering Council standards)規格に従い、集積度が増す毎に長くなる。しかし、集積度が増すとメモリセルサイズが微細になって素子分離長が短くなるため、基板濃度を高く設定することが原因となって接合電界強度が大きくなる。その結果、電界起因のリーク電流が増加してメモリセルの情報保持時間が短くなる。すなわち、集積度が増すと情報保持時間が規格以下の欠陥セル数が増えるため、救済セルの数も増やさなければならない。

40

【0009】

ところが、救済セルの構造および寸法が通常のメモリセルと同じである場合には、集積度が増す毎に救済セルの数を増やしていくと、救済後にも情報保持時間の短いセルが含まれる確率が高くなってしまふ。例えば、64Mbit(メガビット)DRAMでは数十ビットの救済が、256MbitDRAMでは数百ビットの救済が、さらに1Gbit(ギガビット)DRAMでは数千ビットの救済が必要であるとした場合、1ビットを救済するためにはビット線4本分を救済用に置き換えるため、千ビット(256ビット×4)程度を

50

置き換えることになり、64 Mbit、256 Mbitおよび1 Gbit DRAMでは、それぞれ数十Kbit（キロビット）、数百Kbitおよび数Mbitを置き換えることになる。そのため、集積度が増すにつれて救済後にも救済セル中に不良ビットが含まれる確率が高くなってしまい、この不良による製品歩留りの低下分は、64 Mbit、256 Mbitおよび1 Gbit DRAMでそれぞれ1%未満、数%～10%程度および数十%～100%となる。すなわち、集積度が増すとそれにつれて製品歩留りが低下するという問題が顕在化する。

#### 【0010】

特開平4-232688号公報に記載された欠陥救済構造は、正常セルと欠陥セルのアドレスを記憶させるための回路（不揮発性メモリ）を別途設ける必要があるので製造プロセスが複雑になる。また、救済セルへ回路的にアクセスするための周辺回路を別途設ける必要があるのでチップ面積が増大する。同様に、特開平7-244997号公に記載された欠陥救済構造も、ワード線と冗長ワード線とを2重選択するための周辺回路を別途設ける必要があるのでチップ面積が増大する。

10

#### 【0011】

救済セルに高性能センスアンプを接続する構造（特開平1-213900号公報）は、集積度が増す毎に救済セルの数を増やしていくと救済後にも情報保持時間が短いセルを含む確率が高くなる、という前記の問題を根本的に解決する対策とはならない。

#### 【0012】

冗長回路の微細化度を主回路部のそれよりも大きくする構造（特開平4-67669号公報）は、例えばSRAM(Static Random Access Memory)に適用した場合にはレイアウト上も加工上も問題とはならないが、DRAMに適用した場合にはセルを構成する上で大きな問題が生じる。また、冗長回路を構成するトランジスタ、ビット線およびワード線のサイズ、間隔を主回路部のそれよりも大きく設定するだけでは、DRAM特有の課題である情報保持時間の長時間化を実現することはできない。

20

#### 【0013】

本発明の目的は、チップ面積の大幅な増大を招かずに、またプロセスの複雑化を招かずに、DRAMの救済セルのリフレッシュ時間を長くすることのできる技術を提供することにある。

#### 【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

#### 【0015】

##### 【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

#### 【0016】

(1) 本発明の半導体集積回路装置は、メモリアレイに複数のメモリセルと複数の救済セルとが形成されたDRAMを有し、前記救済セルが形成された領域の素子分離幅は、前記メモリセルが形成された領域の素子分離幅よりも大きい。

40

#### 【0017】

(2) 本発明の半導体集積回路装置は、前記救済セルが形成された領域における素子分離領域下部の半導体基板の不純物濃度は、前記メモリセルが形成された領域における素子分離領域下部の半導体基板の不純物濃度よりも低い。

#### 【0018】

(3) 本発明の半導体集積回路装置は、前記救済セルに接続されるビット線の間隔は、前記メモリセルに接続されるビット線の間隔よりも大きい。

#### 【0019】

(4) 本発明の半導体集積回路装置は、前記メモリセルと前記救済セルのそれぞれは、メモリセル選択用MISFETとこれに直列に接続された情報蓄積容量素子とからなり、

50

前記救済セルにおける情報蓄積用容量素子の下部電極の占有面積は、前記メモリセルにおける情報蓄積用容量素子の下部電極の占有面積よりも大きい。

【0020】

(5) 本発明の半導体集積回路装置は、前記メモリセルと前記救済セルのそれぞれが、メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とからなり、前記メモリセルにおけるメモリセル選択用MISFETのソース、ドレインの下部および前記救済セルにおけるメモリセル選択用MISFETのソース、ドレインの下部には、前記ソース、ドレインと同一導電型の電界緩和層がそれぞれ形成されている。

【0021】

(6) 本発明の半導体集積回路装置は、選択酸化法により形成されたフィールド酸化膜によって素子分離が行われている。 10

【0022】

(7) 本発明の半導体集積回路装置は、前記救済セルが形成された領域の素子分離幅が、前記メモリセルが形成された領域の素子分離幅の1.5倍～2倍である。

【0023】

(8) 本発明の半導体集積回路装置は、メモリアレイに複数のメモリセルと複数の救済セルとが形成されたDRAMを有し、前記救済セルが形成された活性領域の幅は、前記メモリセルが形成された活性領域の幅よりも大きい。

【0024】

(9) 本発明の半導体集積回路装置は、前記メモリセルと前記救済セルのそれぞれが、メモリセル選択用MISFETとこれに直列に接続された情報蓄積用容量素子とからなり、前記救済セルにおけるメモリセル選択用MISFETのソース、ドレインの一方と前記情報蓄積用容量素子の下部電極とを接続するスルーホールは、第1方向の径とこれと直交する第2方向の径が異なる。 20

【0025】

(10) 本発明の半導体集積回路装置は、メモリアレイに複数のメモリセルと複数の救済セルとが形成されたDRAMを有し、前記救済セルが形成された領域の素子分離幅は、前記メモリセルが形成された領域の素子分離幅よりも大きく、前記救済セルが形成された活性領域の幅は、前記メモリセルが形成された活性領域の幅よりも大きい。

【0026】

(11) 本発明の半導体集積回路装置は、メモリアレイに複数のメモリセルと複数の救済セルとが形成されたDRAMを有し、前記救済セルを構成するMISFETのゲート電極の側壁に形成したサイドウォールスペーサの膜厚は、前記メモリセルを構成するMISFETのゲート電極の側壁に形成したサイドウォールスペーサの膜厚よりも大きい。 30

【0027】

(12) 本発明の半導体集積回路装置は、メモリアレイに複数のメモリセルと複数の救済セルとが形成されたDRAMを有し、前記救済セルを構成するMISFETのゲート絶縁膜の膜厚は、前記メモリセルを構成するMISFETのゲート酸化膜の膜厚よりも大きい。  
。

【0028】

(13) 本発明の半導体集積回路装置は、メモリアレイに複数のメモリセルと複数の救済セルとが形成されたDRAMを有し、冗長ビット線一本あたりに接続される救済セルの数は、ビット線一本あたりに接続されるメモリセルの数よりも少ない。 40

【0029】

(14) 本発明の半導体集積回路装置は、メモリアレイに救済セルを含む複数のメモリセルが形成されたDRAMを有し、救済に用いるセンスアンプには、注目ビットの情報の信号線である第1ビット線と前記注目ビットの反対情報の信号線である第2ビット線とが接続され、所定のワード線によって選択される2つのセルの一方が前記第1ビット線に接続され、もう一方のセルが前記第2ビット線に接続されている。

【0030】

(15) 本発明の半導体集積回路装置は、メモリアレイに救済セルを含む複数のメモリセルが形成されたDRAMを有し、救済に用いるセンスアンプには、注目ビットの情報の信号線である第1ビット線と前記注目ビットの反対情報の信号線である第2ビット線とが接続され、同時に選択される2本のワード線の一方は前記第1ビット線に接続されたセルを選択し、他方は前記第2ビット線に接続されたセルを選択する。

【0031】

(16) 本発明の半導体集積回路装置は、メモリアレイに救済セルを含む複数のメモリセルが形成されたDRAMを有し、救済に用いるセンスアンプには、注目ビットの情報の信号線である2本の第1ビット線と前記注目ビットの反対情報の信号線である2本の第2ビット線とが接続され、同時に選択される2本のワード線の一方は前記2本の第1ビット線のいずれかに接続されたセルを選択し、他方は前記2本の第2ビット線のいずれかに接続されたセルを選択する。

10

【0032】

(17) 本発明の半導体集積回路装置の製造方法は、以下の工程を含んでいる。

【0033】

(a) 半導体基板を熱処理してその表面に第1ゲート絶縁膜を形成した後、通常セル領域の前記第1ゲート絶縁膜を選択的に除去する工程、

(b) 前記半導体基板を再度熱処理して、前記通常セル領域に第2ゲート絶縁膜を形成すると共に、救済セル領域の前記第1ゲート絶縁膜の膜厚を前記第2ゲート絶縁膜よりも厚くする工程、

20

(c) 前記半導体基板上に堆積した第1導電膜をパターニングすることにより、前記通常セル領域の前記第1ゲート絶縁膜上に通常セルのゲート電極を形成し、前記救済セル領域の前記第2ゲート絶縁膜上に救済セルのゲート電極を形成する工程、

(d) 前記通常セル領域の前記半導体基板に通常セルのソース、ドレインを形成し、前記救済セル領域の前記半導体基板に救済セルのソース、ドレインを形成する工程、

(e) 前記半導体基板上に第1絶縁膜を堆積した後、前記通常セル領域の前記第1絶縁膜を選択的にエッチングすることにより、前記通常セル領域の前記ゲート電極の側壁に第1サイドウォールスペーサを形成する工程、

(f) 前記半導体基板上に第2絶縁膜を堆積した後、前記第2絶縁膜をエッチングすることにより、前記救済セル領域の前記ゲート電極の側壁に前記第1サイドウォールスペーサよりも厚い膜厚の第2サイドウォールスペーサを形成する工程、

30

(g) 前記半導体基板上に堆積した第3絶縁膜をエッチングすることにより、前記通常セルのソース、ドレインの一方の上部および前記救済セルのソース、ドレインの一方の上部にそれぞれコンタクトホールを形成する工程、

(h) 前記第3絶縁膜の上部に前記通常セルの情報蓄積用容量素子および前記救済セルの情報蓄積用容量素子をそれぞれ形成する工程。

【0034】

(18) 本発明の半導体集積回路装置の製造方法は、前記通常セルのソース、ドレインの一方の上部および前記救済セルのソース、ドレインの一方の上部にそれぞれコンタクトホールを形成した後、前記コンタクトホール内に前記ソース、ドレインと同じ導電型の不純物を含む多結晶シリコン膜を埋め込む。

40

【0035】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0036】

(実施の形態1)

図1は、本発明の実施の形態1であるDRAMのブロック図である。このDRAMの各回路ブロックは、単結晶シリコンからなる半導体チップ1A上に形成されている。

50

## 【 0 0 3 7 】

同図において、半導体チップ 1 A の縦方向の中央部と横方向の中央部とには周辺回路が配置され、これらの周辺回路によって分割された 4 つの領域にはそれぞれメモリアレイ ( M A R Y ) が配置されている。特に制限はされないが、メモリアレイは ( M A R Y ) 全体として約 2 5 6 M b i t の大記憶容量を有している。一つのメモリマットは、横方向にワード線が延在し、縦方向にビット線が延在するように配置されている。メモリマットは、センスアンプ S A を中心として左右に一对が配置されている。センスアンプ S A は、左右に配置された一对のメモリマットに対して共通に用いられる、いわゆるシェアードセンスアンプ方式によって構成されている。周辺回路によって 4 分割されたメモリアレイ ( M A R Y ) のうち、中央部側には Y 選択回路 Y S が配置されている。Y 選択線は、Y 選択回路 Y S からそれに対応するメモリアレイ ( M A R Y ) の複数のメモリマット上に延在し、各メモリマットのカラムスイッチ用 M I S F E T のスイッチ制御を行う。

10

## 【 0 0 3 8 】

上記半導体チップ 1 A の横方向の中央部のうち、右側の部分には X アドレスバッファ、 X 冗長回路および X アドレスドライバ ( 論理段 ) からなる X 系回路 8 0 や、 R A S 系制御信号回路 8 1、 W E 系信号制御回路 8 2、基準電圧発生回路 8 3 が設けられている。基準電圧発生回路 8 3 は、この領域の中央寄りに配置され、外部電源 V c c ( 例えば 5 V ) を受けて内部回路に供給する定電圧 V L ( 例えば 3.3 V ) を発生する。また、左側の部分には Y アドレスバッファ、 Y 冗長回路および Y アドレスドライバ ( 論理段 ) からなる Y 系回路 8 4 や、 C A S 系制御信号回路、テスト回路が設けられている。さらに、チップ中央部にはアドレスバッファやデコーダなどの周辺回路に電源電圧 V C L を供給する内部降圧回路が設けられている。

20

## 【 0 0 3 9 】

上記のように、アドレスバッファとそれに対応したアドレス比較回路を含む冗長回路、制御クロックを発生する C A S、 R A S 系制御信号回路 8 1、 8 5 などを中心配置した場合には、例えば配線チャンネルを挟んでクロック発生回路と他の回路を振り分けること、すなわち配線チャンネルを共用化することによって高集積化が可能になると共に、アドレスドライバ ( 論理段 ) などに高速に信号を伝達することが可能となる。

## 【 0 0 4 0 】

上記 R A S 系制御信号回路 8 1 は、信号 R A S を受けて X アドレスバッファを活性化するために用いられる。 X アドレスバッファに取り込まれたアドレス信号は、ワード線単位で欠陥救済を行う X 系の冗長回路に供給され、ここで記憶された不良アドレスとの比較が行われて、冗長回路に切り替えることの有無が判定される。その結果と X アドレスバッファに取り込まれた上記アドレス信号は、 X 系のプリデコーダに供給される。ここで形成されたプリデコード信号は、各メモリアレイに対応して設けられた X アドレスドライバを介して、前記のようなメモリマットに対応して設けられたそれぞれの X デコーダに供給される。

30

## 【 0 0 4 1 】

上記 R A S 系の内部信号は、 W E 系のコントロール回路と C A S 系のコントロール回路に供給され、例えば R A S 信号、 C A S 信号および W E 信号の入力順序の判定から、自動リフレッシュモード ( C B R )、テストモード ( W C B R ) などの識別が行われる。テストモードの時にはテスト回路 8 6 が活性化され、その時供給される特定のアドレス信号によってテストファンクションが設定される。

40

## 【 0 0 4 2 】

C A S 系制御信号回路 8 5 は、信号 C A S を受けて Y 系の各種制御信号を形成するために用いられる。信号 C A S のロウレベルへの変化に同期して Y アドレスバッファに取り込まれたアドレス信号は、ビット線単位で欠陥救済を行う Y 系の冗長回路に供給され、ここで記憶された不良アドレスとの比較が行われて、冗長回路に切り替えることの有無が判定される。その結果と上記アドレス信号は、 Y 系のプリデコーダに供給され、ここでプリデコード信号が形成される。このプリデコード信号は、各メモリセルに対応して設けられた Y

50

アドレスドライバを介してそれぞれのYデコーダに供給される一方、上記CAS系制御回路は、前記のようにRAS信号とWE信号とを受けてその入力順序の判定からテストモードを判定し、隣接するテスト回路86を活性化させる。

**【0043】**

上記チップの縦方向の中央部のうち、上側の部分にはこの領域の中心軸に対して左右対照的に合計16個のメモリマットと8個のセンスアンプが配置されている。そのうち、左右4組ずつのメモリマットとセンスアンプに対応して4個のメインアンプ88が設けられている。その他、この縦中央上部には内部降圧電圧を受けてワード線などを選択する昇圧電圧発生回路89や、アドレス信号、制御信号などの入力信号に対応した入力パッドエリアPb、Pcが設けられている。また、上記左右4組ずつに分割されたメモリブロックに対応して、センスアンプSAの動作電圧を形成する内部降圧回路がそれぞれに設けられている。

10

**【0044】**

このように、1つのブロックに8個のメモリマットと4個のセンスアンプSAが配置され、上記縦軸を中心として左右対称的に合計16個のメモリマットと8個のセンスアンプSAが配置される構成では、少ない(4個の)メインアンプ88を用いつつ、各センスアンプSAからの増幅信号を短い信号伝搬経路によってメインアンプ88に伝達することが可能となる。

**【0045】**

上記チップの縦方向の中央部のうち、下側の部分にもこの領域の中心軸に対して左右対照的に合計16個のメモリマットと8個のセンスアンプSAが配置されている。そのうち、左右4組ずつのメモリマットとセンスアンプSAに対応して4個のメインアンプ88が設けられている。その他、この縦中央下部には内部降圧電圧を受けて基板に供給すべき基板バックバイアス電圧を形成する基板電圧発生回路91や、アドレス信号、制御信号などの入力信号に対応した入力パッドエリアPa、データ出力バッファ回路92、データ入力バッファ回路93が設けられている。また、上記左右4組ずつに分割されたメモリブロックに対応して、センスアンプSAの動作電圧を形成する内部降圧回路90がそれぞれに設けられている。これにより、少ない(4個の)メインアンプを用いつつ、各センスアンプSAからの増幅信号を短い信号伝搬経路によってメインアンプに伝達することが可能となる。

20

30

**【0046】**

前記した内部電圧のうち、VCLは3.3Vの周辺回路用電源電圧であり、内部降圧回路90によって共通に形成される。VDLは3.3Vのメモリアレイ(MARY)、すなわちセンスアンプSAに供給される電源電圧であり、4つのメモリブロックに対応して4個設けられている。VDHは上記内部電圧VDLを受けて例えば5.2Vに昇圧されたワード線を選択レベル、シェアードスイッチMISFETを選択するブースト電源電圧である。VBBは例えば-2Vの基板バイアス電圧、VPLはメモリセルのプレート電圧、VLは内部降圧回路90に供給される3.3Vの定電圧である。

**【0047】**

同図には省略されているが、上記チップの中央部には縦方向に沿って複数個のボンディングパッドが一行に配置されている。これらのボンディングパッドは、例えばAuワイヤを介してLOC(Lead On Chip)方式のリードフレームなどに電気的に接続される。

40

**【0048】**

上記DRAMの欠陥救済方法の一例を図2を用いて説明する。なお、図示は省略するが、通常Y選択線にはスイッチMOSFETを介して相補性のビット線が接続されており、ビット線には通常セルが接続されている。また、冗長Y選択線にはスイッチMOSFETを介して相補性のビット線が接続されており、ビット線には冗長セルが接続されている。

**【0049】**

ウエハテスト時に欠陥セルを含むアドレスが検出された場合には、あらかじめ設定された冗長回路のヒューズを切断することによって、そのアドレスが選択された時に救済セルに

50

接続が切り替わると共に、救済セルを活性化する信号が救済セルに伝達される。その結果、上記アドレスが選択された時に冗長 Y 選択線が活性化され、同時に通常セルに接続されたデコーダには欠陥アドレスを不活性化する信号が入力される。これにより、上記アドレスにおいては、欠陥セルを含むアドレスの通常 Y 選択線に替わって冗長 Y 選択線が選択される。

#### 【0050】

冗長回路は、欠陥セルを含む不良 Y 選択線のアドレスをプログラムするヒューズを備えており、そのアドレスが入力された場合に冗長 Y 選択線を選択する機能と、そのアドレスに対応するメモリアレイの通常の Y 選択線を不活性にする機能とを有している。

#### 【0051】

図3は、上記メモリアレイの一部（通常のメモリセルが形成された領域と救済セルが形成された領域）を示す半導体基板の概略平面図、図4は、図3のA - A'線に沿った断面図、図5は、同じくB - B'線とC - C'線に沿った断面図である。なお、図3には主としてメモリセルを構成する導電層（プレート電極を除く）を示し、導電層間の絶縁膜やメモリセルの上部の配線は省略する。

#### 【0052】

本実施の形態のメモリセルおよび欠陥救済用の救済セルは、p型の半導体基板1の主面に形成されたp型ウエル2の活性領域Lに形成されている。メモリセルは、nチャネル型のメモリセル選択用MISFETQsとこれに直列に接続された情報蓄積用容量素子Cとで構成され、救済セルは、nチャネル型のメモリセル選択用MISFETQrとこれに直列

#### 【0053】

上記活性領域Lを囲む素子分離領域には、フィールド酸化膜3が周知の選択酸化（LOCOS）法によって形成されている。図示のように、本実施の形態のDRAMは、救済セルが形成された領域（救済セル領域）の素子分離幅、すなわちワード線WLの延在方向であるY方向に隣接する活性領域L同士の間隔が、通常のメモリセルが形成された領域（通常セル領域）の素子分離幅よりも大きい。通常セル領域の素子分離幅は例えば0.22 μmであり、救済セル領域の素子分離幅は例えば0.44 μm、すなわち通常セル領域の素子分離

#### 【0054】

上記フィールド酸化膜3の下部を含むp型ウエル2の内部には、基板濃度調整用のp型半導体層4が形成されている。図示のように、このp型半導体層（基板濃度調整層）4は、救済セルの活性領域下ではp型ウエル2の深い領域に形成され、通常セルの活性領域下では浅い領域に形成されている。p型半導体層4を深く形成することにより、接合部の不純物濃度は低くなる。従って、救済セルでは接合部の不純物濃度を単純に低くすることも可能である。

#### 【0055】

メモリセルのメモリセル選択用MISFETQsは、主としてゲート酸化膜5、ゲート電極6およびソース、ドレインを構成する一对のn型半導体領域7、7で構成されている。通常セル領域に形成された活性領域Lのそれぞれには、ソース、ドレインの一方を互いに共有する2個のメモリセル選択用MISFETQsがX方向に隣接して形成されている。同様に、救済セルのメモリセル選択用MISFETQrは、主としてゲート酸化膜5、ゲート電極6およびソース、ドレインを構成する一对のn型半導体領域7、7で構成されている。救済セル領域に形成された活性領域Lのそれぞれには、ソース、ドレインの一方を互いに共有する2個のメモリセル選択用MISFETQrがX方向に隣接して形成されている。通常セルのメモリセル選択用MISFETQsと救済セルのメモリセル選択用MISFETQrは、同一の寸法で構成されている。

#### 【0056】

10

20

30

40

50



メモリセル選択用MISFETQ<sub>s</sub>のソース、ドレイン(n型半導体領域7)の下部には、このソース、ドレインの接合電界を緩和するためのn型半導体層(電界緩和層)8が形成されている。また、メモリセル選択用MISFETQ<sub>r</sub>のソース、ドレイン(n型半導体領域7)の下部には、このソース、ドレインの接合電界を緩和するためのn型半導体層(電界緩和層)8<sub>r</sub>が形成されている。図示のように、救済セルの電界緩和層8<sub>r</sub>は、通常セルの電界緩和層8に比べてp型ウエルの深い領域に形成されている。電界緩和層8<sub>r</sub>の深さは、電界緩和層8の深さの2倍程度である。なお、電界緩和層(8、8<sub>r</sub>)は、ソース、ドレインのうち、ビット線BLが接続される側には形成しなくともよい。

【0057】

メモリセル選択用MISFETQ<sub>s</sub>のゲート電極6は、ワード線WLと一体に構成され、同一の幅、同一の間隔でY方向に沿って延在している。同様に、メモリセル選択用MISFETQ<sub>r</sub>のゲート電極6は、ワード線WLと一体に構成され、同一の幅、同一の間隔でY方向に沿って延在している。ゲート電極6(ワード線WL)の幅、すなわちゲート長は、例えば0.24μmであり、隣接する2本のゲート電極6の間隔は、例えば0.22μmである。

10

【0058】

上記ゲート電極6(ワード線WL)は、例えばP(リン)などのn型不純物がドーブされた低抵抗多結晶シリコン膜の上部にWSi<sub>2</sub>(タングステンシリサイド)膜を積層したポリサイド膜で構成されている。ゲート電極6(ワード線WL)の上部は窒化シリコン膜9で覆われており、この窒化シリコン膜9とゲート電極6(ワード線WL)の側壁には、窒化シリコン膜からなるサイドウォールスペーサ10が形成されている。ゲート電極6(ワード線WL)を覆う窒化シリコン膜9の上部には酸化シリコン膜11が形成され、その表面は半導体基板1の全域でほぼ同じ高さになるように平坦化されている。

20

【0059】

メモリセル選択用MISFETQ<sub>s</sub>、Q<sub>r</sub>のソース、ドレインを構成する一対のn型半導体領域7、7の上部には、酸化シリコン膜11を貫通してn型半導体領域7に達するコンタクトホール13、14が形成されている。これらのコンタクトホール13、14の内部には、n型不純物(例えばP(リン))がドーブされた低抵抗多結晶シリコン膜からなるプラグ15が埋め込まれている。コンタクトホール14は、X方向の径とY方向の径がほぼ同一である。これに対し、もう一方のコンタクトホール13は、Y方向の径がX方向の径よりも大きい略長方形の平面パターンで構成され、その一部は活性領域Lから外れてフィールド酸化膜3の上部にまで延在している。

30

【0060】

上記コンタクトホール13、14が形成された酸化シリコン膜11の上部には酸化シリコン膜16が形成され、さらにその上部にはビット線BLが形成されている。ビット線BLはフィールド酸化膜3の上部に配置され、同一の幅、同一の間隔でX方向に沿ってメモリアレイの端部まで延在している。ビット線BLの幅は、通常セル領域、救済セル領域ともに例えば0.14μmである。前記のように、救済セル領域の素子分離幅は通常セル領域の素子分離幅の2倍となっているため、救済セル領域に形成されたビット線BL同士の間隔も、通常セル領域に形成されたビット線BL同士の間隔より大きく、例えば2倍程度となっている。

40

【0061】

上記ビット線BLは、例えばn型不純物がドーブされた低抵抗多結晶シリコン膜の上部にWSi<sub>2</sub>(タングステンシリサイド)膜を積層したポリサイド膜で構成されている。通常セル領域のビット線BLは、酸化シリコン膜16に形成されたスルーホール17を通じて前記コンタクトホール13内のプラグ15と電氣的に接続され、さらにこのプラグ15を介して2個のメモリセル選択用MISFETQ<sub>s</sub>によって共有されるn型半導体領域7(ソース、ドレインの一方)と電氣的に接続されている。同様に、救済セル領域のビット線BLは、酸化シリコン膜16に形成されたスルーホール17を通じて前記コンタクトホール13内のプラグ15と電氣的に接続され、さらにこのプラグ15を介して2個のメモリ

50

セル選択用MISFETQrによって共有されるn型半導体領域7(ソース、ドレインの一方)と電氣的に接続されている。

#### 【0062】

上記ビット線BLの上部には酸化シリコン膜18が形成されている。酸化シリコン膜18は、その表面が半導体基板1の全域でほぼ同じ高さになるように平坦化されている。酸化シリコン膜18の上部には、情報蓄積用容量素子Cが形成されている。通常セルの情報蓄積用容量素子Cは、下層から順に下部電極(蓄積電極)20、容量絶縁膜21および上部電極(プレート電極)22を積層したスタックド構造で構成されている。同様に、救済セルの情報蓄積用容量素子Cも、下部電極(蓄積電極)20r、容量絶縁膜21および上部電極(プレート電極)22を積層したスタックド構造で構成されている。下部電極20、20rと上部電極22は、例えばP(リン)がドーブされた低抵抗多結晶シリコン膜で構成され、容量絶縁膜21は、例えば酸化タンタル(Ta<sub>2</sub>O<sub>5</sub>)などの高誘電体膜で構成されている。

10

#### 【0063】

情報蓄積用容量素子Cの下部電極20、20rは、X方向に沿って延在する細長いパターンで構成されている。通常セルの下部電極20の寸法は、例えばX方向が0.77μm、Y方向が0.31μmである。また、隣接する下部電極20同士の間隔は、例えばX方向、Y方向共に0.15μmである。一方、救済セルの下部電極20rの寸法は、例えばX方向が0.77μm、Y方向が0.62μmである。また、隣接する下部電極20r同士の間隔は、例えばX方向、Y方向共に0.15μmである。この場合、救済セルの下部電極20rの占有面積は、通常セルの下部電極20より大きく、例えば2倍となる。

20

#### 【0064】

上記下部電極20、20rのそれぞれの下部には、酸化シリコン膜18、16を貫通して前記コンタクトホール14に達するスルーホール23が形成され、その内部にはn型不純物(例えばP(リン))がドーブされた低抵抗多結晶シリコン膜からなるプラグ24が埋め込まれている。通常セルの下部電極20は、スルーホール23内のプラグ24およびコンタクトホール14内のプラグ15を介してメモリセル選択用MISFETQsのソース、ドレインの他方と電氣的に接続されている。同様に、救済セルの下部電極20rは、スルーホール23内のプラグ24およびコンタクトホール14内のプラグ15を介してメモリセル選択用MISFETQrのソース、ドレインの他方と電氣的に接続されている。

30

#### 【0065】

上記情報蓄積用容量素子Cの上部には酸化シリコン膜25が形成され、さらにその上部にはメタル配線26A、26Bが形成されている。メタル配線26A、26Bは、例えばTiN膜、Al合金膜およびTiN膜を積層した多層構造で構成されている。メタル配線26A、26Bの上部には層間絶縁膜が形成され、さらにその上部には1~2層程度のメタル配線が形成されているが、それらの図示は省略する。

#### 【0066】

次に、上記メモリセルおよび救済セルの製造方法の一例を図6~図24を用いて工程順に説明する。なお、以下の図においてその下部にA、A'の符号を付した断面図は、全て図6のA-A'線に沿った断面図、B、B'、C、C'の符号を付したものは、全て図6のB-B'線とC-C'線に沿った断面図である。

40

#### 【0067】

まず、図6および図7に示すように、選択酸化(LOCOS)法を用いて半導体基板1の表面に素子分離用のフィールド酸化膜3とそれに囲まれた島状の活性領域Lを形成する。このとき、救済セル領域の素子分離幅(ワード線WLの延在方向の素子分離幅)を通常セル領域の素子分離幅(W)の2倍(2W)とする。このようにした場合、救済セル領域のフィールド酸化膜3は、通常セル領域のフィールド酸化膜3に比べて幾分厚い膜厚となる。これは、救済セル領域に比べて素子分離幅の狭い通常セル領域においては、選択酸化の際に酸化のマスクとなる窒化シリコン膜から加わる圧縮応力が大きいために、この領域のフィールド酸化膜の成長速度が遅くなるためである。

50

## 【0068】

次に、図8に示すように、半導体基板1にB（ホウ素）をイオン打ち込みした後、半導体基板1を熱処理してBを拡散させることにより、p型ウエル2と基板濃度調整用のp型半導体層4とを形成する。p型ウエル2を形成するためのBのイオン打ち込み条件は、例えば通常セル領域が加速エネルギー300keV、ドーズ量 $1 \times 10^{13}$ atoms/cm<sup>2</sup>、救済セル領域が400keV、ドーズ量 $1 \times 10^{13}$ atoms/cm<sup>2</sup>とする。また、p型半導体層4を形成するためのイオン打ち込み条件は、例えば通常セル領域が加速エネルギー150keV、ドーズ量 $7 \times 10^{12}$ atoms/cm<sup>2</sup>および加速エネルギー40keV、ドーズ量 $1 \times 10^{12}$ atoms/cm<sup>2</sup>、救済セル領域が加速エネルギー250keV、ドーズ量 $7 \times 10^{12}$ atoms/cm<sup>2</sup>および加速エネルギー60keV、ドーズ量 $1 \times 10^{12}$ atoms/cm<sup>2</sup>とする。このとき同時に、メモリセル選択用MISFET（Qs、Qr）のしきい値電圧（Vth）を調整するためのBのイオン打ち込みを、例えば加速エネルギー10keV、ドーズ量 $5 \times 10^{12}$ atoms/cm<sup>2</sup>の条件で行う。

10

## 【0069】

あるいは、上記のイオン打ち込み条件に代えて、まず通常セル領域および救済セル領域に加速エネルギー300keV、ドーズ量 $1 \times 10^{13}$ atoms/cm<sup>2</sup>、加速エネルギー150keV、ドーズ量 $2 \times 10^{12}$ atoms/cm<sup>2</sup>、加速エネルギー40keV、ドーズ量 $1 \times 10^{12}$ atoms/cm<sup>2</sup>の条件でB（ホウ素）をイオン打ち込みし、次いで通常セル領域のみに加速エネルギー150keV、ドーズ量 $5 \times 10^{12}$ atoms/cm<sup>2</sup>の条件でBをイオン打ち込みしてもよい。

20

## 【0070】

次に、図9および図10に示すように、活性領域Lのp型ウエル2の表面にメモリセル選択用MISFETQs、Qrのゲート酸化膜5を形成し、さらにその上部にゲート電極6（ワード線WL）を形成する。ゲート酸化膜5は、p型ウエル2の表面を800～900で湿式酸化して形成する。また、ゲート電極6（ワード線WL）は、半導体基板1上にP（リン）をドーブした多結晶シリコン膜、WSi<sub>2</sub>（タングステンシリサイド）膜および窒化シリコン膜9をCVD法で順次堆積した後、フォトレジスト膜をマスクにしたエッチングでこれらの膜をパターニングして形成する。

## 【0071】

次に、図11および図12に示すように、p型ウエル2にメモリセル選択用MISFETQs、Qrのn型半導体領域7'（ソース、ドレイン）を形成する。n型半導体領域7'は、例えばp型ウエル2に加速エネルギー20keV、ドーズ量 $2 \times 10^{13}$ atoms/cm<sup>2</sup>の条件でP（リン）をイオン打ち込みして形成する。

30

## 【0072】

次に、図13に示すように、ゲート電極6（ワード線WL）の側壁にサイドウォールスペーサ10を形成する。サイドウォールスペーサ10は、半導体基板1上にCVD法で堆積した窒化シリコン膜を異方性エッチングして形成する。

## 【0073】

次に、図14～図16に示すように、半導体基板1上にCVD法で酸化シリコン膜11を堆積し、次いでその表面を化学的機械研磨法で平坦化した後、フォトレジスト膜をマスクして酸化シリコン膜11をドライエッチングすることにより、メモリセル選択用MISFETQs、Qrのn型半導体領域7'（ソース、ドレイン）の上部にコンタクトホール13、14を形成する。コンタクトホール13は、Y方向の径がX方向の径よりも大きくなるような略長方形のマスクパターンで形成し、コンタクトホール14は、Y方向の径とX方向の径がほぼ同じ略正方形のマスクパターンで形成する。酸化シリコン膜11のドライエッチングは、酸化シリコン膜に対する窒化シリコン膜のエッチングレートが小さくなるような条件で行い、ゲート電極6（ワード線WL）の上部の窒化シリコン膜9と側壁のサイドウォールスペーサ10が深く削れないようにする。これにより、コンタクトホール13、14がゲート電極6（ワード線WL）に対して自己整合で形成される。

40

## 【0074】

50

次に、図 17 および図 18 に示すように、コンタクトホール 13、14 を通じて p 型ウエル 2 に P (リン) をイオン打ち込みすることにより、メモリセル選択用 MISFET Qs の n 型半導体領域 7' (ソース、ドレイン) よりも深い領域の p 型ウエル 2 に電界緩和用の n 型半導体層 (電界緩和層) 8 を形成し、メモリセル選択用 MISFET Qr の n 型半導体領域 7' (ソース、ドレイン) よりも深い領域の p 型ウエル 2 に電界緩和用の n 型半導体層 (電界緩和層) 8r を形成する。このとき、通常セル領域の p 型ウエル 2 には、例えば加速エネルギー 100 keV、ドーズ量  $2 \times 10^{13}$  atoms/cm<sup>2</sup> の条件で P (リン) をイオン打ち込みし、救済セル領域の p 型ウエル 2 には、例えば加速エネルギー 150 keV、ドーズ量  $1 \times 10^{13}$  atoms/cm<sup>2</sup> の条件で P (リン) をイオン打ち込みすることにより、救済セル領域の n 型半導体層 (電界緩和層) 8r を通常セル領域の n 型半導体層 (電界緩和層) 8 よりも 2 倍程度深く形成する。

10

#### 【0075】

上記 n 型半導体層 (電界緩和層) 8、8r は、次の工程でコンタクトホール 13、14 の内部に埋め込まれるプラグ 15 の材料である多結晶シリコン膜中の n 型不純物 (例えば P (リン)) を n 型半導体領域 7' 中に拡散して得られる高不純物濃度の n 型半導体領域と p 型ウエル 2 との間の不純物プロファイルを滑らかにして両者間の電界を緩和するために形成する。

#### 【0076】

次に、図 19 および図 20 に示すように、コンタクトホール 13、14 の内部にプラグ 15 を形成する。プラグ 15 は、酸化シリコン膜 11 の上部に n 型不純物 (例えば P (リン)) をドーブした多結晶シリコン膜を CVD 法で堆積し、その後、この多結晶シリコン膜を化学的機械研磨法で研磨してコンタクトホール 13、14 の内部に残すことにより形成する。その後、約 850 の熱処理を行うことにより、プラグ 15 を構成する多結晶シリコン膜中の n 型不純物をコンタクトホール 13、14 の底部から n 型半導体領域 7' (ソース、ドレイン) 中に拡散させて高不純物濃度の n 型半導体領域 7 (ソース、ドレイン) を形成する。

20

#### 【0077】

次に、図 21 および図 22 に示すように、酸化シリコン膜 11 の上部に CVD 法で酸化シリコン膜 16 を堆積し、フォトレジスト膜をマスクにしたドライエッチングでコンタクトホール 13 の上部の酸化シリコン膜 16 にスルーホール 17 を形成した後、酸化シリコン膜 16 の上部にビット線 BL を形成する。通常セル領域のビット線 BL は、スルーホール 17 およびその下部のコンタクトホール 13 を通じてメモリセル選択用 MISFET Qs の n 型半導体領域 7 (ソース、ドレイン) の一方と電気的に接続される。また、救済セル領域のビット線 BL は、スルーホール 17 およびその下部のコンタクトホール 13 を通じてメモリセル選択用 MISFET Qr の n 型半導体領域 7 (ソース、ドレイン) の一方と電気的に接続される。

30

#### 【0078】

次に、図 23 および図 24 に示すように、ビット線 BL の上部に CVD 法で酸化シリコン膜 18 を堆積し、フォトレジスト膜をマスクにしたドライエッチングでコンタクトホール 14 の上部の酸化シリコン膜 18 にスルーホール 23 を形成する。次いで、スルーホール 23 の内部にプラグ 24 を埋め込んだ後、酸化シリコン膜 18 の上部に情報蓄積用容量素子 C を形成する。プラグ 24 は、例えば酸化シリコン膜 18 の上部に n 型不純物 (例えば P (リン)) をドーブした多結晶シリコン膜を CVD 法で堆積し、その後、この多結晶シリコン膜を化学的機械研磨法で研磨してスルーホール 23 の内部に残すことにより形成する。情報蓄積用容量素子 C を形成するには、まず酸化シリコン膜 18 の上部に P (リン) をドーブした低抵抗多結晶シリコン膜を CVD 法で堆積し、次いでフォトレジスト膜をマスクにしたドライエッチングでこの多結晶シリコン膜をパターニングして下部電極 (蓄積電極) 20 を形成する。次に、下部電極 (蓄積電極) 20 の上部に CVD 法で酸化タンタル膜と、P (リン) をドーブした低抵抗多結晶シリコン膜とを堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングして容量絶縁膜 21 お

40

50

よび上部電極（プレート電極）22を形成する。

【0079】

その後、情報蓄積用容量素子Cの上部にCVD法で酸化シリコン膜25を堆積し、次いで酸化シリコン膜25の上部にスパッタリング法でTiN膜、Al合金膜およびTiN膜を順次堆積した後、フォトリソ膜をマスクにしたドライエッチングでこれらの膜をパターンニングしてメタル配線26A、26Bを形成することにより、前記図3～図5に示すメモリセル（通常セルおよび救済セル）が完成する。

【0080】

上記のように構成された本実施の形態のDRAMによれば、救済セルの電界緩和層8rの深さを通常セルの電界緩和層8よりも深く（例えば2倍程度）することにより、救済セルのソース、ドレイン（n型半導体領域7）の空乏層を通常セルのソース、ドレイン（n型半導体領域7）のそれよりも広げる（例えば2倍程度）ことができるので、救済セルの接合電界を通常セルのそれよりも低減（例えば半分程度）することができる。

10

【0081】

この結果、通常セルでは最短の情報保持時間が100msecであったのに対し、救済セルでは最短の情報保持時間を500msec程度まで長くすることができた。また、300ビット分を救済する場合、リフレッシュ時間の規格が250msecのときの製品不良率を対策前の10%から0.2%にまで低減することができた。なお、製品不良率が10%という値は無視できるものではない。

【0082】

本実施の形態のDRAMによれば、救済セルに接続されるビット線BLの間隔を通常セルに接続されるビット線BLの間隔よりも大きく（例えば2倍程度）することができるので、救済セルに接続されるビット線BLの容量を通常セルに接続されるビット線BLの容量よりも低減（例えば30%程度）することができる。

20

【0083】

また、本実施の形態のDRAMによれば、救済セルの下部電極20rの占有面積を通常セルの下部電極20のよりも大きく（例えば2倍程度）することができるので、救済セルの電荷蓄積容量を通常セルの電荷蓄積容量よりも大きく（例えば1.5倍程度）することができる。

【0084】

これらの結果、通常セルでは最短の情報保持時間が100msecであったのに対し、救済セルでは最短の情報保持時間を700msec程度まで長くすることができた。また、300ビット分を救済する場合、リフレッシュ時間の規格が250msecのときの製品不良率を対策前の10%から0.1%にまで低減することができた。この程度の製品不良率は、ほとんど無視できる程度のものである。

30

【0085】

なお、救済セル領域の素子分離幅を通常セル領域の素子分離幅の2倍にした場合のチップサイズの増加分は0.05%程度であり、ほとんど無視できる程度のものである。

【0086】

（実施の形態2）

図25は、本実施の形態のDRAMの一部（通常メモリセルが形成された領域と救済セルが形成された領域）を示す半導体基板の断面図である。

40

【0087】

本実施の形態のDRAMは、前記実施の形態1と同様、救済セル領域の素子分離幅を通常セル領域の素子分離幅よりも大きく、例えば2倍程度にする。このようにした場合、前記のように救済セル領域のフィールド酸化膜3は、通常セル領域のフィールド酸化膜3に比べて幾分厚い膜厚となるため、このフィールド酸化膜3の直下において寄生MOSが動作し難くなる。すなわち、フィールド酸化膜3の膜厚を厚くした場合には、その下部におけるp型ウエル2の不純物濃度を低くしても、素子分離能力が低下し難い。

【0088】

50

そこで本実施の形態では、電界緩和層 8 の深さを通常セル領域と救済セル領域とでほぼ同一とし、救済セル領域のフィールド酸化膜 3 下に形成される p 型半導体層（基板濃度調整層）4 の不純物濃度を、通常セル領域のフィールド酸化膜 3 下に形成される p 型半導体層（基板濃度調整層）4 のそれよりも低くする。これにより、救済セルの素子分離領域端部における接合電界を緩和することができるので、救済セルのリフレッシュ時間を長くすることができる。

【0089】

例えば救済セル領域のフィールド酸化膜 3 下の不純物濃度を通常セル領域の不純物濃度の 3 分の 1 程度（ドーズ量  $2.5 \times 10^{12}$  atoms/cm<sup>2</sup>）にした場合、救済セルの接合電界を通常セルの 40% 程度まで低減することができた。この結果、通常セルでは最短の情報保持時間が 100 msec であったのに対し、救済セルでは最短の情報保持時間を 300 msec 程度まで長くすることができた。また、図 26 に示すように、300 ビット分を救済する場合、リフレッシュ時間の規格が 250 msec のときの製品不良率を対策前の 1 ~ 10%（約 5%）から 1% 未満（約 0.2%）にまで低減することができた。

10

【0090】

（実施の形態 3）

前記実施の形態 1、2 では救済セル領域の素子分離幅を通常セル領域の素子分離幅の 2 倍にすることによって、救済セルに接続されるビット線 BL の間隔を通常セルに接続されるビット線 BL の間隔の 2 倍程度にすると共に、救済セルの下部電極 20r の占有面積を通常セルの下部電極 20 の 2 倍にする。

20

【0091】

このようにすると、救済セルを製造する際のリソグラフィ工程において、所望の構造を形成するのに必要なパターンの最適化条件が非常に狭い範囲となり、加工マージンが小さくなる。これに対し、救済セル領域の素子分離幅を通常セル領域の素子分離幅により近づけた場合は、所望の構造を形成するのに必要なパターンの最適化条件が広い範囲となり、加工マージンを大きくすることができる。

【0092】

そこで、本実施の形態では、図 27 に示すように、救済セル領域の素子分離幅を通常セル領域の素子分離幅（W）の 1.5 倍にして救済セルおよび通常セルを製造する。これにより、前記実施の形態 1 では通常セルの 2 倍程度の深さであった救済セルの電界緩和層の深さを 1.5 倍程度にしてその接合電界を通常セルの 70% 程度まで低減した場合、通常セルでは最短の情報保持時間が 100 msec であったのに対し、救済セルでは最短の情報保持時間を 300 msec 程度まで長くすることができた。また、前記規格が 250 msec のときの製品不良率を 0.5% にまで低減することができた。

30

【0093】

また、前記実施の形態 1 では通常セルの 2 倍程度であった救済セルのビット線間隔を 1.5 倍程度にしてその接合電界を通常セルの 80% 程度にまで低減し、かつ救済セルの下部電極の占有面積を通常セルの下部電極の 1.5 倍程度にしてその電荷蓄積容量を通常セルの 1.2 倍程度にした場合、救済セルの最短の情報保持時間を 400 msec 程度まで長くすることができた。また、前記規格が 250 msec のときの製品不良率を 0.3% にまで低減することができた。

40

【0094】

さらに、前記実施の形態 2 では通常セル領域の 3 分の 1 であった救済セル領域のフィールド酸化膜 3 下の不純物濃度を 2 分の 1 にした場合、救済セルの最短の情報保持時間を 250 msec 程度まで長くすることができた。また、前記規格が 250 msec のときの製品不良率を 1% にまで低減することができた。

【0095】

なお、救済セル領域の素子分離幅を通常セル領域の素子分離幅の 1.5 倍にした場合のチップサイズの増加率は 0.03% 程度であり、ほとんど無視できる程度のものである。

【0096】

50

(実施の形態4)

図28は、本実施の形態のDRAMの一部(通常メモリセルが形成された領域と救済セルが形成された領域)を示す半導体基板の平面図、図29は、図28のA-A'線に沿った断面図である。

【0097】

本実施の形態は、救済セルの活性領域幅(ワード線WLの延在方向の活性領域幅)を通常セルの活性領域幅よりも大きくする(例えば2倍程度)。同図には、活性領域とコンタクトホール14の合わせずれ量が0の場合を示しているが、活性領域の短辺方向の幅がリソグラフィの解像限界程度まで微細になると、最大でこの幅の3割程度の合わせずれが生じるようになる。この場合、コンタクトホール14の径(ワード線WLの延在方向の径)は、活性領域幅とほぼ同等であるため、図30に示すように、コンタクトホール14の形成時に活性領域端部近傍のフィールド酸化膜3に削れが生じる。そのため、コンタクトホール14に埋め込んだ多結晶シリコンのプラグ15からの不純物拡散によって形成される高不純物濃度のn型半導体領域7が深くなってしまふ。その結果、フィールド酸化膜3下のp型半導体層4の不純物濃度を高くすることによって素子分離特性を維持する必要が生じ、活性領域端部の接合電界が高くなってしまふ。

10

【0098】

本実施の形態のDRAMによれば、救済セルの活性領域幅を通常セルの活性領域幅よりも大きくすることにより、活性領域とコンタクトホール14の合わせずれが生じた場合でも、活性領域端部近傍のフィールド酸化膜3に削れが生じることがないので、高不純物濃度のn型半導体領域7を浅く形成することができる。これにより、セルサイズを微細化してもフィールド酸化膜3下のp型半導体層4との距離を十分に確保することができるので、n型半導体領域7の端部の接合電界を低減して救済セルのリフレッシュ時間を長くすることができる。

20

【0099】

例えば救済セル領域のフィールド酸化膜3下に形成されたp型半導体層4の不純物濃度およびn型半導体領域7の深さをそれぞれ通常セル領域の2分の1にした場合、救済セルの接合電界を通常セルの70%程度まで低減することができた。この結果、救済セルの最短の情報保持時間を250msec程度まで長くすることができた。また、前記規格での製品不良率を1%程度にまで低減することができた。

30

【0100】

なお、救済セルの活性領域幅を通常セルの活性領域幅よりも大きくしたときに、コンタクトホール14の寸法形状を救済セルと通常セルとで同じにした場合は、コンタクトホール14のピッチ(ワード線WLの延在方向のピッチ)が救済セル領域と通常セル領域とで異なってくるため、コンタクトホール14を形成する際のリソグラフィ工程において、所望の寸法形状を得るための最適化条件が非常に狭い範囲となり、救済セル領域のコンタクトホール14の径が通常セル領域のそれよりも大きくなることもある。この結果、救済セル領域において、活性領域端部近傍のフィールド酸化膜3に削れが生じ、前述したようにn型半導体領域7の端部の接合電界が増大してしまふ。

【0101】

その対策として、例えば図31に示すように、救済セルのコンタクトホール14を、X方向(ビット線BLの延在方向)の径がY方向(ワード線WLの延在方向)の径よりも大きい略長方形のマスクパターンで形成する。これにより、所望の形状寸法を得るのに必要なパターンの最適化条件が広い範囲となるので、コンタクトホール14のY方向の径をほぼ設計値通りの寸法にすることができ、前述したフィールド酸化膜3の削れを防止することができる。

40

【0102】

この結果、救済セルの接合電界を通常セルのそれよりも低減(例えば35%程度)することができた。また、通常セルでは最短の情報保持時間が100msecであったのに対し、救済セルでは最短の情報保持時間を280msec程度まで長くすることができた。また、30

50

0ビット分を救済する場合、リフレッシュ時間の規格が250 msecのときの製品不良率を対策前の10%から0.7~0.8%にまで低減することができた。

【0103】

他方、救済セルの活性領域幅を通常セルの活性領域幅よりも大きくしたときに、コンタクトホール14の寸法形状を救済セルと通常セルとで同じにした場合、救済セル領域のコンタクトホール14の径が通常セル領域のそれよりも小さくなることもある。この場合は、コンタクトホール14を形成するためのドライエッチングが不十分になり易く、下部電極(蓄積電極)20とn型半導体領域7とが非導通になることがある。

【0104】

救済セルのコンタクトホール14を、X方向の径がY方向の径よりも大きい略長方形のマスクパターンで形成する本実施の形態によれば、所望の形状寸法を得るのに必要なパターンの最適化条件が広い範囲となるので、コンタクトホール14のY方向の径をほぼ設計値通りの寸法にすることができ、前述したフィールド酸化膜3の削れを防止することができる。これにより、所望の形状寸法を得るのに必要なパターンの最適化条件が広い範囲となるので、下部電極(蓄積電極)20とn型半導体領域7とが非導通になる確率を低減し、情報保持特性以外の不良原因による製品不良率の増加を防止することができる。

【0105】

(実施の形態5)

図32は、本実施の形態のDRAMの一部(通常メモリセルが形成された領域と救済セルが形成された領域)を示す半導体基板の平面図である。

【0106】

本実施の形態は、救済セル領域の素子分離幅(ワード線WLの延在方向の幅)を通常セル領域の素子分離幅の1.5倍にすると共に、救済セルの活性領域幅(ワード線WLの延在方向の幅)を通常セルの活性領域幅の1.5倍にする。

【0107】

これにより、救済セルの電界緩和層の深さを通常セルの1.5倍程度、n型半導体領域(ソース、ドレイン)の深さを通常セルの2分の1程度、電荷蓄積容量を通常セルの1.5倍程度、ビット線容量を通常セルの3分の2程度、フィールド酸化膜下の基板の不純物濃度を通常セルの2分の1程度にそれぞれ設定した場合、救済セルの最短の情報保持時間を800 msec程度まで長くすることができた。また、前記規格での製品不良率を0.1%以下にまで低減することができた。

【0108】

(実施の形態6)

本実施の形態のDRAMは、救済セルのメモリセル選択用MISFETQrのゲート電極6(ワード線WL)の側壁に形成したサイドウォールスペーサの膜厚を、通常セルのメモリセル選択用MISFETQsのゲート電極6(ワード線WL)の側壁に形成したサイドウォールスペーサの膜厚よりも大きくする。また、救済セルのメモリセル選択用MISFETQrのゲート酸化膜5の膜厚を、通常セルのメモリセル選択用MISFETQsのゲート酸化膜5よりも大きくする。

【0109】

本実施の形態の通常セルおよび救済セルの製造方法を図33~図46を用いて説明する。これらの図において、(a)は通常セル領域の断面図、(b)は救済セル領域の断面図である。

【0110】

まず、図33に示すように、半導体基板1をエッチングして溝30aを形成した後、図34に示すように、半導体基板1上にCVD法で堆積した酸化シリコン膜31を化学的機械研磨法で研磨して溝30aの内部に残すことにより素子分離溝30を形成する。

【0111】

次に、図35に示すように、半導体基板1に300 keV、 $1 \times 10^{13}$  atoms/cm<sup>2</sup>、150 keV、 $2 \times 10^{12}$  atoms/cm<sup>2</sup>、40 keV、 $1 \times 10^{12}$  atoms/cm<sup>2</sup>、10 keV、5

10

20

30

40

50



$\times 10^{12}$  atoms/cm<sup>2</sup> の条件でB（ホウ素）をイオン打ち込みしてp型半導体層（基板濃度調整層）4を形成した後、図36に示すように、半導体基板1を湿式酸化して活性領域の表面に膜厚10nm程度のゲート酸化膜5aを形成する。

【0112】

次に、図37に示すように、救済セル領域の表面をフォトレジスト膜40で覆い、通常セル領域のゲート酸化膜5aをウェットエッチングで除去した後、図38に示すように、半導体基板1をもう一度湿式酸化して通常セル領域に膜厚8nm程度のゲート酸化膜5bを形成する。この酸化によって救済セル領域のゲート酸化膜5aも成長するため、その膜厚が13nm程度となる。すなわち、救済セル領域のゲート酸化膜5aは、通常セル領域のゲート酸化膜5bよりも厚くなる。

10

【0113】

次に、図39に示すように、通常セル領域のゲート酸化膜5bの上部にメモリセル選択用MISFETQsのゲート電極6（ワード線WL）を形成し、救済セル領域のゲート酸化膜5bの上部にメモリセル選択用MISFETQrのゲート電極6（ワード線WL）を形成する。これらのゲート電極6（ワード線WL）は、半導体基板1上にP（リン）をドーブした多結晶シリコン膜、WSi<sub>2</sub>（タングステンシリサイド）膜および窒化シリコン膜9をCVD法で順次堆積した後、フォトレジスト膜をマスクにしたエッチングでこれらの膜をパターニングして形成する。その後、半導体基板1にP（リン）をイオン打ち込みして、メモリセル選択用MISFETQs、Qrのn型半導体領域7'（ソース、ドレイン）を形成する。

20

【0114】

次に、図40に示すように、半導体基板1上にCVD法で膜厚50nm程度の窒化シリコン膜9aを堆積した後、図41に示すように、救済セル領域の表面をフォトレジスト膜41で覆い、通常セル領域の窒化シリコン膜9aを異方性エッチングすることにより、メモリセル選択用MISFETQsのゲート電極6（ワード線WL）の側壁に膜厚30nm程度のサイドウォールスペーサ10aを形成する。

【0115】

次に、図42に示すように、半導体基板1上にCVD法で膜厚30nm程度の窒化シリコン膜9bを堆積した後、図43に示すように、窒化シリコン膜9bおよび救済セル領域の窒化シリコン膜9aを異方性エッチングすることにより、メモリセル選択用MISFETQrのゲート電極6（ワード線WL）の側壁に膜厚70nm程度のサイドウォールスペーサ10bを形成する。このとき、通常セルのゲート電極6（ワード線WL）の側壁に形成されたサイドウォールスペーサ10aは、膜厚が50nm程度になる。すなわち、救済セル領域のサイドウォールスペーサ10bは、通常セル領域のサイドウォールスペーサ10aよりも厚くなる。

30

【0116】

次に、図44に示すように、半導体基板1上にCVD法で堆積した酸化シリコン膜11をエッチングしてコンタクトホール13を形成した後、酸化シリコン膜11の上部に堆積した導電膜、例えばP（リン）をドーブした多結晶シリコン膜とWSi<sub>2</sub>（タングステンシリサイド）膜をパターニングしてビット線BLを形成する。

40

【0117】

次に、図45に示すように、半導体基板1上にCVD法で堆積した酸化シリコン膜12およびその下部の酸化シリコン膜11をエッチングしてコンタクトホール14を形成した後、コンタクトホール14を通じて半導体基板1にP（リン）をイオン打ち込みすることにより、メモリセル選択用MISFETQs、Qrのそれぞれのn型半導体領域7'（ソース、ドレイン）の下部に電界緩和用のn型半導体層（電界緩和層）8を形成する。

【0118】

その後、図46に示すように、コンタクトホール14の内部に多結晶シリコンのプラグ15を形成し、次いで半導体基板1を熱処理してこの多結晶シリコン膜中のn型不純物（例えばP（リン））をn型半導体領域7'中に拡散して高不純物濃度のn型半導体領域7（

50

ソース、ドレイン)を形成した後、プラグ15の上部に情報蓄積用容量素子Cを形成する。

【0119】

本実施の形態によれば、救済セルのゲート電極6の側壁のサイドウォールスペーサ10bを、通常セルのゲート電極6の側壁のサイドウォールスペーサ10aよりも厚い膜厚で形成することにより、コンタクトホール14内のプラグ15からの不純物拡散によって形成される高不純物濃度のn型半導体領域7とメモリセル選択用MISFETQrのゲート電極6(ワード線WL)との離間距離を大きくできる分、ゲート電極6の端部の接合電界を緩和できるので、救済セルの情報保持時間を長くすることができる。

【0120】

また、本実施の形態によれば、救済セルのメモリセル選択用MISFETQrのゲート酸化膜5aを通常セルのメモリセル選択用MISFETQsのゲート酸化膜5bよりも厚くすることにより、しきい値電圧( $V_{th}$ )の制御に必要な不純物層(チャネル領域)のp型不純物濃度を低減することができるので、ゲート電極6の端部の接合電界を緩和することができ、これにより、救済セルの情報保持時間を長くすることができる。

【0121】

本実施の形態では、救済セルのゲート電極6の側壁に形成したサイドウォールスペーサの膜厚を大きくすると同時にゲート酸化膜の膜厚を大きくしたが、いずれか一方のみによっても、救済セルの情報保持時間を長くするという効果は得られる。

【0122】

なお、半導体基板1をエッチングして形成した溝30aの内部に酸化シリコン膜31を埋め込む本実施の形態の素子分離構造は、前記実施の形態1~5のDRAMにも適用することができる。

【0123】

(実施の形態7)

図47は、本実施の形態のDRAMの一部(通常メモリセルが形成された領域と救済セルが形成された領域)を示す回路図である。

【0124】

図示のように、本実施の形態のDRAMは、救済に用いる冗長ビット線51一本あたりに接続される救済セルの数を、通常のビット線53一本あたりに接続される通常セルの数よりも少なくする。図中の符号55はワード線(WL)、61はセンスアンプである。

【0125】

本実施の形態によれば、ビット線容量に起因する信号電圧低下を防止できる分、救済セルの情報保持時間を長くすることができる。これにより、救済セルの最短の情報保持時間を200msec程度まで長くすることができた。また、前記規格での製品不良率を2%程度にまで低減することができた。なお、通常のビット線53に接続される通常セルの数を1とした場合に、冗長ビット線51一本に接続される救済セルの数を1/2や1/4といった割合に設定すると情報処理上都合がよい。

【0126】

また、本実施の形態によれば、図48に示すような回路で構成されるセンスアンプ61のpチャネルセンスアンプ610とnチャネルセンスアンプ611を図49に示すように配置することができる。これにより、救済セル領域のセンスアンプ61のレイアウトピッチを通常セル領域の2分の1になるので、センスアンプ61が微細化の妨げになることはない。

【0127】

(実施の形態8)

図50に示すように、本実施の形態のDRAMにおいて、救済に用いるセンスアンプ61には、注目ビット(例えばセル62)の情報の信号線である第1のビット線63とこの注目ビットの反対情報の信号線である第2のビット線64とが接続され、所定のワード線によって選択される2つのセルの一方(例えばセル62)が第1のビット線63に接続され

10

20

30

40

50

、もう一方のセル（例えばセル65）が第2のビット線64に接続されている。すなわち、救済セルは、1つの情報を2つのセル（例えばセル62とセル65）で保持するように構成されている。

【0128】

上記構成の具体例を図51に示す。この例では、救済に用いるセンスアンプ61に、注目ビット（例えばセル62）の情報の信号線である第1のビット線63とこの注目ビットの反対情報の信号線である第2のビット線64とが接続され、同時に選択される2本のワード線の一方は第1のビット線63に接続されたセル（例えばセル62）を選択し、他方は第2のビット線64に接続されたセル（例えばセル65）を選択する。

【0129】

上記構成のもう一つの具体例を図52に示す。この例では、救済に用いるセンスアンプ61に4本のビット線（例えばビット線63、64、73、74）が接続されている。4本のビット線のうち、2本のビット線（例えばビット線63、73）は注目ビット（例えばセル62）の情報の信号線であり、残り2本のビット線（例えばビット線64、74）は注目ビットの反対情報の信号線である。そして、同時に選択される2本のワード線の一方（例えばワード線66）は、注目ビットの情報の信号線である2本のビット線のいずれか（例えばビット線63）に接続されたセル（例えばセル62）を選択し、他方（例えばワード線67）は注目ビットの反対情報の信号線である2本のビット線のいずれか（例えばビット線74）に接続されたセル（例えばセル65）を選択する。

【0130】

上記の例では、次のような効果が得られる。まず、注目ビット（例えばセル62）の情報が“1”情報（プレート電極に対して蓄積電極が正に帯電した状態）の場合、接合逆バイアスが大きいために大きな接合リーク電流とキャパシタリーク電流とによって情報が破壊され、情報保持時間が短くなる。一方、注目ビットと同時に“0”情報（プレート電極に対して蓄積電極が負に帯電した状態）が書き込まれている注目ビット（例えばセル62）と逆相ビット（例えばセル65）では、キャパシタリーク電流によって情報が破壊されることになるが、接合リーク電流によって情報（電荷）が補充されるため、接合リーク電流よりキャパシタリーク電流の方が大きくなり限り情報は破壊されない。すなわち、1つの情報を2つの救済セル（例えばセル62とセル65）で保持する本実施の形態によれば、救済セルの不良率を通常セルの半分に低減することができる。

【0131】

上記の例では、“1”情報での接合リーク電流は10 fA/ビットであり、10 ppm 程度の確率で不良を引き起こす接合リーク電流は500 fA/ビットである。また、“1”情報でのキャパシタリーク電流は0.1 fA/ビットである。そのため、“1”情報は不良接合リークの有無に係わらず殆ど接合リーク電流によって破壊される。一方、“0”情報でのキャパシタリーク電流は0.1 fA/ビットであり、接合リーク電流は5 fA/ビットである。従って、注目ビット（セル62）が“1”情報の場合に接合リークによって情報が破壊され、ビット線63の電位を増幅できないとしても、注目ビット（セル65）と逆相の“0”情報が破壊されることはなく、ビット線64、74の電位を“0”情報まで増幅することができる。従って、ビット線63、73はビット線64、74と逆の“1”情報の電位になる。すなわち、注目ビット（セル62）の“1”情報が結果的に“1”情報に増幅されるため、情報は破壊されないということになる。しかし、“0”情報の場合でも約1 ppm の確率でキャパシタリーク電流が接合リーク電流より大きくなることもあるため、“0”情報が全く破壊されないということはない。

【0132】

上記の例では10 ppm 程度の確率で生じる“1”情報の不良を“0”情報で補い、約1 ppm の確率で生じる“0”情報の不良を“1”情報で補うため、両方の不良が同時に起こらない限り情報破壊には至らない。両方の不良が同時に起こる確率は $1 \times 10^{-10}$ 程度であり、300ビットの不良を300キロビットで救済したとしても、救済後の製品不良率は $1 \times 10^{-4}$ （0.01%）程度である。

10

20

30

40

50

## 【0133】

なお、救済セルの寸法は通常セルと同じにした。このとき、チップ面積の増加率は0.1%程度であった。また、リフレッシュ時間の規格を500 msecにして10000ビットの不良を救済したとしても、救済後の製品不良率は1%程度であると予想される。今後、集積度を増す毎に救済ビットの数が増えるという問題は、本実施の形態によってほぼ完全に解決できるといえる。

## 【0134】

図53は、通常セルの蓄積ノード部の不純物濃度プロファイルを示すグラフ、図54は、救済セルの蓄積ノード部の不純物濃度プロファイルを示すグラフである。ここでは、救済セルの電界緩和層の深さを通常セルのそれよりも1.5倍深くした場合について示している

10

## 【0135】

図54に示すように、リン(P)のイオン打ち込みによって形成した電界緩和層を通常セルよりも深く、かつ低濃度にした救済セルでは、リン濃度分布が緩やかになり、接合位置でのn型キャリア分布およびp型キャリア分布の傾斜が緩やかになる。従って、同じ逆方向電圧では空乏層の広がりが1.5倍程度まで大きくなり、その結果、電界が30%程度小さくなる。電界低減効果としては、キャリア分布の傾斜が緩やかになった分で10%程度、空乏層が広がった分で20%程度である。

## 【0136】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

20

## 【0137】

例えば前記実施の形態1~8の構成を適宜組み合わせた実施の形態も本発明に含まれることはもちろんである。

## 【0138】

## 【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

## 【0139】

本発明によれば、チップ面積の大幅な増大を招かずに、またプロセスの複雑化を招かずに、DRAMの救済セルのリフレッシュ時間を長くすることができるので、救済後の製品不良率を低減することができる。

30

## 【図面の簡単な説明】

【図1】本発明の実施の形態1であるDRAMのブロック図である。

【図2】本発明の実施の形態1であるDRAMの欠陥救済方法の説明図である。

【図3】本発明の実施の形態1であるDRAMを示す平面図である。

【図4】図3のA-A'線に沿った断面図である。

【図5】図3のB-B'線に沿った断面図である。

【図6】本発明の実施の形態1であるDRAMの製造方法を示す平面図である。

40

【図7】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。

【図8】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。

【図9】本発明の実施の形態1であるDRAMの製造方法を示す平面図である。

【図10】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。

【図11】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。

【図12】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。

【図13】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。

【図14】本発明の実施の形態1であるDRAMの製造方法を示す平面図である。

【図15】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。

【図16】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。

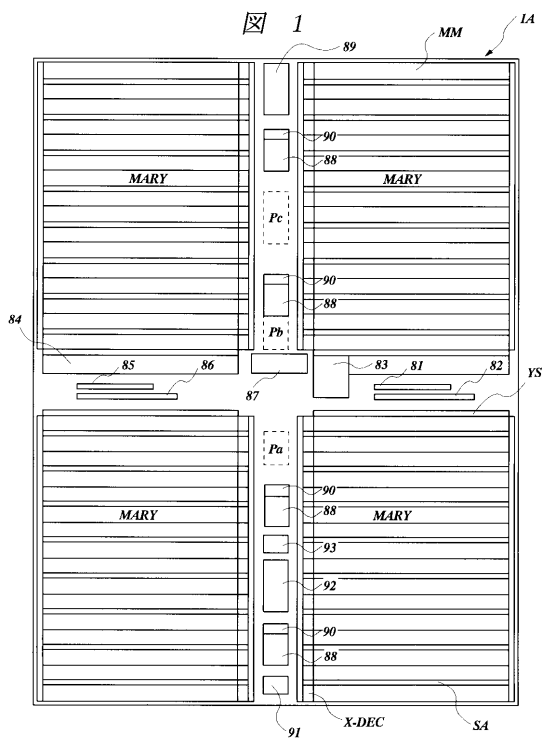
50

- 【図17】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。
- 【図18】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。
- 【図19】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。
- 【図20】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。
- 【図21】本発明の実施の形態1であるDRAMの製造方法を示す平面図である。
- 【図22】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。
- 【図23】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。
- 【図24】本発明の実施の形態1であるDRAMの製造方法を示す断面図である。
- 【図25】本発明の実施の形態2であるDRAMの断面図である。
- 【図26】本発明の実施の形態2であるDRAMの効果を説明するグラフである。 10
- 【図27】本発明の実施の形態3であるDRAMの素子分離パターンを示す平面図である。
- 。 【図28】本発明の実施の形態4であるDRAMを示す平面図である。
- 【図29】図28のA-A'線に沿った断面図である。
- 【図30】本発明の実施の形態4であるDRAMの一製造工程を示す断面図である。
- 【図31】本発明の実施の形態4であるDRAMを示す平面図である。
- 【図32】本発明の実施の形態5であるDRAMを示す平面図である。
- 【図33】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図34】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図35】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。 20
- 【図36】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図37】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図38】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図39】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図40】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図41】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図42】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図43】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図44】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図45】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。 30
- 【図46】本発明の実施の形態6であるDRAMの製造方法を示す断面図である。
- 【図47】本発明の実施の形態7であるDRAMの回路図である。
- 【図48】本発明の実施の形態7であるDRAMのセンスアンプの回路図である。
- 【図49】本発明の実施の形態7であるDRAMの回路図である。
- 【図50】本発明の実施の形態8であるDRAMの回路図である。
- 【図51】本発明の実施の形態8であるDRAMの回路図である。
- 【図52】本発明の実施の形態8であるDRAMの回路図である。
- 【図53】通常セルの蓄積ノード部の不純物濃度プロファイルを示すグラフである。
- 【図54】救済セルの蓄積ノード部の不純物濃度プロファイルを示すグラフである。
- 【符号の説明】 40
- 1 半導体基板
- 1A 半導体チップ
- 2 p型ウエル
- 3 フィールド酸化膜
- 4 p型半導体層(基板濃度調整層)
- 5 ゲート酸化膜
- 5a、5b ゲート酸化膜
- 6 ゲート電極
- 7 n型半導体領域(ソース、ドレイン)
- 7' n型半導体領域(ソース、ドレイン) 50

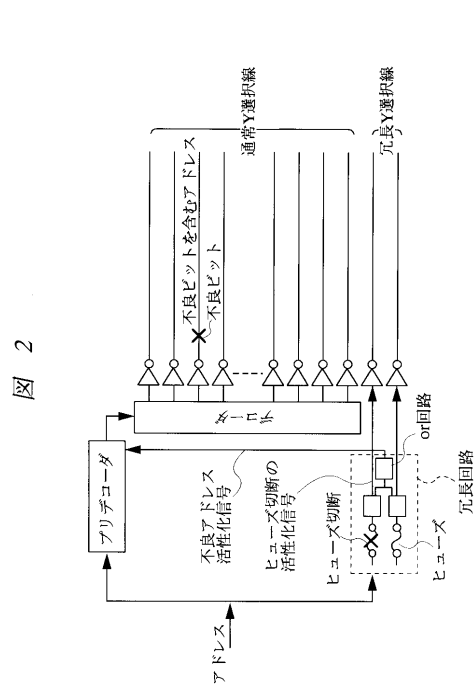
8	n型半導体層（電界緩和層）	
8 r	n型半導体層（電界緩和層）	
9	窒化シリコン膜	
9 a、9 b	窒化シリコン膜	
10	サイドウォールスペーサ	
10 a、10 b	サイドウォールスペーサ	
11	酸化シリコン膜	
12	酸化シリコン膜	
13	コンタクトホール	
14	コンタクトホール	10
15	プラグ	
16	酸化シリコン膜	
17	スルーホール	
18	酸化シリコン膜	
20	下部電極（蓄積電極）	
20 r	下部電極（蓄積電極）	
21	容量絶縁膜	
22	上部電極（プレート電極）	
23	スルーホール	
24	プラグ	20
25	酸化シリコン膜	
26 A、26 B	メタル配線	
30	素子分離溝	
30 a	溝	
31	酸化シリコン膜	
40	フォトレジスト膜	
41	フォトレジスト膜	
51	冗長ビット線	
53	ビット線	
61	センスアンプ	30
62	セル	
63	ビット線	
64	ビット線	
65	セル	
66	ワード線	
67	ワード線	
73	ビット線	
74	ビット線	
80	X系回路	
81	R A S系制御信号回路	40
82	W E系制御信号回路	
83	基準電圧発生回路	
84	Y系回路	
85	C A S系制御信号回路	
86	テスト回路	
87	内部降圧回路	
88	メインアンプ	
89	昇圧電圧発生回路	
90	内部降圧回路	
91	基板電圧発生回路	50

- 9 2 データ出力バッファ回路
- 9 3 データ入力バッファ回路
- 6 1 0 pチャネルセンスアンプ
- 6 1 1 nチャネルセンスアンプ
- B L ビット線
- C 情報蓄積用容量素子
- L 活性領域
- M A R Y メモリアレイ
- P a ~ P c パッドエリア
- Q r メモリセル選択用M I S F E T
- Q s メモリセル選択用M I S F E T
- S A センスアンプ
- W L ワード線
- X - D E C Xデコーダ
- Y S Y選択回路

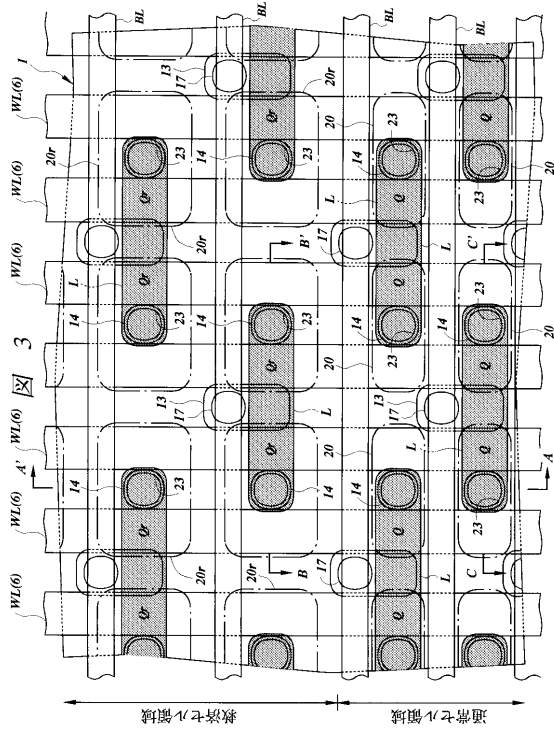
【 図 1 】



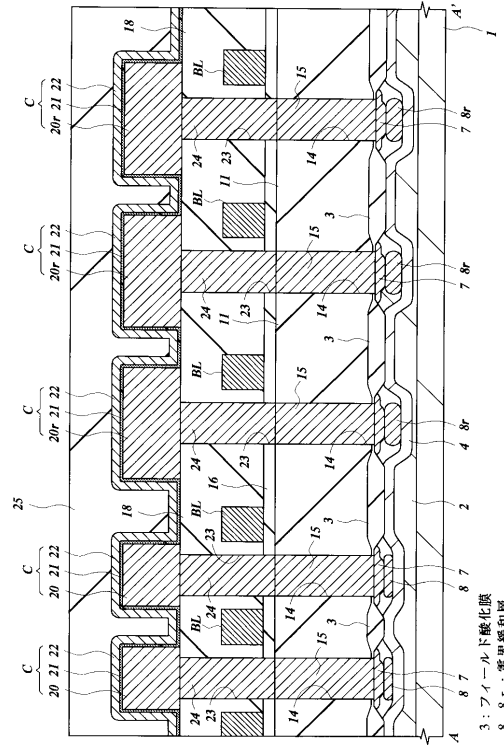
【 図 2 】



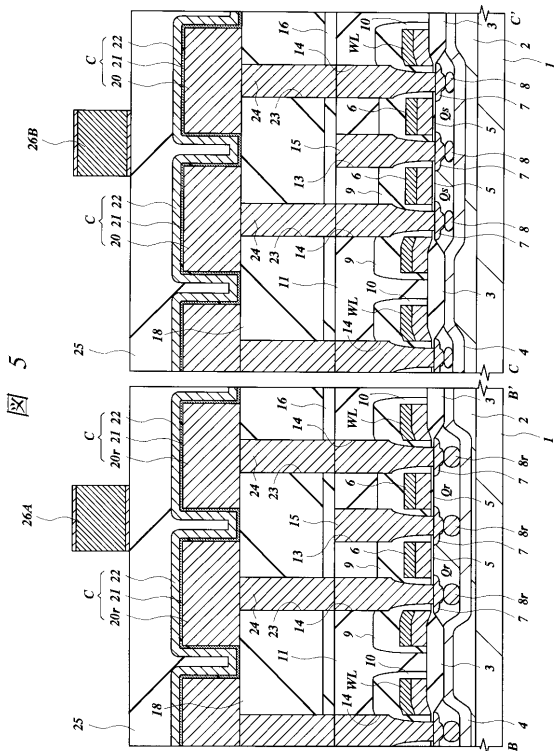
【 図 3 】



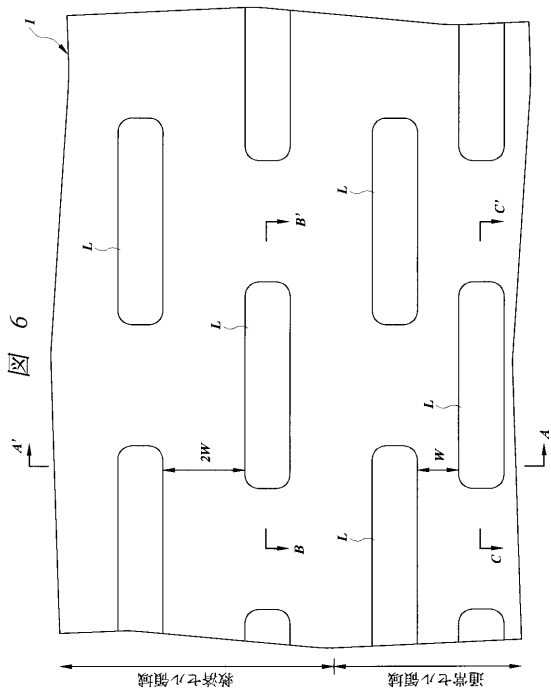
【 図 4 】



【 図 5 】



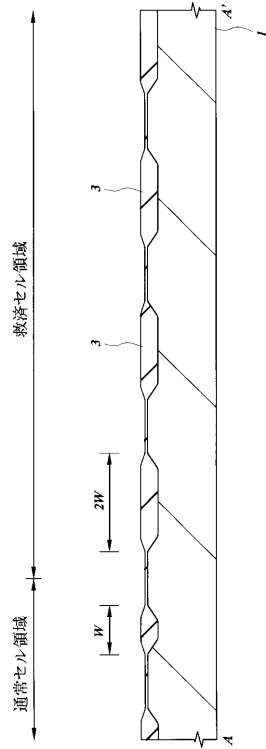
【 図 6 】





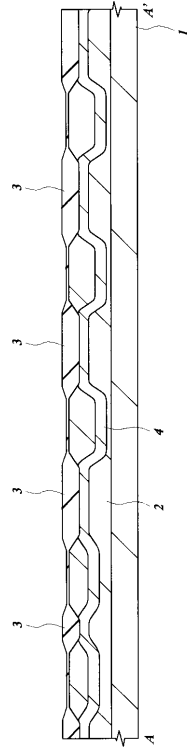
【 図 7 】

図 7



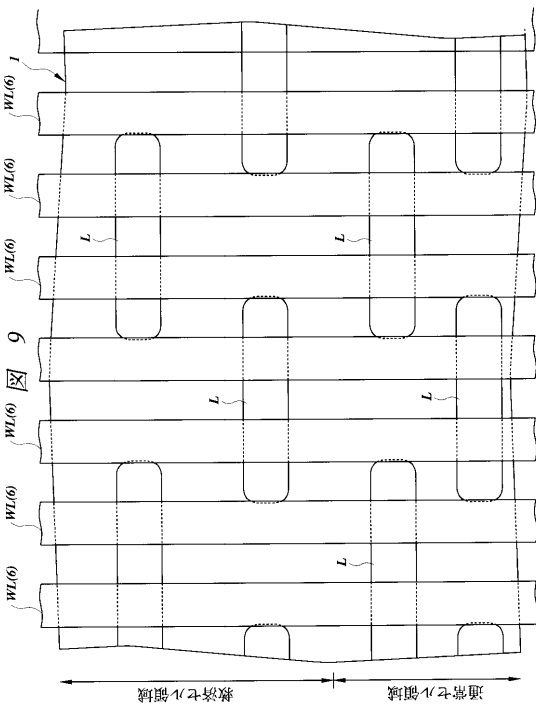
【 図 8 】

図 8



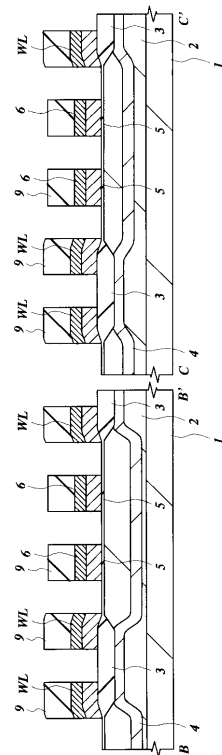
【 図 9 】

図 9



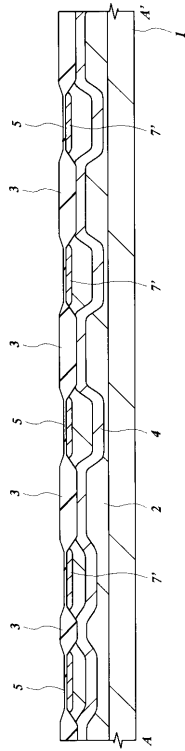
【 図 10 】

図 10



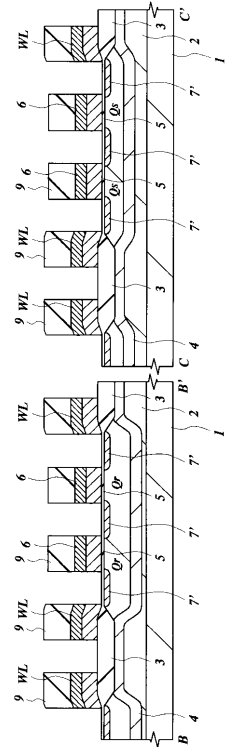
【 図 1 1 】

図 11



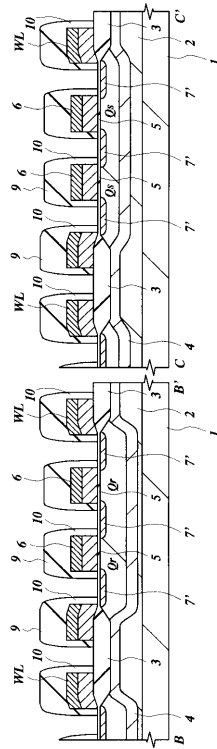
【 図 1 2 】

図 12



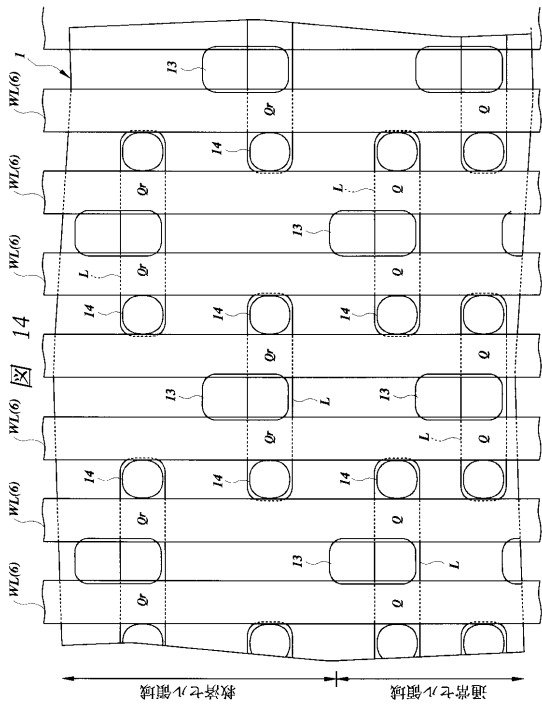
【 図 1 3 】

図 13



【 図 1 4 】

図 14



【 図 15 】

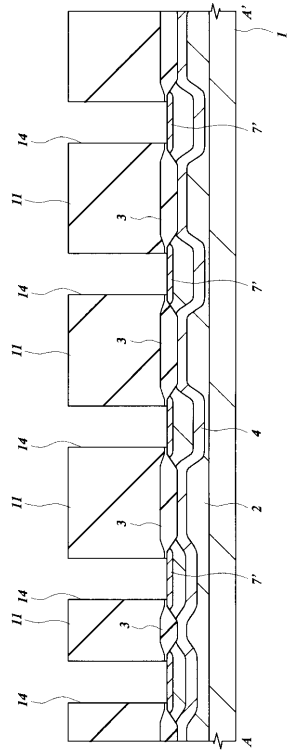


図 15

【 図 16 】

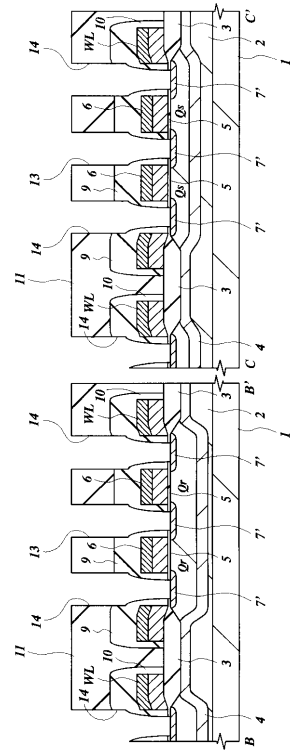


図 16

【 図 17 】

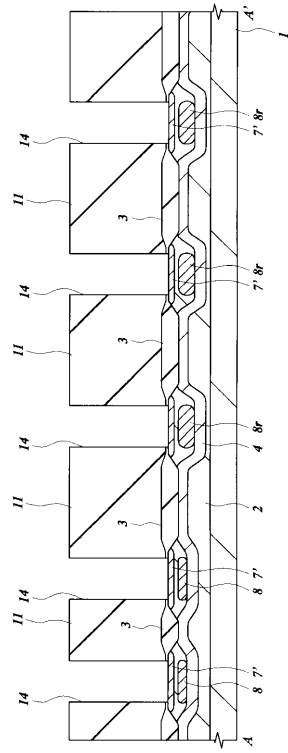


図 17

【 図 18 】

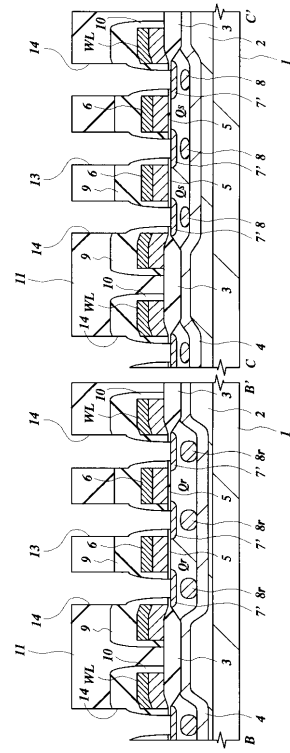


図 18

【 図 19 】

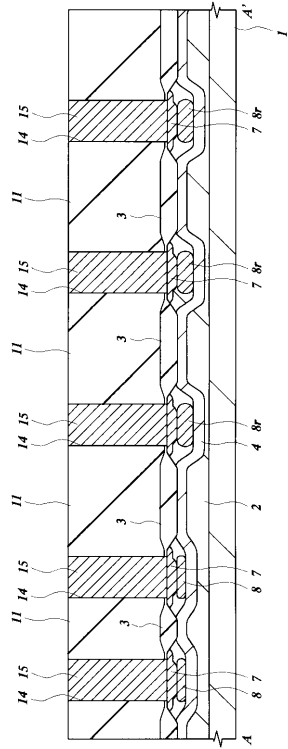


図 19

【 図 20 】

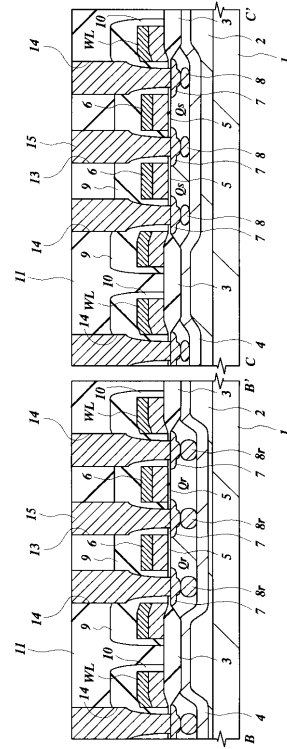


図 20

【 図 21 】

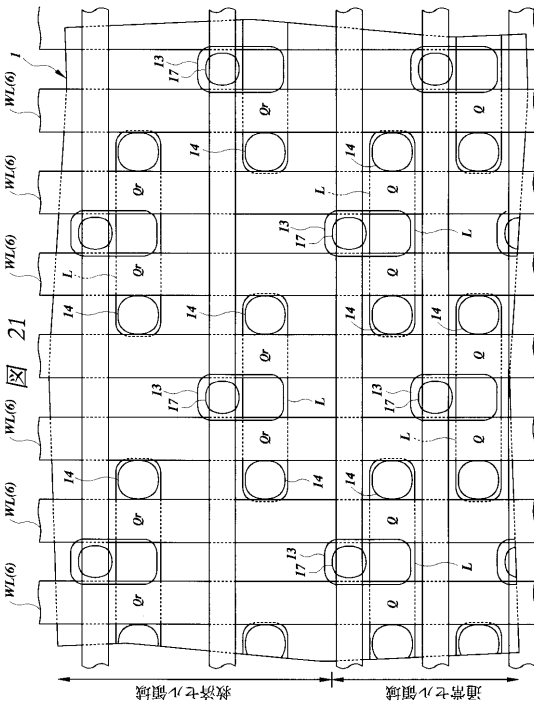


図 21

【 図 22 】

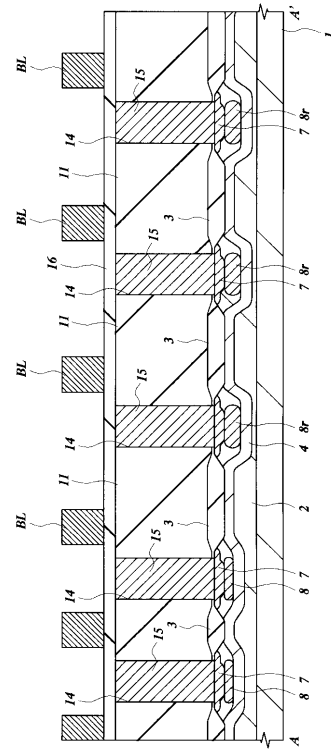
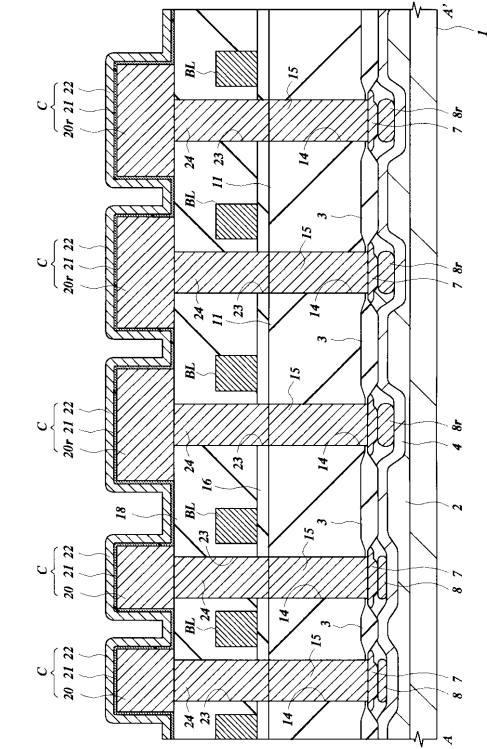


図 22

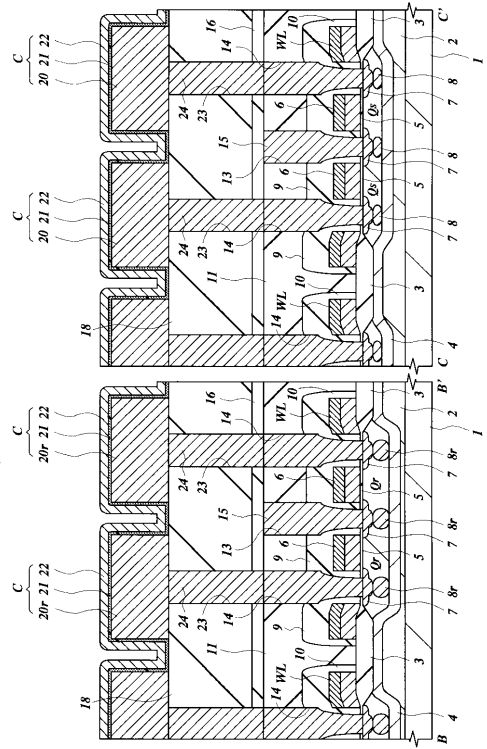
【 図 2 3 】

図 23



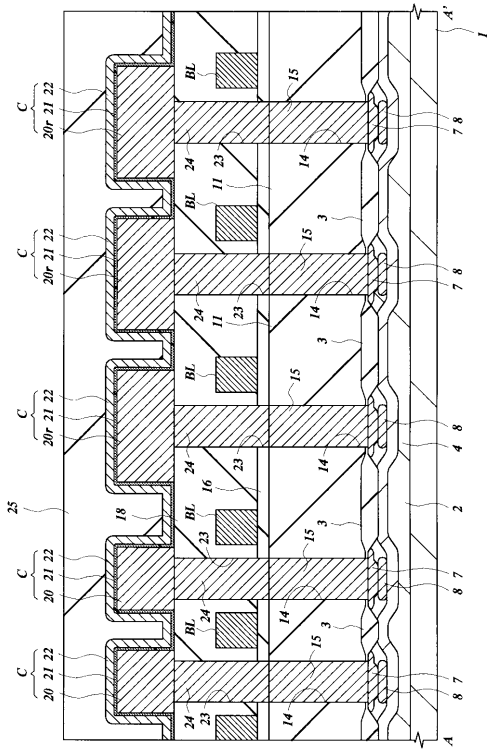
【 図 2 4 】

図 24



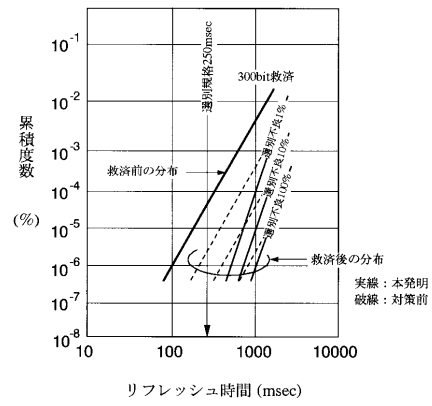
【 図 2 5 】

図 25

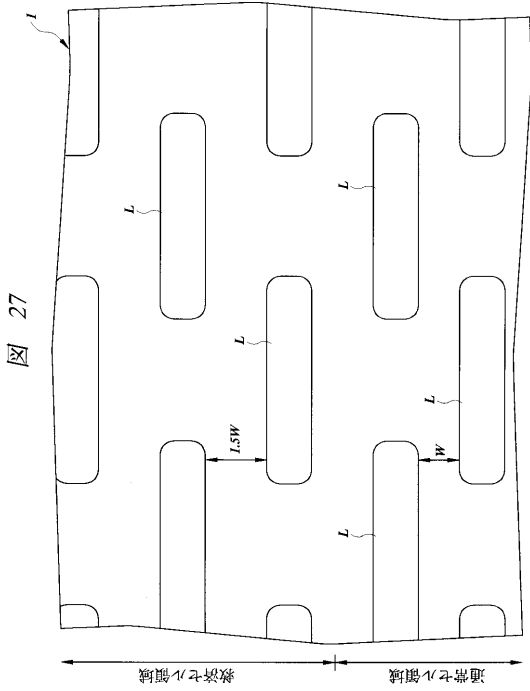


【 図 2 6 】

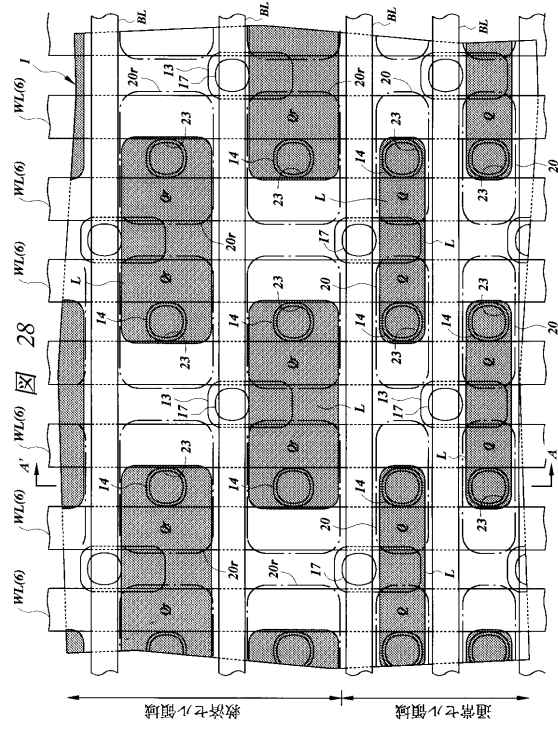
図 26



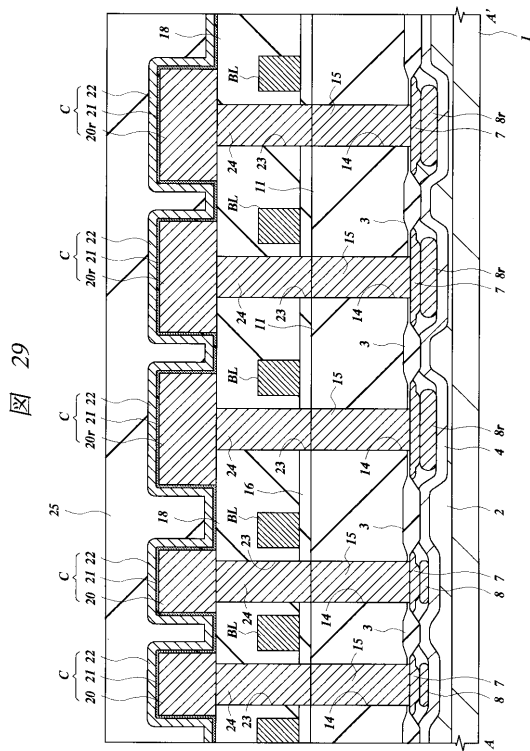
【図 27】



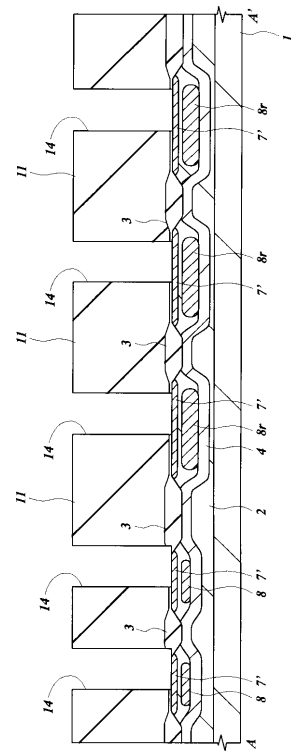
【図 28】



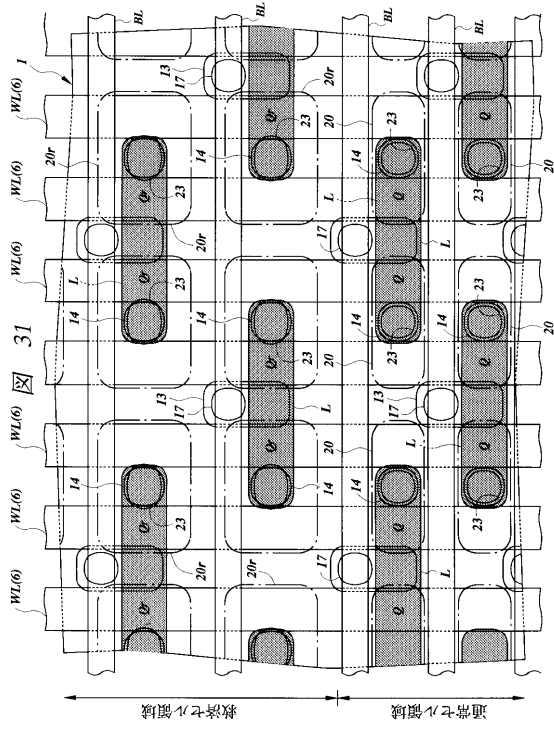
【図 29】



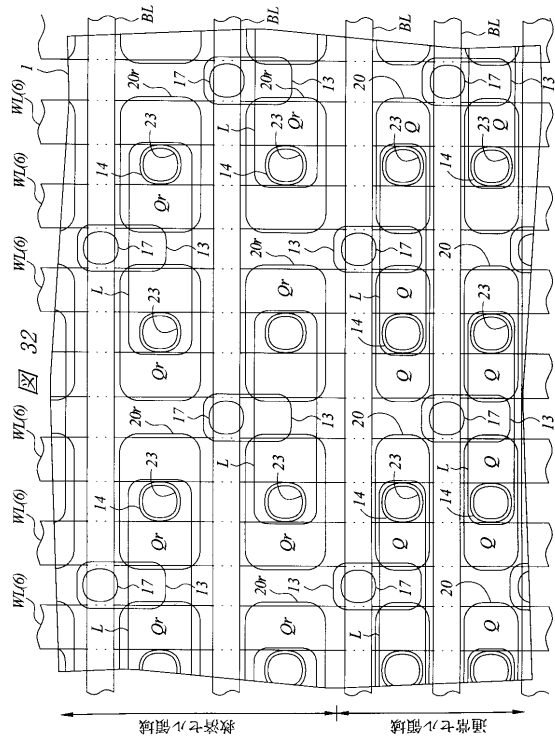
【図 30】



【 図 3 1 】

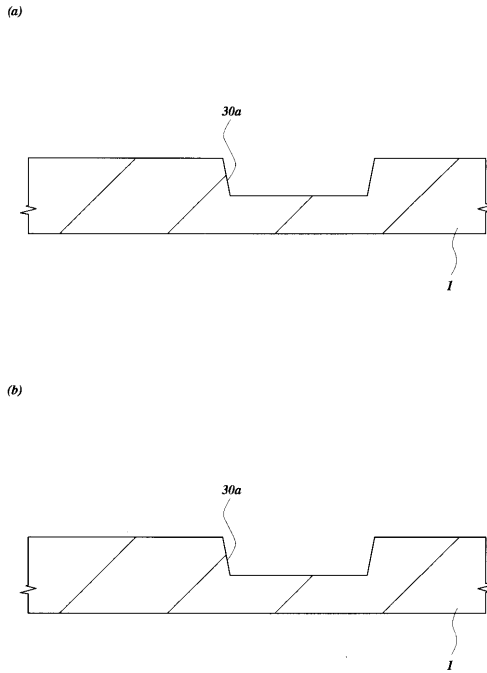


【 図 3 2 】



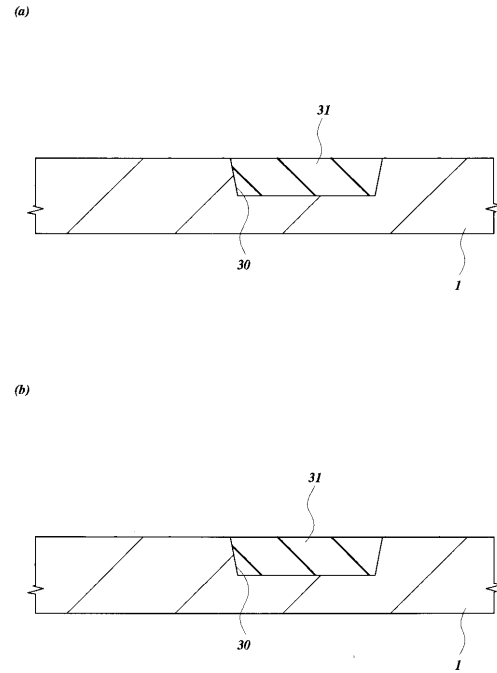
【 図 3 3 】

図 33



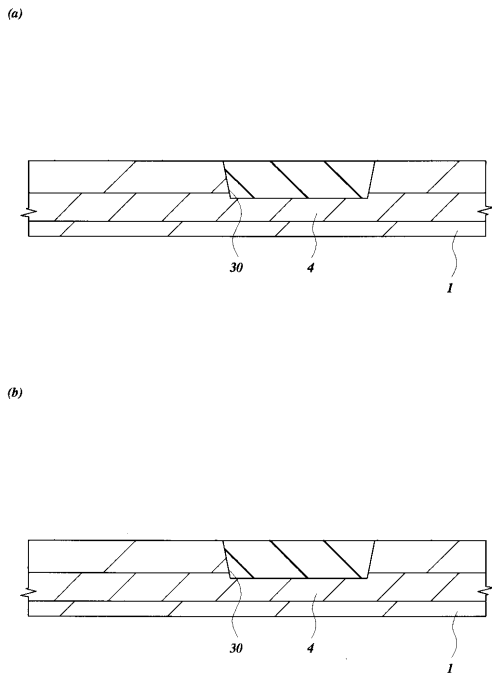
【 図 3 4 】

図 34



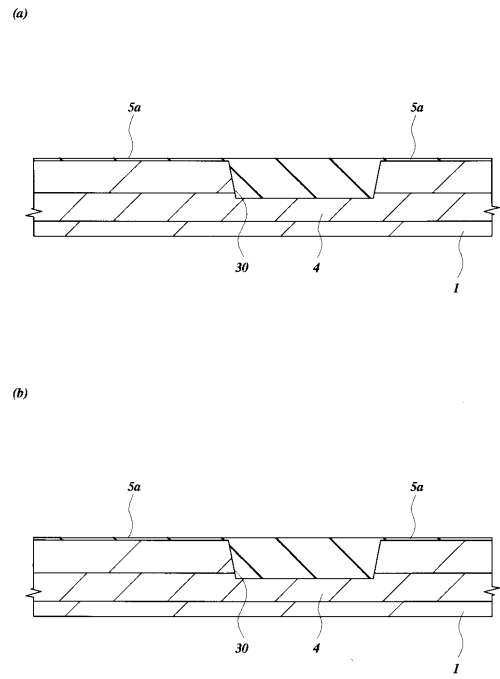
【 図 3 5 】

図 35



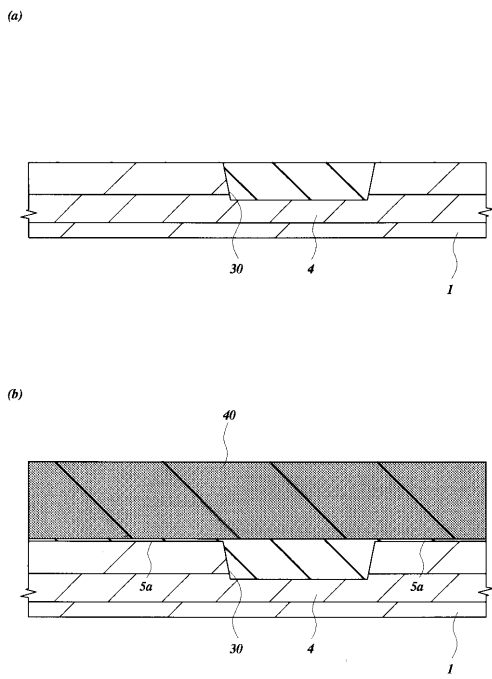
【 図 3 6 】

図 36



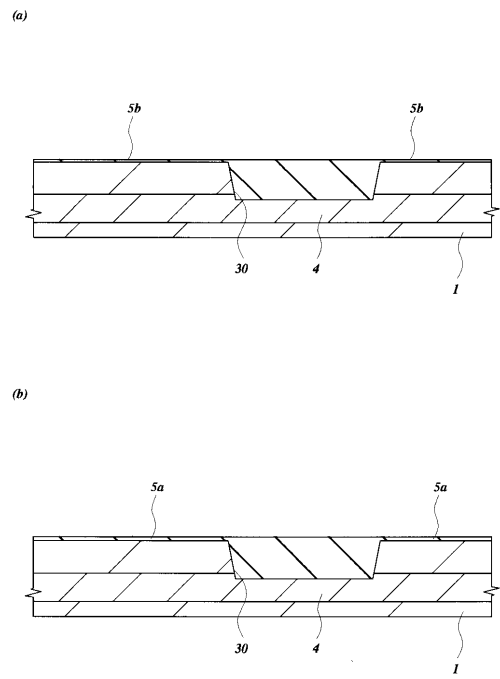
【 図 3 7 】

図 37



【 図 3 8 】

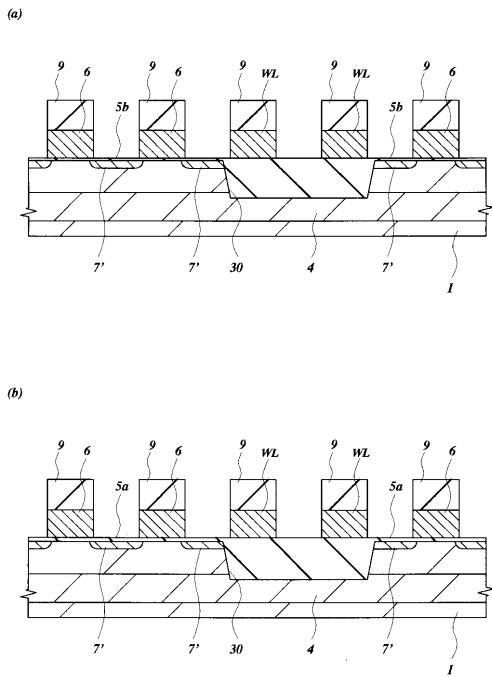
図 38





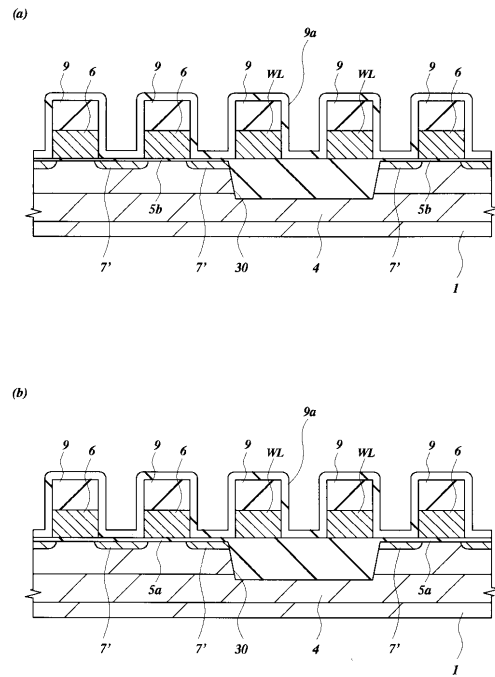
【 図 3 9 】

図 39



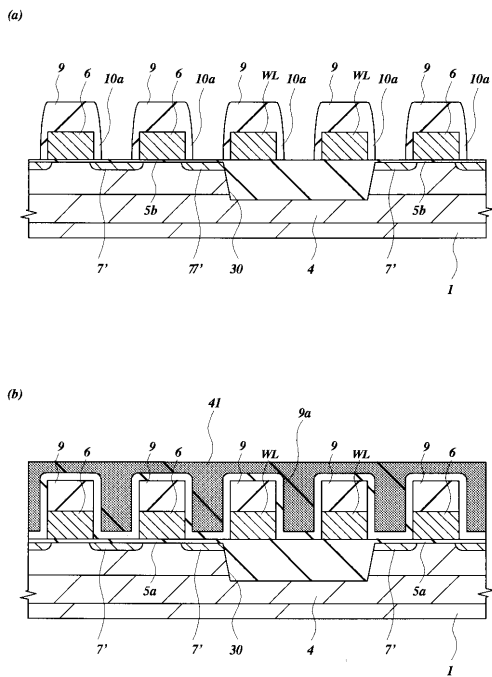
【 図 4 0 】

図 40



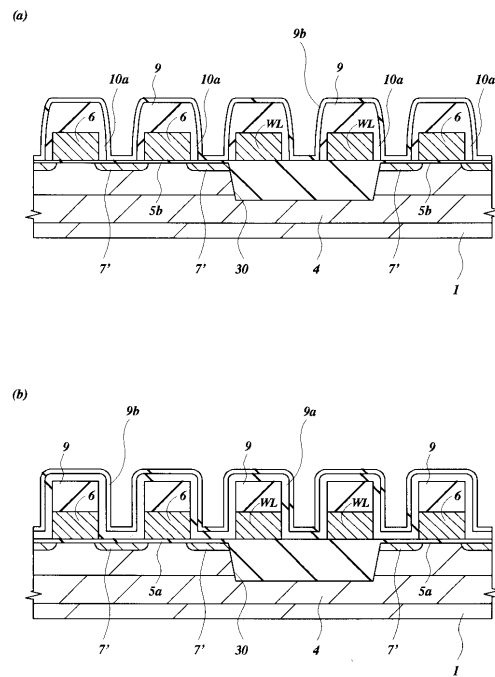
【 図 4 1 】

図 41



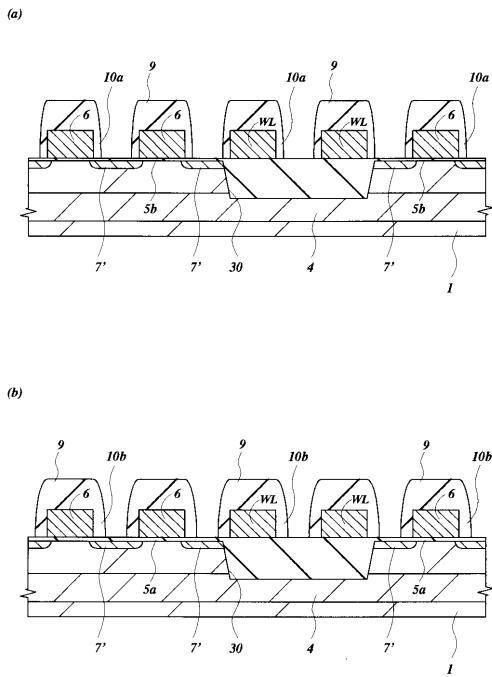
【 図 4 2 】

図 42



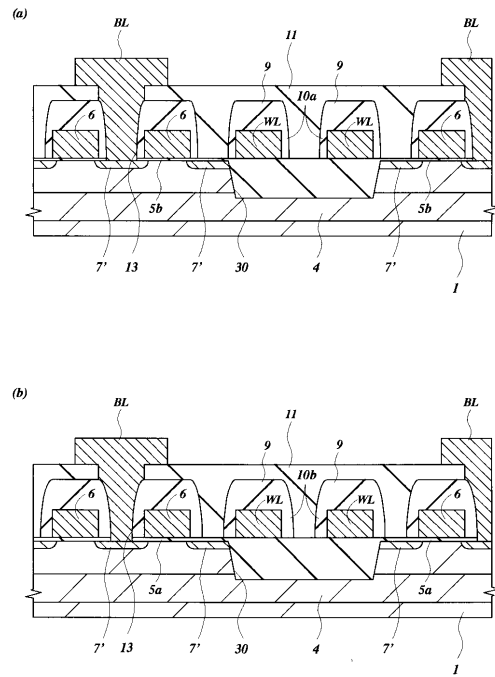
【 図 4 3 】

図 43



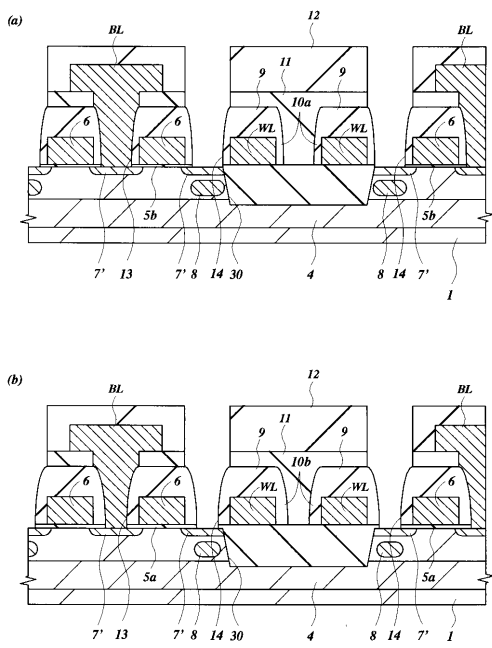
【 図 4 4 】

図 44



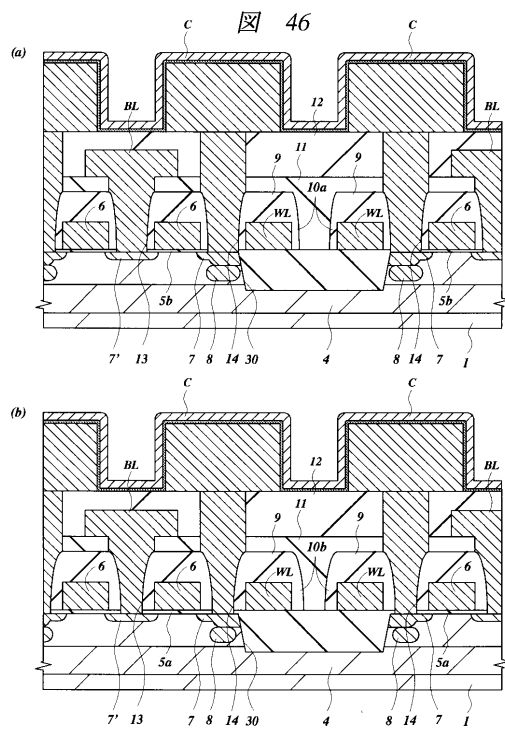
【 図 4 5 】

図 45

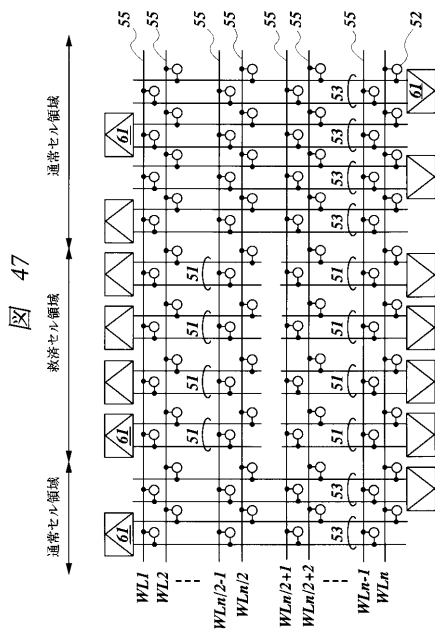


【 図 4 6 】

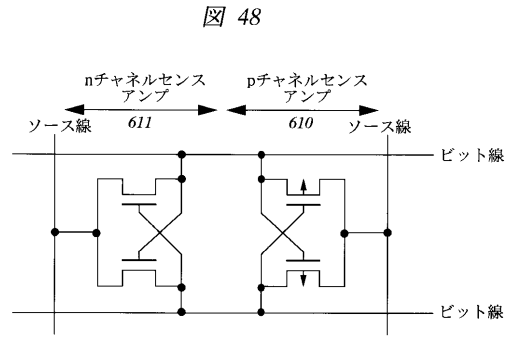
図 46



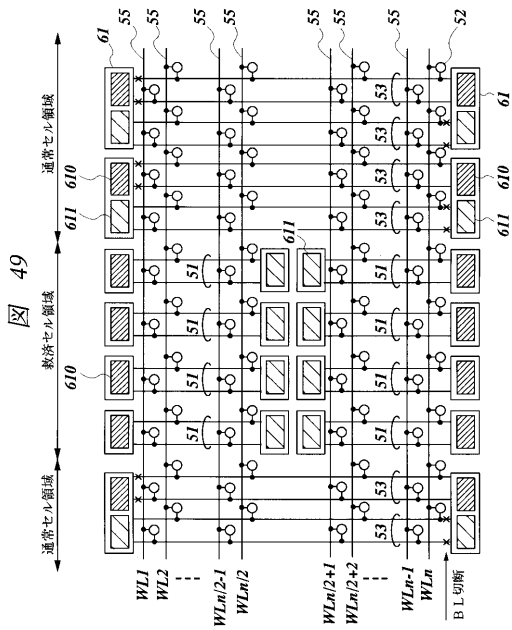
【 図 47 】



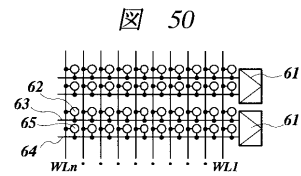
【 図 48 】



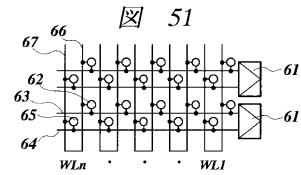
【 図 49 】



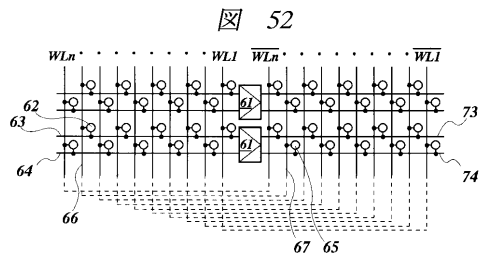
【 図 50 】



【 図 51 】

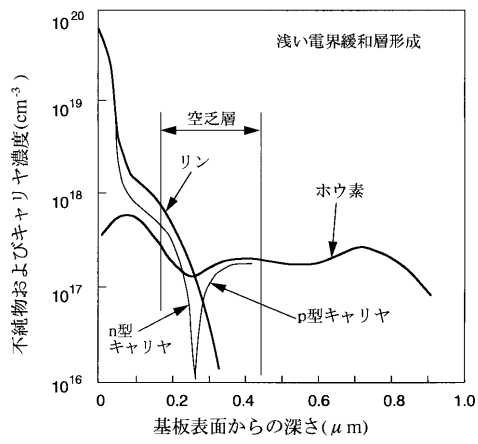


【 図 52 】



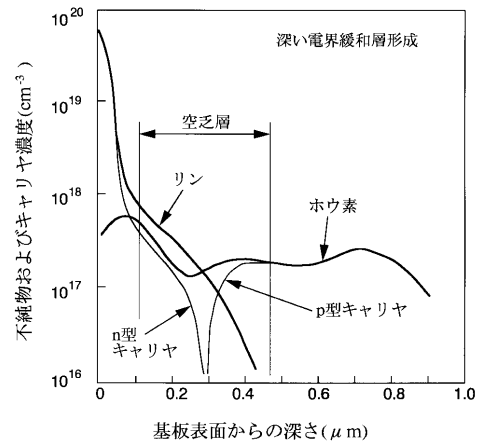
【 図 5 3 】

図 53



【 図 5 4 】

図 54



## フロントページの続き

- (72)発明者 杉本 有俊  
東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
- (72)発明者 只木 芳 隆  
東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
- (72)発明者 小笠原 誠  
東京都青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内
- (72)発明者 堀口 真志  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 長谷川 昇雄  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内
- (72)発明者 深田 晋一  
東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業部内

審査官 河合 俊英

- (56)参考文献 特開平04-067669(JP,A)  
特開平08-330528(JP,A)  
特開平02-125660(JP,A)  
特開平09-232535(JP,A)  
特開平06-163844(JP,A)  
特開平09-069616(JP,A)  
伊藤清男, アドバンスト エレクトロニクス シリーズ I - 9 カテゴリ - I : エレクトロニクス  
材料・物性・デバイス 超LSIメモリ, 日本, 培風館, 1994年11月 5日, 第14頁 -  
第15頁
- (58)調査した分野(Int.Cl., DB名)  
H01L 21/8242  
H01L 27/108