



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0018610
(43) 공개일자 2018년02월21일

<p>(51) 국제특허분류(Int. Cl.) <i>H01L 21/027</i> (2006.01) <i>H01L 21/265</i> (2006.01)</p> <p>(52) CPC특허분류 <i>H01L 21/0275</i> (2013.01) <i>H01L 21/0274</i> (2013.01)</p> <p>(21) 출원번호 10-2018-0010941(분할)</p> <p>(22) 출원일자 2018년01월29일 심사청구일자 2018년01월29일</p> <p>(62) 원출원 특허 10-2015-0089210 원출원일자 2015년06월23일 심사청구일자 2015년06월23일</p> <p>(30) 우선권주장 62/042,898 2014년08월28일 미국(US) 14/645,047 2015년03월11일 미국(US)</p>	<p>(71) 출원인 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드 중화민국, 타이완, 신추, 신추 사이언스 파크, 리-신 로드 6, 넘버 8</p> <p>(72) 발명자 쉬 치충 중화민국, 타이완 300-77, 신츄, 사이언스-베이스 드 인더스트리얼 파크, 리신 로드. 6, 8호</p> <p>유 현셴 중화민국, 타이완 300-77, 신츄, 사이언스-베이스 드 인더스트리얼 파크, 리신 로드. 6, 8호 (뒷면에 계속)</p> <p>(74) 대리인 김태홍, 김진희</p>
---	---

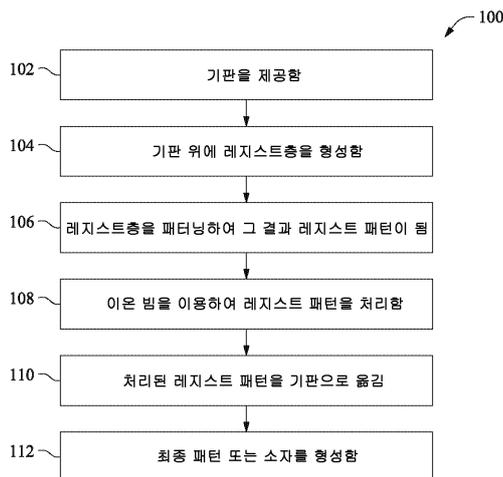
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **집적 회로 패터닝 방법**

(57) 요약

기판을 패터닝하는 방법이 제공된다. 이 방법은 기판 위에 형성된 레지스트(resist)층을 패터닝하여 그 결과 레지스트 패턴이 되도록 하는 것, 및 이온 빔(ion beam)을 이용하여 레지스트 패턴을 처리(treat)하는 것을 포함한다. 이온 빔은, CH₄, SiH₄, Ar, 또는 He과 같은 기체를 이용하여 생성되며; 적어도 10 도(degree)의 경사각(tilt angle)으로 레지스트 패턴을 향한다. 실시예들에서, 이온 빔은 균일한(uniform) 꼬임각(twist angle)으로, 또는 단봉형(unimodal) 또는 양봉형(bimodal) 분포를 갖는 꼬임각으로 레지스트 패턴을 향한다. 이온 빔은 레지스트 패턴의 라인 에지 거칠기(line edge roughness; LER), 라인 폭 거칠기(line width roughness; LWR), 및/또는 임계 치수를 감소시킨다. 이 방법은 처리된 레지스트 패턴을 식각 마스크로서 이용하여 기판을 식각하는 것을 더 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/26566 (2013.01)

(72) 발명자

첸 정호룡

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

옌 앤서니

중화민국, 타이완 300-77, 신쥬, 사이언스-베이스
드 인터스트리얼 파크, 리신 로드. 6, 8호

명세서

청구범위

청구항 1

기판을 패터닝하는 방법에 있어서,

상기 기판 위에 형성된 레지스트(resist)층을 패터닝하여, 레지스트 패턴을 형성하는 단계;

상기 레지스트 패턴을 상기 레지스트층 아래 및 상기 기판 위에 형성된 반사 방지 코팅(anti-reflection coating; ARC)층으로 전사(transfer)하여, 패터닝된 ARC층을 형성하는 단계;

이온 빔(ion beam)으로 상기 패터닝된 ARC층을 처리(treat)하여 처리된 패터닝된 ARC층을 형성하는 단계로서, 상기 이온 빔은 제1 기체(first gas)를 이용하여 생성되며 적어도 10 도(degree)의 경사각(tilt angle)으로 상기 패터닝된 ARC층을 향하는 것인, 상기 처리된 패터닝된 ARC층을 형성하는 단계; 및

상기 처리된 패터닝된 ARC층을 식각 마스크로서 이용하여 상기 기판을 식각하는 단계

를 포함하는, 기판 패터닝 방법.

청구항 2

제1항에 있어서,

상기 레지스트 패턴을 상기 ARC층으로 전사하기 전에 상기 이온 빔을 이용하여 상기 레지스트 패턴을 처리하는 단계를 더 포함하는, 기판 패터닝 방법.

청구항 3

제1항에 있어서,

상기 이온 빔은, 12.5 도에서 하나의 이온 에너지 피크(peak) 및 -12.5 도에서 또 다른 하나의 이온 에너지 피크를 갖는 양봉형(bimodal) 이온 에너지 분포를 갖는 꼬임각(twist angle)으로, 상기 패터닝된 ARC층을 향하는 것인, 기판 패터닝 방법.

청구항 4

제1항에 있어서,

상기 제1 기체는 Ar이고, 상기 이온 빔은 1.0 kV 내지 3.5 kV의 이온 에너지 및 $1 \times e^{16}$ 이온/cm²(ions/cm²) 내지 $10 \times e^{16}$ 이온/cm²의 이온 투여량(dose)을 가지고 제공되는 것인, 기판 패터닝 방법.

청구항 5

제1항에 있어서,

상기 제1 기체는 He이고, 상기 이온 빔은 1 kV 내지 5 kV의 이온 에너지 및 $1 \times e^{16}$ 이온/cm² 내지 $10 \times e^{16}$ 이온/cm²의 이온 투여량을 가지고 제공되는 것인, 기판 패터닝 방법.

청구항 6

제1항에 있어서,

상기 제1 기체는 SiH₄이고, 상기 이온 빔은 2 kV 내지 5 kV의 이온 에너지 및 $0.5 \times e^{16}$ 이온/cm² 내지 $3 \times e^{16}$ 이온/cm²의 이온 투여량을 가지고 제공되는 것인, 기판 패터닝 방법.

청구항 7

제1항에 있어서,

상기 제1 기체는 CH₄이고, 상기 이온 빔은 1 kV 내지 5 kV의 이온 에너지 및 1×e¹⁶ 이온/cm² 내지 6×e¹⁶ 이온/cm²의 이온 투여량을 가지고 제공되는 것인, 기관 패터닝 방법.

청구항 8

제1항에 있어서,

상기 제1 기체는 CH₄, SiH₄, Ar, He, O₂, N₂, CO₂, 및 이들의 조합 중 하나인 것인, 기관 패터닝 방법.

청구항 9

방법에 있어서,

기관 위에 최하위(bottom) 재료층을 형성하는 단계;

상기 최하위 재료층 위에 반사 방지 코팅(anti-reflection coating; ARC)층을 형성하는 단계;

상기 ARC층 위에 레지스트(resist)층을 형성하는 단계;

상기 레지스트층을 패터닝하여, 패터닝된 레지스트층을 형성하는 단계;

상기 패터닝된 레지스트층에 대해 이온 주입을 수행하여, 처리된 패터닝된 레지스트층을 형성하는 단계로서, 상기 이온 주입을 수행하는 것은,

CH₄, SiH₄, Ar, 또는 He을 포함하는 처리(treatment) 기체를 제공하는 단계;

상기 처리 기체로부터 이온 빔(ion beam)을 생성하는 단계; 및

상기 이온 빔을 적어도 10 도의 경사각(tilt angle)으로 상기 패터닝된 레지스트층에 입사하도록 지향시키는 단계를 포함하는 것인, 상기 처리된 패터닝된 레지스트층을 형성하는 단계;

상기 처리된 패터닝된 레지스트층을 식각 마스크로서 이용하여 상기 ARC층을 식각하여, 패터닝된 ARC층을 형성하는 단계; 및

상기 패터닝된 ARC층에 대해 상기 이온 주입을 수행하는 단계

를 포함하는, 기관 위의 식각층 패터닝 방법.

청구항 10

방법에 있어서,

기관 위에 재료층 - 상기 재료층은 레지스트층 이외의 재료층임 - 을 패터닝하여, 패터닝된 재료층을 형성하는 단계;

CH₄, SiH₄, Ar, 및 He 중 하나를 이용하여 생성되며 10 도(degree)보다 큰 경사각(tilt angle)으로 상기 기관에 입사하도록 지향되는 이온 빔(ion beam)으로 상기 패터닝된 재료층을 처리하여 처리된 패터닝된 재료층을 형성하는 단계; 및

상기 처리된 패터닝된 재료층을 이용하여 상기 기관을 식각하는 단계

를 포함하는, 집적 회로 형성 방법.

발명의 설명

기술 분야

[0001] 이 특허출원은, 그 전부가 인용에 의해 본원에 통합된 2014년 8월 28일에 출원된 발명의 명칭이 "집적 회로 패터닝 방법"인 미국 가특허출원 제62/042,898호를 우선권 주장한다.

배경 기술

[0002] 반도체 집적 회로(integrated circuit; IC) 산업은 급격한 성장을 경험하였다. IC 재료들 및 설계에서의 기술적 진보는, 각 세대(generation)가 이전 세대보다 더 작고 더 복잡한 회로들을 갖는 IC들의 세대들을 생산하였다. IC 진화의 과정에서, 기능적 조밀도(즉, 칩 면적당 상호연결된 소자(device)들의 수)는 일반적으로 증가한 반면, 지오메트리(geometry) 크기(즉, 제조 프로세스를 이용하여 생성될 수 있는 가장 작은 컴포넌트(또는 라인))는 감소하였다. 이러한 축소(scaling down) 프로세스는 생산 효율을 증가시키는 것 및 관련 비용을 낮추는 것에 의해 일반적으로 이점들을 제공한다. 그러한 축소는 IC들을 프로세싱 및 제조하는 것의 복잡성을 또한 증가시켰고, 이러한 진보가 실현되기 위하여, IC 프로세싱 및 제조에서의 유사한 발전이 필요하다.

[0003] 예를 들어, 리소그래피는 IC 설계들을 반도체 기판에 옮기기 위해 IC 제조에서 종종 이용되는 기술이다. 일반적인 리소그래피 프로세스는, 기판 위에 레지스트(resist)(또는 포토 레지스트)를 코팅하는 것, 레지스트를 DUV(deep ultraviolet)선 또는 EUV(extreme ultraviolet)선과 같은 방사(radiation)에 노출시키는 것, 및 기판 위에 패터닝된 레지스트를 남기도록 레지스트를 현상(develop)하고 부분적으로 스트리핑(stripping)하는 것을 포함한다. 패터닝된 레지스트는 그 후 IC들을 형성하는 것에서의 후속 식각 프로세스들에서 이용된다. 그러한 식각 프로세스들 동안에, 임계 치수(critical dimension; CD), 라인 폭 거칠기(line width roughness; LWR), 및 라인 에지 거칠기(line edge roughness; LER)와 같은 패터닝된 레지스트의 일부 특징들은, 트랜지스터 게이트들과 같은 최종 IC 피쳐(feature)들로 옮겨질 수 있다. IC 소자 치수들이 감소함에 따라, 트랜지스터 게이트들의 CD, LWR, 및/또는 LER (뿐만 아니라 다른 IC 피쳐들도)이 주요 관심사로 인식되고 있다. 따라서, 리소그래피 프로세스에서의 진보는 계속되는 반도체 소형화에 관한 수요를 만족시키기 위해 일반적으로 바람직하다.

발명의 내용

과제의 해결 수단

[0004] 기판을 패터닝하는 방법이 제공된다. 이 방법은 기판 위에 형성된 레지스트(resist)층을 패터닝하여 그 결과 레지스트 패턴이 되도록 하는 것, 및 이온 빔(ion beam)을 이용하여 레지스트 패턴을 처리(treat)하는 것을 포함한다. 이온 빔은, CH₄, SiH₄, Ar, 또는 He과 같은 기체를 이용하여 생성되며; 적어도 10 도(degree)의 경사각(tilt angle)으로 레지스트 패턴을 향한다. 실시예들에서, 이온 빔은 균일한(uniform) 꼬임각(twist angle)으로, 또는 단봉형(unimodal) 또는 양봉형(bimodal) 분포를 갖는 꼬임각으로 레지스트 패턴을 향한다. 이온 빔은 레지스트 패턴의 라인 에지 거칠기(line edge roughness; LER), 라인 폭 거칠기(line width roughness; LWR), 및/또는 임계 치수를 감소시킨다. 이 방법은 처리된 레지스트 패턴을 식각 마스크로서 이용하여 기판을 식각하는 것을 더 포함한다.

도면의 간단한 설명

[0005] 본 발명의 양상들은 첨부되는 도면과 함께 읽었을 때 이하의 상세한 설명으로부터 가장 잘 이해된다. 업계 표준 관행에 따라, 여러 피쳐들은 일정한 비례로 축소(확대)하여 그려지지 않음이 강조된다. 사실상, 여러 피쳐들의 치수들은 논의의 명확성을 위해 임의로 증가 또는 감소될 수 있다.

도 1은 본 발명의 하나 이상의 실시예들을 구현하기 위해 기판 상에 타겟(target) 패턴 또는 소자를 형성하는 방법에 관한 흐름도이다.

도 2 내지 4, 7, 9, 및 11은 일부 실시예들에 따라, 도 1의 방법에 따라 타겟 패턴을 형성하는 것의 3 차원도를 나타낸다.

도 5 및 6은 패터닝된 레지스트층의 에지 거칠기, 폭 거칠기, 및 임계 치수를 나타낸다.

도 8은 일 실시예에 따라, 도 1의 방법에 따라 기판에 입사하는 이온 빔(ion beam)의 경사각(tilt angle)들 및 꼬임각(twist angle)들을 나타낸다.

도 10 및 12는 일 실시예에 따라, 도 1의 방법에 따른 이온 빔의 예시적인 꼬임각 분포(distribution)를 나타낸다.

도 13 내지 17은 일 실시예에 따라, 도 1의 방법에 따라 구현된 실험실 실험들로부터의 영상 및 데이터이다.

발명을 실시하기 위한 구체적인 내용

[0006] 이하의 내용은 제공되는 대상물(subject matter)의 상이한 피쳐들을 구현하기 위한 여러 상이한 실시예들 또는

예시들을 제공한다. 컴포넌트들 및 배열들의 특정 예시들이 본 발명의 단순화하기 위해 이하에서 설명된다. 물론, 이들은 단지 예시들일 뿐이며, 제한하려는 의도가 없다. 예를 들어, 이하의 설명에서 제2 피처 위의 또는 제2 피처 상의 제1 피처의 형성은 제1 피처 및 제2 피처가 직접 접촉하여 형성된 실시예들을 포함할 수 있으며, 제1 피처와 제2 피처 사이에 추가적인 피처들이 형성될 수 있어서 제1 피처와 제2 피처가 직접 접촉하지 않을 수 있는 실시예들을 또한 포함할 수 있다. 또한, 본 발명은 여러 예시들에서 참조 번호들 및/또는 문자들을 반복할 수 있다. 이러한 반복은 단순성 및 명확성을 위한 것이며 그 자체가 논의되는 여러 실시예들 및/또는 구성들 사이의 관계에 영향을 주지는 않는다.

[0007] 또한, "아래(beneath)", "하위(below)", "하부(lower)", "상위(above)", "상부(upper)" 등과 같은 공간적으로 상대적인 용어들은, 도면에 예시되는 바와 같이 하나의 요소(element) 또는 피처의 또 다른 요소(들) 또는 피처(들)에 대한 관계를 설명하기 위한 설명의 편의를 위해 본원에서 사용될 수 있다. 공간적으로 상대적인 용어들은 도면에 도시된 지향(orientation)에 더하여 사용 또는 작동 중인 소자의 상이한 지향들을 포괄하려는 의도가 있다. 장치는 다르게 지향(90도 또는 다른 지향들로 회전)될 수 있으며 본원에서 사용된 공간적으로 상대적인 기술어(descriptor)들은 그에 맞추어 유사하게 해석될 수 있다.

[0008] 본 발명은 일반적으로 리소그래피 프로세스를 이용하여 집적 회로(IC)에 대한 패턴 또는 소자를 형성하는 것에 관한 것이며, 보다 상세하게는, 패턴링된 레지스트층이 그 후의 식각 프로세스들에서 이용되기 이전에 그 패턴링된 레지스트층의 LWR, LER, 및/또는 CD를 감소시키도록 패턴링된 레지스트층을 처리(treat)하는 것에 관한 것이다.

[0009] 도 1은 본 발명의 여러 양상들에 따라 타겟 패턴 또는 소자를 형성하는 방법(100)의 흐름도를 도시한다. 방법(100) 이전에, 그 동안에, 그리고 그 이후에 추가적인 동작들이 제공될 수 있으며, 방법의 추가적인 실시예들에 대하여 설명된 일부 동작들이 대체, 제거, 또는 여기저기로 이동될 수 있다. 방법(100)은 예시이며, 특허청구 범위에서 명시적으로 인용되는 것 이상으로 본 발명을 제한하려는 의도가 없다. 방법(100)은 도 2 내지 17과 함께 이하에서 설명된다.

[0010] 동작(102)에서, 방법(100)(도 1)은 도 2에 도시된 바와 같이 기관(202)을 제공한다. 도 2를 참조하면, 여러 실시예들에서, 기관(202)은 하나 이상의 재료층들을 포함하며 소자(200)를 형성하기 위한 제조 프로세스의 중간 단계에 있다. 소자(200)는, 정적 랜덤 액세스 메모리(static random access memory; SRAM) 및/또는 다른 논리 회로들, 레지스터, 커패시터, 및 인덕터와 같은 수동(passive) 컴포넌트들, 및 p-형 전계 효과 트랜지스터(p-type field effect transistor; PFET), n-형 FET(NFET), 금속-산화물 반도체 전계 효과 트랜지스터(metal-oxide semiconductor field effect transistor; MOSFET), 상보형 금속-산화물 반도체(complementary metal-oxide semiconductor; CMOS) 트랜지스터, 이극성(bipolar) 트랜지스터, 고전압 트랜지스터, 고주파 트랜지스터, 다른 메모리 셀, 및 이들의 조합들과 같은 능동(active) 컴포넌트들을 포함할 수 있는, IC, 또는 그 IC의 일부분일 수 있다. 소자(200)는, 이중 게이트 FET, FinFET, 삼중 게이트 FET, 오메가 FET, 게이트-올-어라운드(Gate-All-Around; GAA) 소자, 및 수직 GAA소자와 같은, 3차원 소자들 및 다중-게이트 소자들을 포함할 수 있다. 일 실시예에서, 기관(202)은 반도체 기관(예를 들어, 웨이퍼)이다. 일 실시예에서, 기관(202)은 결정성(crystalline) 구조에서의 실리콘을 포함한다. 대안의 실시예에서, 기관(202)은 게르마늄과 같은 다른 기초 반도체들, 또는 실리콘 탄화물, 갈륨 비화물, 인듐 비화물, 및 인듐 인화물과 같은 복합 반도체를 포함한다. 기관(202)은 실리콘 온 절연체(silicon on insulator; SOI) 기관을 포함하고, 성능 향상을 위해 스트레인(strain)/스트레스(stress)되고, 에피택셜(epitaxial) 영역들을 포함하고, 격리(isolation) 영역들을 포함하고, 도핑 영역들을 포함하고, 하나 이상의 반도체 소자들 또는 그 반도체 소자의 일부분들을 포함하고, 전도성 및/또는 비전도성 층들을 포함하며/하거나, 다른 적절한 피처들 및 층들을 포함할 수 있다.

[0011] 동작(104)에서, 방법(100)(도 1)은 기관(202) 위에 레지스트층(210)을 형성한다. 도 3을 참조하면, 본 실시예에서, 레지스트층(210)의 형성 이전에, 하나 이상의 재료층들은, 하드 마스크층(204), 최하위(bottom) 재료층(206), 및 반사 방지 코팅(anti-reflection coating; ARC)층(208)과 같은, 식각층들로서 기관(202) 위에 형성된다. 여러 실시예들에서, 재료층들(204/206/208) 중 일부는 생략되고/되거나 대체될 수 있거나, 또는 대안으로, 다른 재료층들이 레지스트층(210)과 기관(202) 사이에 추가될 수 있다. 일 실시예에서, 레지스트층(210)은 스핀 코팅 프로세스와 뒤이은 소프트 건조(soft baking) 프로세스에 의해 형성된다.

[0012] 여러 실시예들에서, 하드 마스크층(204)은 무정형 실리콘(amorphous silicon; aSi), 실리콘 산화물, 실리콘 질화물(SiN), 티타늄 질화물(TiN), 실리콘 산화질화물(SiON), 실리콘 탄소 질화물(SiCN), 또는 다른 적절한 재료 또는 구성을 이용할 수 있고; 최하위 재료층(206)은, SOC 또는 스핀-온 글래스(spin-on glass; SOG)와 같은 실

리콘, 산소, 및/또는 탄소를 포함할 수 있고; ARC층(208)은, 실리콘 산화물, 실리콘 산소 탄화물, 및 플라즈마 강화(enhanced) 화학적 증기 증착 실리콘 산화물과 같은 중합체 재료층 또는 실리콘-포함 재료층일 수 있다. 여러 재료층들(204, 206, 및 208)은 여러 프로세스들에 의해 형성될 수 있다. 예를 들어, 여러 재료층들은, 화학적 증기 증착(chemical vapor deposition; CVD), 낮은 압력 화학적 증기 증착(low pressure chemical vapor deposition; LPCVD), 플라즈마 강화 화학적 증기 증착(plasma enhanced chemical vapor deposition; PECVD), 물리적 증기 증착(physical vapor deposition; PVD), 원자층 증착(atomic layer deposition; ALD), 또는 다른 적절한 증착 방법에 의해 형성될 수 있다. 예를 들어, 하드 마스크층(204)은 헥사클로로디실란(Hexachlorodisilane)(HCD 또는 Si_2Cl_6), 디클로로실란(Dichlorosilane)(DCS 또는 SiH_2Cl_2), Bis(3차 부틸 아미노)실란(Bis(TertiaryButylAmino)Silane)(BTBAS 또는 $C_8H_{22}N_2Si$) 및 디실란(Disilane)(DS 또는 Si_2H_6)을 포함하는 화학 물질들을 이용하여 CVD에 의해 형성될 수 있다.

[0013] 레지스트층(210)은 포지티브(positive) 레지스트 또는 네거티브(negative) 레지스트일 수 있다. 포지티브 레지스트는 보통 레지스트 현상액(developer)에서 불용성이지만, DUV선, EUV선, 전자 빔(electron beam; e-beam), x-선, 또는 다른 적절한 방사선과 같은 방사선에 대한 노출에 의해 가용성으로 된다. 하나의 예시적인 포지티브 레지스트 재료는, 산 불안정기(acid labile group; ALG)들에 의해 보호되는 백본(backbone) 중합체를 포함하는 화학적으로 증폭된 레지스트(chemically amplified resist; CAR)이다. 네거티브 레지스트는 그 반대로 동작한다 - 보통 레지스트 현상액에서 가용성이지만, DUV선, EUV선, 전자 빔, x-선, 또는 다른 적절한 방사선과 같은 방사선에 대한 노출에 의해 불용성으로 된다. 하나의 예시적인 네거티브 레지스트는, 에틸(α -수산화)아크릴산염(Ethyl(α -hydroxy)acrylate; EHMA)과 메타크릴산(methacryl acid; MAA)의 중합과 같은, 조사(irradiate)되었을 때 분자내(intra-molecular) 및/또는 분자간(intermolecular) 교차 결합들을 형성하는 중합체이다.

[0014] 동작(106)에서, 방법(100)(도 1)은 레지스트층(210)을 패터닝함으로써 레지스트 패턴을 형성한다. 일 실시예에서, 패터닝 프로세스는 패턴을 마스크(또는 포토-마스크 또는 레티클(reticle))로부터 레지스트층(210)으로 옮긴다. 대안으로, 패터닝 프로세스는 전자 빔 직접 기록(electron beam direct writing; EBDW)과 같은 마스크리스(maskless) 패터닝 기술을 이용할 수 있다. 일 실시예에서, 레지스트층(210)을 패터닝하는 것은, 레지스트층(210)을 방사선에 노출시키는 것, 노광후 건조(post-exposure baking), 레지스트 현상액에서 레지스트층(210)을 현상하는 것, 및 하드 건조(hard baking)함으로써, 레지스트층(210)의 노출된 부분(또는 네거티브 레지스트의 경우에는 노출되지 않은 부분)을 제거하고 그 레지스트층(210)의 노출되지 않은 부분들을 레지스트 패턴으로서 ARC층(208) 상에 남기는 것을 포함한다. 방사선은 DUV선, EUV선, 전자 빔, x-레이, 이온빔, 또는 다른 적절한 방사선일 수 있다. 레지스트층(210)을 패터닝하는 데에 마스크가 이용되는 실시예들에서, 마스크는, 송신하는(transmissive) 마스크 또는 반사하는(reflective) 마스크와 같이 상이한 유형들일 수 있으며, 2진(binary) 마스크 또는 위상 시프트 마스크(phase shift mask; PSM)와 같이 다양한 기술들로 형성될 수 있다. 일 예시에서, 2진 마스크는 투명 기관(예를 들어, 용융 석영(fused quartz)), 및 마스크의 불투명 영역들에서 코팅된 불투명 재료(예를 들어, 크롬)를 포함한다. 또 다른 예시에서, PSM은 해상도(resolution) 및 영상(imaging) 품질을 향상시키기 위해 적절한 위상 차이를 갖도록 구성된 여러 피쳐들을 포함한다. 본 예시에서, 레지스트층(210)은 패터닝되어 라인 패턴(210)(도 4)을 형성한다. 단순화를 위해, 라인 패턴(210)은 "y" 방향에서 세로 방향으로(lengthwise), "x" 방향에서 가로 방향으로(widthwise), 그리고 "z" 방향에서 높이 방향으로(height-wise) 지향된다. 본 예시에서, 단일 라인 패턴(210)은, 단순화 및 이해의 편의를 위해 이용되며, 실시예를 임의의 수의 라인 패턴들, 임의의 배열의 라인 패턴, 및/또는 트렌치 패턴, 홀(hole) 패턴, 굴곡(bend)이 있는 패턴 등과 같은 다른 유형들의 패턴들로 반드시 제한하는 것은 아니다.

[0015] 일반적인 리소그래피 프로세스에서, 식각 프로세스가 그 후에 뒤따르며, 이 식각 프로세스는 라인 패턴(210)을 식각 마스크로서 이용하여 ARC층(208)을 식각함으로써, 패턴을 ARC층(208)으로 그리고 그 후에 더 많은 식각 프로세스들을 통해 기관(202)으로 옮긴다. 패턴이 레지스트 패턴(210)으로부터 ARC층(208)으로 옮겨질 때 문제들이 발생한다. 예를 들어, 라인 패턴(210)은 이상적인 임계 치수(CD)를 갖지 않을 수 있다. 예를 들어, "x" 방향에서의 라인 패턴(210)의 치수(또는 라인 패턴(210)의 폭)는 IC 설계 타겟보다 더 클 수 있다. 또 다른 예로, 라인 패턴(210)은, 라인 에지 거칠기(LER) 및/또는 라인 폭 거칠기(LWR)와 같은 바람직하지 않은 표면 거칠기를 가질 수 있다. 도 5는 라인 패턴(210)의 측면들의 거칠기는 보여주는, 라인 패턴(210)의 단면도를 나타낸다. 도 6은 "y" 방향에서의 라인 패턴(210)(또는 라인 패턴(210)의 세로 방향)을 따라 표면 거칠기를 나타낸다. 본 실시예에서, LER은 에지에 대한 라인 피트(fit)로부터 그 에지의 3σ 편차(deviation)로서, 또는 수학

적으로 $LER = 3\sqrt{\sum_{i=0}^n (x_i - \bar{x})^2 / n}$ 로서 정의되고, LWR은 라인을 따르는 라인 폭의 3σ 편차로서, 또는

$$LWR = 3 \sqrt{\sum_{j=0}^n (CD_j - \overline{CD})^2 / n}$$

수학적으로로서 정의된다. 그러한 비이상적인(non-ideal) CD 및 바람직하지 않은 LER/LWR은 라인 패턴(210)으로부터 ARC층(208)으로, 그리고 결국 기판(202)으로 옮겨져서, IC 제조 문제들을 야기할 수 있다. 예를 들어, 라인 패턴(210)은, 게이트 길이가 라인 패턴(210)의 폭에 대응하는 트랜지스터 게이트 전극들을 패터닝하는 데에 이용될 수 있다. 게이트 길이는, 그 게이트 길이가 트랜지스터의 전력 소비 및/또는 스위칭 속도에 영향을 미칠 수 있기 때문에, 트랜지스터의 대단히 중요한(critical) 피처이다. 바람직하지 않은 CD 및 LER/LWR은, 게이트 길이가 설계 사양(specification)의 범위 밖에 있게끔 할 수 있다. 더욱 난처한 것은, 게이트 패터닝에 종종 이용되는 건식 식각과 같은 식각 프로세스들 동안에, 라인 패턴(210)이 식각 선택성(selectivity)의 결여로 인한 심각한 성능 저하를 겪음으로써, 레지스트 막(film) 손실 및 증가된 LER/LWR을 야기한다는 것이다. 본 발명은, 라인 패턴(210)과 같은 패터닝된 레지스트층을, 그 패터닝된 레지스트층이 그 후의 식각 프로세스들에서 이용되기 이전에, 이온 빔들을 이용하여 처리하는 것에 의해 전술한 문제들을 다룬다. 실험실 실험들은 본 발명의 실시예들이 레지스트 패턴들의 CD, LER, 및/또는 LWR을 감소시킬 수 있음을 보여주었다. 이는, 10 나노미터(nm) 및 그 이상과 같은, 진보된(advanced) 프로세스 노드들에 대하여 매우 바람직하다.

[0016] 동작(108)에서, 방법(100)(도 1)은 이온 빔(212)을 이용하여 라인 패턴(210)을 처리한다. 실시예들에서, 이온 빔(212)은 이온 주입기(implanter)에 의해 생성된다. 도 7을 참조하면, 본 실시예에서, 이온 빔(212)은 이온들의 집속 빔(focused beam)이다. 본 실시예를 발전시키면, 이온 빔(212)은, ARC층(208)의 상단면에 대한 법선(normal)(즉, 본 예시에서 "z" 축)으로부터 경사진 각도로 라인 패턴(210)을(또는 ARC층(208)의 상단면 또는 그 물체(matter)에 대한 기판(202)을) 향한다. 이러한 입사각은 본 발명에서 "경사각"이라고 불리며, 도 8에서 예시된다. 도 8은 이온 빔(212) 및 "z" 축을 포함하는 평면(plane)과 "x" 축 및 "z" 축을 포함하는 평면 사이의 각도인 이온 빔(212)의 "꼬임각"을 또한 도시한다. 경사각 및 꼬임각은 총체적으로 이온 빔(212)의 입사 방향을 정의한다. 도 7을 다시 참조하면, 본 실시예에서, 이온 빔(212)은 10 도보다 크거나 같은 경사각으로 라인 패턴(210)을 향한다. 일부 예시들에서, 레지스트 막 손실을 감소시키기 위해 경사각은 30 도보다 더 크게 되도록 설정된다. 일 실시예에서, 이온 빔(212)은, 예컨대 약 영(0)도의, 균일한(uniform) 꼬임각으로 라인 패턴(210)을 향한다. 또 다른 실시예에서, 이온 빔(212)은 약 90 도의 균일한 꼬임각으로(즉, 라인 패턴(210)과 평행하게) 라인 패턴(210)을 향한다.

[0017] 여러 실시예들에서, 이온 빔(212)은 기체(gas)를 이온 소스(source)로서 이용하여 이온 주입기에 의해 생성된다. 일 실시예에서, 기체는 아르곤(Ar)이며, 약 1.0 kV 내지 약 3.5 kV의 이온 에너지와, 약 1×10^{16} 이온/cm²(ions/cm²) 내지 약 10×10^{16} 이온/cm²의 이온 투여량(dose)을 가진 이온 빔(212)이 제공된다. 일 실시예에서, 기체는 헬륨(He)이며, 약 1 kV 내지 약 5 kV의 이온 에너지와, 약 1×10^{16} 이온/cm² 내지 약 10×10^{16} 이온/cm²의 이온 투여량을 가진 이온 빔(212)이 제공된다. 일 실시예에서, 기체는 실란(Silane)(SiH₄)이며, 약 2 kV 내지 약 5 kV의 이온 에너지와, 약 0.5×10^{16} 이온/cm² 내지 약 3×10^{16} 이온/cm²의 이온 투여량을 가진 이온 빔(212)이 제공된다. 일 실시예에서, 기체는 메탄(Methane)(CH₄)이며, 약 1 kV 내지 약 5 kV의 이온 에너지와, 약 1×10^{16} 이온/cm² 내지 약 6×10^{16} 이온/cm²의 이온 투여량을 가진 이온 빔이 제공된다. 여러 실시예들에서, 기체는 CH₄, SiH₄, Ar, He, O₂, N₂, CO₂, 다른 적절한 기체들, 및 이들의 조합 중 하나일 수 있다. 일 실시예에서, 이온 빔(212)은, Ar을 이용하여 생성되고, 약 19 도 내지 약 30 도의 경사각과 약 0 도의 꼬임각을 가지며, 약 1 kV 내지 약 1.5 kV의 이온 에너지와, 약 0.5×10^{16} 이온/cm² 내지 약 3×10^{16} 이온/cm²의 이온 투여량을 가지고 제공된다. 여러 실시예들에서, 소자(200)는, 라인 패턴(210)이 그 라인 패턴(210)의 세로 방향을 따라 이온 빔들(212)에 의해 균일하게 스캐닝되도록 하기 위해, 이온 빔들(212)에 관하여 이동한다.

[0018] 이온 빔 처리(treatment)의 메커니즘이 특허청구범위에 영향을 주지 않기는 하지만, 일부 실시예들에서, 이온 빔(212)은, 라인 패턴(210)의 폭을 감소시키며 라인 패턴(210)의 측면들을 포함하는 표면들을 매끄럽게 하기 위해 라인 패턴(210)을 잘라낼 뿐 아니라, 이온들이 레지스트 재료 안으로 얼마나 멀리 이동하였는지에 따라, 라인 패턴(210) 안으로의 일정한 깊이까지 레지스트 재료에서의 화학 반응을 또한 야기한다. 화학 반응은 레지스트 재료의 특징들을 변경한다. 예를 들어, 화학 반응은 라인 패턴(210)의 식각 비율(rate)이 감소하게끔 할 수 있다. 도 13 내지 17은, 본 발명의 여러 실시예들에 따라 실험실 실험들로부터 획득된 여러 영상 및 데이터를 도시하며, 이온 빔 처리의 유효성을 나타낸다. 도 13은 레지스트 현상 이후 및 이온 빔 처리 이전의 레지스트

라인 패턴들의 영상이다. 도 13에 도시된 바와 같이, 레지스트 라인 패턴들은 실리콘을 포함하는 ARC층 위에 형성되며 일부 표면 거칠기를 보여준다. 도 14는 본 발명의 일 실시예에 따라 이온 빔 처리를 겪은 이후의 레지스트 라인 패턴들의 영상이다. 도 14에서 볼 수 있는 바와 같이, 처리된 레지스트 라인 패턴들(도 14)은 처리 이전의(pre-treatment) 레지스트 라인 패턴들에 비하여 더 매끄러운 표면들 및 더 좁은 폭을 갖는다. 도 15는 본 발명의 일 실시예에 따라 레지스트 패턴이 이온 빔 처리를 겪은 이후에 레지스트 패턴의 표면 상에 크러스트(crust)가 형성된 것을 도시한다. 크러스트는 레지스트 재료와 이온들 사이의 화학 반응의 결과로서의 경화된 레지스트 재료이다. 도 16은, 각각의 이온 소스로서 Ar, He, SiH₄, 및 CH₄를 이용하여 본 발명의 여러 실시예들에서 26.8% 내지 49.8%의 레지스트 패턴 CD 수축(shrinkage)이 달성되었음을 보여준다. 또한, (Ar 이온 빔 처리를 이용한) 16%, (C 이온 빔 처리를 이용한) 46%, 및 (Si 이온 빔 처리를 이용한) 38%의 일반적인 LWR 감소가 보고되었다. 일반적인 LER 감소는, 약간의 퍼센트 포인트 내에서, LWR 감소와 유사한 것으로 보고되었다. 도 17은 이온 빔 처리(들) 이전 및 이후의 레지스트 식각 비율에 관한 그래프를 도시한다. 도 17에 도시된 바와 같이, 레지스트 식각 비율은 처리-이전(pre-treatment)의 1,352 암스트롱/분(Å/min)으로부터 처리-이후(after-treatment)의 400 Å/min 미만까지 감소하며, 이는 식각 비율에서 일반적인 3 내지 6배의 감소를 나타낸다. 그러한 식각 비율 감소는, 식각 프로세스 동안의 레지스트 막 손실 및 LER/LWR의 성능 저하를 감소시키기 위해, 이용되는 식각액(etchant)들에 맞서 레지스트 패턴을 강화하기 때문에, 그 후의 ARC층(208)의 식각에서 매우 바람직하다. 동시에, 처리된 레지스트 패턴은 그 후의 레지스트 애싱(ashing) 또는 스트리핑 프로세스에 대하여 바람직한 애시(ash) 비율을 유지한다. 일부 예시들에서, 레지스트 패턴은, 이온 빔 처리 이전의 약 7,000 Å/min과 비교하여, 약 4,000 Å/min의 애시 비율을 갖는 것이 보고되었다.

[0019] 일 실시예에서, 이온 빔(212)은 하나보다 많은 꼬임각을 갖는데, 이는 이온 빔(212)의 여러 부분들이 상이한 꼬임각들로 동시에 라인 패턴(210)을 향함을 의미한다. 이는 도 9에 예시된다. 실제로, 이온 빔(212)은 집속 빔으로서가 아니라 팬-형태(fan-shaped) 빔으로서 전달된다. 일 실시예에서, 이온 빔(212)은 도 10에 도시된 바와 같이 단봉형(unimodal) 분포(214)를 가진 꼬임각들을 갖는다. 단봉형 분포(214)는, 영(0)도의 꼬임각에서 이온 에너지 피크(peak)를 가지며 $-\theta_1$ 도 내지 $+\theta_2$ 도의 범위 내로 실질적으로 제한되는 이온 에너지를 갖는다. 일 실시예에서, θ_1 및 θ_2 양자 모두는 약 50 도이다. 여러 실시예들에서, 단봉형 분포(214)는 영(0)도의 꼬임각에 대하여 비대칭일 수 있거나 또는 영(0)이 아닌(non-zero) 꼬임각에서 이온 에너지 피크를 가질 수 있다. 일부 예시들에서, 단봉형 분포 꼬임각을 가진 이온 빔을 이용하는 것은, 상이한 각도들에서 동시에 라인 패턴(210)의 표면을 잘라내기 때문에, 균일한 꼬임각을 가진 이온 빔을 이용하는 것보다 더 효과적이다.

[0020] 일 실시예에서, 이온 빔(212)은 도 11 및 12에 예시된 바와 같이 양봉형(bimodal) 분포(216)를 가진 꼬임각들을 갖는다. 실제로, 이온 빔(212)은 동시에 라인 패턴(210)을 향하는 두 개의 팬-형태 부분들을 갖는다. 도 12에 도시된 바와 같이, 양봉형 분포(216)는, 각각이 이온 빔(212)의 두 개의 부분들 중 하나에 대응하는 두 개의 단봉형 분포 컴포넌트들(216A 및 216B)을 갖는다. 단봉형 분포(216A)는 α_0 의 꼬임각에서 이온 에너지 피크를 가지며, α_1 내지 α_2 의 꼬임각들 범위 내로 실질적으로 제한되는 이온 에너지를 갖는다. 일 실시예에서, α_0 는 약 12.5 도이고, α_1 은 약 7.5 도이며, α_2 는 약 17.5 도이다. 단봉형 분포(216B)는 β_0 의 꼬임각에서 이온 에너지 피크를 가지며, $-\beta_1$ 내지 $-\beta_2$ 의 꼬임각들 범위 내로 실질적으로 제한되는 이온 에너지를 갖는다. 일 실시예에서, β_0 는 약 -12.5 도이고, β_1 은 약 -7.5 도이며, β_2 는 약 -17.5 도이다. 일부 실시예들에서, 단봉형 분포(216A)(또는 216B)는 그 단봉형 분포의 중심 꼬임각에 대하여 비대칭일 수 있다. 예를 들어, 단봉형 분포의 에너지 피크는 α_2 (또는 β_2)의 꼬임각에 더 가까울 수 있다. 일 실시예에서, α_0 는 약 40 도이고, α_1 은 약 20 도이며, α_2 는 약 40 도이다. 일부 실시예들에서, 단봉형 분포들(216A 및 216B)은 부분적으로 오버랩(overlap)할 수 있다. 일부 예시들에서, 양봉형 분포 꼬임각을 가진 이온 빔을 이용하는 것은, 상이한 각도들에서 동시에 라인 패턴(210)의 표면을 잘라낼 뿐만 아니라 그 라인 패턴(210)의 측면들에서의 표면 거칠기에 대처(attack)하기 위해 더 많은 이온 에너지를 또한 충당(devote)하기 때문에, 균일한 꼬임각 또는 단봉형 분포 꼬임각을 가진 이온 빔을 이용하는 것보다 더 효과적이다.

[0021] 일 실시예에서, 이온 빔(212)(도 7, 9, 및 11)은, O₂ 클러스터(cluster), Ar 클러스터, 또는 CO₂ 클러스터와 같은 기체 클러스터 이온 빔(gas cluster ion beam; GCIB)이다. 예를 들어, 이온 빔(212)은, 평균 클러스터 크기가 약 10,000 내지 약 20,000 원자(atom)이고, 평균 클러스터 전하(charge)가 +3이고, 평균 클러스터 에너지가 65 keV이고, 평균 클러스터 속도가 6.5 km/s이며, 총 전기 전류가 200μA 이상인, Ar GCIB일 수 있다.

[0022] 동작(110)에서, 방법(100)(도 1)은, 식각 프로세스들을 포함하는 프로세스를 통해, 처리된 레지스트 패턴(210)을 ARC층(208)으로 그리고 그 후에 기관(202)으로 옮긴다. 식각 프로세스들은 건식(플라즈마) 식각, 습식 식각, 및/또는 다른 식각 방법들을 포함할 수 있다. 예를 들어, 건식 식각 프로세스는, 산소-포함 기체, 불소-포함 기체(예를 들어, CF_4 , SF_6 , CH_2F_2 , CHF_3 , 및/또는 C_2F_6), 염소-포함 기체(예를 들어, Cl_2 , $CHCl_3$, CCl_4 , 및/또는 BCl_3), 브롬-포함 기체 (예를 들어, HBr 및/또는 $CHBr_3$), 요오드-포함 기체, 다른 적절한 기체들 및/또는 플라즈마들, 및/또는 이들의 조합들을 이용(implement)할 수 있다. 식각 프로세스들은 처리된 레지스트 패턴(210)을 식각 마스크로서 이용하여 ARC층(208)을 식각한다. 레지스트 패턴(210)의 이온 빔 처리로 인해, ARC층(208)(뿐만 아니라 기관(202))에 옮겨진 패턴은 일반적인 리소그래피 프로세스에서의 패턴에 비하여 우수한(superior) CD 및 LER/LWR을 보여준다. 일 실시예에서, ARC층(208)이 식각된 이후에, 예를 들어, 포토레지스트 스트리퍼(stripper), 수용성 알칼리 용액, 아민-용매(solvent) 혼합물, 또는 유기 용매를 이용하는 습식 식각 프로세스에 의해, 라인 패턴(210)이 제거된다.

[0023] 동작(112)에서, 방법(100)(도 1)은, 최종 패턴 또는 소자를 형성하도록 진행한다. 일 실시예에서, 레지스트 패턴(210)은 얇은 트렌치 격리(shallow trench isolation; STI) 피처 정의의 일부이다. 이 실시예를 더 발전시키면, 방법(100)은, 처리된 레지스트 패턴(210)을 오프닝(opening)으로서 하드 마스크층(204)으로 옮기고; 오프닝을 통해 기관(202)을 식각하여 그 기관(202) 안에 트렌치를 형성하고; 하드 마스크층(204)을 제거하고; 트렌치를 절연 재료로 채우며; 절연 재료에 대해 화학적 기계적 평탄화(chemical mechanical planarization; CMP) 프로세스를 수행한다. 또 다른 실시예에서, 레지스트 패턴(210)은 게이트 전극 피처 정의의 일부이며, 기관(202)은 실리콘 산화물(SiO_2) 또는 실리콘 산화질화물($SiON$)과 같은 절연 재료의 층 위에 폴리실리콘의 층을 포함한다. 이 실시예를 더 발전시키면, 방법(100)은, 처리된 레지스트 패턴(210)을 라인으로서 하드 마스크층(204)으로 옮기고; 패턴링된 하드 마스크층(204)을 식각 마스크로서 이용하여 폴리실리콘층 및 절연 재료층을 식각함으로써 게이트 스택을 형성하고; 패턴링된 하드 마스크층(204)을 제거하며; 게이트 스택 주위에 스페이서(spacer)를 형성한다. 또 다른 실시예에서, 레지스트 패턴(210)은, 소스, 드레인, 또는 게이트 콘택(contact)과 같은 콘택 피처 정의의 일부이다. 이 실시예를 더 발전시키면, 방법(100)은, 처리된 레지스트 패턴(210)을 오프닝으로서 하드 마스크층(204)으로 옮기고; 오프닝을 통해 기관(202)을 식각하여 콘택 홀(hole)을 형성함으로써 터미널(소스, 드레인, 또는 게이트)의 상단면을 노출시키고; 콘택 홀에 장벽층을 증착하고; 콘택 홀의 잔여 공간을, 알루미늄(Al), 텅스텐(W), 구리(Cu), 또는 코발트(Co)와 같은 전도성 재료로 채우며; 전도성 재료의 상단면을 평탄화하기 위해 CMP 프로세스를 수행한다.

[0024] 일 실시예에서, 이온 빔(212)은 레지스트층 이외의 재료층을 처리하는 데에 이용된다. 예를 들어, 라인 패턴(210)은 ARC층(208)으로 먼저 옮겨지고 그 후 패턴링된 ARC층(208)은 이온 빔(212)을 이용하여 처리된다. 그러한 처리가, 중합체 재료 또는 실리콘-포함 재료인 패턴링된 ARC층(208)의 CD, LER 및 LWR를 감소시키는 데에 또한 효과적임을 실험들이 보여준다. 유사하게, 이온 빔(212)은 최하위 재료층(206)이 패턴링된 이후에 그 최하위 재료층(206)을 처리하는 데에 이용될 수 있다.

[0025] 제한하려는 의도는 아니지만, 본 발명은 많은 이점들을 제공한다. 예를 들어, 본 발명의 여러 실시예들은, 패턴링된 레지스트층이 식각 마스크로서 이용되기 이전에 패턴링된 레지스트층의 CD, LER, 및 LWR을 감소시키기 위해 패턴링된 레지스트층을 이온 빔을 이용하여 처리한다. 이는 최종 IC 소자들의 CD 균일성을 개선한다. 여러 실시예들에서, 이온 빔은, Ar, He, CH_4 , 및 SiH_4 와 같은 여러 기체 종류들을 이용하여, 그리고 선택할 여러 이온 에너지 및 이온 투여량을 가지고 생성될 수 있는데, 이는 본 발명의 실시예들이 상이한 애플리케이션들 및 흐름들에 적응할 수 있게끔 한다. 여러 실시예들에서, 이온 빔은 경사각 및 꼬임각으로 패턴링된 레지스트층을 향하는데, 이는 많은 막 손실 없이 레지스트 패턴 측벽을 매끄럽게 하는 데에 기여한다. 또한, 경사각과 함께 단봉형 또는 양봉형 꼬임각 분포를 갖는 것은, 이온 빔을 이용하여 조밀한(dense) 레지스트 패턴들을 처리할 때의 음영 효과를 극복하도록 돕는다. 또한, 본 발명의 여러 실시예들은, 수직 게이트-올-어라운드(vertical gate-all-around; VGAA) 소자들에서의 나노-와이어 패턴링, STI 패턴링, 게이트 전극 패턴링, 콘택 패턴링 등과 같은, 리소그래피가 이용되는 모든 유형들의 IC 제조 프로세스들에서 구현될 수 있다. 사실상, 지금까지 논의된 특정 실시예들은 단지 예시들일 뿐이며 특허청구범위에 명시적으로 인용된 것 이상으로 본 발명의 발명적 범주를 제한하지 않는다.

[0026] 하나의 예시적인 양상에서, 본 발명은 기관을 패턴링하는 방법에 관한 것이다. 이 방법은, 기관 위에 형성된 레지스트층을 패턴링하여, 그 결과 레지스트 패턴이 되는 것; 및 레지스트 패턴을 이온 빔을 이용하여 처리하여, 그 결과 처리된 레지스트 패턴이 되는 것을 포함하고, 여기에서 이온 빔은 제1 기체를 이용하여 생성

되며 적어도 10 도의 경사각으로 레지스트 패턴을 향한다. 이 방법은 처리된 레지스트 패턴을 식각 마스크로서 이용하여 기판을 식각하는 것을 더 포함한다. 여러 실시예들에서, 이온 빔은, 균일한 꼬임각, 단봉형 분포 꼬임각, 또는 양봉형 분포 꼬임각으로 레지스트 패턴을 향한다.

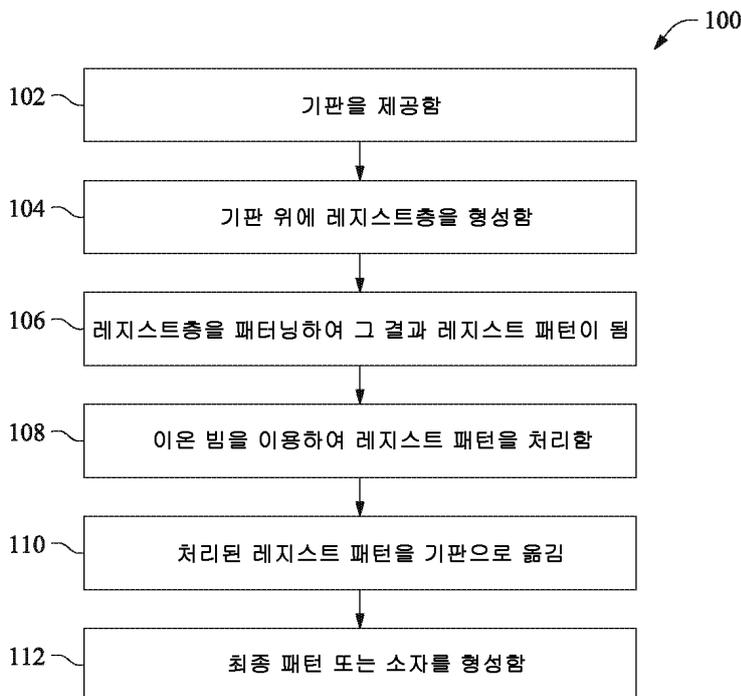
[0027] 또 다른 예시적인 양상에서, 본 발명은 기판 위의 식각층을 패터닝하는 방법에 관한 것이다. 이 방법은 식각층 위에 레지스트층을 형성하는 것; 레지스트층을 패터닝하여, 그 결과 패터닝된 레지스트층이 되는 것; 및 패터닝된 레지스트층에 대해 이온 주입을 수행하여, 그 결과 처리된 패터닝된 레지스트층이 되는 것을 포함한다. 이온 주입을 수행하는 단계는, CH₄, SiH₄, Ar, 또는 He를 포함하는 처리 기체를 제공하는 것; 처리 기체로부터 이온 빔을 생성하는 것; 및 경사각으로 기판에 입사하도록 이온 빔을 지향시키는 것을 포함한다. 이 방법은 처리된 패터닝된 레지스트층을 식각 마스크로서 이용하여 식각층을 식각하는 것을 더 포함한다.

[0028] 또 다른 예시적인 양상에서, 본 발명은 집적 회로를 형성하는 방법에 관한 것이다. 이 방법은 기판 위의 재료층을 패터닝하여, 그 결과 패터닝된 재료층이 되는 것; 및 CH₄, SiH₄, Ar, 및 He 중 하나를 이용하여 생성되며 10 도보다 큰 경사각으로 기판에 입사하도록 지향되는 이온 빔을 이용하여 패터닝된 재료층을 처리하여, 그 결과 처리된 패터닝된 재료층이 되는 것을 포함한다. 이 방법은 처리된 패터닝된 재료층을 이용하여 기판을 식각하는 것을 더 포함한다. 여러 실시예들에서, 재료층은, 레지스트층, 실리콘-포함 ARC층, 또는 실리콘, 산소, 및 탄소를 포함하는 재료층일 수 있다.

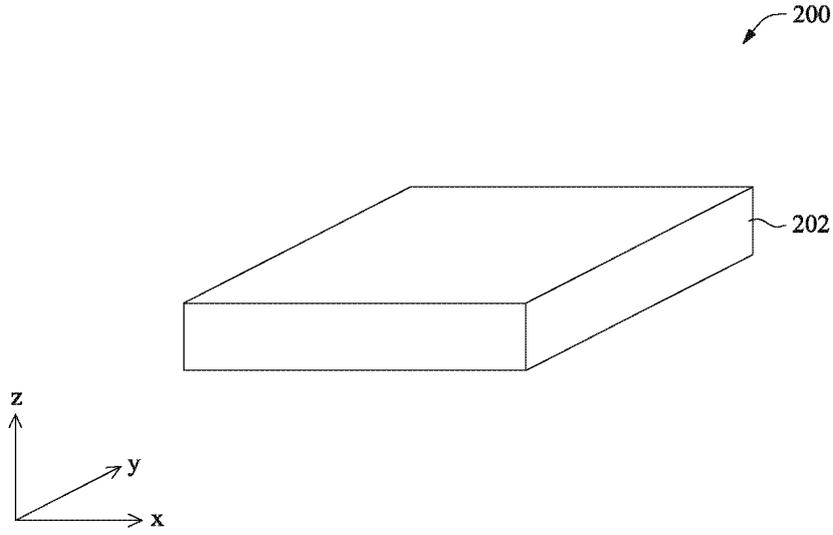
[0029] 전술한 내용은, 당업자가 본 발명의 양상들을 더 잘 이해할 수 있도록 하기 위해 몇몇 실시예들의 특징들의 개요를 서술한다. 당업자는, 본원에서 소개된 실시예들과 동일한 목적을 수행하고/하거나 동일한 이점들을 달성하는 다른 프로세스들 및 구조들을 설계 또는 변경하기 위한 기반으로서 본 발명을 쉽게 이용할 수 있음을 이해할 것이다. 당업자는 그러한 동등한 구성들이 본 발명의 정신 및 범주로부터 벗어나지 않음과, 본 발명의 정신 및 범주로부터 벗어나지 않으면서 본원에 대해 다양한 변경, 대체, 및 변형을 할 수 있음을 또한 인식할 것이다.

도면

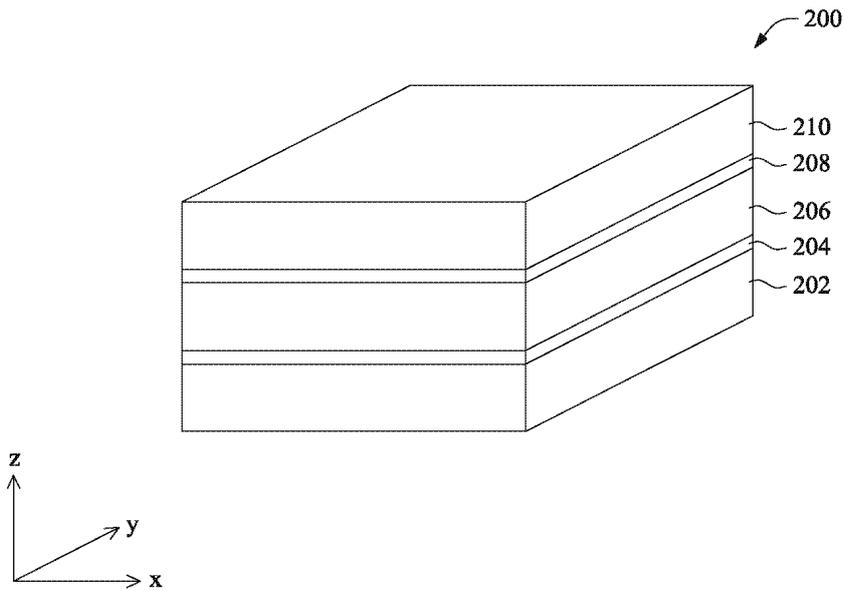
도면1



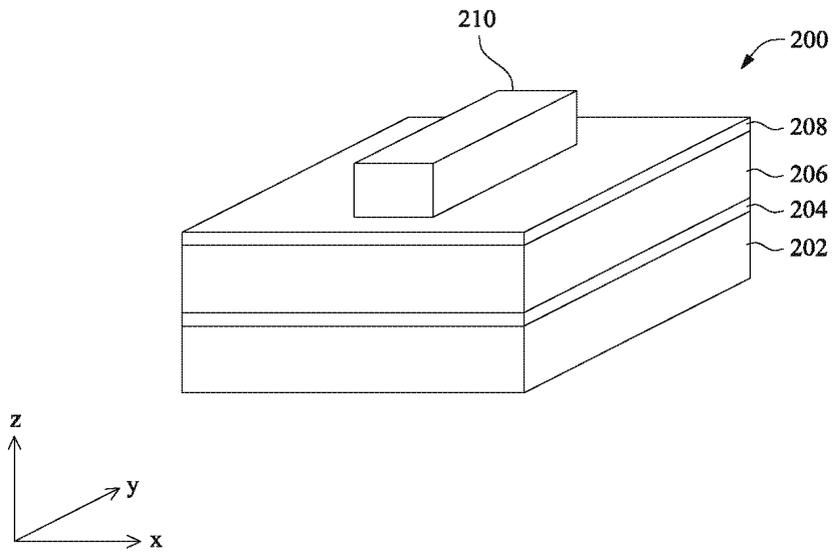
도면2



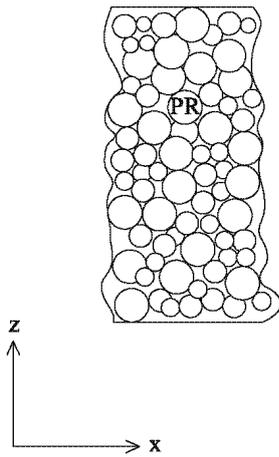
도면3



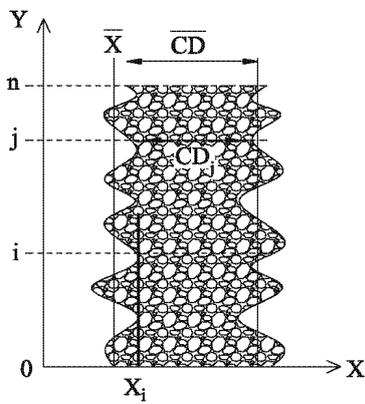
도면4



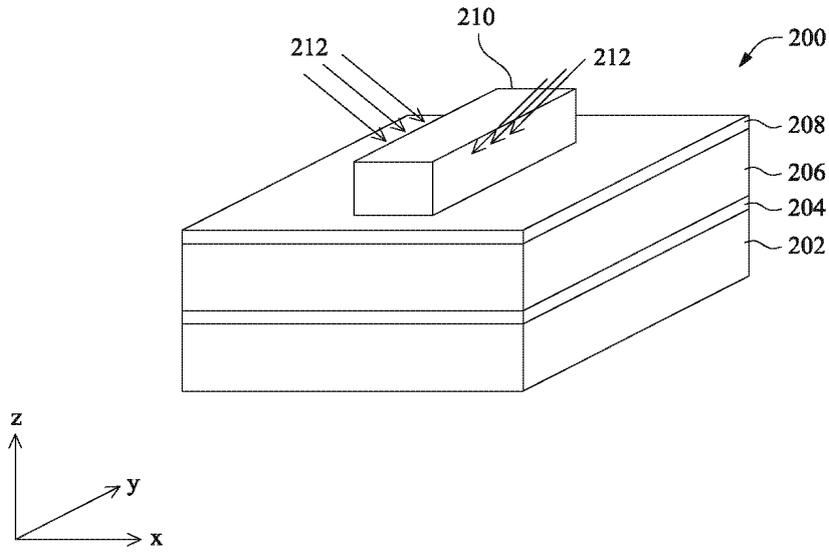
도면5



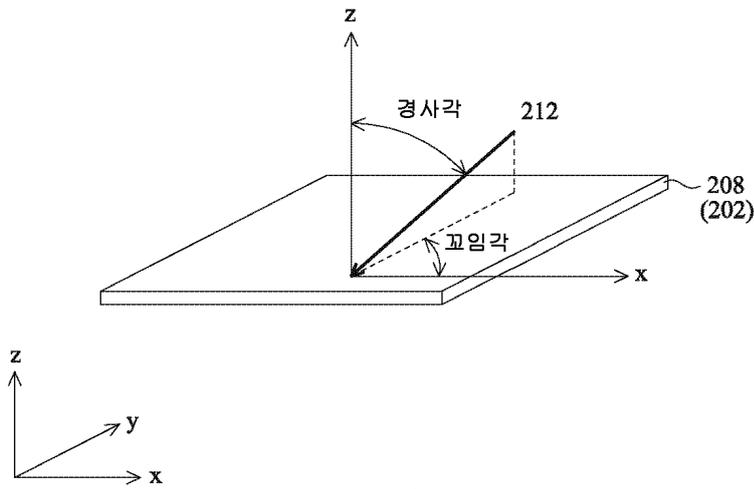
도면6



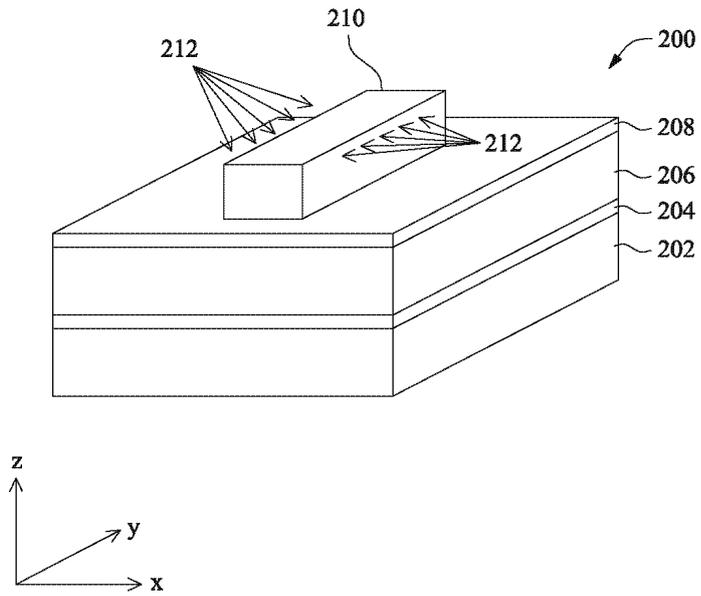
도면7



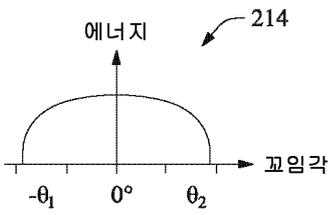
도면8



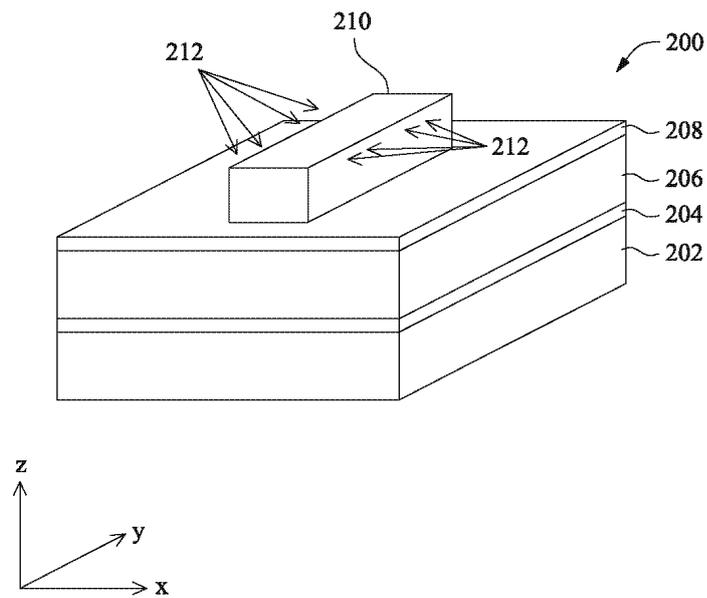
도면9



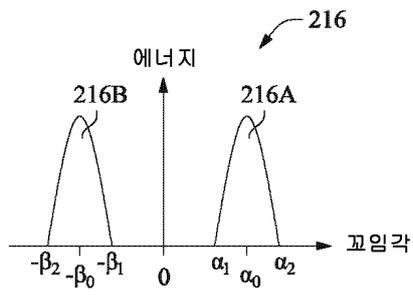
도면10



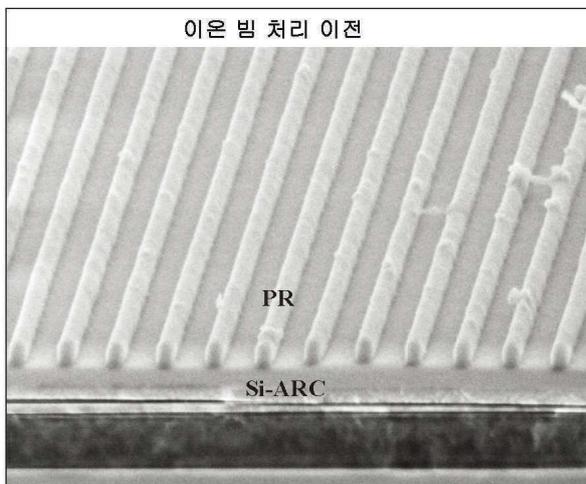
도면11



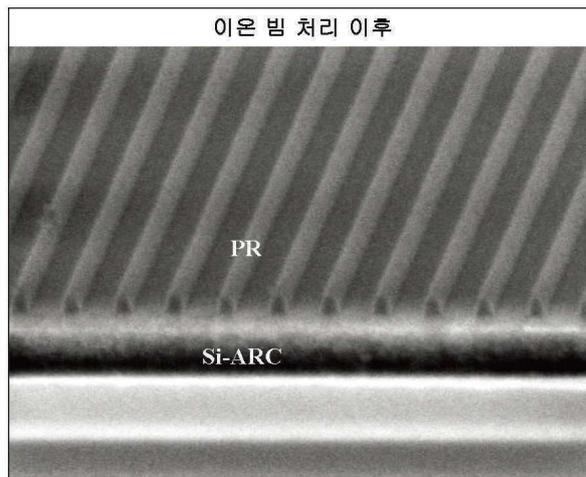
도면12



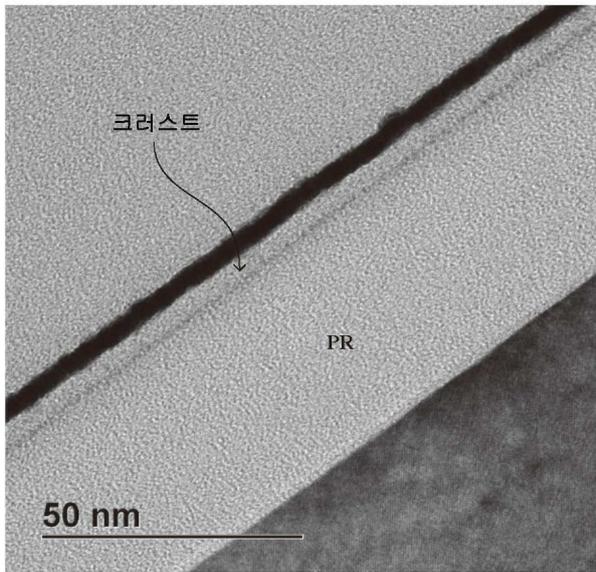
도면13



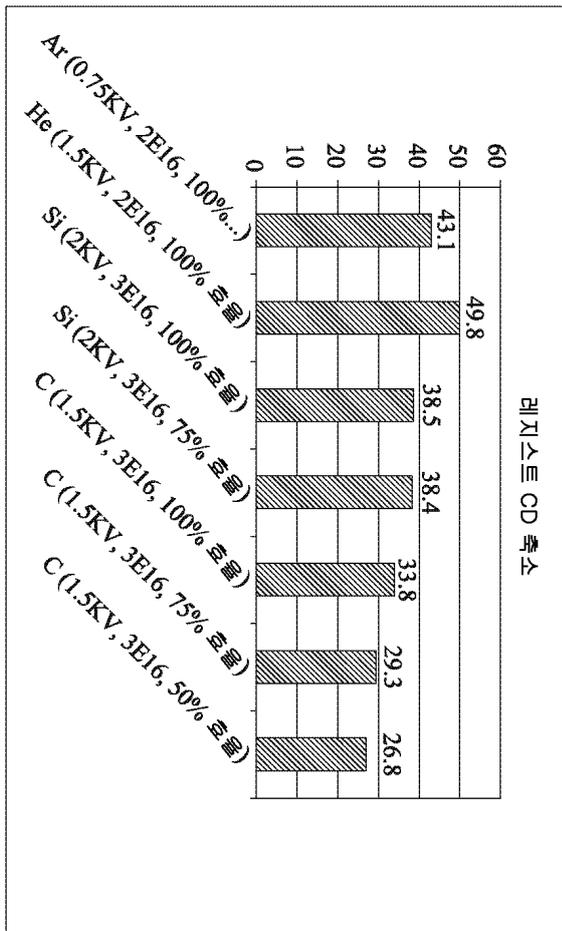
도면14



도면15



도면16



도면17

