

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年5月2日(02.05.2013)



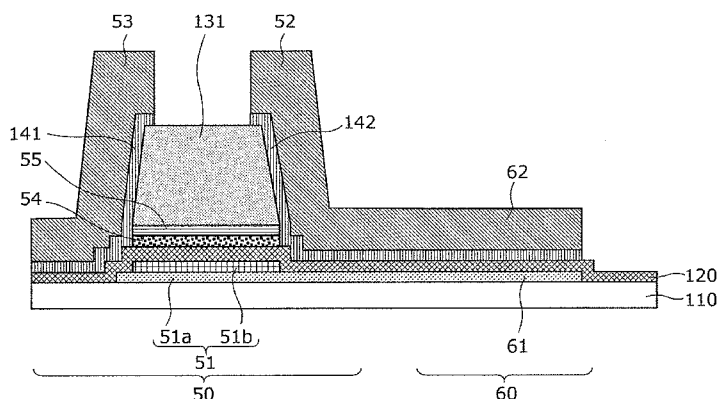
(10) 国際公開番号
WO 2013/061381 A1

- (51) 国際特許分類:
H01L 21/336 (2006.01) H01L 29/786 (2006.01)
G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2011/006046
- (22) 国際出願日: 2011年10月28日(28.10.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION)
[JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 鐘ヶ江 有宣(KANEGAE, Arinobu). 川島 孝啓(KAWASHIMA, Takahiro).
- (74) 代理人: 新居 広守(NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: THIN FILM SEMICONDUCTOR DEVICE, AND METHOD FOR PRODUCING THIN FILM SEMICONDUCTOR DEVICE

(54) 発明の名称: 薄膜半導体装置及び薄膜半導体装置の製造方法

[図5]



(57) Abstract: A thin film semiconductor device is configured from: a semiconductor element part (50) equipped with a light-shielding gate electrode (51), a first insulating layer (120), a channel layer (54), a second insulating layer (131), a source electrode (53), and a drain electrode (52); and a capacitance part (60) equipped with a first capacitance electrode (61) formed from a transparent conductive material, a dielectric layer (120), and a second capacitance electrode (62). The gate electrode (51), the channel layer (54), and the second insulating layer (131) are laminated in a manner such that the contours thereof overlap when viewed from above.

(57) 要約:

[続葉有]

WO 2013/061381 A1



薄膜半導体装置は、遮光性のゲート電極（５１）と、第１絶縁層（１２０）と、チャネル層（５４）と、第２絶縁層（１３１）と、ソース電極（５３）及びドレイン電極（５２）とを備える半導体素子部（５０）と、透明導電性材料で形成された第１容量電極（６１）と、誘電体層（１２０）と、第２容量電極（６２）とを備える容量部（６０）とで構成され、ゲート電極（５１）、チャネル層（５４）、および第２絶縁層（１３１）は、上面視したときに外形輪郭線が一致するように積層される。

明 細 書

発明の名称： 薄膜半導体装置及び薄膜半導体装置の製造方法

技術分野

[0001] 本発明は、薄膜半導体装置に関し、特に、表示装置の画素回路に用いられる薄膜半導体装置に関するものである。

背景技術

[0002] 近年、液晶ディスプレイに変わる次世代フラットパネルディスプレイの一つとしての有機材料のEL (Electro luminescence) を利用した有機ELディスプレイが注目されている。

[0003] 有機ELディスプレイは、電圧駆動型の液晶ディスプレイと異なり、電流駆動型のディスプレイデバイスである。このことから、アクティブマトリクス方式の表示装置の駆動回路として優れた特性を有する薄膜トランジスタ (TFT: Thin Film Transistor) の開発が急がれている。薄膜トランジスタは、画素を選択するスイッチング素子、或いは画素を駆動する駆動トランジスタ等として用いられる。

[0004] 図11を参照して、従来の画素回路の構成を説明する。図11に示される画素回路900は、基板910と、基板910上に形成される半導体素子部及び容量部とで構成される。半導体素子部は、ゲート電極921と、ゲート絶縁膜930と、結晶シリコン層941と、非結晶シリコン層951と、チャネル保護層960と、一对のコンタクト層971、972と、ソース電極981及びドレイン電極982とを、基板910上に積層して構成されるボトムゲート型の薄膜トランジスタである。容量部は、第1容量電極922と、誘電体層として機能するゲート絶縁膜930と、第1シリコン層942と、第2シリコン層952と、第3シリコン層973と、第2容量電極983とを、基板910上に積層して構成される。

[0005] 上記の半導体素子部は、チャネル層として機能する結晶シリコン層941をエッチング処理から保護するために、チャネル保護層960を有するチャ

ネル保護型（エッチングストップパ型）の薄膜トランジスタである。チャンネル保護型の薄膜トランジスタは、例えば、特許文献1、2に開示されているように、エッチング処理によるチャンネル層へのダメージを防ぐことができ、基板910内で特性ばらつきが増大することを抑制することができる。また、チャンネル保護型の薄膜トランジスタの方がチャンネル層を薄膜化することができる。その結果、寄生抵抗成分を低減してオン特性を向上させることができるため、高精細化には有利である。

先行技術文献

特許文献

- [0006] 特許文献1：特開2001-119029号公報
特許文献2：特開昭64-004071号公報

発明の概要

発明が解決しようとする課題

- [0007] 上記構成の画素回路900において、チャンネル保護層960は、例えば、有機材料をパターニングすることによって、結晶シリコン層941のチャンネル領域に重畳する位置に選択的に形成される。このとき、ゲート電極921をマスクとして裏面側（図11の下側）から露光すると、第1容量電極922がマスクとなって容量部にも有機材料が残留してしまう。そこで、チャンネル保護層960をパターニングするためには、上面側（図11の上側）から露光する必要がある。そうすると、図11に示されるように、チャンネル保護層960の幅がゲート電極921より狭くなるので、チャンネル保護層960の左右の領域（図11の楕円で囲った領域）に寄生容量が生じ、高精細化を困難にするという課題を生じる。
- [0008] また、結晶シリコン層941、非結晶シリコン層951、及びコンタクト層971、972は、ソース電極981及びドレイン電極982をマスクとしてエッチングすることによって形成される。このとき、ソース電極981及びドレイン電極982と同一材料で形成される第2容量電極983がマス

クとなって、容量部にも第1～第3シリコン層942、952、973が残留する。その結果、容量部がMIS (Metal-Insulator-Semiconductor) となり、電圧によって容量値が変化するという課題を生じる。

[0009] そこで、本発明は、上記の課題に鑑みてなされたものであり、寄生容量の少ない半導体素子部と、MIM (Metal-Insulator-Metal) 型の容量部とで構成される薄膜半導体装置を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の一形態に係る薄膜半導体装置は、基板と、前記基板上に互いに離間して形成される半導体素子部及び容量部とを備える。前記半導体素子部は、前記基板上に形成された遮光性のゲート電極と、前記ゲート電極上に形成された第1絶縁層と、前記第1絶縁層上に形成されたチャンネル層と、前記チャンネル層上に形成された第2絶縁層と、前記第2絶縁層上に形成されたソース電極及びドレイン電極とを備える。前記容量部は、透明導電性材料で前記基板上に形成された第1容量電極と、前記第1絶縁層と同一の材料で、前記第1容量電極上に形成された誘電体層と、前記ソース電極及び前記ドレイン電極の少なくとも一方と同一の導電性材料で、前記誘電体層上に形成された第2容量電極とを備える。そして、前記ゲート電極、前記チャンネル層、および前記第2絶縁層は、上面視したときに外形輪郭線が一致するように積層される。

発明の効果

[0011] 本発明によれば、寄生容量の少ない半導体素子部と、MIM型の容量部とで構成される薄膜半導体装置を得ることができる。

図面の簡単な説明

[0012] [図1]図1は、薄膜半導体アレイ基板を示す図である。

[図2]図2は、実施の形態に係る有機ELディスプレイの斜視図である。

[図3]図3は、画素回路の回路構成を示す図である。

[図4]図4は、実施の形態に係る薄膜半導体装置の構成を示す平面図である。

[図5]図5は、図4の線分Aにおける断面図である。

[図6A]図6Aは、ゲート配線層における各構成要素の位置関係を示す図である。

[図6B]図6Bは、第2ゲート電極と結晶シリコン層との位置関係を示す図である。

[図6C]図6Cは、第2ゲート電極と結晶シリコン層と非結晶シリコン層との位置関係を示す図である。

[図6D]図6Dは、第2ゲート電極と結晶シリコン層と非結晶シリコン層とチャネル保護層との位置関係を示す図である。

[図7A]図7Aは、実施の形態に係る薄膜半導体装置の製造方法における基板準備工程を模式的に示した断面図である。

[図7B]図7Bは、実施の形態に係る薄膜半導体装置の製造方法におけるゲート電極／第1容量電極形成工程を模式的に示した断面図である。

[図7C]図7Cは、実施の形態に係る薄膜半導体装置の製造方法におけるゲート電極及び第1容量電極が形成された状態を模式的に示した断面図である。

[図7D]図7Dは、実施の形態に係る薄膜半導体装置の製造方法におけるゲート絶縁膜形成工程を模式的に示した断面図である。

[図7E]図7Eは、実施の形態に係る薄膜半導体装置の製造方法における結晶シリコン薄膜形成工程を模式的に示した断面図である。

[図7F]図7Fは、実施の形態に係る薄膜半導体装置の製造方法における非結晶シリコン薄膜形成工程を模式的に示した断面図である。

[図7G]図7Gは、実施の形態に係る薄膜半導体装置の製造方法における絶縁膜形成工程を模式的に示した断面図である。

[図7H]図7Hは、実施の形態に係る薄膜半導体装置の製造方法におけるチャネル保護層形成工程を模式的に示した断面図である。

[図7I]図7Iは、実施の形態に係る薄膜半導体装置の製造方法における結晶シリコン層／非結晶シリコン層形成工程を模式的に示した断面図である。

[図7J]図7 Jは、実施の形態に係る薄膜半導体装置の製造方法におけるコンタクト層用薄膜形成工程を模式的に示した断面図である。

[図7K]図7 Kは、実施の形態に係る薄膜半導体装置の製造方法におけるソース電極／ドレイン電極形成工程を模式的に示した断面図である。

[図8]図8は、変形例1に係る薄膜半導体装置の構成を示す断面図である。

[図9]図9は、変形例2に係る薄膜半導体装置の構成を示す平面図である。

[図10]図10は、変形例1に係る薄膜半導体装置のゲート配線層における各構成要素の位置関係を示す図である。

[図11]図11は、従来の画素回路の構成を示す断面図である。

発明を実施するための形態

[0013] 本発明の一形態に係る薄膜半導体装置は、基板と、前記基板上に互いに離間して形成される半導体素子部及び容量部とを備える。前記半導体素子部は、前記基板上に形成された遮光性のゲート電極と、前記ゲート電極上に形成された第1絶縁層と、前記第1絶縁層上に形成されたチャネル層と、前記チャネル層上に形成された第2絶縁層と、前記第2絶縁層上に形成されたソース電極及びドレイン電極とを備える。前記容量部は、透明導電性材料で前記基板上に形成された第1容量電極と、前記第1絶縁層と同一の材料で、前記第1容量電極上に形成された誘電体層と、前記ソース電極及び前記ドレイン電極の少なくとも一方と同一の導電性材料で、前記誘電体層上に形成された第2容量電極とを備える。そして、前記ゲート電極、前記チャネル層、および前記第2絶縁層は、上面視したときに外形輪郭線が一致するように積層される。

[0014] 上記構成によれば、上面視したときにゲート電極とチャネル保護層との外形輪郭線が一致する。これにより、チャネル保護層の左右の領域でゲート電極とソース電極及びドレイン電極とが重畳しないので、この領域の寄生容量を削減することができる。また、第1容量電極と第2容量電極との間に介在する半導体層が介在しないので、MIM型の容量部を形成することができる。

- [0015] 一例として、前記ゲート電極は、前記透明導電性材料で形成された第1ゲート電極と、遮光性導電性材料で前記第1ゲート電極上に形成された第2ゲート電極とで構成されてもよい。
- [0016] さらに、前記半導体素子部は、前記第2絶縁層と前記ソース電極との間、及び前記第2絶縁層と前記ドレイン電極との間に介在し、前記チャンネル層の側面とコンタクトするコンタクト層を備えてもよい。
- [0017] さらに、前記容量部は、さらに、前記誘電体層と前記第2容量電極との間に、前記コンタクト層と同じ材料で形成された中間層を備えてもよい。
- [0018] また、前記チャンネル層は、結晶性シリコン薄膜で形成されてもよい。
- [0019] さらに、前記半導体素子部は、前記チャンネル層上に非結晶性の真性シリコン薄膜を備えてもよい。
- [0020] また、前記第2ゲート電極、前記チャンネル層、前記非結晶性の真性シリコン薄膜、および前記第2絶縁層は、上面視したときに外形輪郭線が一致するように積層されてもよい。
- [0021] また、前記第2絶縁層は、有機材料で形成されてもよい。
- [0022] 本発明の一形態に係る薄膜半導体装置の製造方法は、基板を準備する第1工程と、前記基板上に、遮光性導電性材料でゲート電極を形成すると共に、前記ゲート電極と離間した位置に透明導電性材料で第1容量電極を形成する第2工程と、前記ゲート電極上および前記第1容量電極上に、第1絶縁層を形成する第3工程と、前記第1絶縁層上に半導体層を形成する第4工程と、前記半導体層上に、第2絶縁層を形成する第5工程と、前記半導体層をエッチングすることにより、前記ゲート電極に重畳する位置にチャンネル層を形成する第6工程と、前記第2絶縁層上の前記チャンネル層に重畳する位置にソース電極及びドレイン電極を形成すると共に、前記第1絶縁層上の前記第1容量電極に重畳する位置に第2容量電極を形成する第7工程とを含む。前記第5工程では、前記半導体層上に前記第2絶縁層を形成した後に、前記基板の前記ゲート電極および前記第1容量電極が形成された面と反対側の面から、前記第2絶縁層に対して前記ゲート電極をマスクに用いて前記第2絶縁層を

感光させる光で露光する露光工程と、前記第2絶縁層を現像する現像工程とによって、前記ゲート電極に重畳する位置の前記第2絶縁層を残し、且つ前記第1容量電極に重畳する位置の前記第2絶縁層を除去する。前記第6工程では、前記ゲート電極に重畳する位置に残された前記第2絶縁層をマスクとして前記半導体層をエッチングする工程によって、前記半導体層を前記ゲート電極に重畳する位置の前記チャネル層として残し、且つ前記第1容量電極に重畳する位置からは前記半導体層を除去することにより、前記ゲート電極、前記チャネル層、および前記第2絶縁層は、上面視したときに外形輪郭線が一致するように形成される。

[0023] 上記方法のように、ゲート電極を遮光性導電性材料で形成し、且つ基板の裏面側から第2絶縁層を露光することにより、第2絶縁層の外形輪郭線がゲート電極の外形輪郭線に一致するようにセルフアライメントされる。また、第2絶縁層をマスクとして半導体層をエッチングすることにより、第1及び第2容量電極の間から半導体層を除去することができる。すなわち、上記方法によれば、比較的容易に上記構成の薄膜半導体装置を得ることができる。

[0024] また、前記ゲート電極は、第1ゲート電極と、前記第1ゲート電極上に形成される第2ゲート電極とで構成されてもよい。そして、前記第2工程は、前記基板上に、前記透明導電性材料で前記第1ゲート電極と前記第1容量電極とを同時に形成する工程と、前記第1ゲート電極上に、遮光性導電性材料で前記第2ゲート電極を形成する工程とを含んでもよい。

[0025] また、前記半導体層は、前記光を透過する厚みであってもよい。

[0026] また、前記半導体層の厚みは、30nm以上、200nm以下であってもよい。

[0027] また、前記半導体層は、結晶シリコン層と非結晶シリコン層とを積層して形成されてもよい。そして、前記非結晶シリコン層の厚みは、50nm以下であってもよい。

[0028] 非結晶性の真性シリコン薄膜は、露光工程での光に対しての吸収率が高く、厚くしすぎると、第2絶縁層に必要な露光量が届かず、露光が不十分にな

ってしまう恐れがある。もしくは、必要な露光量を得るために長時間の露光工程が必要になってしまい、生産性を著しく落としてしまう懸念がある。但し、非結晶性の真性シリコン薄膜の厚みは、露光工程で用いる光の光量を強くすれば50nm以上とすることもできる。

[0029] また、前記ゲート電極は、前記透明導電性材料で前記第1容量電極と一体形成される第1ゲート電極と、前記第1ゲート電極上に前記遮光性導電性材料で形成される第2ゲート電極とで構成されてもよい。そして、前記第2工程では、ハーフトーンマスクを用いて前記第1ゲート電極、前記第2ゲート電極、及び前記第1容量電極を同時に形成してもよい。

[0030] 上記構成によれば、第1ゲート電極、第2ゲート電極、及び第1容量電極を1プロセスで形成することができる。

[0031] 以下、図面を参照して、本発明に係る薄膜半導体装置及びその製造方法を説明する。なお、本発明は、請求の範囲の記載に基づいて特定される。よって、以下の実施の形態における構成要素のうち、請求項に記載されていない構成要素は、本発明の課題を達成するのに必ずしも必要ではない。すなわち、以下の実施の形態は、本発明のより好ましい形態を説明するものである。また、各図は模式図であり、必ずしも厳密に図示したものではない。

[0032] (実施の形態)

図1及び図2を参照して、本発明の実施の形態に係る有機EL (Electro Luminescence) ディスプレイ (有機EL表示パネル) 10及び画像表示装置用の薄膜トランジスタアレイ装置 (以下、単に「薄膜トランジスタアレイ装置」と表記する) 20を説明する。なお、図1は、薄膜半導体アレイ基板1を示す図である。図2は、本発明の実施の形態に係る表示装置の一例である有機ELディスプレイ10の斜視図である。

[0033] まず、薄膜半導体アレイ基板1は、図1に示されるように、複数 (図1では2個) の有機ELディスプレイ10で構成されている。また、有機ELディスプレイ10は、図2に示されるように、下層より、薄膜トランジスタアレイ装置20、層間絶縁膜 (平坦化膜) 11 (図2では図示省略)、陽極 (

下部電極) 12、有機EL層(有機発光層) 13、及び透明陰極(上部電極) 14の積層構造体である。また、陽極12及び有機EL層13の間には正孔輸送層(図示省略)が、有機EL層13及び透明陰極14の間には電子輸送層(図示省略)が積層される。

[0034] 薄膜トランジスタアレイ装置20には、複数の画素100が行列状(マトリックス状)に配置されている。各画素100は、それぞれに設けられた画素回路30によって駆動される。また、薄膜トランジスタアレイ装置20は、行状に配置される複数のゲート配線21と、ゲート配線21と交差するように列状に配置される複数のソース配線(信号配線)22と、ソース配線22に平行に延びる複数の電源配線23(図2では図示省略)とを備える。

[0035] このゲート配線21は、画素回路30のそれぞれに含まれるスイッチング素子として動作する薄膜トランジスタのゲート電極41(図2では図示省略)を行毎に接続する。ソース配線22は、画素回路30のそれぞれに含まれるスイッチング素子として動作する薄膜トランジスタのソース電極42(図2では図示省略)を列毎に接続する。電源配線23は、画素回路30のそれぞれに含まれる駆動素子として動作する薄膜トランジスタのドレイン電極52(図2では図示省略)を列毎に接続する。

[0036] 次に、図3及び図4を参照して、画素100の構造を説明する。なお、図3は、画素100に含まれる画素回路30の回路図である。図4は、画素100の構成を示す平面図である。

[0037] 画素回路30は、図3に示されるように、スイッチ素子として動作する第1のトランジスタ40と、駆動素子として動作する第2のトランジスタ50と、対応する画素に表示するデータを記憶するキャパシタ60とで構成される。

[0038] 第1のトランジスタ40は、ゲート配線21に接続されるゲート電極41と、ソース配線22に接続されるソース電極42と、キャパシタ60及び第2のトランジスタ50のゲート電極51に接続されるドレイン電極43とで構成される。この第1のトランジスタ40は、接続されたゲート配線21及

びソース配線 22 に電圧が印加されると、当該ソース配線 22 に印加された電圧値を表示データとしてキャパシタ 60 に保存する。

[0039] 第 2 のトランジスタ 50 は、ゲート電極 51 と、電源配線 23 及びキャパシタ 60 に接続されるドレイン電極 52 と、ソース電極 53 とで構成される。この第 2 のトランジスタ 50 は、キャパシタ 60 が保持している電圧値に対応する電流を電源配線 23 からソース電極 53 を通じて陽極 12 に供給する。

[0040] すなわち、上記構成の有機 EL ディスプレイ 10 は、ゲート配線 21 とソース配線 22 との交点に位置する画素 100 毎に表示制御を行うアクティブマトリックス方式を採用している。

[0041] なお、図 4 に示されるように、第 1 のトランジスタ 40 のドレイン電極 43 と、第 2 のトランジスタ 50 のゲート電極 51 とは、コンタクトホール 70 を介して電氣的に接続されている。また、第 2 のトランジスタのソース電極 53 は、中継電極 80 を介して陽極 12 (図 4 では図示省略) に電氣的に接続されている。

[0042] さらに、図 4 に示されるように、ゲート配線 21、及びゲート電極 41、51 は、それぞれ 2 種類の金属を積層して構成される。具体的には、ゲート配線 21 は、第 1 ゲート配線 21a と第 2 ゲート配線 21b とを積層して構成されている。ゲート電極 41 は、第 1 ゲート電極 41a と第 2 ゲート電極 41b とを積層して構成されている。ゲート電極 51 は、第 1 ゲート電極 51a と第 2 ゲート電極 51b とを積層して構成されている。

[0043] 次に、図 5 及び図 6A~図 6D を参照して、第 2 のトランジスタ 50 及びキャパシタ 60 の詳細な構成を説明する。図 5 は、図 4 の線分 A における断面図である。図 6A~図 6D は、画素 100 を上面視したときの各構成要素の位置関係を説明するための図である。なお、第 1 のトランジスタ 40 の構成は、第 2 のトランジスタ 50 と共通するので、第 2 のトランジスタ 50 を中心に説明する。

[0044] まず、図 5 に示されるように、第 2 のトランジスタ (半導体素子部) 50

とキャパシタ（容量部）60とは、共通の基板110上に互いに離間して形成されている。第2のトランジスタ50は、基板110上に、ゲート電極51と、ゲート絶縁膜（第1絶縁層）120と、結晶シリコン層54と、非結晶シリコン層55と、チャネル保護層131と、一对のコンタクト層141、142と、ソース電極53及びドレイン電極52とを、この順に積層して構成されるボトムゲート型の薄膜トランジスタである。キャパシタ60は、基板110上に、第1容量電極61と、誘電体層として機能するゲート絶縁膜120と、シリコン層143と、第2容量電極62とを、この順に積層して構成される。

[0045] 基板110は、例えば、石英ガラス、無アルカリガラス、高耐熱性ガラス等のガラス材料からなるガラス基板である。なお、ガラス基板の中に含まれるナトリウムやリン等の不純物が結晶シリコン層54に侵入することを防止するために、基板110上にシリコン窒化膜（ SiN_x ）、酸化シリコン（ SiO_y ）又はシリコン酸窒化膜（ SiO_yN_x ）等からなるアンダーコート層を形成してもよい。また、アンダーコート層は、レーザアニールなどの高温熱処理プロセスにおいて、基板110への熱の影響を緩和させる役割を担うこともある。アンダーコート層の膜厚は、例えば100nm～2000nm程度とすることができる。

[0046] ゲート電極51及び第1容量電極61は、基板110上に所定形状でパターン形成される。より具体的には、ゲート電極51は、基板110上にパターン形成される第1ゲート電極51aと、第1ゲート電極51a上にパターン形成される第2ゲート電極51bとの積層構造体である。また、第1容量電極61は、第1ゲート電極51aと同一の材料で基板110上にパターン形成される。

[0047] 本実施の形態においては、図6Aに示されるように、第1ゲート配線21aと第1のトランジスタ40の第1ゲート電極41aとが連続した単一のパターンとして形成され、第2のトランジスタ50の第1ゲート電極51aと第1容量電極61とが連続した単一のパターンとして形成される。そして、

第1ゲート配線21a上に第2ゲート配線21bが、第1のトランジスタ40の第1ゲート電極41a上に第2ゲート電極41bが、第2のトランジスタ50の第1ゲート電極51a上に第2ゲート電極51bが、それぞれ別個独立したパターンとして形成される。

[0048] 第1ゲート電極51a及び第1容量電極61は、透明導電性材料で形成される。透明導電性材料の具体例は特に限定されないが、例えば、ITO (Indium Tin Oxide)、 SnO_2 、 In_2O_3 、 ZnO 等を用いることができる。

[0049] 一方、第2ゲート電極51bは、遮光性導電性材料で形成される。遮光性導電性材料の具体例は特に限定されないが、例えば、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、タングステン (W)、チタン (Ti)、クロム (Cr)、及びモリブデントングステン (MoW) 等を用いることができる。ゲート電極51の膜厚は、例えば20~500nm程度とすることができる。

[0050] ゲート絶縁膜 (第1絶縁層) 120は、ゲート電極51及び第1容量電極61を覆うように、基板110上の全面に形成される。すなわち、ゲート絶縁膜120は、第2のトランジスタ50の領域ではゲート絶縁膜として機能し、キャパシタ60の領域では誘電体層として機能する。

[0051] ゲート絶縁膜120は、例えば、酸化シリコン (SiO_y)、窒化シリコン (SiN_x)、シリコン酸窒化膜 (SiO_yN_x)、酸化アルミニウム (AlO_z) 又は酸化タンタル (TaO_w) の単層膜又はこれらの積層膜によって構成することができる。ゲート絶縁膜120の膜厚は、例えば50nm~300nmとすることができる。

[0052] なお、本実施の形態では、第2のトランジスタ50のチャンネル領域を結晶シリコン層54に形成しているので、ゲート絶縁膜120に酸化シリコンを用いることが好ましい。酸化シリコンは、結晶シリコン層54とゲート絶縁膜120との界面状態を良好にするのに適しており、これによって第2のトランジスタ50の閾値電圧特性が向上する。

- [0053] 結晶シリコン層（チャネル層）54は、ゲート絶縁膜120上のゲート電極51に重畳する位置にパターン形成される半導体膜であって、ゲート電極51の電圧によってキャリアの移動が制御される領域である所定のチャネル領域を有する。第2のトランジスタ50のチャネル長は、チャネル保護層131の幅として定義される。
- [0054] 本実施の形態においては、図6Bに示されるように、第2のトランジスタ50の第2ゲート電極51bと結晶シリコン層54とは、上面視したときに外形輪郭線が一致するように積層される。ここで、「外形輪郭線が一致する」とは、第2ゲート電極51bと結晶シリコン層54とが同一形状（形及び面積が同一）であって、且つ第2ゲート電極51bと結晶シリコン層54とが水平方向にズれることなく配置されていることを指す。同様に、第1のトランジスタ40の第2ゲート電極41bと結晶シリコン層44とは、上面視したときに外形輪郭線が一致するように積層される。
- [0055] 結晶シリコン層54は、結晶性の組織構造を有する結晶性シリコン薄膜であって、微結晶シリコン薄膜又は多結晶シリコン薄膜からなる。結晶シリコン層54は、例えば、非結晶性の非晶質シリコン（アモルファスシリコン）を結晶化することによって形成することができる。また、結晶シリコン層54は、アモルファスシリコン（非結晶シリコン）と結晶性シリコンとの混晶構造を有するシリコン薄膜とすることができる。この場合、優れたオン特性を得るために、少なくともチャネル領域の結晶性シリコンの割合を多くするのが好ましい。結晶シリコン層54と非結晶シリコン層55とを合わせた膜厚は、例えば、30nm～200nm程度（後述する裏面からの露光光が透過する程度）とすることができる。なお、結晶シリコン層54に含まれるシリコン結晶の主面方位は[100]であることが好ましい。これにより、結晶性に優れた結晶シリコン層54を形成することができる。
- [0056] なお、結晶シリコン層54における結晶シリコンの平均結晶粒径は、5nm～1000nm程度であり、結晶シリコン層54には、上記のような平均結晶粒径が100nm以上の多結晶、あるいは、平均結晶粒径が10nm～

100nmのマイクロクリスタル (μc) と呼ばれる微結晶も含まれる。

[0057] 非結晶シリコン層 (バックチャネル層) 55は、結晶シリコン層54上にパターン形成される。本実施の形態においては、図6Cに示されるように、第2のトランジスタ50の第2ゲート電極51bと結晶シリコン層54と非結晶シリコン層55とは、上面視したときに外形輪郭線が一致するように積層される。同様に、第1のトランジスタ40の第2ゲート電極41bと結晶シリコン層44と非結晶シリコン層45とは、上面視したときに外形輪郭線が一致するように積層される。

[0058] 非結晶シリコン層55は、例えば、意図的に不純物のドーピングを行っていないアモルファスシリコン膜 (真性アモルファスシリコン) によって形成されている。この非結晶シリコン層55は、局在準位密度 (トラップ密度) が結晶シリコン層54より高い。すなわち、非結晶シリコン層55の負キャリアの電荷密度によってチャネル保護層131の正の固定電荷を相殺して電界遮蔽を行うことができる。これにより、バックチャネルの形成を抑制することができ、オフ時のリーク電流を抑制することができるので、第2のトランジスタ50のオフ特性が向上する。なお、非結晶シリコン層55の膜厚は、50nm以下とするのが望ましい。

[0059] チャネル保護層 (第2絶縁層) 131は、非結晶シリコン層55上のチャネル領域に重畳する位置にパターン形成される。本実施の形態においては、図6Dに示されるように、第2のトランジスタ50の第2ゲート電極51bと結晶シリコン層54と非結晶シリコン層55とチャネル保護層131とは、上面視したときに外形輪郭線が一致するように積層される。同様に、第1のトランジスタ40の第2ゲート電極41bと結晶シリコン層44と非結晶シリコン層45とチャネル保護層132とは、上面視したときに外形輪郭線が一致するように積層される。

[0060] チャネル保護層131は、チャネル領域を含む半導体層 (結晶シリコン層54、非結晶シリコン層55) を保護するチャネルエッチングストップ (CES) 層として機能する。すなわち、チャネル保護層131は、一对のコン

タクト層 141、142 を形成するときのエッチング処理時において、結晶シリコン層 54 及び非結晶シリコン層 55 がエッチングされることを防止する機能を有する。

[0061] チャネル保護層 131 を形成する材料には、例えば、シリコン、酸素及びカーボンを含む有機材料を主として含有する有機材料を用いることができる。本実施の形態におけるチャネル保護層 131 は、感光性塗布型の有機材料をパターンニング及び固化することによって形成することができる。

[0062] また、チャネル保護層 131 を構成する有機材料には、例えば、有機樹脂材料、界面活性剤、溶媒及び感光剤が含まれる。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト又はベンゾシクロブテン等の中の 1 種又は複数種からなる感光性又は非感光性の有機樹脂材料を用いることができる。界面活性剤としては、シロキサン等のシリコン化合物からなる界面活性剤を用いることができる。溶媒としては、プロピレングリコールモノメチルエーテルアセテート又は 1, 4-ジオキサン等の有機溶媒を用いることができる。また、感光剤としては、ナフトキノンジアジト等のポジ型感光剤を用いることができる。なお、感光剤には、炭素だけではなく硫黄も含まれている。

[0063] チャネル保護層 131 を形成する場合、上記の有機材料をスピンコート法等の塗布法を用いて形成することができる。なお、チャネル保護層 131 の形成には、塗布法だけではなく、滴吐出法等その他の方法を用いることもできる。例えば、スクリーン印刷やオフセット印刷等の所定のパターンを形成することができる印刷法等を用いることにより、所定形状の有機材料を選択的に形成することもできる。

[0064] チャネル保護層 131 の膜厚は、例えば、300 nm～1000 nm とすることができる。チャネル保護層 131 の膜厚の下限は、エッチングによるマージン及びチャネル保護層 131 中の固定電荷の影響を抑制すること等を考慮して決定される。また、チャネル保護層 131 の膜厚の上限は、コンタクト層 141、142 やソース電極 53 及びドレイン電極 52 との段差の増

大に伴うプロセス信頼性の低下を抑制することを考慮して決定される。

[0065] 一对のコンタクト層141、142は、チャンネル保護層131、非結晶シリコン層55、及び結晶シリコン層54を覆うようにパターン形成される。また、コンタクト層141とコンタクト層142とは、互いに所定の間隔をあけて対向配置される。さらに、コンタクト層141は、キャパシタ60の位置にまで延在している。

[0066] より具体的には、コンタクト層141は、チャンネル保護層131の上面の一部、チャンネル保護層131の一方側（図5の左側）の側面、非結晶シリコン層55の一方側（図5の左側）の側面、及び結晶シリコン層54の一方側（図5の左側）の側面に跨るように形成されている。そして、コンタクト層141は、結晶シリコン層54の一方側の側面とコンタクトしている。

[0067] また、コンタクト層142は、チャンネル保護層131の上面の一部、チャンネル保護層131の他方側（図5の右側）の側面、非結晶シリコン層55の他方側（図5の右側）の側面、及び結晶シリコン層54の他方側（図5の右側）の側面に跨るように形成され、さらに、ゲート絶縁膜120上をキャパシタ60の位置にまで延在している。そして、コンタクト層142は、結晶シリコン層54の他方側の側面とコンタクトしている。

[0068] コンタクト層141、142は、不純物を高濃度を含む非晶質半導体膜であり、 1×10^{19} [atm/cm³] 以上の高濃度の不純物を含むn⁺層である。より具体的には、コンタクト層141、142は、アモルファスシリコンに不純物としてリン(P)をドーピングしたn型半導体膜によって構成することができる。また、コンタクト層141、142の膜厚は、例えば5nm~100nmとすることができる。

[0069] なお、コンタクト層141、142は、下層の低濃度の電界緩和層(n⁻層)と上層の高濃度のコンタクト層(n⁺層)との2層から構成されてもよい。低濃度の電界緩和層には、 1×10^{17} [atm/cm³] 程度のリンがドーピングされている。上記2層は、CVD (Chemical Vapor Deposition) 装置において連続的に形成することが可能である。

- [0070] ソース電極53及びドレイン電極52は、コンタクト層141、142及びゲート絶縁膜120上のチャンネル領域に重畳する位置にパターン形成される。また、ソース電極53とドレイン電極とは、互いに所定の間隔をあけて対向配置される。
- [0071] より具体的には、ソース電極53は、コンタクト層141上に、チャンネル保護層131の上面の一部、チャンネル保護層131の一方側の側面、非結晶シリコン層55の一方側の側面、及び結晶シリコン層54の一方側の側面に跨るように形成されている。同様に、ドレイン電極52は、コンタクト層142上に、チャンネル保護層131の上面の一部、チャンネル保護層131の他方側の側面、非結晶シリコン層55の他方側の側面、結晶シリコン層54の他方側の側面、及びキャパシタ60に跨るように形成されている。なお、ドレイン電極52の第1容量電極61に重畳する部分は、第2容量電極62として機能する。
- [0072] 第2容量電極62は、ソース電極53及びドレイン電極52の少なくとも一方と同一材料で、コンタクト層142上の第1容量電極61に重畳する位置に形成される。なお、本実施の形態においては、図4に示されるように、電源配線23の一部が第2容量電極62として機能する。
- [0073] 本実施の形態において、ソース電極53、ドレイン電極52、及び第2容量電極62は、導電性材料及びその合金等の単層構造又は多層構造とすることができる。例えば、アルミニウム(AI)、モリブデン(Mo)、タングステン(W)、銅(Cu)、チタン(Ti)及びクロム(Cr)等によって構成される。本実施の形態では、ソース電極53、ドレイン電極52、及び第2容量電極62は、MoW/AI/MoWの三層構造によって形成されている。ソース電極53、ドレイン電極52、及び第2容量電極62の膜厚は、例えば、100nm~500nm程度とすることができる。
- [0074] 上記構成の第2のトランジスタ50によれば、図6A~図6Dを用いて説明したように、第2ゲート電極51bとチャンネル保護層131とは、上面視したときに外形輪郭線が一致する。これにより、図5に示される断面におい

て、チャンネル保護層 131 の下面の左右の端部が、第 2 ゲート電極 51b の左右の側面の延長線上に位置することになる。その結果、チャンネル保護層 131 の左右の領域でゲート電極 51 とソース電極 53 及びドレイン電極 52 とが重畳しないので、この領域の寄生容量を削減することができる。なお、図 5 に示されるチャンネル保護層 131 は、下面から上面に向かって断面積が小さくなるテーパ形状となっているので、少なくともチャンネル保護層 131 の下面の外形輪郭線が、第 2 ゲート電極 51b、結晶シリコン層 54、及び非結晶シリコン層 55 の外形輪郭線に一致すればよい。

[0075] また、上記構成のキャパシタ 60 によれば、第 1 容量電極 61 と第 2 容量電極 62 との間に介在するシリコン層がコンタクト層 142 のみとなる。膜厚 5 nm ~ 100 nm 程度のコンタクト層 142 の有無はキャパシタ 60 の機能にほとんど影響がないので、キャパシタ 60 は、実質的に MIM 型の容量部とみなすことができる。

[0076] 次に、図 7A ~ 図 7K を参照して、本発明の実施の形態に係る薄膜半導体装置の製造方法を説明する。図 7A ~ 図 7K は、本発明の実施の形態に係る薄膜半導体装置の製造方法における各工程の構成を模式的に示した断面図である。

[0077] まず、図 7A に示されるように、基板 110 を準備する。なお、ゲート電極 51 及び第 1 容量電極 61 を形成する前に、プラズマ CVD 等によって基板 110 上にシリコン窒化膜、シリコン酸化膜、及びシリコン酸窒化膜などからなるアンダーコート層を形成してもよい。

[0078] 次に、図 7B 及び図 7C に示されるように、基板 110 上に、所定形状のゲート電極 51 及び第 1 容量電極 61 を形成する。ここでは、第 1 ゲート電極 51a、第 2 ゲート電極 51b、及び第 1 容量電極 61 を同時（1 プロセス）に形成する方法を説明するが、これに限定されず、一層ずつ順に形成してもよい。

[0079] まず、図 7B に示されるように、基板 110 の上面全域に、第 1 ゲート電極 51a 及び第 1 容量電極 61 を構成する透明導電性材料 61M をスパッタ

によって成膜する。次に、透明導電性材料 6 1 M の上面全域に、第 2 ゲート電極 5 1 b を構成する遮光性導電性材料 5 1 M をスパッタによって成膜する。

- [0080] 次に、フォトリソグラフィ法を用いて、遮光性導電性材料 5 1 M 上にマスク 9 0 を形成する。ここで形成されるマスク 9 0 は、透明導電性材料 6 1 M 及び遮光性導電性材料 5 1 M の両方を残す領域の厚みが相対的に厚く、透明導電性材料 6 1 M のみを残す領域の厚みが相対的に薄いハーフトーンマスクである。
- [0081] そして、ウェットエッチング法を用いて、遮光性導電性材料 5 1 M 及び透明導電性材料 6 1 M をパターニングする。これにより、図 7 C に示されるように、所定形状のゲート電極 5 1 及び第 1 容量電極 6 1 を形成することができる。なお、ウェットエッチングには、例えば、リン酸 (HPO_4)、硝酸 (HNO_3)、酢酸 (CH_3COOH) 及び水を所定の配合で混合した薬液を用いて行うことができる。
- [0082] 次に、図 7 D に示されるように、ゲート電極 5 1 及び第 1 容量電極 6 1 を覆うように、基板 1 1 0 の上面全域にゲート絶縁膜 1 2 0 を形成する。例えば、酸化シリコンからなるゲート絶縁膜 1 2 0 をプラズマ CVD 等によって成膜する。酸化シリコンは、例えば、シランガス (SiH_4) と亜酸化窒素ガス (N_2O) とを所定の濃度比で導入することで成膜することができる。
- [0083] 次に、図 7 E に示されるように、ゲート絶縁膜 1 2 0 の上面全域に、結晶シリコン層 5 4 となる結晶シリコン薄膜 5 4 M を形成する。結晶シリコン薄膜 5 4 M は、例えば、アモルファスシリコン (非晶質シリコン) からなる非結晶シリコン薄膜をプラズマ CVD 等によって成膜し、脱水素アニール処理を行った後に、非結晶シリコン薄膜をアニールして結晶化させることによって形成することができる。なお、非結晶シリコン薄膜は、例えば、シランガス (SiH_4) と水素ガス (H_2) とを所定の濃度比で導入することで成膜することができる。
- [0084] なお、本実施の形態では、エキシマレーザを用いたレーザアニールによっ

て非結晶シリコン薄膜を結晶化させたが、結晶化の方法としては、波長370～900nm程度のパルスレーザを用いたレーザアニール法、波長370～900nm程度の連続発振レーザを用いたレーザアニール法、又は急速熱処理（RTP）によるアニール法を用いても構わない。また、非結晶シリコン薄膜を結晶化するのではなく、CVDによる直接成長などの方法によって結晶シリコン薄膜54Mを成膜してもよい。

[0085] その後、結晶シリコン薄膜54Mに対して水素プラズマ処理を行うことにより、結晶シリコン薄膜54Mのシリコン原子に対して水素化処理を行う。水素プラズマ処理は、例えばH₂、H₂/アルゴン（Ar）等の水素ガスを含むガスを原料として高周波（RF）電力により水素プラズマを発生させて、当該水素プラズマを結晶シリコン薄膜54Mに照射することにより行われる。この水素プラズマ処理によって、シリコン原子のダングリングボンド（欠陥）が水素終端され、結晶シリコン薄膜54Mの結晶欠陥密度が低減して結晶性が向上する。

[0086] 次に、図7Fに示されるように、結晶シリコン薄膜54Mの上面全域に、非結晶シリコン層55となる非結晶シリコン薄膜55Mを形成する。非結晶シリコン薄膜55Mは、例えば、アモルファスシリコン（非晶質シリコン）をプラズマCVD等によって成膜し、脱水素アニール処理を行うことにより形成することができる。

[0087] 非結晶シリコン薄膜55Mは、後述の露光工程での光に対しての吸収率が高い。そのため、非結晶シリコン薄膜55Mの膜厚を厚くしすぎると、絶縁膜131Mの露光が不十分になってしまう恐れがある。もしくは、必要な露光量を得るために長時間の露光が必要になってしまい、生産性を著しく落としてしまう懸念がある。そこで、非結晶シリコン薄膜55Mの厚みは、望ましくは50nm以下である。但し、露光工程で用いる光の光量を強くすれば、非結晶シリコン薄膜55Mの厚みは、50nm以上とすることもできる。

[0088] 次に、図7Gに示されるように、非結晶シリコン薄膜55Mの上面全域に、チャンネル保護層131となる絶縁膜131Mを形成する。具体的には、ま

ず、所定の塗布方式によってチャンネル保護層 131 を構成する有機材料を非結晶シリコン薄膜 55M 上に塗布し、スピコートやスリットコートを行うことによって非結晶シリコン薄膜 55M の上面全域に絶縁膜 131M を成膜する。有機材料の膜厚は、有機材料の粘度やコーティング条件（回転数、ブレードの速度など）で制御することができる。なお、絶縁膜 131M の材料としては、シリコン、酸素及びカーボンを含む感光性塗布型の有機材料を用いることができる。

[0089] 次に、絶縁膜 131M に対して約 110℃ の温度で約 60 秒間のプリベークを行って、絶縁膜 131M を仮焼成する。これにより、絶縁膜 131M に含まれる溶剤が気化する。その後、第 2 ゲート電極 51b をマスクとして基板 110 の裏面（ゲート電極 51 及び第 1 容量電極 61 が形成されている面の反対側の面）側から絶縁膜 131M を感光させる光を照射し、絶縁膜 131M を露光させる。そして、露光された絶縁膜 131M をパターニングすることによって、図 7H に示されるように、第 2 ゲート電極 51b に重畳する領域に所定形状のチャンネル保護層 131 を形成する。

[0090] 次に、パターン形成されたチャンネル保護層 131 に対して 280℃～300℃ の温度で約 1 時間のポストベークを行ってチャンネル保護層 131 を本焼成して固化する。これにより、有機成分の一部が気化及び分解して、膜質が改善されたチャンネル保護層 131 を形成することができる。

[0091] このように、遮光性導電性材料で形成された第 2 ゲート電極 51b をマスクとして絶縁膜 131M を露光することにより、第 2 ゲート電極 51b とチャンネル保護層 131 の下面との外形輪郭線が一致するように、セルフアライメントされる。これにより、チャンネル保護層 131 の左右の領域で第 2 ゲート電極 51b とソース電極 53 及びドレイン電極 52 とが重畳しないので、この領域に生じる寄生容量を削減することができる。一方、透明導電性材料で形成された第 1 容量電極 61 は露光光を透過するので、キャパシタ 60 の位置の絶縁膜 131M は除去される。

[0092] なお、従来の製造方法で上記構成の薄膜半導体装置を得ようとするれば、チ

チャンネル保護層 131 のセルフアライメントのための裏面露光と、キャパシタ 60 の位置の絶縁膜 131 M の除去するための表面露光とを行なう必要がある。それに対して、本実施の形態のように、第 1 容量電極 61 を透明導電性材料で形成すれば、1 回の裏面露光で実現することができる。すなわち、従来より製造工程を大幅に削減することが可能となる。

[0093] なお、絶縁膜 131 M をパターンニングすると、チャンネル保護層 131 は、所望の大きさより若干小さくなる。すなわち、チャンネル保護層 131 の下面の外形輪郭線は、ゲート電極 51 の上面の外形輪郭線の内側に後退している。また、結晶シリコン層 54 及び非結晶シリコン層 55 は、後述するようにチャンネル保護層 131 をマスクとして形成されるので、チャンネル保護層 131 と同じように、第 2 ゲート電極 51 b の外形輪郭線の内側に後退する。そこで、本明細書では、製造プロセス中に生じる $0.5 \mu\text{m}$ 以内の誤差は、「外形輪郭線が一致する」の範囲内に含めるものとする。

[0094] 次に、チャンネル保護層 131 をマスクとして、結晶シリコン薄膜 54 M 及び非結晶シリコン薄膜 55 M にドライエッチングを施す。これにより、図 7 I に示されるように、ゲート電極 51 に重畳する位置に、結晶シリコン層 54 及び非結晶シリコン層 55 を同時に形成する。

[0095] チャンネル保護層 131 をマスクとして用いることにより、結晶シリコン層 54 及び非結晶シリコン層 55 の外形輪郭線がチャンネル保護層 131 の下面の外形輪郭線に一致する。これにより、後述の工程で形成されるコンタクト層 141、142 を結晶シリコン層 54 の側面と直接コンタクトさせることができる。その結果、ソース電極 53 及びドレイン電極 52 と結晶シリコン層 54 との間の電流パスに、高抵抗の非結晶シリコン層 55 が含まれなくなるので、オン抵抗を低減することができる。また、キャパシタ 60 の位置の結晶シリコン薄膜 54 M 及び非結晶シリコン薄膜 55 M を除去することができる。

[0096] 次に、図 7 J に示されるように、チャンネル保護層 131 の上面及び両側面、結晶シリコン層 54 及び非結晶シリコン層 55 の両側面、及びゲート絶縁

膜120の上面を覆うように、コンタクト層141、142となるコンタクト層用薄膜141Mを形成する。例えば、プラズマCVDによって、リン等の5価元素の不純物をドーピングしたアモルファスシリコンからなるコンタクト層用薄膜141Mを成膜する。

[0097] なお、コンタクト層用薄膜141Mは、下層の低濃度の電界緩和層と上層の高濃度のコンタクト層との2層から構成されてもよい。低濃度の電界緩和層は 1×10^{17} [atm/cm³]程度のリンをドーピングすることによって形成することができる。上記2層は、例えばCVC装置において連続的に形成することが可能である。

[0098] 次に、コンタクト層用薄膜141M上に、ソース電極53、ドレイン電極52、及び第2容量電極62をパターン形成する。この場合、まず、ソース電極53、ドレイン電極52、及び第2容量電極62となるソースドレイン金属膜を、例えばスパッタによって成膜する。その後、ソースドレイン金属膜上に所定形状にパターニングされたレジストを形成し、ウェットエッチングを施すことによってソースドレイン金属膜をパターニングする。このとき、コンタクト層用薄膜141Mがエッチングストップとして機能する。その後、レジストを除去することにより、図7Kに示されるように、所定形状のソース電極53、ドレイン電極52、及び第2容量電極62を形成することができる。

[0099] 次に、ソース電極53及びドレイン電極52をマスクとしてドライエッチングを施すことにより、コンタクト層用薄膜141Mを形成する。なお、ドライエッチングには、塩素系ガスを用いるとよい。

[0100] この工程で、ソース電極53及びドレイン電極52の下に一对のコンタクト層141、142が形成され、第2容量電極62の下にシリコン層143が形成される。このようにして、図5に示されるような本発明の実施の形態に係る薄膜半導体装置を製造することができる。

[0101] 続いて、図示は省略するが、本実施の形態に係る有機ELディスプレイ10を製造する方法を説明する。具体的には、上記の薄膜トランジスタアレイ

装置 20 上に層間絶縁膜 11、バンク 15、陽極 12、有機 EL 層 13、及び透明陰極 14 を、この順に積層する方法を説明する。

[0102] まず、ソース電極 53 及びドレイン電極 52 上に、層間絶縁膜 11 を形成する。その後、フォトリソグラフィ法、エッチング法により、層間絶縁膜 11 を貫通する貫通孔（図示省略）を形成する。この貫通孔は、後に陽極 12 と中継電極 80 とを接続するコンタクトホール（図示省略）となる。

[0103] 次に、バンク 15 は、層間絶縁膜 11 上の各画素 100 の境界に対応する位置に形成される。さらに、陽極 12 は、層間絶縁膜 11 上で、バンク 15 の開口部内に画素 100 毎に形成される。このとき、陽極 12 を構成する材料が貫通孔に充填され、コンタクトホールが形成される。このコンタクトホールを介して、陽極 12 と中継電極 80 とが電氣的に接続される。

[0104] 陽極 12 の材料は、例えば、モリブデン、アルミニウム、金、銀、銅などの導電性金属若しくはそれらの合金、PEDOT:PSS などの有機導電性材料、酸化亜鉛、又は、鉛添加酸化インジウムのいずれかの材料である。これらの材料からなる膜を真空蒸着法、電子ビーム蒸着法、RF スパッタ法、又は、印刷法などにより作成し、電極パターンを形成する。

[0105] 有機 EL 層 13 は、陽極 12 上で、バンク 15 の開口部内に画素 100 毎に形成される。この有機 EL 層 13 は、正孔注入層、正孔輸送層、発光層、電子輸送層、及び電子注入層などの各層が積層されて構成される。例えば、正孔注入層として銅フタロシアニンを、正孔輸送層として α -NPD (Bis [N-(1-Naphthyl)-N-Phenyl] benzidine) を、発光層として Alq₃ (tris(8-hydroxyquinoline) aluminum) を、電子輸送層としてオキサゾール誘導体を、電子注入層として Alq₃ を用いることができる。なお、これらの材料は、あくまで一例であって他の材料を用いてもよい。

[0106] 透明陰極 14 は、有機 EL 層 13 上に連続的に形成される透過性を有する電極である。透明陰極 14 の材料は、例えば、ITO、SnO₂、In₂O₃、ZnO 又はこれらの組み合わせなどである。

[0107] (変形例 1)

次に、図 8 を参照して、上記の実施の形態の変形例 1 を説明する。図 8 は、図 5 に対応する図である。なお、上記の実施の形態との共通点の説明は省略し、相違点を中心に説明する。

[0108] 図 8 に示される薄膜半導体装置は、第 2 のトランジスタ 5 0 のゲート電極 5 1 が遮光性導電性材料のみで構成されている点が図 5 と異なる。図 8 に示される薄膜半導体装置は、ゲート電極 5 1 及び第 1 容量電極 6 1 の一方をパターニングした後、他方をパターニングすることによって製造することができる。このように、製造工程は、上記の実施の形態より増加するものの、図 5 の第 1 ゲート電極 5 1 a に相当するパターンが不要となるので、第 2 のトランジスタ 5 0 を薄膜化することができる。

[0109] (変形例 2)

次に、図 9 及び図 1 0 を参照して、上記の実施の形態の変形例 2 を説明する。図 9 及び図 1 0 は、それぞれ図 4 及び図 6 A に対応する図である。なお、上記の実施の形態との共通点の説明は省略し、相違点を中心に説明する。

[0110] 図 9 に示される画素 1 0 0' は、ゲート電極 4 1、5 1 と異なる層にゲート配線 2 1' が形成されている点で図 4 と相違する。すなわち、図 9 に示される画素 1 0 0' は、図 5 に示されるソース電極 5 3 及びドレイン電極 5 2 上にパッシベーション膜（図示省略）を形成し、パッシベーション膜上にゲート配線 2 1' を形成している。そして、ゲート配線 2 1' は、ゲート絶縁膜 1 2 0 及びパッシベーション膜を連通するコンタクトホール 7 1 を介してゲート電極 4 1 に接続される。その結果、図 1 0 に示されるように、第 1 ゲート電極 4 1 a、5 1 a 及び第 1 容量電極 6 1 と同じ層に図 4 の第 1 ゲート配線 2 1 a に相当するパターンが不要となる。

[0111] ボトムゲート型の薄膜トランジスタは、チャンネル層より先にゲート電極 4 1、5 1 を形成する必要があるため、ゲート電極 4 1、5 1 を形成する材料は、チャンネル層のレーザ結晶化工程での温度（6 0 0℃程度）に絶え得る高い耐熱性が必要である。しかしながら、一般的に耐熱性の高い材料は高抵抗

であるので、図4に示されるように、ゲート電極41、51と同じ材料でゲート配線21を形成すると、配線抵抗が高くなる。

[0112] そこで、図9に示されるように、ゲート配線21'をゲート電極41、51より上の層に形成することにより、ゲート配線21'及びゲート電極41、51をそれぞれに適した材料で構成することができる。すなわち、ゲート配線21'を低抵抗な材料で形成し、ゲート電極41、51を高耐熱性の材料で形成すればよい。

[0113] また、ゲート配線21とソース配線22及び電源配線23との交差部分には、寄生容量が生じる。ここで、パッシベーション膜はゲート絶縁膜120と比較して、膜厚を自由に設定することができる。そこで、ゲート配線21とソース配線22及び電源配線23とを、当該パッシベーション膜の上下に配置することにより、寄生容量を低減することができる。

[0114] 以上、図面を参照してこの発明の実施形態を説明したが、この発明は、図示した実施形態のものに限定されない。図示した実施形態に対して、この発明と同一の範囲内において、あるいは均等の範囲内において、種々の修正や変形を加えることが可能である。

産業上の利用可能性

[0115] 本発明は、表示装置に画素回路等に用いられる薄膜半導体装置に有利に利用される。

符号の説明

- [0116]
- 1 薄膜半導体アレイ基板
 - 10 有機ELディスプレイ
 - 11 層間絶縁膜
 - 12 陽極
 - 13 有機EL層
 - 14 透明陰極
 - 15 バンク
 - 20 薄膜トランジスタアレイ装置

21, 21' ゲート配線
21a 第1ゲート配線
21b 第2ゲート配線
22 ソース配線
23 電源配線
30, 900 画素回路
40 第1のトランジスタ
41, 51, 921 ゲート電極
41a, 51a 第1ゲート電極
41b, 51b 第2ゲート電極
42, 53, 981 ソース電極
43, 52, 982 ドレイン電極
44, 54, 941 結晶シリコン層
45, 55, 951 非結晶シリコン層
50 第2のトランジスタ
51M 遮光性導電性材料
54M 結晶シリコン薄膜
55M 非結晶シリコン薄膜
60 キャパシタ
61, 922 第1容量電極
61M 透明導電性材料
62, 983 第2容量電極
90 マスク
100, 100' 画素
110, 910 基板
120, 930 ゲート絶縁膜
131, 132, 960 チャネル保護層
131M 絶縁膜

1 4 1, 1 4 2, 9 7 1, 9 7 2 コンタクト層

1 4 1 M コンタクト層用薄膜

1 4 3 シリコン層

9 4 2 第1シリコン層

9 5 2 第2シリコン層

9 7 3 第3シリコン層

請求の範囲

- [請求項1] 基板と、前記基板上に互いに離間して形成される半導体素子部及び容量部とを備える薄膜半導体装置であって、
- 前記半導体素子部は、
- 前記基板上に形成された遮光性のゲート電極と、
- 前記ゲート電極上に形成された第1絶縁層と、
- 前記第1絶縁層上に形成されたチャネル層と、
- 前記チャネル層上に形成された第2絶縁層と、
- 前記第2絶縁層上に形成されたソース電極及びドレイン電極とを備え、
- 前記容量部は、
- 透明導電性材料で前記基板上に形成された第1容量電極と、
- 前記第1絶縁層と同一の材料で、前記第1容量電極上に形成された誘電体層と、
- 前記ソース電極及び前記ドレイン電極の少なくとも一方と同一の導電性材料で、前記誘電体層上に形成された第2容量電極とを備え、
- 前記ゲート電極、前記チャネル層、および前記第2絶縁層は、上面視したときに外形輪郭線が一致するように積層される
- 薄膜半導体装置。
- [請求項2] 前記ゲート電極は、
- 前記透明導電性材料で形成された第1ゲート電極と、
- 遮光性導電性材料で前記第1ゲート電極上に形成された第2ゲート電極とで構成される
- 請求項1に記載の薄膜半導体装置。
- [請求項3] 前記半導体素子部は、さらに、前記第2絶縁層と前記ソース電極との間、及び前記第2絶縁層と前記ドレイン電極との間に介在し、前記チャネル層の側面とコンタクトするコンタクト層を備える
- 請求項1又は2に記載の薄膜半導体装置。

- [請求項4] 前記容量部は、さらに、前記誘電体層と前記第2容量電極との間に、前記コンタクト層と同じ材料で形成された中間層を備える請求項3に記載の薄膜半導体装置。
- [請求項5] 前記チャネル層は、結晶性シリコン薄膜で形成されている請求項1～4のいずれか1項に記載の薄膜半導体装置。
- [請求項6] 前記半導体素子部は、さらに、前記チャネル層上に非結晶性の真性シリコン薄膜を備える請求項1～5のいずれか1項に記載の薄膜半導体装置。
- [請求項7] 前記第2ゲート電極、前記チャネル層、前記非結晶性の真性シリコン薄膜、および前記第2絶縁層は、上面視したときに外形輪郭線が一致するように積層される請求項6に記載の薄膜半導体装置。
- [請求項8] 前記第2絶縁層は、有機材料で形成される請求項1～7のいずれか1項に記載の薄膜半導体装置。
- [請求項9] 基板を準備する第1工程と、
前記基板上に、遮光性導電性材料でゲート電極を形成すると共に、前記ゲート電極と離間した位置に透明導電性材料で第1容量電極を形成する第2工程と、
前記ゲート電極上および前記第1容量電極上に、第1絶縁層を形成する第3工程と、
前記第1絶縁層上に半導体層を形成する第4工程と、
前記半導体層上に、第2絶縁層を形成する第5工程と、
前記半導体層をエッチングすることにより、前記ゲート電極に重畳する位置にチャネル層を形成する第6工程と、
前記第2絶縁層上の前記チャネル層に重畳する位置にソース電極及びドレイン電極を形成すると共に、前記第1絶縁層上の前記第1容量電極に重畳する位置に第2容量電極を形成する第7工程とを含み、
前記第5工程では、前記半導体層上に前記第2絶縁層を形成した後

に、前記基板の前記ゲート電極および前記第1容量電極が形成された面と反対側の面から、前記第2絶縁層に対して前記ゲート電極をマスクに用いて前記第2絶縁層を感光させる光で露光する露光工程と、前記第2絶縁層を現像する現像工程とによって、前記ゲート電極に重畳する位置の前記第2絶縁層を残し、且つ前記第1容量電極に重畳する位置の前記第2絶縁層を除去し、

前記第6工程では、前記ゲート電極に重畳する位置に残された前記第2絶縁層をマスクとして前記半導体層をエッチングする工程によって、前記半導体層を前記ゲート電極に重畳する位置の前記チャンネル層として残し、且つ前記第1容量電極に重畳する位置からは前記半導体層を除去することにより、前記ゲート電極、前記チャンネル層、および前記第2絶縁層は、上面視したときに外形輪郭線が一致するように形成される

薄膜半導体装置の製造方法。

[請求項10] 前記ゲート電極は、第1ゲート電極と、前記第1ゲート電極上に形成される第2ゲート電極とで構成され、

前記第2工程は、

前記基板の上に、前記透明導電性材料で前記第1ゲート電極と前記第1容量電極とを同時に形成する工程と、

前記第1ゲート電極上に、遮光性導電性材料で前記第2ゲート電極を形成する工程とを含む

請求項9に記載の薄膜半導体装置の製造方法。

[請求項11] 前記半導体層は、前記光を透過する厚みである

請求項9又は10に記載の薄膜半導体装置の製造方法。

[請求項12] 前記半導体層の厚みは、30nm以上、200nm以下である

請求項11に記載の薄膜半導体装置の製造方法。

[請求項13] 前記半導体層は、結晶シリコン層と非結晶シリコン層とを積層して形成され、

前記非結晶シリコン層の厚みは、50 nm以下である

請求項11又は12に記載の薄膜半導体装置の製造方法。

[請求項14]

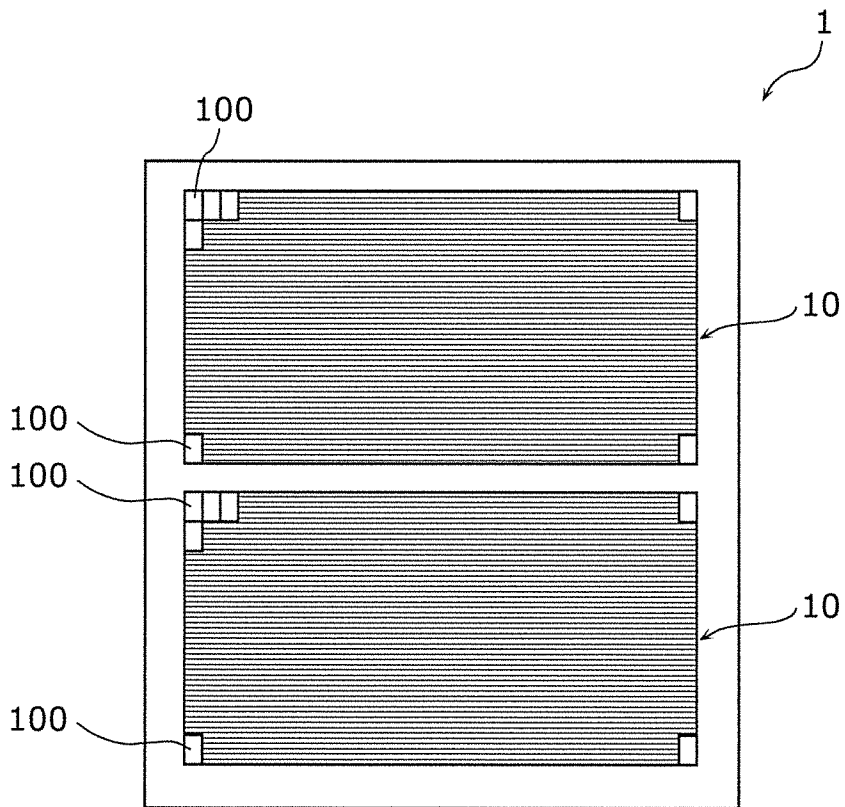
前記ゲート電極は、前記透明導電性材料で前記第1容量電極と一体形成される第1ゲート電極と、前記第1ゲート電極上に前記遮光性導電性材料で形成される第2ゲート電極とで構成され、

前記第2工程では、ハーフトーンマスクを用いて前記第1ゲート電極、前記第2ゲート電極、及び前記第1容量電極を同時に形成する

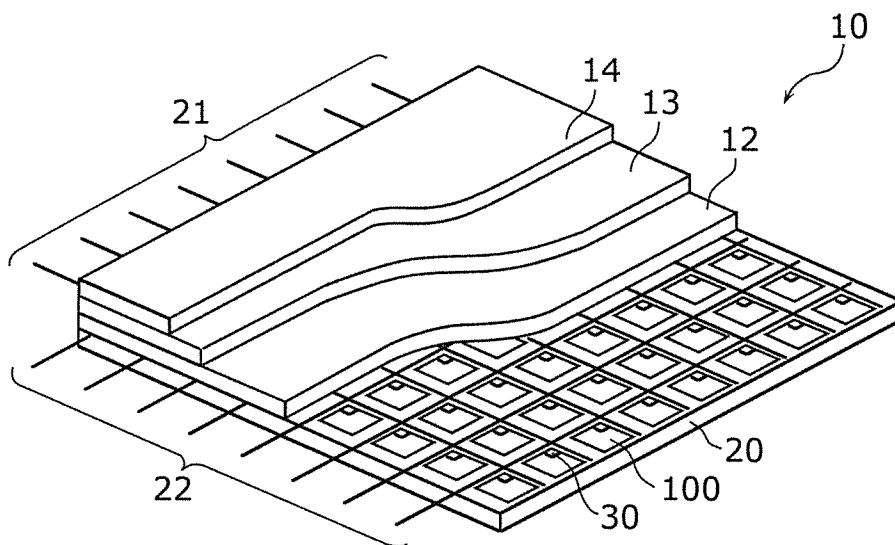
請求項9～13のいずれか1項に記載の薄膜半導体装置の製造方法

。

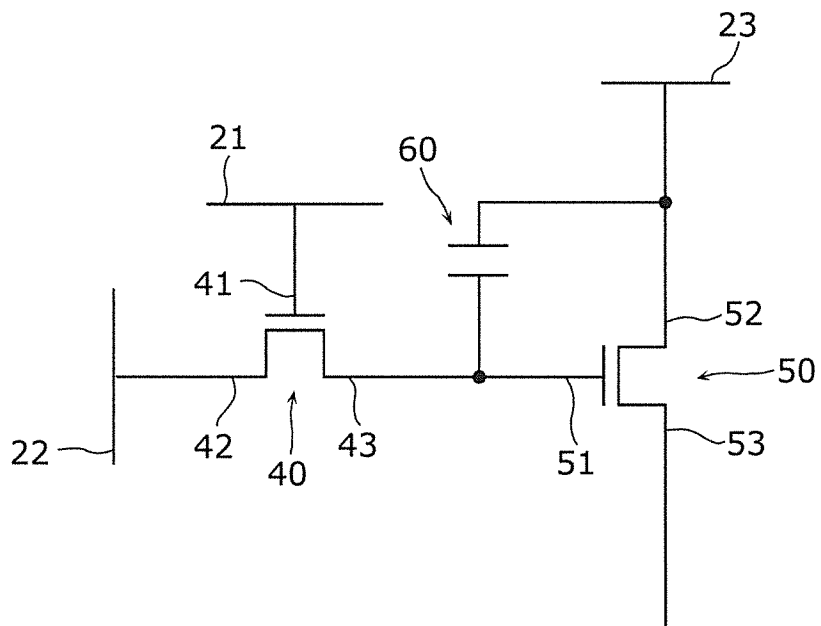
[図1]



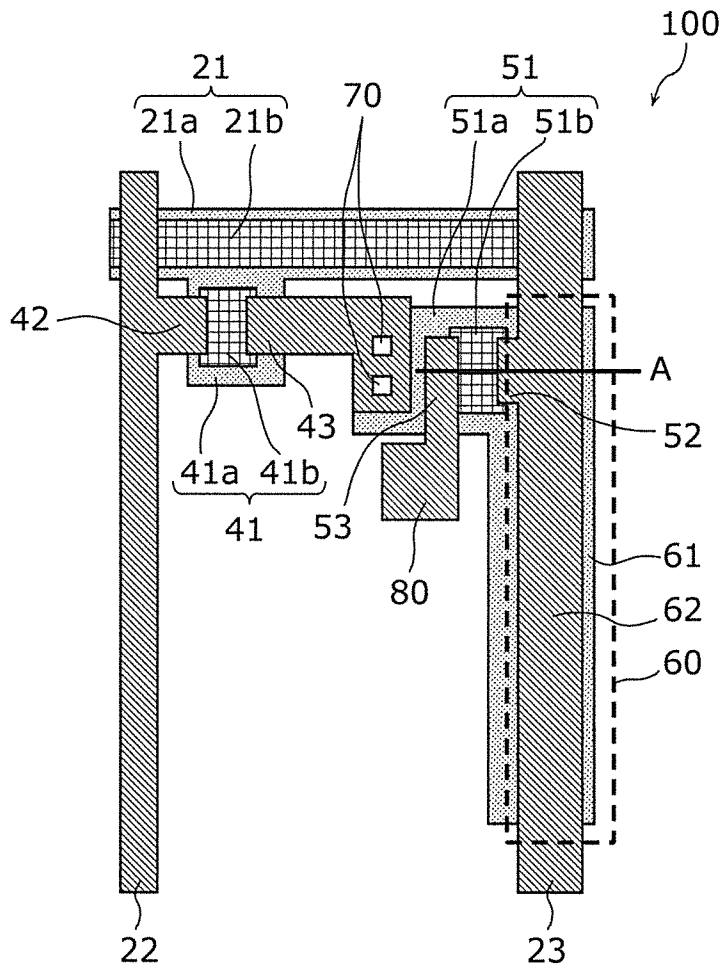
[図2]



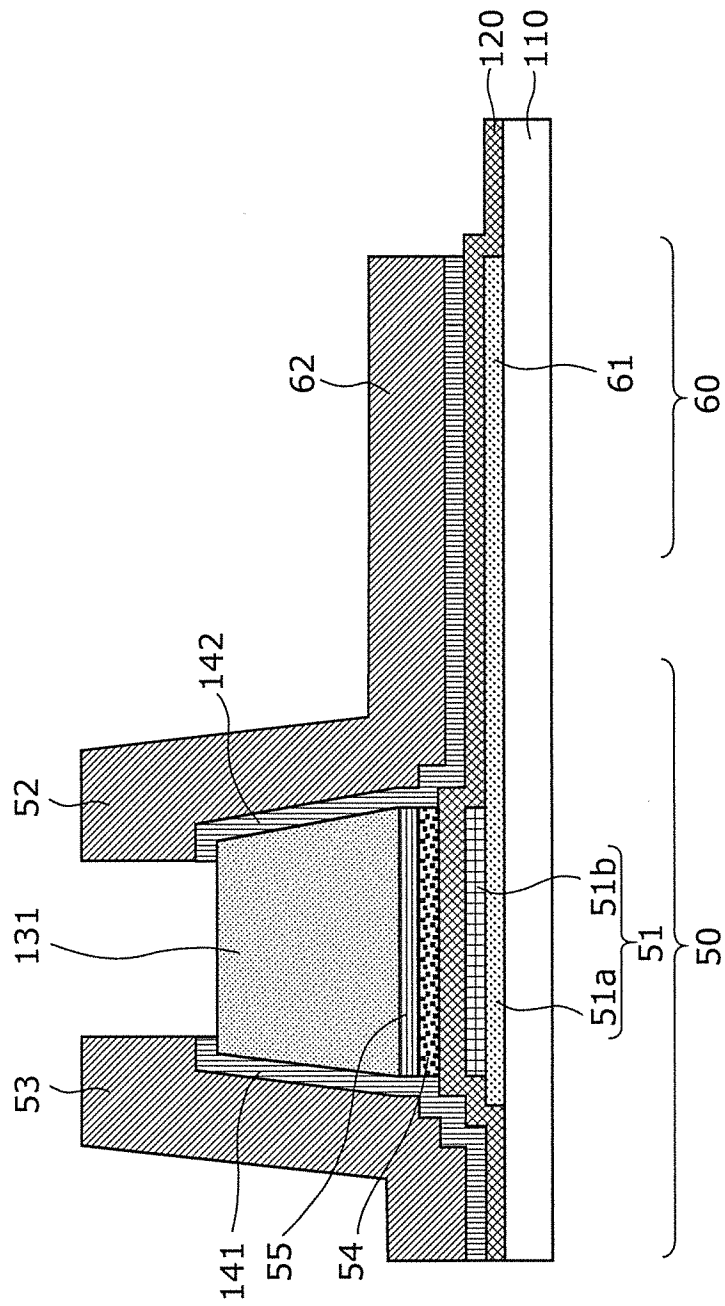
[図3]



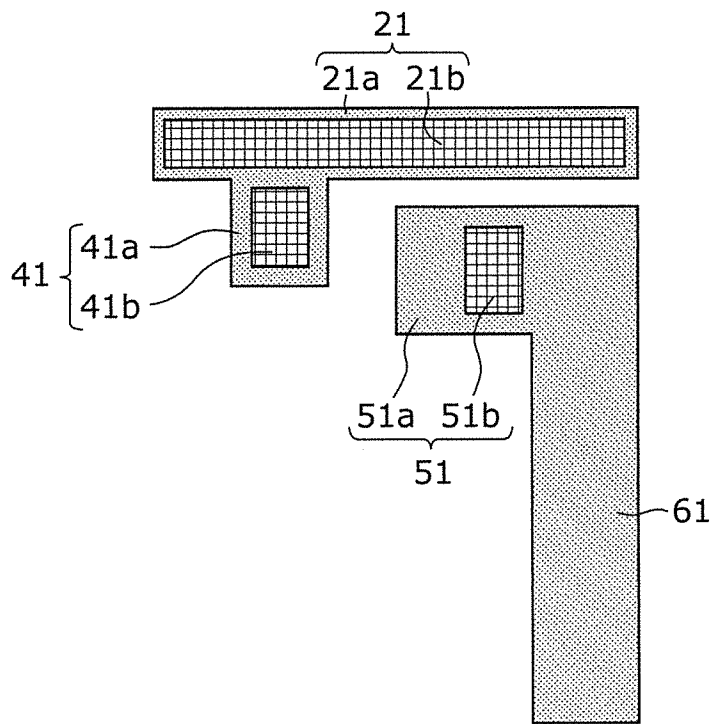
[図4]



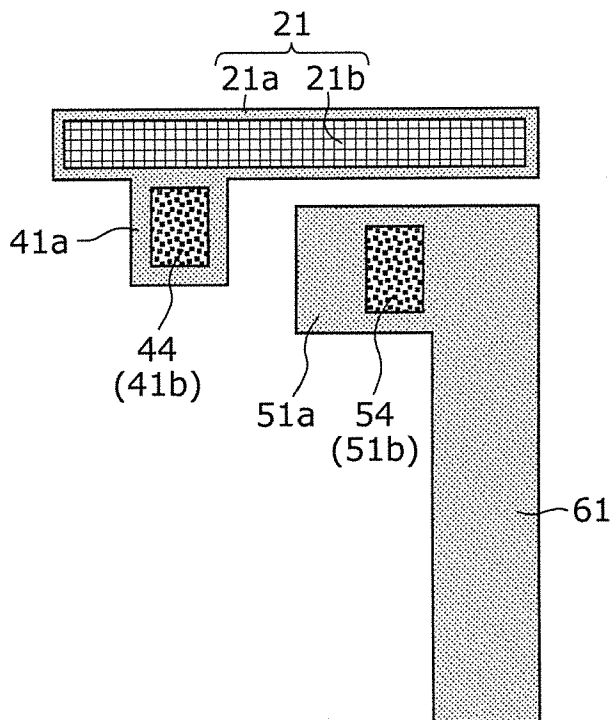
[図5]



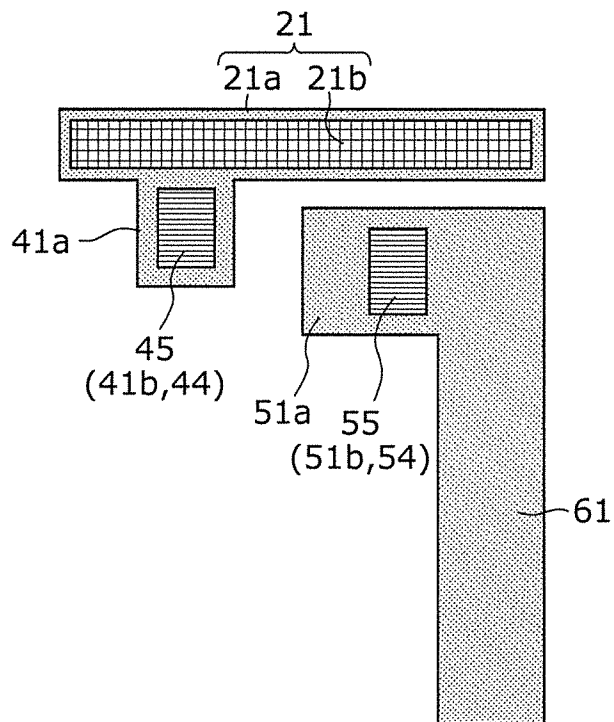
[図6A]



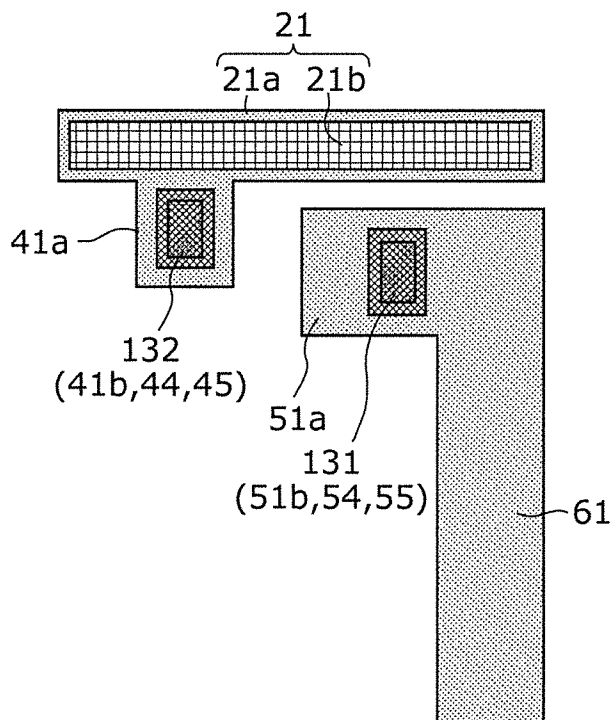
[図6B]



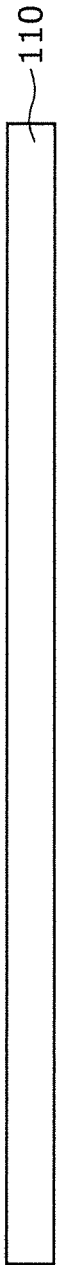
[図6C]



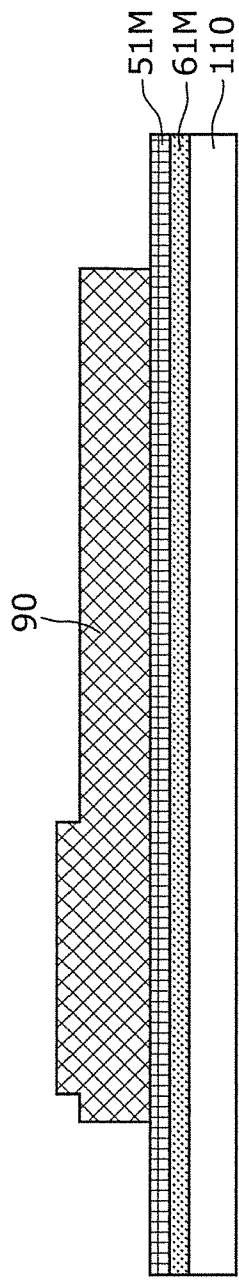
[図6D]



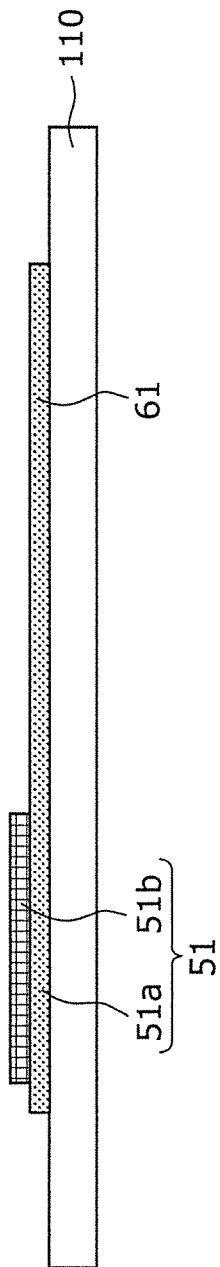
[図7A]



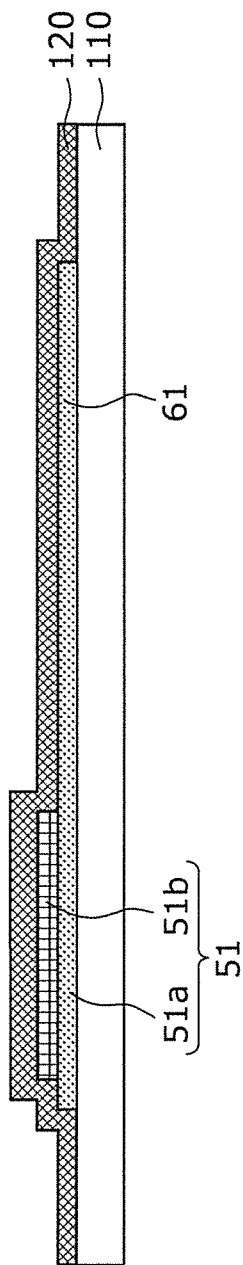
[7B]



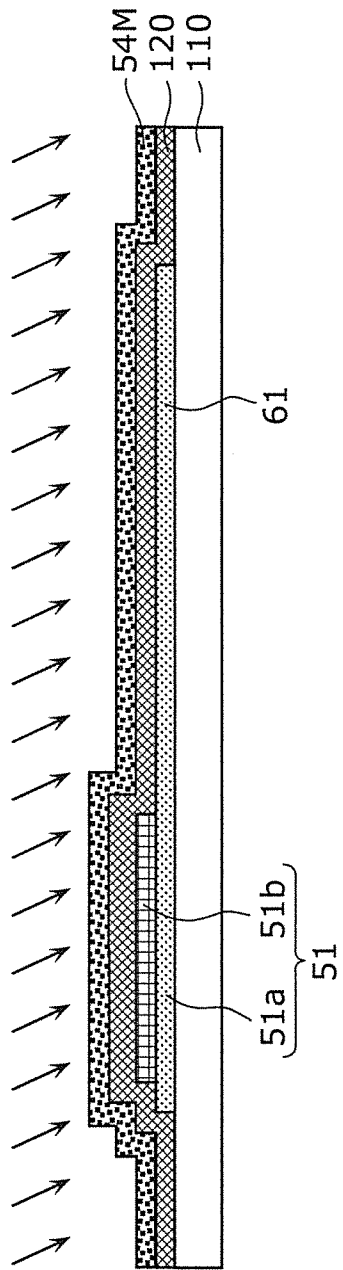
[図7C]



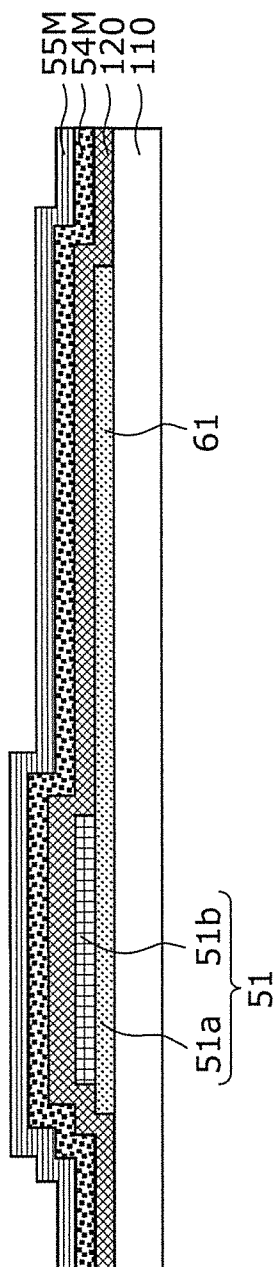
[図7D]



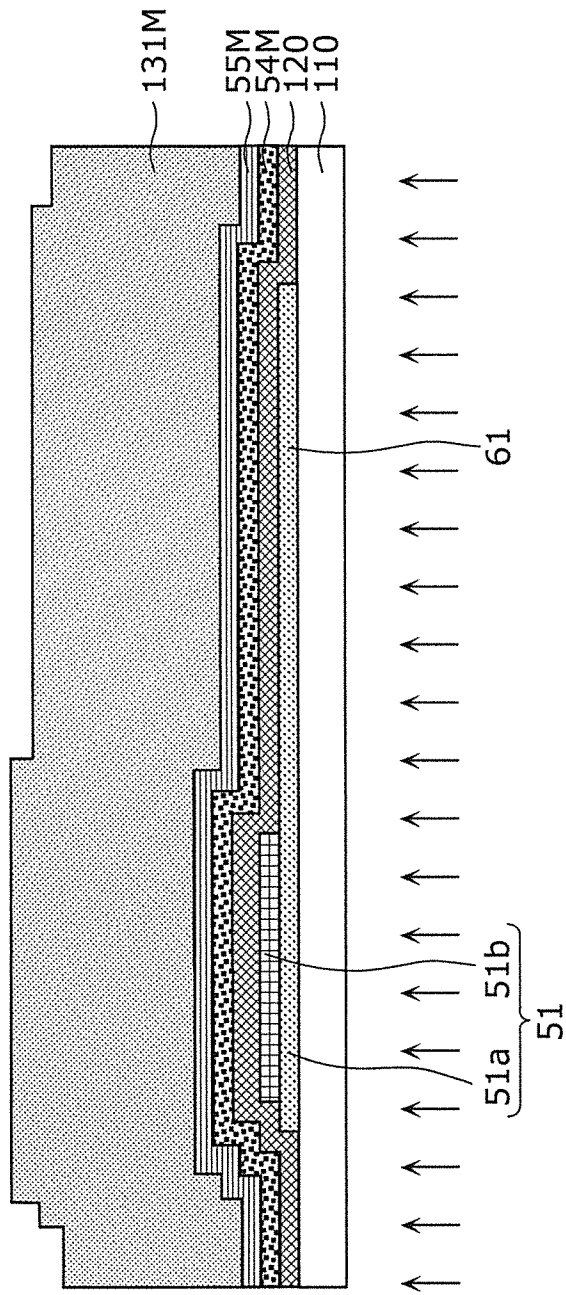
[図7E]



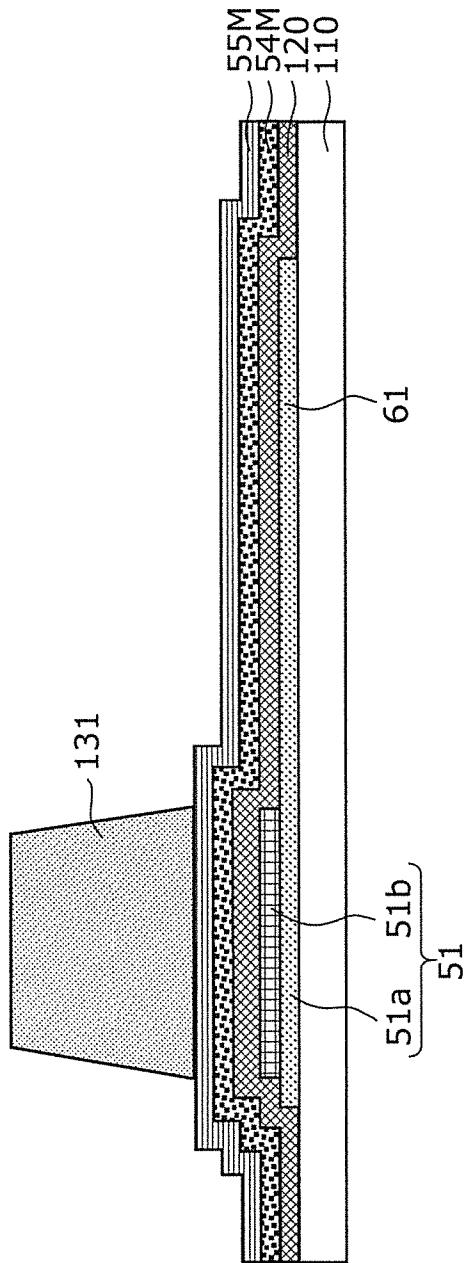
[図7F]



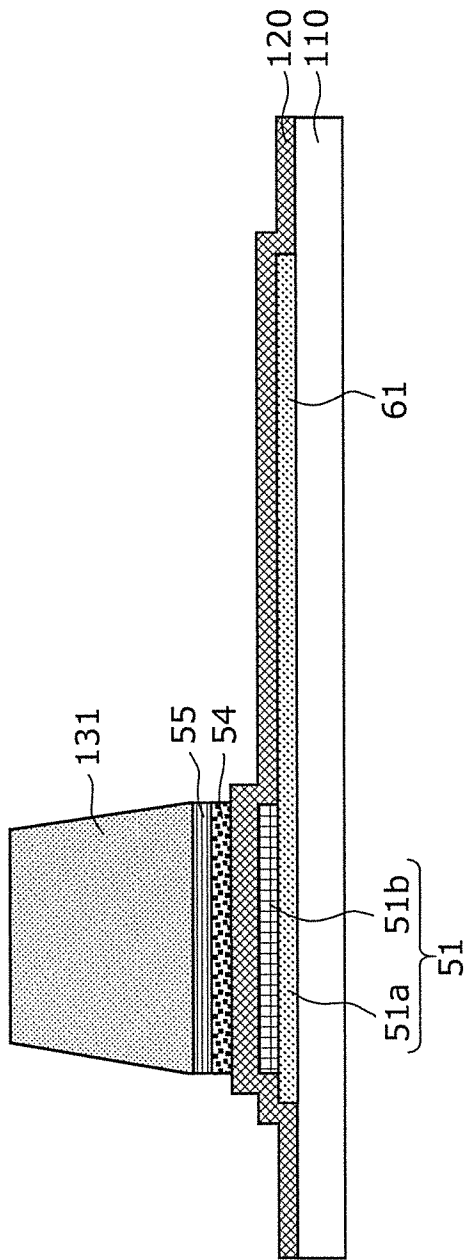
[図7G]



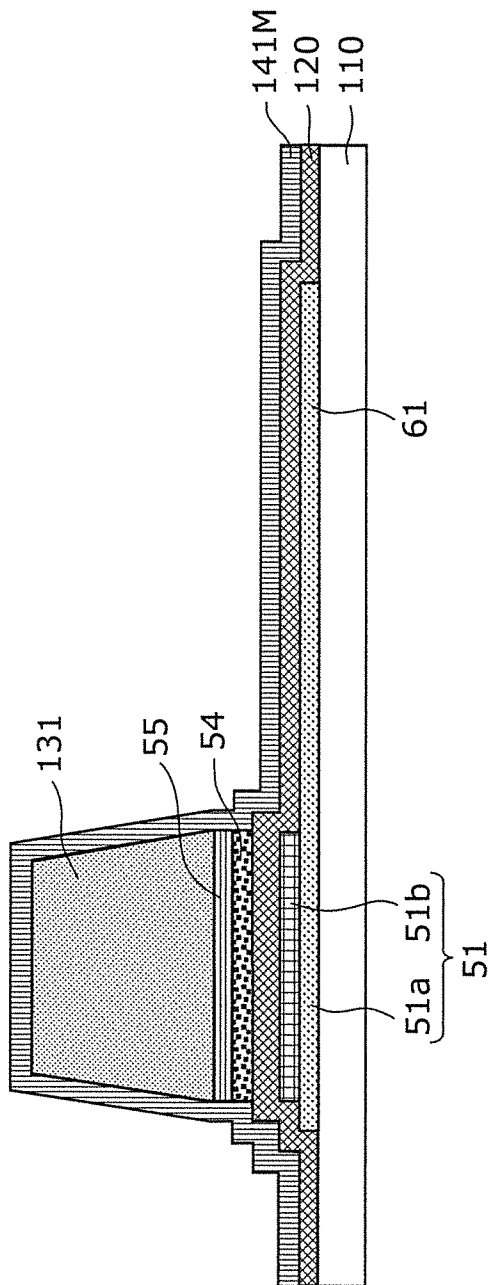
[図7H]



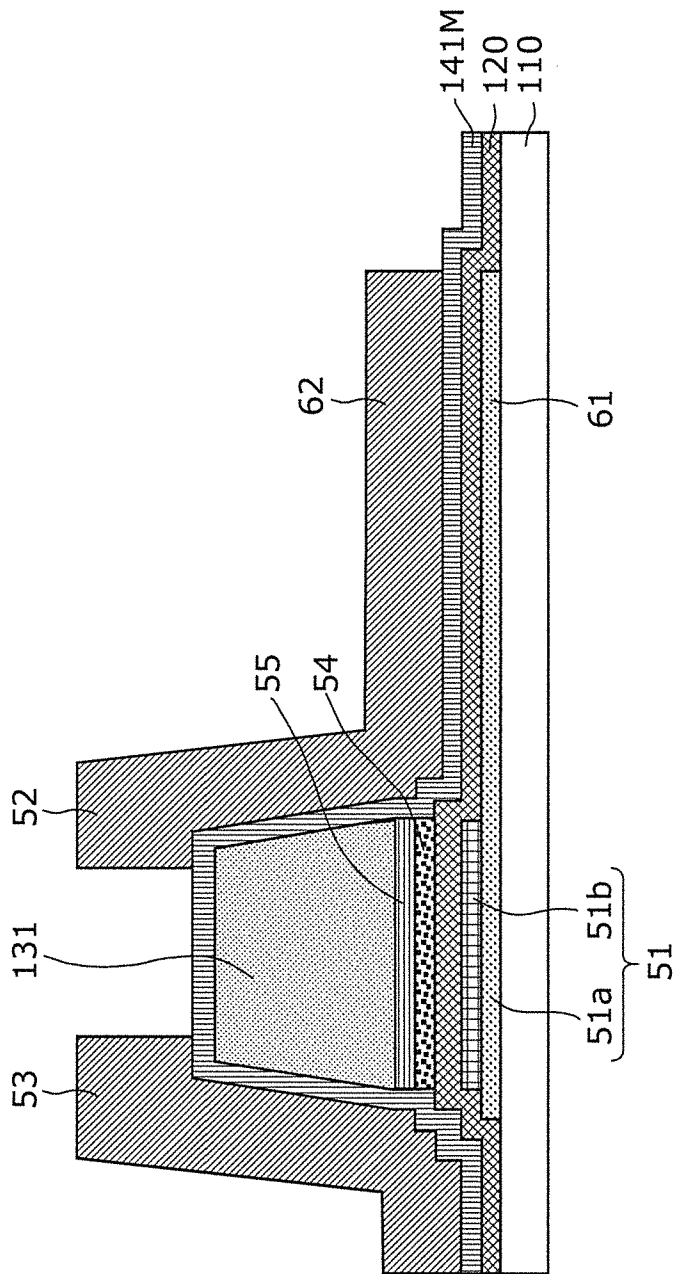
[図7I]



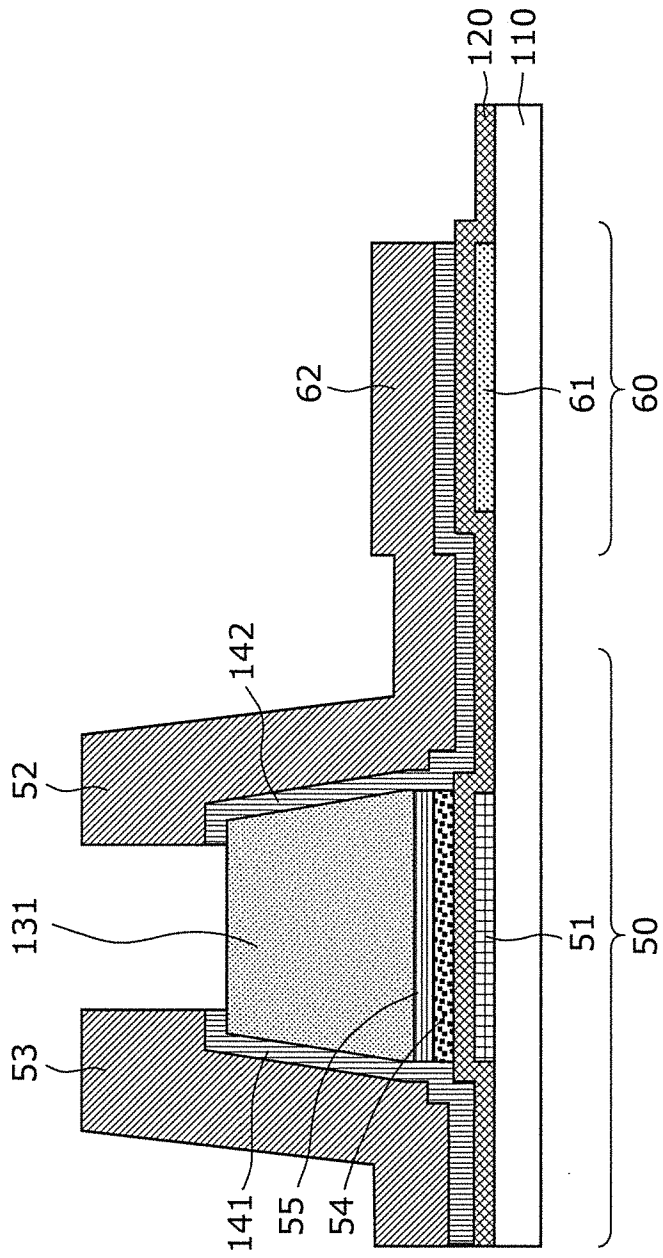
[図7J]



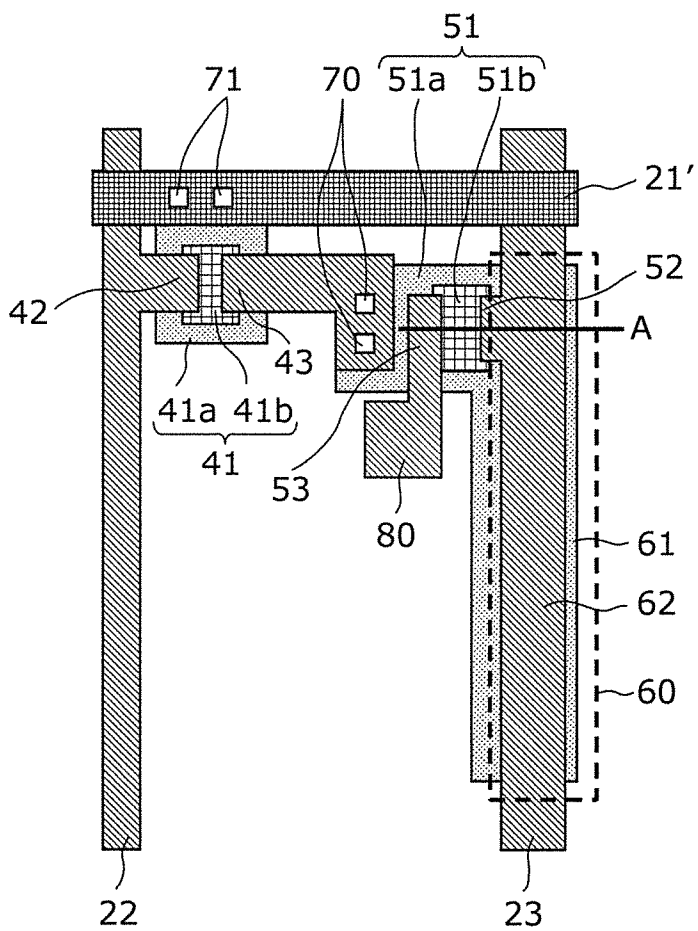
[図7K]



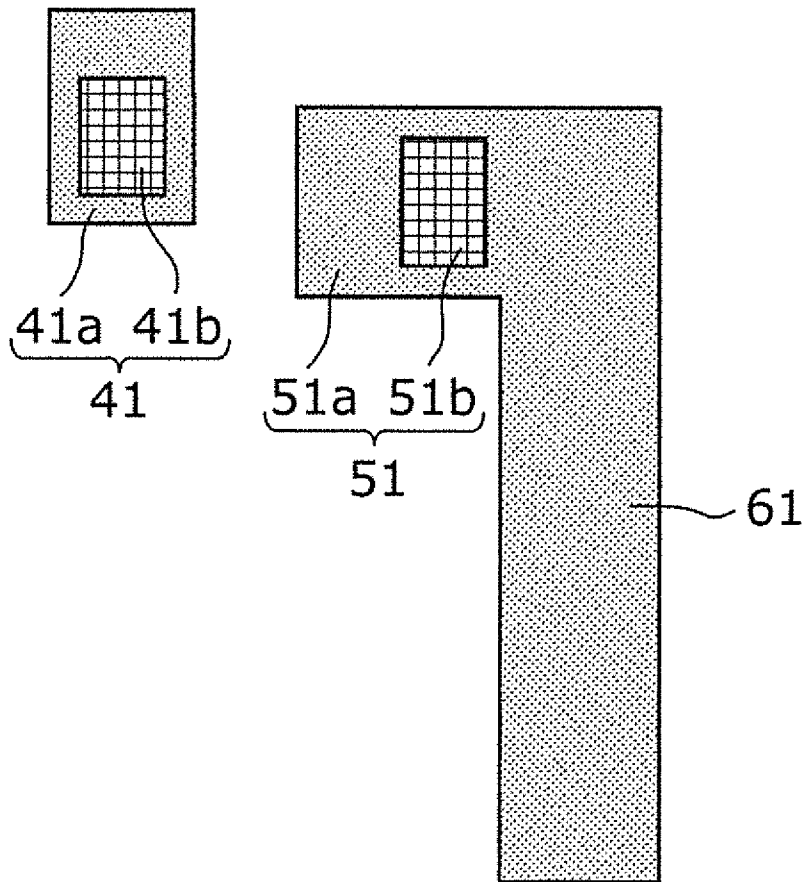
[図8]



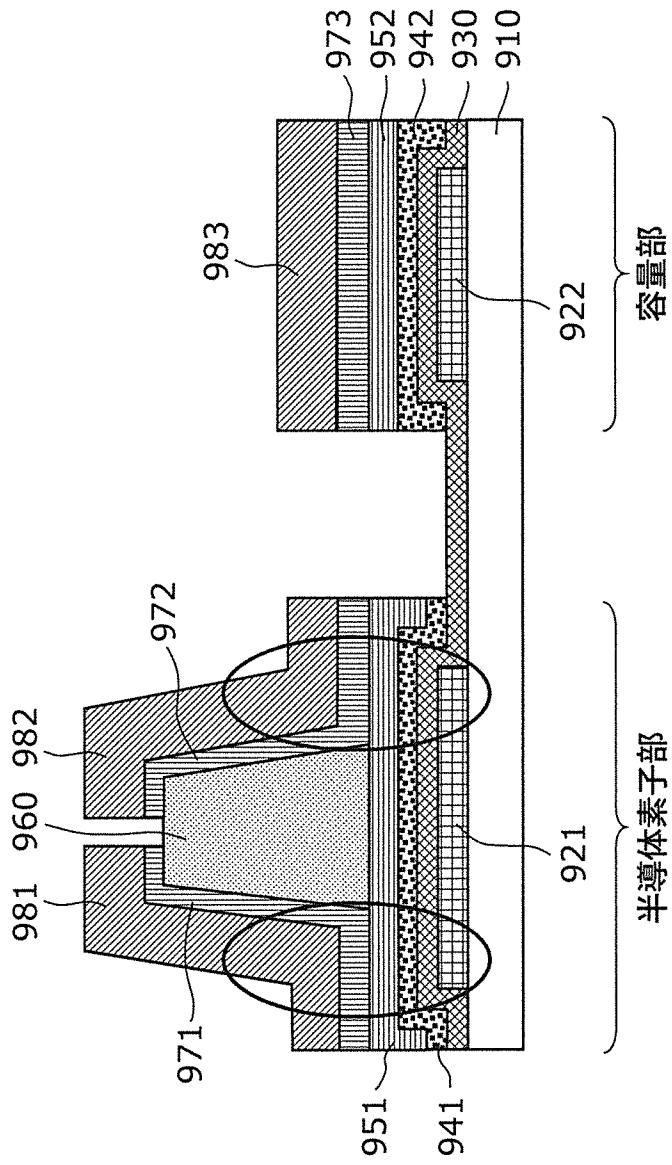
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006046

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, G09F9/30(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, G09F9/30, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-343659 A (Casio Computer Co., Ltd.), 14 December 2001 (14.12.2001), paragraphs [0028] to [0044]; fig. 1 to 8 & US 2001/0036680 A1	1, 3-9, 11-13 2, 10, 14
Y A	JP 2011-077517 A (Semiconductor Energy Laboratory Co., Ltd.), 14 April 2011 (14.04.2011), paragraphs [0167] to [0177] & US 2011/0058116 A1 & WO 2011/027664 A1	1, 3-9, 11-13 2, 10, 14
Y A	JP 2010-287634 A (Casio Computer Co., Ltd.), 24 December 2010 (24.12.2010), paragraphs [0025], [0050] to [0055] (Family: none)	1, 3-9, 11-13 2, 10, 14

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 January, 2012 (24.01.12)Date of mailing of the international search report
31 January, 2012 (31.01.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/006046

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-166038 A (Semiconductor Energy Laboratory Co., Ltd.), 29 July 2010 (29.07.2010), paragraph [0049] & US 2010/0155719 A1 & WO 2010/071183 A1	8

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/336(2006.01)i, G09F9/30(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/336, G09F9/30, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2001-343659 A (カシオ計算機株式会社) 2001. 12. 14, 段落【0028】-【0044】、図1-8 & US 2001/0036680 A1	1, 3-9, 11-13 2, 10, 14
Y A	JP 2011-077517 A (株式会社半導体エネルギー研究所) 2011. 04. 14, 段落【0167】-【0177】 & US 2011/0058116 A1 & WO 2011/027664 A1	1, 3-9, 11-13 2, 10, 14
Y A	JP 2010-287634 A (カシオ計算機株式会社) 2010. 12. 24, 段落【0025】、【0050】-【0055】 (ファミリーなし)	1, 3-9, 11-13 2, 10, 14

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 24. 01. 2012	国際調査報告の発送日 31. 01. 2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 川村 裕二 電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-166038 A (株式会社半導体エネルギー研究所) 2010.07.29, 段落【0049】 & US 2010/0155719 A1 & WO 2010/071183 A1	8