



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월04일  
(11) 등록번호 10-0755370  
(24) 등록일자 2007년08월29일

(51) Int. Cl.

G11C 7/10 (2006.01)

(21) 출원번호 10-2006-0034711

(22) 출원일자 2006년04월17일

심사청구일자 2006년04월17일

(56) 선행기술조사문헌

KR20030088321 A

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김경호

경기 화성시 기산동 대우 아파트 104동 1006호

장성진

경기 성남시 분당구 이매동 아름마을효성아파트 706-1101

(74) 대리인

박상수

전체 청구항 수 : 총 21 항

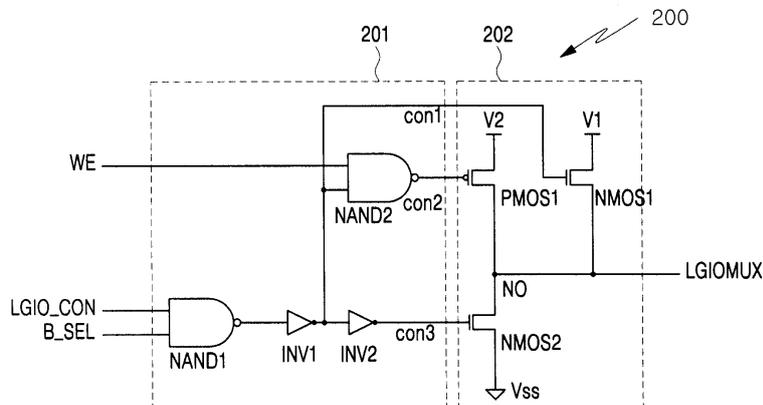
심사관 : 윤난영

(54) 반도체 메모리 장치

(57) 요약

본 발명은 반도체 메모리 장치를 공개한다. 워드 라인들과 비트 라인 쌍들 사이에 각각 연결된 복수개의 메모리 셀을 구비한 복수개의 메모리 셀 어레이 블록, 컬럼 선택 라인에 인가되는 신호에 응답하여 선택된 비트 라인 쌍과 로컬 입출력 라인 쌍 사이에 데이터를 전송하는 비트 라인 선택부, 로컬 글로벌 입출력 선택 신호에 응답하여 로컬 입출력 라인 쌍을 글로벌 입출력 라인 쌍 사이에 데이터를 전송하는 로컬 글로벌 입출력 게이트부, 글로벌 입출력 라인 쌍과 데이터를 입출력하는 데이터 입출력부, 및 리드와 라이트 동작 시에 로컬 글로벌 입출력 선택 신호를 서로 다른 전압 레벨로 제어하는 로컬 글로벌 입출력 제어부를 구비하는 것을 특징으로 한다. 따라서 데이터 입력 시와 출력 시에 로컬 글로벌 게이트에 인가되는 로컬 글로벌 입출력 제어 신호의 전압 레벨을 달리하여 데이터 출력 시에 리드 역류 현상을 줄이고, 데이터 입력 시에 라이트 감쇠 현상을 개선하게 된다.

대표도 - 도5



(56) 선행기술조사문헌  
KR20050064709 A  
KR20040038449 A  
KR20040049175 A

---

## 특허청구의 범위

### 청구항 1

워드 라인들과 비트 라인 쌍들 사이에 각각 연결된 복수개의 메모리 셀을 구비한 복수개의 메모리 셀 어레이 블록;

컬럼 선택 라인에 인가되는 신호에 응답하여 상기 선택된 비트 라인 쌍과 로컬 입출력 라인 쌍 사이에 데이터를 전송하는 비트 라인 선택부;

로컬 글로벌 입출력 선택 신호에 응답하여 상기 로컬 입출력 라인 쌍을 글로벌 입출력 라인 쌍 사이에 데이터를 전송하는 로컬 글로벌 입출력 게이트부;

상기 글로벌 입출력 라인 쌍과 데이터를 입출력하는 데이터 입출력부; 및

리드와 라이트 동작 시에 상기 로컬 글로벌 입출력 선택 신호를 서로 다른 전압 레벨로 제어하는 로컬 글로벌 입출력 제어부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 2

제1항에 있어서, 상기 로컬 글로벌 입출력 제어부는

데이터 리드 시에는 상기 로컬 글로벌 입출력 선택 신호의 전압 레벨을 낮게 하고, 데이터 라이트 시에는 높게 하는 드라이버; 및

데이터 리드 또는 라이트 동작을 하지 않는 동안 상기 로컬 글로벌 입출력 선택 신호를 리셋하기 위한 리셋 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 3

제2항에 있어서, 상기 로컬 글로벌 입출력 제어부는

반전 로컬 센스 증폭기 인에이블 신호, 라이트 인에이블 신호, 로컬 글로벌 입출력 제어 신호, 및 블록 선택 신호에 응답하여 데이터 리드 시에 제1 제어 신호를 활성화하고, 데이터 라이트 시에 제2 제어 신호를 활성화하거나 상기 제1 및 제2 제어 신호를 활성화하며, 상기 로컬 입출력 라인 쌍이 선택되지 않으면 제3 제어 신호를 활성화하는 제어 신호 발생부를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 4

제3항에 있어서, 상기 드라이버는

제1 전원과 상기 로컬 글로벌 입출력 선택 신호를 출력하는 출력 노드 사이에 연결되고 상기 제1 제어 신호에 응답하여 턴 온 되는 NMOS 트랜지스터; 및

제2 전원과 상기 출력 노드 사이에 연결되고 상기 제2 제어 신호에 응답하여 턴 온 되는 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 5

제4항에 있어서, 상기 리셋 트랜지스터는

상기 출력 노드와 접지 전원 사이에 연결되고 상기 제3 제어 신호에 응답하여 턴 온 되는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 6

제4항에 있어서, 상기 제2 전원은

상기 제1 전원과 동일한 전압 레벨을 갖는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 7

제4항에 있어서, 상기 제2 전원은

상기 제1 전원보다 높은 전압 레벨을 갖는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 8**

제3항에 있어서, 상기 드라이버는

제1 전원과 상기 로컬 글로벌 입출력 선택 신호를 출력하는 출력 노드 사이에 연결되고 상기 제1 제어 신호에 응답하여 턴 온 되는 PMOS 트랜지스터; 및

제2 전원과 상기 출력 노드 사이에 연결되고 상기 제2 제어 신호에 응답하여 턴 온 되는 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 9**

제8항에 있어서, 상기 리셋 트랜지스터는

상기 출력 노드와 접지 전원 사이에 연결되고 제3 제어 신호에 응답하여 턴 온 되는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

**청구항 10**

제8항에 있어서, 상기 제2 전원은

상기 제1 전원보다 높은 전압 레벨을 갖는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 11**

제1항에 있어서, 상기 로컬 글로벌 입출력 게이트부는

상기 로컬 글로벌 입출력 선택 신호의 전압 레벨에 응답하여 전류를 제어하는 2개의 NMOS트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

**청구항 12**

제1항에 있어서, 상기 데이터 입출력부는

데이터 리드 시에 상기 글로벌 입출력 라인 쌍으로 전류를 공급하는 로드 트랜지스터부;

데이터 리드 시에 상기 글로벌 입출력 라인 쌍에서 데이터 입출력 라인 쌍으로 데이터를 출력하는 글로벌 입출력 라인 선택부;

데이터 리드 시에 상기 데이터 입출력 라인 쌍의 데이터를 감지 증폭하여 외부로 출력하는 데이터 센스 증폭기; 및

데이터 라이트 시에 상기 데이터 입출력 라인 쌍의 데이터를 감지 증폭하여 상기 글로벌 입출력 라인 쌍으로 입력하는 라이트 드라이버를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 13**

워드 라인들과 비트 라인 쌍들 사이에 각각 연결된 복수개의 메모리 셀을 구비한 복수개의 메모리 셀 어레이 블록;

컬럼 선택 라인에 인가되는 신호에 응답하여 상기 선택된 비트 라인 쌍과 로컬 입출력 라인 쌍 사이에 데이터를 전송하는 비트 라인 선택부;

프리차지 신호에 응답하여 상기 로컬 입출력 라인 쌍을 소정 전압으로 프리차지 하는 프리차지부;

로컬 센스 증폭기 인에이블 신호와 로컬 글로벌 입출력 선택 신호에 응답하여 데이터 리드 시에 상기 로컬 입출력 라인 쌍의 데이터를 감지 증폭하여 글로벌 입출력 라인 쌍으로 전송하고, 데이터 라이트 시에 상기 글로벌 입출력 라인의 데이터를 로컬 글로벌 입출력 라인으로 전송하는 로컬 센스 증폭기;

상기 글로벌 입출력 라인 쌍과 데이터를 입출력하는 데이터 입출력부; 및

리드와 라이트 동작 시에 상기 로컬 글로벌 입출력 선택 신호를 서로 다른 전압 레벨로 제어하는 로컬 글로벌 입출력 제어부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 14**

제13항에 있어서, 상기 로컬 글로벌 입출력 제어부는

데이터 리드 시에는 상기 로컬 글로벌 입출력 선택 신호의 전압 레벨을 낮게 하고, 데이터 라이트 시에는 높게 하는 드라이버; 및

데이터 리드 또는 라이트 동작을 하지 않는 동안 상기 로컬 글로벌 입출력 선택 신호를 리셋하기 위한 리셋 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 15**

제14항에 있어서, 상기 로컬 글로벌 입출력 제어부는

반전 로컬 센스 증폭기 인에이블 신호, 라이트 인에이블 신호, 로컬 글로벌 입출력 제어 신호, 및 블록 선택 신호에 응답하여 데이터 리드 시에 상기 제1 제어 신호를 활성화하거나 제3 제어 신호를 활성화하고, 데이터 라이트 시에 제2 제어 신호를 활성화하거나 상기 제1 및 제2 제어 신호를 활성화하며, 상기 로컬 입출력 라인 쌍이 선택되지 않으면 상기 제3 제어 신호를 활성화하는 제어 신호 발생부를 추가로 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 16**

제15항에 있어서, 상기 드라이버는

제1 전원과 상기 로컬 글로벌 입출력 선택 신호를 출력하는 출력 노드 사이에 연결되고 상기 제1 제어 신호에 응답하여 턴 온 되는 NMOS 트랜지스터; 및

제2 전원과 상기 출력 노드 사이에 연결되고 상기 제2 제어 신호에 응답하여 턴 온 되는 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 17**

제15항에 있어서, 상기 리셋 트랜지스터는

상기 출력 노드와 접지 전원 사이에 연결되고 상기 제3 제어 신호에 응답하여 턴 온 되는 NMOS 트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

**청구항 18**

제16항에 있어서, 상기 제2 전원은

상기 제1 전원과 동일한 전압 레벨을 갖는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 19**

제16항에 있어서, 상기 제2 전원은

상기 제1 전원보다 높은 전압 레벨을 갖는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 20**

제13항에 있어서, 상기 로컬 센스 증폭기는

접지 전원에 공통으로 연결되고 상기 로컬 입출력 라인 쌍으로부터 인가되는 데이터를 감지하는 차동 입력부;

상기 차동 입력부와 상기 로컬 입출력 라인 쌍 사이에 연결되고 상기 로컬 센스 증폭기 인에이블 신호에 응답하여 상기 로컬 센스 증폭기를 인에이블하는 스위치부; 및

상기 로컬 글로벌 입출력 선택 신호의 전압 레벨에 응답하여 전류를 제어하는 2개의 NMOS 트랜지스터로 구성된 로컬 글로벌 입출력 게이트부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**청구항 21**

제13항에 있어서, 상기 데이터 입출력부는

데이터 리드 시에 상기 글로벌 입출력 라인 쌍으로 전류를 공급하는 로드 트랜지스터부;

데이터 리드 시에 상기 글로벌 입출력 라인 쌍에서 데이터 입출력 라인 쌍으로 데이터를 출력하는 글로벌 입출력 라인 선택부;

데이터 리드 시에 상기 데이터 입출력 라인 쌍의 데이터를 감지 증폭하여 외부로 출력하는 데이터 센스 증폭기; 및

데이터 라이트 시에 상기 데이터 입출력 라인 쌍의 데이터를 감지 증폭하여 상기 글로벌 입출력 라인 쌍으로 입력하는 라이트 드라이버를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <10> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 로컬 데이터 라인 쌍과 글로벌 데이터 라인 쌍을 연결하는 로컬 글로벌 입출력 게이트에 인가되는 로컬 글로벌 입출력 선택 신호의 전압 레벨을 데이터 리드 시와 라이트 시에 각각 다르게 조절하여 데이터 리드 시에 리드 역류 현상을 줄이고, 데이터 라이트 시에 라이트 감쇠 현상을 개선하는 데이터 입출력 회로에 관한 것이다.
- <11> 반도체 메모리 장치의 중요한 과제는 고용량화, 저소비 전력화, 및 고속화이다.
- <12> 고용량화를 위하여 반도체 메모리 장치의 공정은 점점 더 미세화 되어 가고 있다. 공정의 미세화에 의해 메모리 셀의 게이트 산화막의 두께(tox)가 얇아지고, 상대적으로 전기장(Electric-field)의 세기가 높아짐에 따라 신뢰성 문제로 인해 메모리 셀 어레이에 인가되는 전압은 낮아지고 있다.
- <13> 반도체 메모리 장치의 다른 과제인 저소비 전력화 또한 낮은 전압의 사용으로 충족시킬 수 있다.
- <14> 그러나 메모리 셀 어레이의 주변부에서는 고용량화보다 고속화가 더욱 중요한 과제이므로 메모리 셀 어레이에 인가되는 전압보다 높은 전압을 필요로 한다. 따라서 메모리 셀 어레이에 인가되는 전압과 주변부에 인가되는 전압에 차이가 발생한다.
- <15> 이러한 메모리 셀 어레이의 전압과 주변부의 전압의 차이는 데이터 리드 시에 주변부의 전류가 메모리 셀 어레이로 흐르는 리드 역류 현상(read reverse-current)을 발생하여 취약한 메모리 셀에 손상을 주거나 비트 라인 센스 증폭기의 오동작을 일으킬 수 있다.
- <16> 도1 은 종래의 반도체 메모리 장치의 구성을 나타내는 블록도이다.
- <17> 반도체 메모리 장치는 일반적으로 복수개의 뱅크(1)를 구비하고, 각각의 뱅크(1)는 복수개의 메모리 셀 어레이 블록(BLK1 ~ BLKn)을 구비한다. 메모리 셀 어레이 블록(BLK1 ~ BLKn)은 복수개의 서브 메모리 셀 어레이 블록(blk1 ~ blkn)을 구비한다.
- <18> 워드 라인(WL)들은 메모리 셀 어레이 블록들(BLK1 ~ BLKn) 각각의 세로 방향으로 배치되고, 비트 라인(BL)들은 n개의 메모리 셀 어레이 블록들(BLK1 ~ BLKn) 각각의 가로 방향으로 배치된다.
- <19> 반도체 메모리 장치, 특히 DRAM(Dynamic Random Access Memory)의 용량이 증가됨에 따라 메모리 셀(MC)로부터 외부로 데이터를 출력하는 데이터 라인의 길이가 상대적으로 길어지게 되어, 현재에는 데이터 입출력 회로로 로컬 입출력 라인 쌍(LI0, LI0B)과 글로벌 입출력 라인 쌍(GI0, GI0B) 및 데이터 입출력 라인 쌍(DI0, DI0B)의 계층적인 구조가 주로 이용된다.
- <20> 로컬 입출력 라인 쌍들((LI0/B11 ~ LI0/B1k) ~ (LI0/Bn1 ~ LI0/Bnk)) 각각은 n개의 메모리 셀 어레이 블록들(BLK1 ~ BLKn)의 사이에 서로 분리되어 세로 방향으로 배치되며, 글로벌 입출력 라인 쌍들(GI0/B1 ~ GI0/B2k)

각각은 n개의 메모리 셀 어레이 블록들(BLK1 ~ BLKn)의 로컬 입출력 라인 쌍들((LIO/B11 ~ LIO/B1k) ~ (LIO/Bn1 ~ LIO/Bnk))과 데이터를 입출력하기 위하여 가로 방향으로 배치되어 있다. 그리고 데이터 입출력 라인 쌍(DIO/B)은 2k개의 글로벌 입출력 라인 쌍들(GIO/B1 ~ GIO/B2k)과 데이터를 입출력하기 위하여 세로 방향으로 배치되어 있다.

- <21> 또한 반도체 메모리 장치는 뱅크(1)가 독립적으로 동작할 수 있도록, 각각의 뱅크(1)에 대하여 로우 디코더(2)와 컬럼 디코더(3)를 구비한다. 로우 디코더(2)는 외부로부터 인가되는 어드레스(Address)에서 로우 어드레스(RA)를 디코딩하여 해당 워드 라인(WL)을 활성화한다. 컬럼 디코더(3)는 외부로부터 인가되는 어드레스에서 컬럼 어드레스(CA)를 디코딩하여 해당 컬럼 선택 라인(CSL)을 활성화한다. 또한 컬럼 디코더(3)는 블록 선택 신호(B\_SEL)를 출력하여 메모리 셀 어레이 블록에서 서브 메모리 셀 어레이 블록(blk1 ~ blkm)을 선택하도록 한다.
- <22> 제어부(4)는 외부에서 인가되는 명령(com)을 해석하여 라이트 인에이블 신호(WE), 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN), 프리차지 제어 신호(LIOEQ), 로컬 글로벌 입출력 제어 신호(LGIO\_CON), 로드 신호(Load\_sig), 글로벌 입출력 선택 신호(GIOMUX) 및 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 출력한다.
- <23> 도2 는 도1 에 나타낸 반도체 메모리 장치의 일예의 데이터 입출력 회로의 구성을 나타내는 것으로, 하나의 로컬 입출력 라인 쌍(LIO, LIOB)과 하나의 글로벌 입출력 라인 쌍(GIO, GIOB) 및 하나의 데이터 입출력 라인 쌍(DIO, DIOB) 사이에 연결되는 데이터 입출력 경로의 구성을 나타내는 것이다.
- <24> 메모리 셀 어레이 블록(10)은 도1 의 메모리 셀 어레이 블록들(BLK1 ~ BLKn) 중 하나이며, 복수개의 비트 라인 쌍(BL, BLB)과 복수개의 워드 라인(WL) 사이에 연결된 복수개의 메모리 셀(MC)을 구비하여 데이터를 저장한다.
- <25> 비트 라인 센스 증폭기(20)는 데이터 리드 시에 로우 어드레스(RA)를 디코딩하여 선택된 워드 라인(WL)에 연결된 메모리 셀(MC)의 데이터를 증폭하고, 데이터 라이트 시에 로컬 입출력 라인 쌍(LIO, LIOB)으로부터 인가되는 데이터를 메모리 셀(MC)에 저장한다.
- <26> 비트 라인 선택부(30)는 2개의 비트 라인 게이트(BL\_gate1, BL\_gate2)로 구성되고, 컬럼 어드레스(CA)를 디코딩하여 활성화되는 컬럼 선택 라인(CSL)에 응답하여 복수개의 비트 라인 쌍 중에서 선택된 비트 라인 쌍(BL, BLB)을 로컬 입출력 라인 쌍(LIO, LIOB)과 연결한다.
- <27> 프리차지부(40)는 프리차지(precharge) 시에 제어부에서 발생하는 프리차지 제어 신호(LIOEQ)에 응답하여 로컬 입출력 라인 쌍(LIO, LIOB)을 소정의 전압으로 프리차지한다.
- <28> 로컬 센스 증폭기(50)는 데이터 리드 시에 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)에 응답하여 로컬 입출력 라인 쌍(LIO, LIOB)의 데이터를 증폭하여 글로벌 입출력 라인 쌍(GIO, GIOB)으로 전송하고, 데이터 라이트 시에 로컬 글로벌 입출력 선택 신호(LGIOMUX)에 응답하여 글로벌 입출력 라인 쌍(GIO, GIOB)의 데이터를 로컬 입출력 라인 쌍(LIO, LIOB)으로 전송한다.
- <29> 로드 트랜지스터부(60)는 두 개의 로드 트랜지스터(Load\_TR1, Load\_TR2)로 구성된다. 각각의 로드 트랜지스터(Load\_TR1, Load\_TR2)는 외부 전압(Vcc)과 글로벌 입출력 라인 쌍(GIO, GIOB) 사이에 연결되고, 데이터 리드 시에 인가되는 로드 신호(Load\_sig)에 응답하여 글로벌 입출력 라인 쌍(GIO, GIOB)으로 일정한 전류를 공급한다.
- <30> 글로벌 입출력 라인 선택부(70)는 2개의 글로벌 게이트(G\_gate1, G\_gate2)로 구성되고, 데이터 리드 시에 글로벌 입출력 선택 신호(GIOMUX)에 응답하여 복수개의 글로벌 입출력 라인 쌍에서 선택된 글로벌 입출력 라인 쌍(GIO, GIOB)의 데이터 입출력 라인 쌍(DIO, DIOB)으로 출력한다.
- <31> 데이터 센스 증폭기(80)는 데이터 리드 시에 데이터 입출력 라인 쌍(DIO, DIOB)의 데이터를 증폭하여 외부로 출력한다.
- <32> 라이트 드라이버(90)는 데이터 라이트 시에 외부에서 인가되는 데이터를 증폭하여 글로벌 입출력 라인 쌍(GIO, GIOB)으로 전송한다.
- <33> 종래에는 데이터 센스 증폭기(80)로 전압 센스 증폭기가 사용되었으나, 글로벌 입출력 라인 쌍(GIO, GIOB)과 데이터 입출력 라인 쌍(DIO, DIOB)에서의 지연을 줄이기 위해서 현재는 전류 센스 증폭기가 주로 사용되고 있다.
- <34> 이와 같이 반도체 메모리 장치에서 데이터 센스 증폭기(80)로 전류 센스 증폭기를 사용하는 경우, 글로벌 입출력 라인 쌍(GIO, GIOB)과 데이터 입출력 라인 쌍(DIO, DIOB)에 전류를 공급하기 위한 로드 트랜지스터(Load\_TR1, Load\_TR2)를 사용한다. 로드 트랜지스터(Load\_TR1, Load\_TR2)에 인가되는 전압으로 내부 전압이 이

용되는 경우도 있으나, 빠른 동작을 위하여 외부 전압(Vcc)이 이용되는 경우에 메모리 셀 어레이에 인가되는 전압과 주변부에 인가되는 전압의 차이는 더욱더 커지게 된다.

- <35> 도2 에서와 같은 반도체 메모리 장치는, 데이터 리드 시에 외부 전압(Vcc)이 글로벌 입출력 라인 쌍(GIO, GIOB)과 로컬 입출력 라인 쌍(LIO, LIOB)을 통하여 비트 라인 쌍(BL, BLB)에 인가되는 것을 로컬 센스 증폭기(50)에서 방지하여 리드 역류 현상이 발생하지 않도록 한다. 데이터 라이트 시에는 라이트 동작을 최적화하기 위하여 높은 전압의 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 사용하여 글로벌 입출력 라인 쌍(GIO, GIOB)에서 로컬 입출력 라인 쌍(LIO, LIOB)으로 데이터 전송을 원활하게 하여 라이트 감쇠 현상이 발생하지 않는다.
- <36> 도2 에서는 로컬 센스 증폭기(50)를 구비하는 반도체 메모리 장치의 데이터 입출력 회로를 나타내었으나, 실제 반도체 메모리 장치 제조 시에는 칩 사이즈 손실과 추가적인 전류 손실, 로컬 센스 증폭기 사이클 제어 마진(LSA cycle control margin)등의 문제로 인하여 채용하지 못하는 경우가 발생한다.
- <37> 도3 은 로컬 센스 증폭기를 구비하지 않는 종래의 반도체 메모리 장치의 데이터 입출력 회로를 나타낸다.
- <38> 도3 에서 메모리 셀 어레이 블록(10), 비트 라인 센스 증폭기(20), 비트 라인 선택부(30), 로드 트랜지스터부(60), 글로벌 입출력 라인 선택부(70), 데이터 센스 증폭기(80) 및 라이트 드라이버(90)는 도2 와 동일하다.
- <39> 로컬 글로벌 입출력 게이트부(51)는 NMOS 트랜지스터로 구성된 2개의 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)를 구비한다. 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)는 로컬 입출력 라인 쌍(LIO, LIOB)와 글로벌 입출력 라인 쌍(GIO, GIOB) 사이에 각각 연결되고, 게이트 단자로 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 인가받아 로컬 입출력 라인 쌍(LIO, LIOB)과 글로벌 입출력 라인 쌍(GIO, GIOB) 사이에 데이터를 입출력한다.
- <40> 로컬 글로벌 입출력 게이트부(51)는 도2 의 로컬 센스 증폭기(50)와는 달리 데이터 리드 시와 라이트 시에 대해 별도로 구분하지 못하므로, 리드 역류 현상을 방지하기 위해서 낮은 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 사용한다. 낮은 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 사용하게 되면, 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)의 저항이 증가하게 되어 리드 역류 현상을 줄인다.
- <41> 그러나 데이터 라이트 시에는 라이트 드라이버(90)를 통해 전송되는 데이터가 글로벌 입출력 라인 쌍(GIO, GIOB), 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2), 로컬 입출력 라인 쌍(LIO, LIOB)을 거쳐 비트 라인 쌍(BL, BLB)으로 인가되어 메모리 셀(MC)에 데이터가 저장되므로, 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)의 저항이 증가하게 되면 데이터 라이트 시간이 길어지는 라이트 감쇠 현상이 발생하게 된다.

**발명이 이루고자 하는 기술적 과제**

- <42> 본 발명의 목적은 데이터 리드 시와 라이트 시에 로컬 글로벌 입출력 선택 신호의 전압을 조절하여 리드 역류 현상이나 라이트 감쇠 현상을 줄이는 반도체 메모리 장치를 제공하는데 있다.
- <43> 상기 목적을 달성하기 위한 반도체 메모리 장치의 일실시예는 워드 라인들과 비트 라인 쌍들 사이에 각각 연결된 복수개의 메모리 셀을 구비한 복수개의 메모리 셀 어레이 블록, 컬럼 선택 라인에 인가되는 신호에 응답하여 선택된 비트 라인 쌍과 로컬 입출력 라인 쌍 사이에 데이터를 전송하는 비트 라인 선택부, 로컬 글로벌 입출력 선택 신호에 응답하여 로컬 입출력 라인 쌍을 글로벌 입출력 라인 쌍 사이에 데이터를 전송하는 로컬 글로벌 입출력 게이트부, 글로벌 입출력 라인 쌍과 데이터를 입출력하는 데이터 입출력부, 및 리드와 라이트 동작 시에 로컬 글로벌 입출력 선택 신호를 서로 다른 전압 레벨로 제어하는 로컬 글로벌 입출력 제어부를 구비하는 것을 특징으로 한다.
- <44> 상기 목적을 달성하기 위한 반도체 메모리 장치의 일실시예에 따른 로컬 글로벌 입출력 제어부는 데이터 리드 시에는 로컬 글로벌 입출력 선택 신호의 전압 레벨을 낮게 하고, 데이터 라이트 시에는 높게 하는 드라이버, 및 데이터 리드 또는 라이트 동작을 하지 않는 동안 로컬 글로벌 입출력 선택 신호를 리셋하기 위한 리셋 트랜지스터를 구비하는 것을 특징으로 한다.
- <45> 상기 목적을 달성하기 위한 반도체 메모리 장치의 일실시예에 따른 로컬 글로벌 입출력 제어부는 반전 로컬 센스 증폭기 인에이블 신호, 라이트 인에이블 신호, 로컬 글로벌 입출력 제어 신호, 및 블록 선택 신호에 응답하여 데이터 리드 시에 제1 제어 신호를 활성화하고, 데이터 라이트 시에 제2 제어 신호를 활성화하거나 제1 및 제2 제어 신호를 활성화하며, 로컬 입출력 라인 쌍이 선택되지 않으면 제3 제어 신호를 활성화하는 제어 신호 발생부를 추가로 더 구비하는 것을 특징으로 한다.

- <46> 상기 목적을 달성하기 위한 반도체 메모리 장치의 일실시예에 따른 드라이버는 제1 전원과 로컬 글로벌 입출력 선택 신호를 출력하는 출력 노드 사이에 연결되고 제1 제어 신호에 응답하여 턴 온 되는 NMOS 트랜지스터, 및 제2 전원과 출력 노드 사이에 연결되고 제2 제어 신호에 응답하여 턴 온 되는 PMOS 트랜지스터를 구비하는 것을 특징으로 한다.
- <47> 상기 목적을 달성하기 위한 반도체 메모리 장치의 일실시예에 따른 드라이버는 제1 전원과 로컬 글로벌 입출력 선택 신호를 출력하는 출력 노드 사이에 연결되고 제1 제어 신호에 응답하여 턴 온 되는 PMOS 트랜지스터, 및 제2 전원과 출력 노드 사이에 연결되고 제2 제어 신호에 응답하여 턴 온 되는 PMOS 트랜지스터를 구비하는 것을 특징으로 한다.
- <48> 상기 목적을 달성하기 위한 반도체 메모리 장치의 일실시예에 따른 리셋 트랜지스터는 출력 노드와 접지 전원 사이에 연결되고 제3 제어 신호에 응답하여 턴 온 되는 NMOS 트랜지스터인 것을 특징으로 한다.
- <49> 상기 목적을 달성하기 위한 반도체 메모리 장치의 일실시예에 따른 로컬 글로벌 입출력 게이트부는 로컬 글로벌 입출력 선택 신호의 전압 레벨에 응답하여 전류를 제어하는 2개의 NMOS 트랜지스터인 것을 특징으로 한다.
- <50> 상기 목적을 달성하기 위한 반도체 메모리 장치의 일실시예에 따른 데이터 입출력부는 데이터 리드 시에 글로벌 입출력 라인 쌍으로 전류를 공급하는 로드 트랜지스터부, 데이터 리드 시에 글로벌 입출력 라인 쌍에서 데이터 입출력 라인 쌍으로 데이터를 출력하는 글로벌 입출력 라인 선택부, 데이터 리드 시에 데이터 입출력 라인 쌍의 데이터를 감지 증폭하여 외부로 출력하는 데이터 센스 증폭기, 및 데이터 라이트 시에 데이터 입출력 라인 쌍의 데이터를 감지 증폭하여 글로벌 입출력 라인 쌍으로 입력하는 라이트 드라이버를 구비하는 것을 특징으로 한다.
- <51> 상기 목적을 달성하기 위한 반도체 메모리 장치의 다른 예는 워드 라인들과 비트 라인 쌍들 사이에 각각 연결된 복수개의 메모리 셀을 구비한 복수개의 메모리 셀 어레이 블록, 컬럼 선택 라인에 인가되는 신호에 응답하여 선택된 비트 라인 쌍과 로컬 입출력 라인 쌍 사이에 데이터를 전송하는 비트 라인 선택부, 프리차지 신호에 응답하여 로컬 입출력 라인 쌍을 소정 전압으로 프리차지 하는 프리차지부, 로컬 센스 증폭기 인에이블 신호와 로컬 글로벌 입출력 선택 신호에 응답하여 데이터 리드 시에 로컬 입출력 라인 쌍의 데이터를 감지 증폭하여 글로벌 입출력 라인 쌍으로 전송하고, 데이터 라이트 시에 글로벌 입출력 라인의 데이터를 로컬 글로벌 입출력 라인으로 전송하는 로컬 센스 증폭기, 글로벌 입출력 라인 쌍과 데이터를 입출력하는 데이터 입출력부, 및 리드와 라이트 동작 시에 로컬 글로벌 입출력 선택 신호를 서로 다른 전압 레벨로 제어하는 로컬 글로벌 입출력 제어부를 구비하는 것을 특징으로 한다.
- <52> 삭제
- <53> 상기 목적을 달성하기 위한 반도체 메모리 장치의 다른 예에 따른 로컬 센스 증폭기는 접지 전원에 공통으로 연결되고 로컬 입출력 라인 쌍으로부터 인가되는 데이터를 감지하는 차동 입력부, 차동 입력부와 로컬 입출력 라인 쌍 사이에 연결되고 로컬 센스 증폭기 인에이블 신호에 응답하여 로컬 센스 증폭기를 인에이블하는 스위치부, 및 로컬 글로벌 입출력 선택 신호의 전압 레벨에 응답하여 전류를 제어하는 2개의 NMOS 트랜지스터로 구성된 로컬 글로벌 입출력 게이트부를 구비하는 것을 특징으로 한다.

**발명의 구성 및 작용**

- <54> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 장치의 데이터 입출력 회로를 설명하면 다음과 같다.
- <55> 도4 는 본 발명에 따른 반도체 메모리 장치의 데이터 입출력 회로를 나타내는 제1 실시예이다.
- <56> 도4 의 반도체 메모리 장치의 데이터 입출력 회로는 도3 의 반도체 메모리 장치의 데이터 입출력 회로와 동일한 구성으로 로컬 글로벌 입출력 게이트부(151)를 가지며, 로컬 글로벌 입출력 제어부(200)를 추가로 구비한다. 로컬 글로벌 입출력 제어부(200)는 도1 의 제어부(4)로부터 리드 또는 라이트를 지시하는 라이트 인에이블 신호(WE)와 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)를 제어하기 위한 로컬 글로벌 입출력 제어 신호(LGIO\_CON)를 인가받는다. 그리고 메모리 셀 어레이 블록에서 서브 메모리 셀 어레이 블록을 선택하기 위한 블록 선택 신호(B\_SEL)를 컬럼 디코더(3)로부터 인가받는다. 로컬 글로벌 입출력 선택 신호(LGIOMUX)는 로컬 글로벌 입출력 게이트부(151)의 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)로 출력한다.
- <57> 도5 는 도4 의 로컬 글로벌 입출력 제어부의 일례를 나타내는 도면이다.

- <58> 도5 에서 로컬 글로벌 입출력 제어부(200)는 데이터 리드 시와 라이트 시에 각기 다른 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 출력하기 위한 드라이버부(202)와 드라이버부(202)를 제어하기 위한 제어 신호를 출력하는 제어 신호 발생부(201)로 구성된다. 제어 신호 발생부(201)는 2개의 낸드 게이트(NAND1, NAND2)와 2개의 인버터(INV1, INV2)를 구비하여, 라이트 인에이블 신호(WE)와 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 블록 선택 신호(B\_SEL)에 응답하여 제1 제어 신호(con1)와 제2 제어 신호(con2) 및 제3 제어 신호(con3)를 드라이버부(202)로 출력한다.
- <59> 낸드 게이트(NAND1)는 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 블록 선택 신호(B\_SEL)를 반전 논리곱하고, 인버터(INV1)는 낸드 게이트(NAND1)의 출력을 반전하여 제1 제어 신호(con1)를 출력하며, 인버터(INV2)는 제1 제어 신호(con1)을 반전하여 제3 제어 신호(con3)를 출력한다.
- <60> 낸드 게이트(NAND2)는 제1 제어 신호(con1)와 라이트 인에이블 신호(WE)를 반전 논리곱하여 제2 제어 신호(con2)를 출력한다.
- <61> 드라이버부(202)는 2개의 드라이버(NMOS1, PMOS1)와 1개의 리셋 트랜지스터(NMOS2)를 구비한다. NMOS 드라이버(NMOS1)와 PMOS 드라이버(PMOS1)는 각각 NMOS 트랜지스터와 PMOS 트랜지스터를 구비하고, 데이터 리드 또는 라이트 시에 제1 제어 신호(con1)와 제2 제어 신호(con2)에 응답하여 소정의 전압 레벨을 갖는 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 출력한다. 리셋 트랜지스터(NMOS2)는 NMOS 트랜지스터를 구비하고, 데이터 리드 또는 라이트 동작을 하지 않는 경우에 제3 제어 신호(con3)에 응답하여 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 디스에이블 한다.
- <62> NMOS 드라이버(NMOS1)는 제1 전원 전압(V1)과 로컬 글로벌 입출력 선택 신호(LGIOMUX)가 출력되는 출력 노드(NO) 사이에 연결되며, 게이트 단자로 제1 제어 신호(con1)를 인가받는다. PMOS 드라이버(PMOS1)는 제2 전원 전압(V2)과 출력 노드(NO) 사이에 연결되며, 게이트 단자로 제2 제어 신호(con2)를 인가받는다. 리셋 트랜지스터(NMOS2)는 출력 노드(NO)와 접지 전압(Vss) 사이에 연결되며, 제3 제어 신호(con3)를 게이트 단자로 인가받는다.
- <63> 도4 와 도5 를 참조로 하여 본 발명의 반도체 메모리 장치의 데이터 입출력 회로를 설명하면, 먼저 메모리 셀 어레이 블록(110)의 메모리 셀(MC)이 선택되지 않은 경우에는 "로우" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "로우" 레벨의 블록 선택 신호(B\_SEL)가 로컬 글로벌 입출력 제어부(200)로 인가된다.
- <64> 제어 신호 발생부(201)는 "로우" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "로우" 레벨의 블록 선택 신호(B\_SEL)에 응답하여, "로우" 레벨의 제1 제어 신호(con1)와 "하이" 레벨의 제2 제어 신호(con2) 및 "하이" 레벨의 제3 제어 신호(con3)를 출력한다. 제2 제어 신호(con2)는 제1 제어 신호(con1)와 라이트 인에이블 신호(WE)를 반전 논리곱하여 생성되므로, "로우" 레벨의 제1 제어 신호(con1)가 낸드 게이트(NAND2)에 인가되면 라이트 인에이블 신호(WE)에 무관하게 "하이" 레벨의 제2 제어 신호(con2)가 출력된다.
- <65> 드라이버부(202)의 NMOS 드라이버(NMOS1)와 PMOS 드라이버(PMOS1)는 각각 "로우" 레벨의 제1 제어 신호(con1)와 "하이" 레벨의 제2 제어 신호(con2)에 응답하여 턴 오프 된다. 리셋 트랜지스터(NMOS2)는 "하이" 레벨의 제3 제어 신호(con3)에 응답하여 출력 노드(NO)로 접지 전압(Vss)을 인가한다. 리셋 트랜지스터(NMOS2)는 풀다운(Pull-down) 소자인 NMOS 트랜지스터이므로, 출력 노드(NO)는 접지 전압 레벨로 강하한다.
- <66> 따라서 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨은 접지 전압 레벨이 된다.
- <67> 데이터 리드 시에는 "로우" 레벨의 라이트 인에이블 신호(WE)와 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON) 및 "하이" 레벨의 블록 선택 신호(B\_SEL)가 로컬 글로벌 입출력 제어부(200)로 인가된다.
- <68> 제어 신호 발생부(201)는 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "하이" 레벨의 블록 선택 신호(B\_SEL)에 응답하여 "하이" 레벨의 제1 제어 신호(con1)와 "로우" 레벨의 제3 제어 신호(con3)를 출력하고, 제1 제어 신호(con1)와 "로우" 레벨의 라이트 인에이블 신호(WE)에 응답하여 "하이" 레벨의 제2 제어 신호(con2)를 출력한다.
- <69> 드라이버부(202)의 NMOS 드라이버(NMOS1)는 "하이" 레벨의 제1 제어 신호(con1)에 응답하여 제1 전원 전압(V1)을 출력 노드(NO)로 인가한다. 여기서 NMOS 드라이버(NMOS1)는 풀다운(Pull-down) 소자인 NMOS 트랜지스터이므로, 출력노드(NO)에는 제1 전원 전압(V1)에서 NMOS 드라이버(NMOS1)의 문턱 전압(Vth)을 뺀 전압(V1-Vth)이 인가된다. PMOS 드라이버(PMOS1)와 리셋 트랜지스터(NMOS2)는 각각 "하이" 레벨의 제2 제어 신호(con2)와 "로우" 레벨의 제3 제어 신호(con3)에 응답하여 턴 오프 된다.

- <70> 따라서 출력 노드(NO)를 통하여 출력되는 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨은 제1 전원 전압에서 NMOS 드라이버(NMOS1)의 문턱 전압( $V_{thn}$ )을 뺀 전압( $V1-V_{thn}$ )이 된다.
- <71> 데이터 라이트 시에 제어 신호 발생부(201)는 "하이" 레벨의 라이트 인에이블 신호(WE)와 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON) 및 "하이" 레벨의 블록 선택 신호(B\_SEL)를 인가받아, "하이" 레벨의 제1 제어 신호(con1)와 "로우" 레벨의 제2 제어 신호(con2) 및 "로우" 레벨의 제3 제어 신호(con3)를 출력한다.
- <72> 드라이버부(202)의 NMOS 드라이버(NMOS1)는 데이터 리드 시와 마찬가지로 "하이" 레벨의 제1 제어 신호(con1)에 응답하여, 제1 전원 전압( $V1$ )에서 NMOS 드라이버(NMOS1)의 문턱 전압( $V_{thn}$ )을 뺀 전압( $V1-V_{thn}$ )을 출력노드(NO)로 인가한다. PMOS 드라이버(PMOS1)는 "로우" 레벨의 제2 제어 신호(con2)에 응답하여, 제2 전원 전압( $V2$ )을 출력 노드(NO)로 인가한다. PMOS 드라이버(PMOS1)는 풀업(Pull-up) 소자인 PMOS 트랜지스터이므로, 출력 노드(NO)에는 제2 전원 전압( $V2$ )이 인가된다. 리셋 트랜지스터(NMOS2)는 "로우" 레벨의 제1 제어 신호(con3)에 응답하여 턴 오프 된다.
- <73> 따라서 출력 노드(NO)에는 제1 전원 전압( $V1$ )에서 NMOS 드라이버(NMOS1)의 문턱 전압( $V_{thn}$ )을 뺀 전압( $V1-V_{thn}$ )과 제2 전원 전압( $V2$ )이 병렬로 인가된다. 전원 전압( $V1$ )과 제2 전원 전압( $V2$ )이 모두 외부 전압( $V_{cc}$ )인 경우에 풀업(Pull-up) 소자인 PMOS 드라이버(PMOS1)에 의해 로컬 글로벌 입출력 선택 신호(LGIOMUX)는 전압 레벨이 높은 외부 전압( $V_{cc}$ )으로 출력된다.
- <74> 도5 의 로컬 글로벌 입출력 제어부(200)는 해당 메모리 셀(MC)이 선택되지 않으면, 접지 전압( $V_{ss}$ ) 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 출력하여 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)를 턴 오프 시키고, 로컬 입출력 라인(LIO, LIOB)과 글로벌 입출력 라인(GIO, GIOB)를 분리한다.
- <75> 데이터 리드 시에 로컬 글로벌 입출력 제어부(200)는 외부 전압( $V_{cc}$ )에서 NMOS 드라이버(NMOS1)의 문턱 전압( $V_{thn}$ )을 뺀 전압( $V_{cc}-V_{thn}$ )을 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)에 인가하여, 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)의 저항을 높이고, 리드 역류 현상을 방지한다.
- <76> 데이터 라이트 시에 로컬 글로벌 입출력 제어부(200)는 외부 전압( $V_{cc}$ )을 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)에 인가하여, 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)의 저항을 낮게 하고, 라이트 감쇠 현상을 줄여준다.
- <77> 도5 에서 제1 전원 전압( $V1$ )으로 외부 전압( $V_{cc}$ )을 사용하고, 제2 전원 전압( $V2$ )으로 외부 전압( $V_{cc}$ )을 반도체 메모리 장치 내부에서 승압한 내부 승압 전압( $V_{pp}$ )을 사용할 수 있다.
- <78> 반도체 메모리 장치에서는 필요에 따라 여러 레벨의 전압을 사용하고 있으며, 내부 승압 전압( $V_{pp}$ )은 주로 워드 라인(WL)과 비트 라인 격리 회로, 데이터 출력 버퍼에 사용되는 전압으로 외부 전압( $V_{cc}$ )보다 높은 전압 레벨을 가진다.
- <79> 도5 에서 제2 전원 전압( $V2$ )으로 내부 승압 전압( $V_{pp}$ )을 이용하게 되면, 데이터 라이트 시에 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨을 외부 전압( $V_{cc}$ )보다 높게 설정할 수 있으므로 라이트 감쇠 현상을 더욱 줄일 수 있다. 그러나 제2 전원 전압( $V2$ )으로 내부 승압 전압( $V_{pp}$ )을 이용하는 경우에는 제1 전원 전압( $V1$ )으로 사용되는 외부 전압( $V_{cc}$ )과의 전압 차로 인하여 NMOS 드라이버(NMOS1)가 오동작 하거나 파괴될 수 있으므로, NMOS 드라이버(NMOS1)와 PMOS 드라이버(PMOS1)가 각각 독립적으로 출력 노드(NO)에 연결될 수 있도록 하는 추가의 회로를 더 필요로 한다. 이러한 추가적인 회로는 여러가지 방법으로 쉽게 구현 가능하므로 본 발명에서는 따로 도시하지 않는다.
- <80> 그리고 제어 신호 발생부(201)는 제1, 제2, 및 제3 제어 신호를 발생하기 위한 논리 게이트의 조합이므로 다른 구성을 사용할 수도 있다. 예를 들어 도5 에서 제1 제어 신호(con1)는 제3 제어 신호(con3)의 반전 신호이지만, 제2 제어 신호를 제1 제어 신호로 이용할 수도 있다. 제2 제어 신호(con2)를 제1 제어 신호(con1)로 이용하여 NMOS 드라이버(NMOS1)의 게이트 단자에 인가하게 되면, 데이터 리드 시에는 NMOS 드라이버(NMOS1)만 구동되며, 데이터 라이트 시에는 PMOS 드라이버(PMOS1)만 구동되므로 출력 노드(NO)에 2개의 전원( $V1, V2$ )이 병렬 연결되는 경우가 발생하지 않는다.
- <81> 도6 은 도4 의 로컬 글로벌 입출력 제어부의 다른 예를 나타내는 도면이다.
- <82> 로컬 글로벌 입출력 제어부(200-1)의 제어 신호 발생부(201-1) 또한 도5 에서와 유사하게 라이트 에이블 신호(WE)와 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 블록 선택 신호(B\_SEL)에 응답하여 제1 제어 신호(con1)와

제2 제어 신호(con2) 및 제3 제어 신호(con3)를 드라이버부(202-1)로 출력한다.

- <83> 도6 의 제어 신호 발생부(201-1)에서 제1 제어 신호(con1)와 제3 제어 신호(con3)는 동일한 신호이다. 낸드 게이트(NAND1)는 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 블록 선택 신호(B\_SEL)를 반전 논리곱하여 출력한다. 인버터(INV1)는 낸드 게이트(NAND1)의 출력을 반전하고, 낸드 게이트(NAND2)는 인버터(INV1)의 출력과 라이트 인에이블 신호(WE)를 반전 논리곱하여 제2 제어 신호(con2)를 출력한다. 인버터(INV2)는 인버터(INV1)의 출력을 반전하여 제1 제어 신호(con1)와 제3 제어 신호(con3)를 출력한다.
- <84> 드라이버부(202-1)는 2개의 PMOS 드라이버(PMOS2, PMOS3)를 구비하고, 데이터 리드 또는 라이트 시에 제1 제어 신호(con1)와 제2 제어 신호(con2)에 각각 응답하여 각각 소정의 전압 레벨을 갖는 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 출력한다. 리셋 트랜지스터(NMOS3)는 NMOS 트랜지스터를 구비하고, 해당 블록의 메모리 셀(MC)이 선택되지 않으면 제3 제어 신호(con3)에 응답하여 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 디스에이블 한다.
- <85> PMOS 드라이버(PMOS2)는 제1 전원 전압(V1)과 출력 노드(NO) 사이에 연결되며, 게이트 단자로 제1 제어 신호(con1)를 인가받는다. PMOS 드라이버(PMOS3)는 제2 전원 전압(V2)과 출력 노드(NO) 사이에 연결되며, 게이트 단자로 제2 제어 신호(con2)를 인가받는다. 리셋 트랜지스터(NMOS3)는 출력 노드(NO)와 접지 전압(Vss) 사이에 연결되며, 게이트 단자로 제3 제어 신호(con3)를 인가받는다.
- <86> 도4 와 도6 을 참조로 하면, 메모리 셀 어레이 블록(110)의 메모리 셀(MC)이 선택되지 않은 경우에는 "로우" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "로우" 레벨의 블록 선택 신호(B\_SEL)가 로컬 글로벌 입출력 제어부(200-1)로 인가된다.
- <87> 제어 신호 발생부(201-1)는 "로우" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "로우" 레벨의 블록 선택 신호(B\_SEL)에 응답하여, "하이" 레벨의 제1 제어 신호(con1)와 "하이"레벨의 제2 제어 신호(con3) 및 "하이" 레벨의 제3 제어 신호(con3)를 출력한다.
- <88> 드라이버부(202-1)의 PMOS 드라이버(PMOS2, PMOS3)는 각각 "하이" 레벨의 제1 제어 신호(con1)와 "하이" 레벨의 제2 제어 신호(con2)에 응답하여 턴 오프 된다. 리셋 트랜지스터(NMOS3)는 "하이" 레벨의 제3 제어 신호(con3)에 응답하여 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨을 접지 전압 레벨로 강하한다.
- <89> 데이터 리드 시에 "로우" 레벨의 라이트 인에이블 신호(WE)와 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON) 및 "하이" 레벨의 블록 선택 신호(B\_SEL)가 로컬 글로벌 입출력 제어부(200-1)로 인가된다.
- <90> 제어 신호 발생부(201-1)는 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "하이" 레벨의 블록 선택 신호(B\_SEL)에 응답하여 "로우" 레벨의 제1 및 제3 제어 신호(con1, con3)를 출력하고, 제1 인버터(INV1)의 출력과 "로우" 레벨의 라이트 인에이블 신호(WE)에 응답하여 "하이" 레벨의 제2 제어 신호(con2)를 출력한다.
- <91> 드라이버부(202-1)의 PMOS 드라이버(PMOS2)는 "로우" 레벨의 제1 제어 신호(con1)에 응답하여 제1 전원 전압(V1)을 출력 노드(NO)로 인가한다. 도5 와 다르게 PMOS 드라이버(PMOS2)는 풀업 소자인 PMOS 트랜지스터이므로, 출력 노드(NO)에는 제1 전원 전압(V1)이 인가된다. PMOS 드라이버(PMOS3)와 리셋 트랜지스터(NMOS3)는 각각 "하이" 레벨의 제2 제어 신호(con2)와 "로우" 레벨의 제3 제어 신호(con3)에 응답하여 턴 오프 된다. 따라서 출력 노드(NO)를 통하여 출력되는 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨은 제1 전원 전압(V1)이 된다.
- <92> 데이터 라이트 시에 제어 신호 발생부(201-1)는 "하이" 레벨의 라이트 인에이블 신호(WE)와 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON) 및 "하이" 레벨의 블록 선택 신호(B\_SEL)를 인가받아, "로우" 레벨의 제1 , 제2, 및 제3 제어 신호(con1, con2, con3)를 출력한다.
- <93> PMOS 드라이버(PMOS3) 또한 풀업 소자인 PMOS 트랜지스터이므로, 출력 노드(NO)에는 제2 전원 전압(V2)과 제1 전원 전압(V1)이 병렬로 인가된다. 리셋 트랜지스터(NMOS3)는 "로우" 레벨의 제3 제어 신호(con3)에 응답하여 턴 오프 된다.
- <94> 따라서 출력 노드(NO)에는 제1 전원 전압(V1)과 제2 전원 전압(V2) 중 높은 전압 레벨로 로컬 글로벌 입출력 선택 신호(LGIOMUX)가 출력된다.
- <95> 도5 에서는 제1 전원 전압(V1)과 제2 전원 전압(V2)을 동일한 전압으로 설정하여도 데이터 리드 시와 라이트 시에 로컬 글로벌 입출력 선택 신호(LGIOMUX)가 다른 전압 레벨로 출력되지만, 도6 에서는 2개의 PMOS 드라이버(PMOS2, PMOS3)를 사용하므로 제1 전원 전압(V1)과 제2 전원 전압(V2)을 다른 전압으로 설정하는 경우에만 데이터 리드 시와 라이트 시에 서로 다른 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 출력한다. 따라서

도6 에서는 제2 전원 전압(V2)이 제1 전원 전압(V1)보다 높은 전압 레벨로 설정한다.

- <96> 즉, 제1 전원 전압(V1)으로 반도체 메모리 장치의 내부 전압(Vint)을 사용하고 제2 전원 전압(V2)으로 외부 전압(Vcc)하거나, 제1 전원 전압(V1)으로 외부 전압(Vcc)을 사용하고 제2 전원 전압(V2)으로 내부 승압 전압(Vp)을 사용할 수 있으며, 다른 조합으로도 사용할 수 있다.
- <97> 상기한 도4 의 반도체 메모리 장치의 데이터 입출력 회로는 도5 나 도6 의 로컬 글로벌 입출력 제어부(200, 200-1)를 구비하여 데이터 리드 시와 라이트 시에 각각 다른 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 로컬 글로벌 입출력 게이트부(151)로 인가한다. 데이터 리드 시에는 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨을 낮게 하여 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)에 전류의 흐름을 억제하여 리드 역류 현상을 방지한다. 데이터 라이트 시에는 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨을 높게 하여 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)에 전류가 원활히 흐르게 하여 라이트 감쇠 현상을 방지한다. 따라서 로컬 글로벌 센스 증폭기를 구비하지 않고도 리드 역류 현상과 라이트 감쇠 현상을 줄일 수 있다.
- <98> 도7 의 반도체 메모리 장치의 데이터 입출력 회로는 도2 에서와 마찬가지로 로컬 센스 증폭기(150)를 구비한다.
- <99> 일반적으로 로컬 센스 증폭기(150)를 구비한 반도체 메모리 장치는 리드 시와 라이트 시를 구분하여 동작하므로, 리드 역류 현상이나 라이트 감쇠 현상이 발생하지 않는다. 그러나 반도체 메모리 장치의 고속화가 진행됨에 따라 실제 사용 환경에서는 로컬 센스 증폭기(150)를 구비하고도 로컬 센스 증폭기 사이클 제어 마진 등의 문제로 사용하지 못하는 경우가 발생한다.
- <100> 도7 에서는 로컬 센스 증폭기(150)를 구비한 반도체 메모리 장치의 데이터 입출력 회로에서 로컬 센스 증폭기(150)를 사용하지 않고, 데이터 리드 역류 현상과 라이트 감쇠 현상을 줄이기 위한 회로도이다. 도7 의 반도체 메모리 장치의 데이터 입출력 회로는 도1 의 반도체 메모리 장치의 데이터 입출력 회로와 동일한 구성을 가지며, 로컬 글로벌 입출력 제어부(210)를 추가로 구비한다.
- <101> 도7 의 로컬 글로벌 입출력 제어부(210)는 도4 의 로컬 글로벌 입출력 제어부(200)와는 달리 로컬 센스 증폭기(150)를 제어하기 위한 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)가 추가로 인가받는다.
- <102> 도8 은 도7 의 프리차지부와 로컬 센스 증폭기의 상세한 구성을 나타내는 도면이다.
- <103> 로컬 입출력 라인 쌍(LI0, LI0B)을 소정의 전압으로 프리차지 하기 위한 프리차지부(140)는 3개의 NMOS 트랜지스터(Pre\_N1, Pre\_N2, Pre\_N3)로 구성된다.
- <104> NMOS 트랜지스터(Pre\_N1)는 로컬 입출력 라인 쌍(LI0, LI0B)에 연결되고, NMOS 트랜지스터(Pre\_N2)는 로컬 입출력 라인(LI0)과 내부 전압(Vint)에 연결되며, NMOS 트랜지스터(Pre\_N3)는 반전 로컬 입출력 라인(LI0B)과 내부 전압(Vint)에 연결되고, 각각의 NMOS 트랜지스터(Pre\_N1, Pre\_N2, Pre\_N3)는 게이트 단자로 프리 차지 제어 신호(LIOEQ)를 인가받는다. 프리 차지 제어 신호(LIOEQ)가 인가되면 프리차지부(140)는 로컬 입출력 라인 쌍(LI0, LI0B)을 내부 전압(Vint) 레벨로 프리차지 한다.
- <105> 로컬 센스 증폭기(150)는 데이터 리드 시에 로컬 입출력 라인 쌍(LI0, LI0B)의 데이터를 감지하여 증폭하기 위한 2개의 NMOS 트랜지스터(N1, N2)와 2개의 PMOS 트랜지스터(P1, P2)를 구비하고, 데이터 라이트 시에 로컬 입출력 라인 쌍(LI0, LI0B)과 글로벌 입출력 라인 쌍(GI0, GI0B)을 연결하는 2개의 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)를 구비한다.
- <106> 2개의 PMOS 트랜지스터(P1, P2)는 데이터 리드 시에 게이트 단자로 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)를 인가받아 로컬 센스 증폭기(140)를 동작시키고, 2개의 NMOS 트랜지스터(N1, N2)는 로컬 센스 증폭기(140) 동작 시에 로컬 입출력 라인 쌍(LI0, LI0B)의 데이터를 감지하여 증폭한다. 2개의 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)는 도4 의 2개의 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)와 동일하다.
- <107> 도9 는 도7 의 로컬 글로벌 입출력 제어부의 상세한 구성을 나타내는 도면이다.
- <108> 도9 에서 로컬 글로벌 입출력 제어부(210)는 제어 신호 발생부(211) 및 드라이버부(212)로 구성된다.
- <109> 제어 신호 발생부(211)는 도5 의 제어 신호 발생부(201)에서 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)와 라이트 인에이블 신호(WE)를 조합하여 로컬 센스 증폭기 선택 신호(LSA\_SEL)를 생성하기 위한 낸드 게이트(NAND3)와 인버터(INV4)를 추가로 더 구비한다. 제어 신호 발생부(211)는 로컬 센스 증폭기 선택 신호(LSA\_SEL)와 라이트 인에이블 신호(WE)와 로컬 글로벌 입출력 제어 신호(LGIO\_CON) 및 블록 선택 신호(B\_SEL)에 응답하여 제1 제어 신호(con1)와 제2 제어 신호(con2) 및 제3 제어 신호(con3)를 출력한다.

- <110> 드라이버부(212)는 도5 의 드라이버부(202)와 동일하게 2개의 MOS 드라이버(NMOS1, PMOS2) 및 1개의 리셋 트랜지스터(NMOS2)을 구비하고, 제1 제어 신호(con1)와 제2 제어 신호(con2) 및 제3 제어 신호(con3)에 응답하여 각각 다른 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)를 출력한다.
- <111> 도7 과 도8 및 도9 를 참조로 하여 본 발명의 반도체 메모리 장치의 데이터 입출력 회로를 설명한다.
- <112> 메모리 셀 어레이 블록(110)의 메모리 셀(MC)이 선택되지 않은 경우에는 "하이" 레벨의 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)와 "로우" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON) 및 "로우" 레벨의 블록 선택 신호(B\_SEL)가 로컬 글로벌 입출력 제어부(210)로 인가된다.
- <113> 제어 신호 발생부(211)는 "로우" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "로우" 레벨의 블록 선택 신호(B\_SEL)에 응답하여, "로우" 레벨의 제1 제어 신호(con1)와 "하이" 레벨의 제2 제어 신호(con2) 및 "하이" 레벨의 제3 제어 신호(con3)를 출력한다. 제2 제어 신호(con2)는 제1 제어 신호(con1)와 로컬 센스 증폭기 선택 신호(LSA\_SEL)를 반전 논리곱하여 생성되므로, "로우" 레벨의 제1 제어 신호(con1)가 낸드 게이트(NAND2)에 인가되면 로컬 센스 증폭기 선택 신호(LSA\_SEL)에 무관하게 "하이" 레벨의 제2 제어 신호(con2)가 출력된다.
- <114> 드라이버부(212)의 NMOS 드라이버(NMOS1)와 PMOS 드라이버(PMOS1)는 각각 "로우" 레벨의 제1 제어 신호(con1)와 "하이" 레벨의 제2 제어 신호(con2)에 응답하여 턴 오프 된다. 리셋 트랜지스터(NMOS2)는 "하이" 레벨의 제3 제어 신호(con3)에 응답하여 출력 노드(NO)로 접지 전압(Vss)을 인가한다. 리셋 트랜지스터(NMOS2)는 풀다운(Pull-down) 소자인 NMOS 트랜지스터이므로, 출력 노드(NO)는 접지 전압 레벨로 강하한다.
- <115> 따라서 해당 메모리 셀 어레이 블록(110)의 메모리 셀(MC)이 선택되지 않은 경우에 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨은 접지 전압 레벨이 되어 로컬 글로벌 입출력 게이트(LG\_gate1, LG\_gate2)가 턴 오프 된다. 그리고 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)가 "하이" 레벨이므로 로컬 센스 증폭기(150)는 동작하지 않으므로 로컬 데이터 입출력 라인 쌍(LIO, LIOB)과 글로벌 데이터 입출력 라인 쌍(GIO, GIOB)은 분리된다.
- <116> 메모리 셀 어레이 블록(110)의 메모리 셀(MC)이 선택되고, 데이터 리드 시 로컬 센스 증폭기(150)가 사용되는 경우에는 "로우" 레벨의 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)와 "로우" 레벨의 라이트 인에이블 신호(WE)와 "로우" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "하이" 레벨의 블록 선택 신호(B\_SEL)가 인가된다.  
 제어 신호 발생부(211)에서 "로우" 레벨의 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)를 인가받아 라이트 인에이블 신호(WE)에 상관없이 "하이" 레벨의 로컬 센스 증폭기 선택 신호(LSA\_SEL)를 출력하고, "로우" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "하이" 레벨의 블록 선택 신호(B\_SEL)에 응답하여 "로우" 레벨의 제1 제어 신호와 "하이" 레벨의 제3 제어 신호(con3)를 출력하고, "로우" 레벨의 제1 제어 신호(con1)와 "하이" 레벨의 로컬 센스 증폭기 선택 신호(LSA\_SEL)에 응답하여 "하이" 레벨의 제2 제어 신호를 출력한다.  
 드라이버부(212)의 NMOS 드라이버(NMOS1)는 "로우" 레벨의 제1 제어 신호(con1)에 응답하여 턴 오프 되며, PMOS 드라이버(PMOS1)는 "하이" 레벨의 제2 제어 신호(con2)에 응답하여 턴 오프 된다. 리셋 트랜지스터(NMOS2)는 "하이" 레벨의 제3 제어 신호(con3)에 응답하여 턴 온 된다.  
 그러므로 출력 노드(NO)에는 제3 제어 신호(con3)에 응답하여 턴 온 되는 리셋 트랜지스터(NMOS2)에 의해 접지 전압(Vss)이 인가되어, 접지 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)가 출력된다.  
 메모리 셀 어레이 블록(110)의 메모리 셀(MC)이 선택되고, 데이터 라이트 동작 시 로컬 센스 증폭기(150)가 사용되는 경우에는 "하이" 레벨의 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)와 "하이" 레벨의 라이트 인에이블 신호(WE)와 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "하이" 레벨의 블록 선택 신호(B\_SEL)가 인가된다.
- <117> 제어 신호 발생부(211)에서 "하이" 레벨의 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)와 "하이" 레벨의 라이트 인에이블 신호(WE)를 인가받아 "하이" 레벨의 로컬 센스 증폭기 선택 신호(LSA\_SEL)를 출력한다.
- <118> "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "하이" 레벨의 블록 선택 신호(B\_SEL)에 응답하여 "하이" 레벨의 제1 제어 신호와 "로우" 레벨의 제3 제어 신호(con3)를 출력하고, "하이" 레벨의 제1 제어 신호(con1)와 "하이" 레벨의 로컬 센스 증폭기 선택 신호(LSA\_SEL)에 응답하여 "로우" 레벨의 제2 제어 신호를 출력한다.

- <119> 드라이버부(212)의 NMOS 드라이버(NMOS1)는 "하이" 레벨의 제1 제어 신호(con1)에 응답하여, 제1 전원 전압(V1)에서 NMOS 드라이버(NMOS1)의 문턱 전압(V<sub>thn</sub>)을 뺀 전압(V1-V<sub>thn</sub>)을 출력노드(NO)로 인가한다. PMOS 드라이버(PMOS1)는 "로우" 레벨의 제2 제어 신호(con2)에 응답하여, 제2 전원 전압(V2)을 출력 노드(NO)로 인가한다. PMOS 드라이버(PMOS1)는 풀업(Pull-up) 소자인 PMOS 트랜지스터이므로, 출력 노드(NO)에는 제2 전원 전압(V2)이 인가된다. 리셋 트랜지스터(NMOS2)는 "로우" 레벨의 제3 제어 신호(con3)에 응답하여 턴 오프 된다.
- <120> 그러므로 출력 노드(NO)에는 제1 전원 전압(V1)에서 NMOS 드라이버(NMOS1)의 문턱 전압(V<sub>thn</sub>)을 뺀 전압(V1-V<sub>thn</sub>)과 제2 전원 전압(V2)이 병렬로 인가된다. 전원 전압(V1)과 제2 전원 전압(V2)이 모두 외부 전압(V<sub>cc</sub>)인 경우에 풀업(Pull-up) 소자인 PMOS 드라이버(PMOS1)에 의해 로컬 글로벌 입출력 선택 신호(LGIOMUX)는 전압 레벨이 높은 외부 전압(V<sub>cc</sub>)으로 출력된다.
- <121> 따라서 로컬 센스 증폭기(150)가 사용되고 데이터를 리드 하는 경우에는 접지 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)가 출력되고, 데이터를 라이트 하는 경우에는 높은 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)가 출력된다. 로컬 센스 증폭기(150)는 리드 시와 라이트 시에 구분하여 동작하므로 라이트 시에는 높은 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)에 의해 라이트 감쇠 현상이 줄어들고, 리드 시에 리드 역류 현상은 로컬 센스 증폭기(150)에 의해 줄어든다.
- <122> 제어 신호 발생부(211)는 하이" 레벨의 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)와 "로우" 레벨의 라이트 인에이블 신호(WE)에 응답하여 "로우" 레벨의 로컬 센스 증폭기 선택 신호(LSA\_SEL)를 출력한다.
- <123> 삭제
- <124> 그리고 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON)와 "하이" 레벨의 블록 선택 신호(B\_SEL)에 응답하여 "하이" 레벨의 제1 제어 신호(con1)와 "로우" 레벨의 제3 제어 신호(con3)를 출력하고, 제1 제어 신호(con1)와 "로우" 레벨의 로컬 센스 증폭기 선택 신호(LSA\_SEL)에 응답하여 "하이" 레벨의 제2 제어 신호(con2)를 출력한다.
- <125> 드라이버부(212)의 NMOS 드라이버(NMOS1)는 "하이" 레벨의 제1 제어 신호(con1)에 응답하여 제1 전원 전압(V1)을 출력 노드(NO)로 인가한다. 여기서 NMOS 드라이버(NMOS1)는 풀다운(Pull-down) 소자인 NMOS 트랜지스터이므로, 출력노드(NO)에는 제1 전원 전압(V1)에서 NMOS 드라이버(NMOS1)의 문턱 전압(V<sub>thn</sub>)을 뺀 전압(V1-V<sub>thn</sub>)이 인가된다. PMOS 드라이버(PMOS1)와 리셋 트랜지스터(NMOS2)는 각각 "하이" 레벨의 제2 제어 신호(con2)와 "로우" 레벨의 제3 제어 신호(con3)에 응답하여 턴 오프 된다.
- <126> 따라서 출력 노드(NO)를 통하여 출력되는 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨은 제1 전원 전압에서 NMOS 드라이버(NMOS1)의 문턱 전압(V<sub>thn</sub>)을 뺀 전압(V1-V<sub>thn</sub>)이 된다.
- <127> 즉 데이터 리드 시에 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압을 낮추어 리드 역류 현상을 줄여준다.
- <128> 로컬 센스 증폭기(150)가 동작하지 않고 데이터 라이트 시에는 "하이" 레벨의 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)와 "하이" 레벨의 라이트 인에이블 신호(WE)와 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON) 및 "하이" 레벨의 블록 선택 신호(B\_SEL)가 인가된다.
- <129> 제어 신호 발생부(211)는 "하이" 레벨의 반전 로컬 센스 증폭기 인에이블 신호(/LSA\_EN)와 "하이" 레벨의 라이트 인에이블 신호(WE)에 응답하여 "하이" 레벨의 로컬 센스 증폭기 선택 신호(LSA\_SEL)를 출력한다.
- <130> 그리고 "하이" 레벨의 로컬 센스 증폭기 선택 신호(LSA\_SEL)와 "하이" 레벨의 로컬 글로벌 입출력 제어 신호(LGIO\_CON) 및 "하이" 레벨의 블록 선택 신호(B\_SEL)를 인가받아, "하이" 레벨의 제1 제어 신호(con1)와 "로우" 레벨의 제3 제어 신호(con3) 및 "로우" 레벨의 제2 제어 신호(con2)를 출력한다.
- <131> 드라이버부(212)의 NMOS 드라이버(NMOS1)는 "하이" 레벨의 제1 제어 신호(con1)에 응답하여, 제1 전원 전압(V1)에서 NMOS 드라이버(NMOS1)의 문턱 전압(V<sub>thn</sub>)을 뺀 전압(V1-V<sub>thn</sub>)을 출력노드(NO)로 인가한다. PMOS 드라이버(PMOS1)는 "로우" 레벨의 제2 제어 신호(con2)에 응답하여, 제2 전원 전압(V2)을 출력 노드(NO)로 인가한다. PMOS 드라이버(PMOS1)는 풀업(Pull-up) 소자인 PMOS 트랜지스터이므로, 출력 노드(NO)에는 제2 전원 전압(V2)이 인가된다. 리셋 트랜지스터(NMOS2)는 "로우" 레벨의 제1 제어 신호(con3)에 응답하여 턴 오프 된다.
- <132> 따라서 출력 노드(NO)에는 제1 전원 전압(V1)에서 NMOS 드라이버(NMOS1)의 문턱 전압(V<sub>thn</sub>)을 뺀 전압(V1-V<sub>thn</sub>)과 제2 전원 전압(V2)이 병렬로 인가된다. 전원 전압(V1)과 제2 전원 전압(V2)이 모두 외부 전압(V<sub>cc</sub>)인

경우에 풀업(Pull-up) 소자인 PMOS 드라이버(PMOS1)에 의해 로컬 글로벌 입출력 선택 신호(LGIOMUX)는 전압 레벨이 높은 외부 전압(Vcc)으로 출력된다.

- <133> 데이터 라이트 시에 높은 전압 레벨의 로컬 글로벌 입출력 선택 신호(LGIOMUX)로 인해 라이트 감쇠 현상이 줄어 든다.
- <134> 도9 의 로컬 글로벌 입출력 제어부(210)는 데이터 라이트 시에 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨을 높게 하고, 데이터 리드 시에 로컬 센스 증폭기(150)를 사용하는 경우에는 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨을 접지 전압 레벨로 하고, 로컬 센스 증폭기(150)를 사용하지 않는 경우에는 로컬 글로벌 입출력 선택 신호(LGIOMUX)의 전압 레벨을 낮게 하여 리드 역류 현상과 라이트 감쇠 현상을 줄여준다.
- <135> 도5 , 도6 , 도9 의 제어 신호 발생부(201, 201-1, 212)는 각각 드라이버부를 제어하기 위한 논리 회로이므로 다른 방식으로도 구성이 가능하다.
- <136> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**발명의 효과**

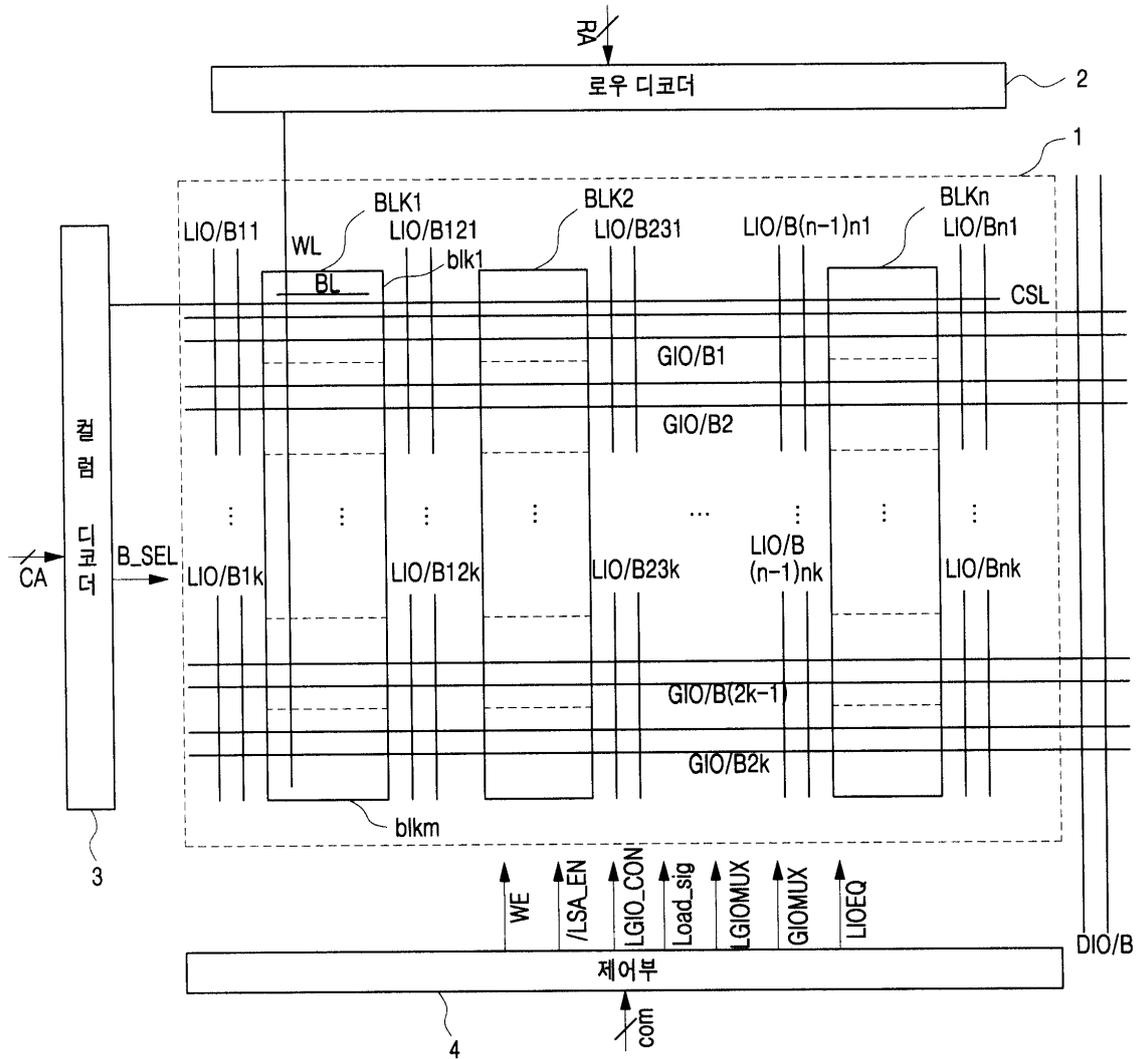
- <137> 따라서, 본 발명의 반도체 메모리 장치의 데이터 입출력 회로는 로컬 글로벌 입출력 제어부를 추가하여 로컬 글로벌 입출력 게이트에 인가되는 로컬 글로벌 입출력 선택 신호의 전압 레벨을 조절한다. 즉 데이터 라이트 시에는 로컬 글로벌 입출력 선택 신호의 전압 레벨을 높여 라이트 감쇠 현상을 줄이고, 데이터 리드 시에는 로컬 글로벌 입출력 선택 신호의 전압 레벨을 낮추어 데이터 리드 시에는 리드 역류 현상을 방지하여 반도체 메모리 장치의 오동작을 줄이고 신뢰성을 높인다.

**도면의 간단한 설명**

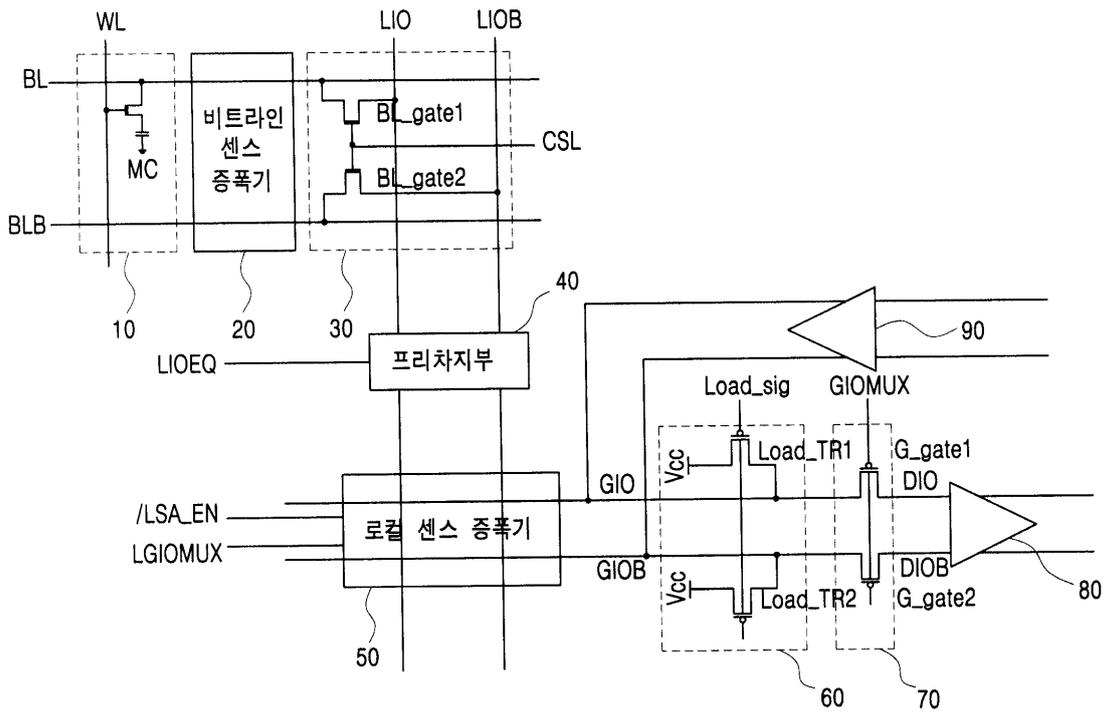
- <1> 도1 은 종래의 반도체 메모리 장치의 구성을 나타내는 블록도이다.
- <2> 도2 는 종래의 반도체 메모리 장치의 데이터 입출력 회로를 나타내는 도면이다.
- <3> 도3 은 종래의 반도체 메모리 장치의 데이터 입출력 회로를 나타내는 다른 예이다.
- <4> 도4 는 본 발명에 따른 반도체 메모리 장치의 데이터 입출력 회로를 나타내는 제1 실시예이다.
- <5> 도5 는 도4 의 로컬 글로벌 입출력 제어부의 일례를 나타내는 도면이다.
- <6> 도6 은 도4 의 로컬 글로벌 입출력 제어부의 다른 예를 나타내는 도면이다.
- <7> 도7 은 본 발명에 따른 반도체 메모리 장치의 데이터 입출력 회로를 나타내는 제2 실시예이다.
- <8> 도8 은 도7 의 프리차지부와 로컬 센스 증폭기의 상세한 구성을 나타내는 도면이다.
- <9> 도9 는 도7 의 로컬 글로벌 입출력 제어부의 상세한 구성을 나타내는 도면이다.

도면

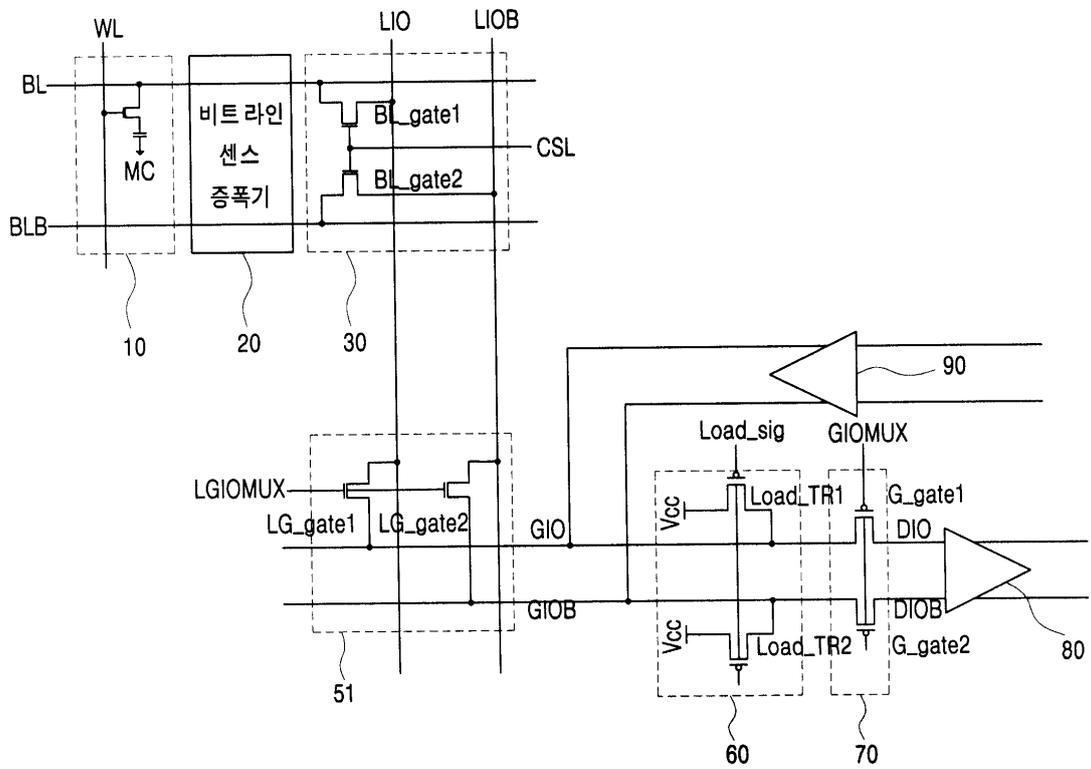
도면1



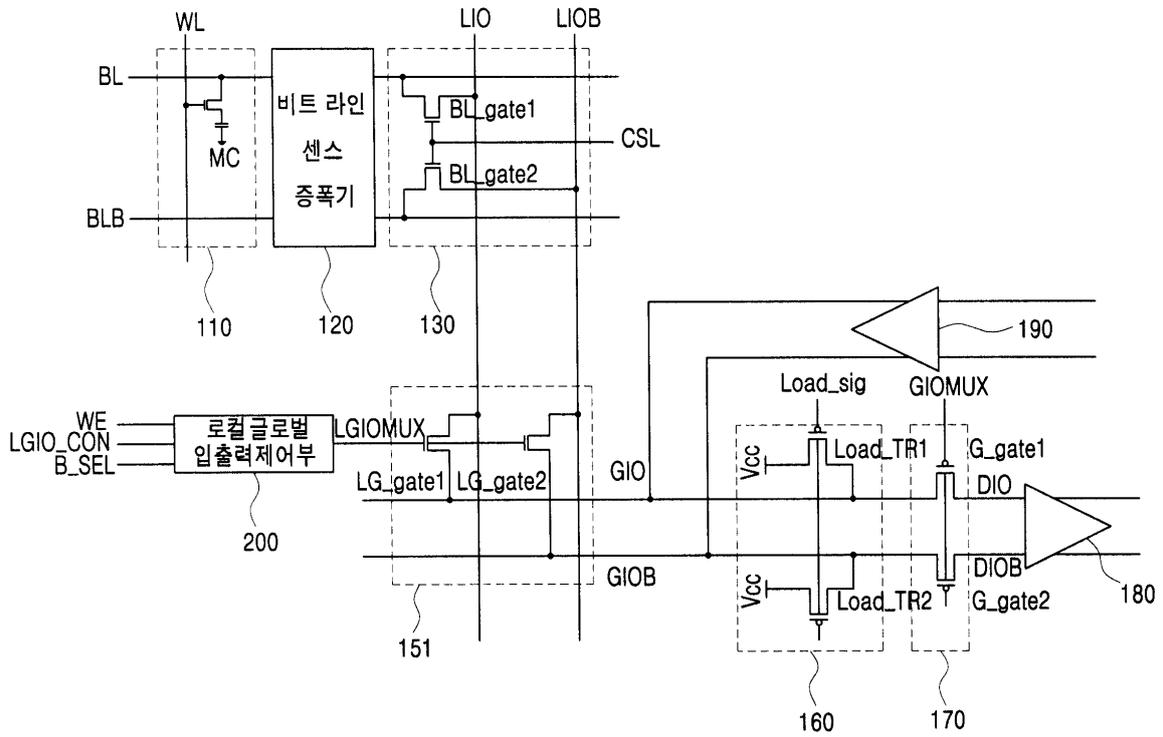
도면2



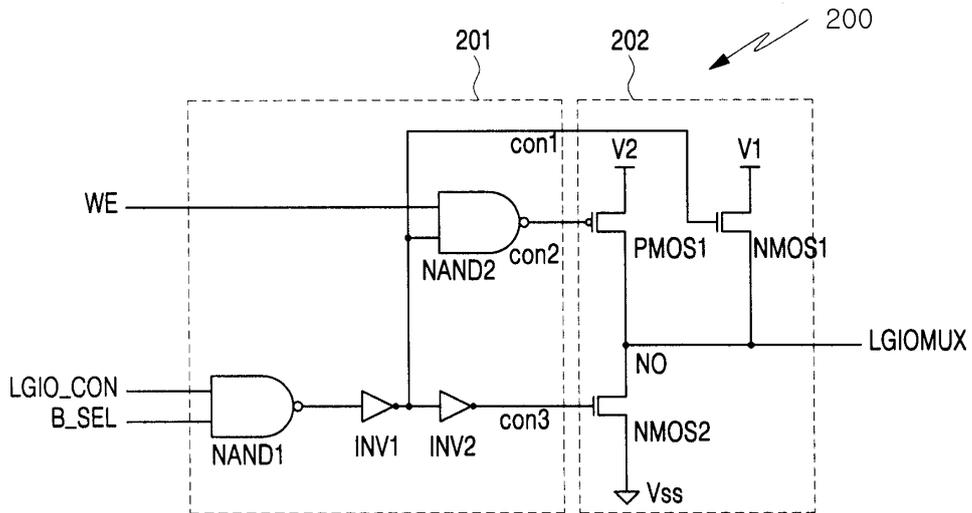
도면3



도면4

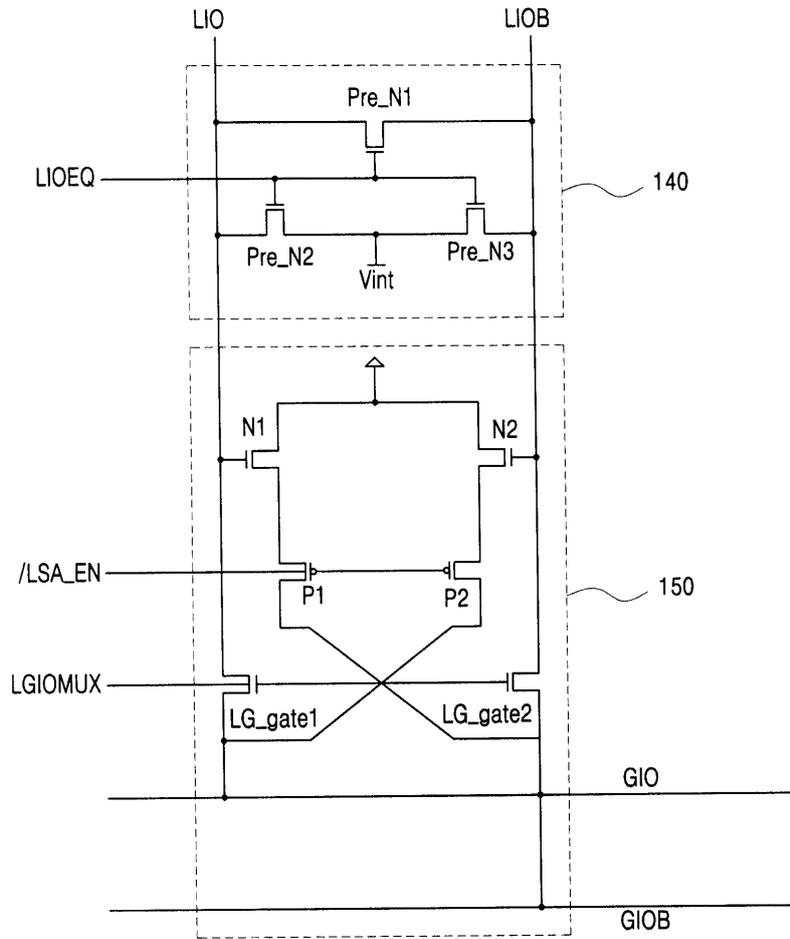


도면5





도면8



도면9

