



(12)发明专利

(10)授权公告号 CN 104517575 B

(45)授权公告日 2017.04.12

(21)申请号 201410778946.0

G11C 19/28(2006.01)

(22)申请日 2014.12.15

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 104517575 A

CN 103218962 A, 2013.07.24,
US 2004227718 A1, 2004.11.18,

(43)申请公布日 2015.04.15

审查员 赵杨

(73)专利权人 深圳市华星光电技术有限公司
地址 518000 广东省深圳市光明新区公明
办事处塘家社区观光路汇业科技园综
合楼1第一层B区

(72)发明人 曹尚操

(74)专利代理机构 深圳市威世博知识产权代理
事务所(普通合伙) 44280
代理人 何青瓦

(51)Int. Cl.
G09G 3/36(2006.01)

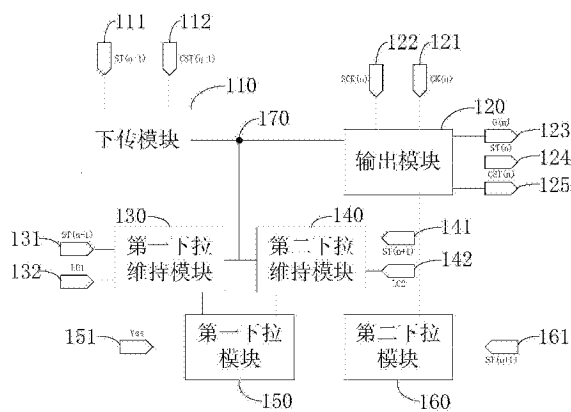
权利要求书3页 说明书6页 附图6页

(54)发明名称

移位寄存器及级传栅极驱动电路

(57)摘要

本发明公开了一种移位寄存器及级传栅极驱动电路,该移位寄存器包括下传模块、输出模块、第一下拉维持模块、第二下拉维持模块、第一下拉模块及第二下拉模块;所述下传模块用于接收上级移位寄存器的级传信号,输出模块用于输出级传信号及扫描信号,第一下拉维持模块、第二下拉维持模块、第一下拉模块及第二下拉模块用于在输出模块输出扫描信号后保持输出信号为低电位。通过上述方式,本发明能够减小晶体管的大小,防止晶体管的恶化,增加电路输出能力。



1. 一种移位寄存器,其特征在于,包括:下传模块、输出模块、第一下拉维持模块、第二下拉维持模块、第一下拉模块、第二下拉模块;所述下传模块、输出模块、第一下拉维持模块及第二下拉维持模块连接于第一公共点,所述第一下拉模块连接所述第一下拉维持模块及第二下拉维持模块,所述第二下拉模块连接于所述第一下拉模块及所述输出模块之间;

所述第一公共点的电位在所述下传模块接收一上级移位寄存器的高电位级传信号时变为高电位;所述第一下拉维持模块和第二下拉维持模块交替接收一下级移位寄存器输入的高电位信号使所述第一下拉模块与所述第一公共点导通以下拉并保持所述第一公共点至低电位,同时所述第二下拉模块根据所述第一下拉模块与所述第一公共点导通的状态下拉并保持所述输出模块输出的扫描信号至低电位;

其中,所述输出模块包括第一信号输入端、第二信号输入端、第一级传信号输出端、第二级传信号输出端及扫描信号输出端,用于将所述第一信号输入端输入的信号通过所述扫描信号输出端输出,将所述第二信号输入端输入的信号通过所述第一级传信号输出端和所述第二级传信号输出端输出,所述输出模块的第一级传信号输出端及第二级传信号输出端分别连接上级和/或下级移位寄存器的第一级传信号输入端及第二级传信号输入端以提供级传信号。

2. 根据权利要求1所述的移位寄存器,其特征在于,

所述下传模块,包括第一级传信号输入端及第二级传信号输入端,连接上级移位寄存器的第一级传信号输出端和第二级传信号输出端;

所述第一下拉维持模块,包括第三级传信号输入端及第三信号输入端,所述第三级传信号输入端连接下级移位寄存器第一级传信号输出端,所述第三信号输入端接收交流信号;

所述第二下拉维持模块,包括第四级传信号输入端及第四信号输入端,所述第四级传信号输入端连接下级移位寄存器第一级传信号输出端,所述第四信号输入端接收交流信号;

所述第一下拉模块,包括第五信号输入端,接收低电平信号;

所述第二下拉模块,包括第五级传信号输入端,连接所述下级移位寄存器第一级传信号输出端;

所述下传模块通过所述第一级传信号输入端及所述第二级传信号输入端接收所述上级移位寄存器的高电位级传信号时使所述第一公共点的电位上升至高电位,所述输出模块的第一信号输入端及第二信号输入端接收低电位时钟信号以通过所述扫描信号输出端输出低电位扫描信号;

所述下传模块关闭后,所述第一公共点仍为高电位,所述输出模块的第一信号输入端及第二信号输入端接收高电位时钟信号以通过所述扫描信号输出端输出高电位扫描信号;

所述扫描信号输出端输出后,所述第三级传信号输入端、第四信号级传输输入端及第六信号输入端输入下级移位寄存器第一级传信号输出端的高电位级传信号,所述第三信号输入端及第四信号输入端交替输入高电位信号使所述第一下拉模块与所述第一公共点导通从而交替下拉所述第一公共点及扫描信号输出端至低电位,同时所述第二下拉模块下拉所述第一公共点及扫描信号输出端至低电位。

3. 根据权利要求2所述的移位寄存器,其特征在于,所述下传模块包括第一晶体管;

所述第一晶体管的漏极连接所述第二级传信号输入端或直流源,源极连接所述第一公共点,栅极连接所述第一级传信号输入端。

4. 根据权利要求2所述的移位寄存器,其特征在于,所述输出模块包括第二晶体管、第三晶体管及第四晶体管;

所述第二晶体管的漏极连接所述第一信号输入端,源极连接所述扫描信号输出端;

所述第三晶体管的漏极连接所述第二信号输入端,源极连接所述第一级传信号输出端;

所述第四晶体管的漏极连接所述第二信号输入端,源极连接所述第二级传信号输出端;

所述第二晶体管、第三晶体管及第四晶体管的栅极均连接所述第一公共点;

所述第三晶体管的栅极和源极之间连接一电容。

5. 根据权利要求2所述的移位寄存器,其特征在于,所述第一下拉模块包括第五晶体管、第六晶体管、第七晶体管、第八晶体管及第九晶体管,所述第一下拉维持模块包括第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管及第十四晶体管,所述第二下拉维持模块包括第十五晶体管、第十六晶体管、第十七晶体管、第十八晶体管及第十九晶体管;

所述第五晶体管、第六晶体管、第七晶体管的栅极均连接所述第一公共点,所述第六晶体管及第七晶体管的源极连接所述第五信号输入端;

所述第八晶体管及第九晶体管的栅极连接所述第一级传信号输入端,源极连接所述第五信号输入端;

所述第十晶体管、第十一晶体管及第十二晶体管的漏极和第十二晶体管的栅极均连接第三信号输入端,所述第十晶体管的栅极连接所述第三级传信号输入端,源极连接所述第十一晶体管的源极于第二公共点;

所述第十一晶体管的栅极连接所述第十二晶体管的源极;

所述第十二晶体管的源极连接所述第八晶体管的漏极;

所述第十三晶体管的漏极连接所述第一公共点,栅极连接所述第二公共点,源极连接所述第五信号输入端;

所述第十四晶体管的漏极连接所述扫描信号输出端,栅极连接所述第二公共点,源极连接所述第五信号输入端;

所述第十五晶体管、第十六晶体管及第十七晶体管的漏极和第十七晶体管的栅极均连接第四信号输入端,所述第十五晶体管的栅极连接所述第四级传信号输入端,源极连接所述第十六晶体管的源极于第三公共点;

所述第十六晶体管的栅极连接所述第十七晶体管的源极;

所述第十七晶体管的源极连接所述第九晶体管的漏极;

所述第十八晶体管的漏极连接所述第一公共点,栅极连接所述第三公共点,源极连接所述第五信号输入端;

所述第十九晶体管的漏极连接所述扫描信号输出端,栅极连接所述第三公共点,源极连接所述第五信号输入端。

6. 根据权利要求5所述的移位寄存器,其特征在于,所述第十晶体管的栅极连接所述第四信号输入端,所述第十五晶体管的栅极连接所述第三信号输入端。

7. 根据权利要求2所述的移位寄存器,其特征在于,所述第二下拉模块包括第二十晶体管、第二十一晶体管及第二十二晶体管;

所述第二十晶体管、第二十一晶体管及第二十二晶体管的栅极均连接第五级传信号输入端,源极均连接所述第五信号输入端;

所述第二十晶体管的漏极连接所述扫描信号输出端,所述第二十一晶体管的漏极连接所述第一级传信号输出端,所述第二十二晶体管的漏极连接所述第一公共点。

8. 一种级传栅极驱动电路,其特征在于,所述级传栅极驱动电路包括多个如权利要求1至7任一项所述的移位寄存器;

其中,每个移位寄存器的第一级传信号输出端及第二级传信号输出端连接上级移位寄存器及下级移位寄存器的各个级传信号输入端并提供级传信号。

9. 根据权利要求8所述的级传栅极驱动电路,其特征在于,所述级传栅极驱动电路的首级移位寄存器的第一级传信号输入端及第二级传信号输入端连接STV信号;

末级移位寄存器的第三级传信号输入端、第四级传信号输入端及第五级传信号输入端连接所述STV信号。

10. 一种显示面板,其特征在于,所述显示面板包括如权利要求8或9所述的级传栅极驱动电路。

移位寄存器及级传栅极驱动电路

技术领域

[0001] 本发明涉及液晶显示领域,特别是涉及一种移位寄存器及级传栅极驱动电路。

背景技术

[0002] 目前的液晶显示面板的水平扫描驱动主要是通过外接的集成电路来完成的,外接的集成电路通过控制各级水平扫描线的逐级充电和放电实现扫描。

[0003] 而GOA (Gate Driver on Array) 技术,是利用原有的液晶显示面板制程,将水平扫描驱动电路制作在显示区周围的基板上,代替原有的外接集成电路完成水平扫描线的驱动,可以使液晶显示面板的边框更窄。

[0004] 但是现有的GOA电路中,扫描信号输出端输出时间过长,从而使扫描信号输出端的TFT体积增大,下拉模块仅对扫描信号输出端放电,导致部分TFT的恶化和扫描信号输出端输出能力的下降。

发明内容

[0005] 本发明主要解决的技术问题是提供一种移位寄存器及级传栅极驱动电路,能够减小晶体管的大小,防止晶体管的恶化,增加电路输出能力。

[0006] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种移位寄存器,该移位寄存器包括:下传模块、输出模块、第一下拉维持模块、第二下拉维持模块、第一下拉模块、第二下拉模块;下传模块、输出模块、第一下拉维持模块及第二下拉维持模块连接于第一公共点,第一下拉模块连接第一下拉维持模块及第二下拉维持模块,第二下拉模块连接于第一下拉模块及输出模块之间;第一公共点在下传模块接收一上级移位寄存器的高电位级传信号时变为高电位;第一下拉维持模块和第二下拉维持模块交替接收一下级移位寄存器输入的高电位信号使第一下拉模块与第一公共点导通以下拉并保持第一公共点至低电位,同时第二下拉模块根据第一下拉模块与第一公共点导通的状态下拉并保持输出模块输出的扫描信号至低电位;其中,所述输出模块包括第一信号输入端、第二信号输入端、第一级传信号输出端、第二级传信号输出端及扫描信号输出端,用于将所述第一信号输入端输入的信号通过所述扫描信号输出端输出,将所述第二信号输入端输入的信号通过所述第一级传信号输出端和所述第二级传信号输出端输出,所述输出模块的第一级传信号输出端及第二级传信号输出端分别连接上级和/或下级移位寄存器的第一级传信号输入端及第二级传信号输入端以提供级传信号。

[0007] 其中,下传模块,包括第一级传信号输入端及第二级传信号输入端,连接上级移位寄存器的第一级传信号输出端和第二级传信号输出端;第一下拉维持模块,包括第三级传信号输入端及第三信号输入端,第三级传信号输入端连接下级移位寄存器第一级传信号输出端,第三信号输入端接收交流信号;第二下拉维持模块,包括第四级传信号输入端及第四信号输入端,第四级传信号输入端连接下级移位寄存器第一级传信号输出端,第四信号输入端接收交流信号;第一下拉模块,包括第五信号输入端,接收低电平信号;第二下拉模块,

包括第五级传信号输入端,连接下级移位寄存器第一级传信号输出端;下传模块通过第一级传信号输入端及第二级传信号输入端接收上级移位寄存器的高电位级传信号时使第一公共点的电位上升至高电位,输出模块的第一信号输入端及第二信号输入端接收低电位时钟信号以通过扫描信号输出端输出低电位扫描信号;下传模块关闭后,第一公共点仍为高电位,输出模块的第一信号输入端及第二信号输入端接收高电位时钟信号以通过扫描信号输出端输出高电位扫描信号;扫描信号输出端输出后,第三级传信号输入端、第四信号级传输入端及第六信号输入端输入下级移位寄存器第一级传信号输出端的高电位级传信号,第三信号输入端及第四信号输入端交替输入高电位信号使第一下拉模块与第一公共点导通从而交替下拉第一公共点及扫描信号输出端至低电位,同时第二下拉模块下拉第一公共点及扫描信号输出端至低电位。

[0008] 其中,下传模块包括第一晶体管;第一晶体管的漏极连接第二级传信号输入端,源极连接第一公共点,栅极连接第一级传信号输入端。

[0009] 其中,第一晶体管的漏极连接直流源。

[0010] 其中,输出模块包括第二晶体管、第三晶体管及第四晶体管;第二晶体管的漏极连接第一信号输入端,源极连接扫描信号输出端;第三晶体管的漏极连接第二信号输入端,源极连接第一级传信号输出端;第四晶体管的漏极连接第二信号输入端,源极连接第二级传信号输出端;第二晶体管、第三晶体管及第四晶体管的栅极均连接第一公共点;第三晶体管的栅极和源极之间连接一电容。

[0011] 其中,第一下拉模块包括第五晶体管、第六晶体管、第七晶体管、第八晶体管及第九晶体管,第一下拉维持模块包括第十晶体管、第十一晶体管、第十二晶体管、第十三晶体管及第十四晶体管,第二下拉维持模块包括第十五晶体管、第十六晶体管、第十七晶体管、第十八晶体管及第十九晶体管;第五晶体管、第六晶体管、第七晶体管的栅极均连接第一公共点,第六晶体管及第七晶体管的源极连接第五信号输入端;第八晶体管及第九晶体管的栅极连接第一级传信号输入端,源极连接第五信号输入端。第十晶体管、第十一晶体管及第十二晶体管的漏极和第十二晶体管的栅极均连接第三信号输入端,第十晶体管的栅极连接第三级传信号输入端,源极连接第十一晶体管的源极于第二公共点;第十一晶体管的栅极连接第十二晶体管的源极;第十二晶体管的源极连接第八晶体管的漏极;第十三晶体管的漏极连接第一公共点,栅极连接第二公共点,源极连接第五信号输入端;第十四晶体管的漏极连接扫描信号输出端,栅极连接第二公共点,源极连接第五信号输入端。第十五晶体管、第十六晶体管及第十七晶体管的漏极和第十七晶体管的栅极均连接第四信号输入端,第十五晶体管的栅极连接第四级传信号输入端,源极连接第十六晶体管的源极于第三公共点;第十六晶体管的栅极连接第十七晶体管的源极;第十七晶体管的源极连接第九晶体管的漏极;第十八晶体管的漏极连接第一公共点,栅极连接第三公共点,源极连接第五信号输入端;第十九晶体管的漏极连接扫描信号输出端,栅极连接第三公共点,源极连接第五信号输入端。

[0012] 其中,第十晶体管的栅极连接第四信号输入端,第十五晶体管的栅极连接第三信号输入端。

[0013] 其中,第二下拉模块包括第二十晶体管、第二十一晶体管及第二十二晶体管;第二十晶体管、第二十一晶体管及第二十二晶体管的栅极均连接第五级传信号输入端,源极均

连接第五信号输入端；第二十晶体管的漏极连接扫描信号输出端，第二十一晶体管的漏极连接第一级传信号输出端，第二十二晶体管的漏极连接第一公共点。

[0014] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种级传栅极驱动电路，级传栅极驱动电路包括多个如上的移位寄存器；其中，每个移位寄存器的第一级传信号输出端及第二级传信号输出端连接上级移位寄存器及下级移位寄存器的各个级传信号输入端并提供级传信号。

[0015] 其中，级传栅极驱动电路的首级移位寄存器的第一级传信号输入端及第二级传信号输入端连接STV信号；末级移位寄存器的第三级传信号输入端、第四级传信号输入端及第五级传信号输入端连接STV信号。

[0016] 为解决上述技术问题，本发明采用的另一个技术方案是：提供一种显示面板，显示面板包括如上的级传栅极驱动电路。

[0017] 本发明的有益效果是：区别于现有技术的情况，本发明通过上级移位寄存器的级传信号控制下级移位寄存器扫描信号的输出，在扫描信号输出后通过两个下拉维持模块交替下拉扫描信号输出端的电位至低电位，并通过第二下拉模块配合共同下拉扫描信号输出端的电位至低电位，这样防止电路中部分晶体管漏电，保证扫描信号输出端稳定输出低电位信号，并且防止了晶体管的恶化，减小体积。

附图说明

[0018] 图1是本发明移位寄存器的第一实施方式的结构示意图；

[0019] 图2是本发明移位寄存器的第二实施方式的电路图；

[0020] 图3是本发明移位寄存器的第二实施方式的时序图；

[0021] 图4是本发明移位寄存器的第三实施方式的电路图；

[0022] 图5是本发明移位寄存器的第四实施方式的电路图；

[0023] 图6是本发明级传栅极驱动电路的第一实施方式的电路结构示意图。

具体实施方式

[0024] 参阅图1，本发明以为寄存器的第一实施方式的结构示意图，该移位寄存器包括：

[0025] 下传模块110，包括第一级传信号输入端111及第二级传信号输入端112，连接上级移位寄存器的第一级传信号输出端和第二级传信号输出端；输出模块120，包括第一信号输入端121、第二信号输入端122、第一级传信号输出端124、第二级传信号输出端125及扫描信号输出端123；其中，第一级传信号输出端124及第二级传信号输出端125分别连接上级和/或下级移位寄存器的第一级传信号输入端及第二级传信号输入端以提供级传信号，第一信号输入端121及第二信号输入端122连接交流信号；第一下拉维持模块130，包括第三级传信号输入端131及第三信号输入端132，分别连接下级移位寄存器第一级传信号输出端及交流信号；第二下拉维持模块140，包括第四级传信号输入端141及第四信号输入端142，分别连接下级移位寄存器第一级传信号输出端及交流信号；第一下拉模块150，包括第五信号输入端151，连接低电平信号；第二下拉模块160，包括第五级传信号输入端161，连接下级移位寄存器第一级传信号输出端；

[0026] 其中，下传模块110、输出模块120、第一下拉维持模块130及第二下拉维持模块140

连接与第一公共点170,第一下拉模块150连接第一下拉维持模块130及第二下拉维持模块140,第二下拉模块160连接第一下拉模块150及输出模块120。

[0027] 下传模块110通过第一级传信号输入端111及第二级传信号输入端112接收上级移位寄存器的高电位级传信号时使第一公共点170的电位上升至高电位,输出模块120的第一信号输入端121及第二信号输入端122接收低电位时钟信号以通过扫描信号输出端123输出低电位扫描信号;下传模块110关闭后,第一公共点170仍为高电位,输出模块120的第一信号输入端121及第二信号输入端122接收高电位时钟信号以通过扫描信号输出端123输出高电位扫描信号;扫描信号输出端123输出后,第三级传信号输入端131、第四信号级传输入端141及第六信号输入端161输入下级移位寄存器第一级传信号输出端的高电位级传信号,第三信号输入端132及第四信号输入端142交替输入高电位信号使第一下拉模块150与第一公共点170导通从而交替下拉第一公共点170及扫描信号输出端123至低电位,同时第二下拉模块160下拉第一公共点170及扫描信号输出端123至低电位。

[0028] 区别于现有技术,本实施方式通过上级移位寄存器的级传信号控制下级移位寄存器扫描信号的输出,在扫描信号输出后通过两个下拉维持模块交替下拉扫描信号输出端的电位至低电位,并通过第二下拉模块140配合共同下拉扫描信号输出端的电位至低电位,这样防止电路中部分晶体管漏电,保证扫描信号输出端稳定输出低电位信号,并且防止了晶体管的恶化,减小体积。

[0029] 参阅图2,本发明移位寄存器第二实施方式的电路图,该电路包括多个TFT薄膜晶体管和多个信号输入/输出端;

[0030] 其中,下传模块210包括第一晶体管T1;第一晶体管T1的漏极连接第二级传信号输入端212,源极连接第一公共点Q点270,栅极连接第一级传信号输入端211。

[0031] 其中,输出模块220包括第二晶体管T2、第三晶体管T3及第四晶体管T4;第二晶体管T2的漏极连接第一信号输入端221,源极连接扫描信号输出端223;第三晶体管T3的漏极连接第二信号输入端222,源极连接第一级传信号输出端224;第四晶体管T4的漏极连接第二信号输入端222,源极连接第二级传信号输出端225;第二晶体管T2、第三晶体管T3及第四晶体管T4的栅极均连接第一公共点Q点270;第三晶体管T3的栅极和源极之间连接一电容C。

[0032] 其中,第一下拉模块250包括第五晶体管T5、第六晶体管T6、第七晶体管T7、第八晶体管T8及第九晶体管T9,第一下拉维持模块230包括第十晶体管T10、第十一晶体管T11、第十二晶体管T12、第十三晶体管T13及第十四晶体管T14,第二下拉维持模块240包括第十五晶体管T15、第十六晶体管T16、第十七晶体管T17、第十八晶体管T18及第十九晶体管T19;第五晶体管T5、第六晶体管T6、第七晶体管T7的栅极均连接第一公共点Q点270,第六晶体管T6及第七晶体管T7的源极连接第五信号输入端251;第八晶体管T8及第九晶体管T9的栅极连接第一级传信号输入端211,源极连接第五信号输入端251。第十晶体管T10、第十一晶体管T11及第十二晶体管T12的漏极和第十二晶体管T12的栅极均连接第三信号输入端232,第十晶体管T10的栅极连接第三级传信号输入端231,源极连接第十一晶体管T11的源极于第二公共点P点280;第十一晶体管T11的栅极连接第十二晶体管T12的源极;第十二晶体管T12的源极连接第八晶体管T8的漏极;第十三晶体管T13的漏极连接第一公共点Q点270,栅极连接第二公共点P点280,源极连接第五信号输入端251;第十四晶体管T14的漏极连接扫描信号输出端223,栅极连接第二公共点P点280,源极连接第五信号输入端251。第十五晶体管T15、

第十六晶体管T16及第十七晶体管T17的漏极和第十七晶体管T17的栅极均连接第四信号输入端242,第十五晶体管T15的栅极连接第四级传信号输入端241,源极连接第十六晶体管T16的源极于第三公共点K点290;第十六晶体管T16的栅极连接第十七晶体管T17的源极;第十七晶体管T17的源极连接第九晶体管T19的漏极;第十八晶体管T18的漏极连接第一公共点Q点270,栅极连接第三公共点K点290,源极连接第五信号输入端251;第十九晶体管T19的漏极连接扫描信号输出端223,栅极连接第三公共点K点290,源极连接第五信号输入端251。

[0033] 其中,第二下拉模块260包括第二十晶体管T20、第二十一晶体管T21及第二十二晶体管T22;第二十晶体管T20、第二十一晶体管T21及第二十二晶体管T22的栅极均连接第五级传信号输入端261,源极均连接第五信号输入端251;第二十晶体管T20的漏极连接扫描信号输出端223,第二十一晶体管T21的漏极连接第一级传信号输出端224,第二十二晶体管T22的漏极连接第一公共点Q点270。

[0034] 其中,第一级传信号输入端211及第二级传信号输入端212分别连接上级移位寄存器的第一级传信号输出端及第二级传信号输出端以分别输入信号ST(n-1)及CST(n-1),第三级传信号输入端231、第四级传信号输入端241及第五级传信号输入端261连接下级移位寄存器的第一级传信号输出端以输入信号ST(n+1),第一信号输入端221输入交流信号CK(n),第一信号输入端输入交流信号SCK(n),第三信号输入端232及第四信号输入端交替输入高/低电位信号LC1及LC2,第五信号输入端251输入低电位信号V_{ss},第一级传信号输出端224及第二级传信号输出端225连接上级或下级移位寄存器以提供级传信号ST(n)及CST(n),扫描信号输出端223用于输出扫描信号G(n)。

[0035] 同时参阅图3,本发明移位寄存器的第二实施方式的时序图,电路运作过程如下:

[0036] 时序301:ST(n-1)及CST(n-1)同时为高电位,T1打开,Q点270充电为高电位,T5、T6、T7、T8、T9同时打开,由于V_{ss}为低电位,拉低P点280及K点290的电位为低电位,T13、T14、T18、T19同时关闭,但T2、T3、T4打开,此时CK(n)和SCK(n)均为低电位,因此,ST(n)、CST(n)及G(n)均输出低电位。

[0037] 时序302:ST(n-1)及CST(n-1)同时为低电位,T1关闭,Q点270仍保持为高电位,T2、T3、T4仍打开,但此时CK(n)和SCK(n)均变为高电位,ST(n)、CST(n)及G(n)均输出高电位,在电容C的耦合下,Q点270抬升到更高,此时T5、T6、T7、T8、T9仍打开,由于V_{ss}为低电位,拉低P点280及K点290的电位为低电位,T13、T14、T18、T19仍关闭,ST(n)、CST(n)及G(n)顺利输出;

[0038] 在时序302的后期,CK(n)将为低电位,SCK(n)仍为高电位,ST(n)及CST(n)顺利输出高电位,G(n)顺利输出低电位。

[0039] 时序303:CK(n)和SCK(n)输入低电位,同时ST(n+1)输入高电位,此时T10、T17、T20、T21、T22打开,拉低P点280的同时抬高K点290(如果此时LC1为高电位,LC2为低电位则拉低K点290的同时抬高P点280),T18、T19打开,分别通过V_{ss}拉低Q点270及G(n)的电位,随即T5、T6、T7、T8、T9关闭。

[0040] 时序304:LC1及LC2交替为高电压,交替对P点或K点充电,T13、T14或T18、T19交替打开,维持Q点270及G(n)的电位为低电位。

[0041] CK(n)为交流信号,T2较大,会存在较大的寄生电容,CK(n)信号(从低到高)的变化会在Q点270耦合高电位,导致T2漏电,从而使G(n)无法稳定输出低电位,因此在G(n)输出后一直下拉Q点和G(n)的电位;

[0042] 另外,本实施方式是采用非晶硅TFT组成电路,要考虑TFT恶化问题,所以第一下拉模块230和第二下拉模块240交替作用,目的是防止T13、T14、T18、T19栅极在一帧大部分的时间会有个正电位的偏压,导致T13、T14、T18、T19的恶化。

[0043] 参阅图4,本发明移位寄存器第三实施方式的电路图,该电路与本发明第二实施方式的电路区别在于,T10的栅极连接LC2信号,T15的栅极连接LC1信号,以分别控制T10及T15的打开和关闭。

[0044] 参阅图5,本发明移位寄存器第四实施方式的电路图,该电路与本发明第三实施方式的电路区别在于,T1的漏极连接直流源以对Q点充电。

[0045] 参阅图6,本发明级传栅极驱动电路的第一实施方式的电路结构示意图,该栅极驱动电路包括多个如上所述的移位寄存器;其中,每个移位寄存器的第一级传信号输出端及第二级传信号输出端连接上级移位寄存器及下级移位寄存器的各个级传信号输入端并提供级传信号。

[0046] 其中,级传栅极驱动电路的首级移位寄存器的第一级传信号输入端及第二级传信号输入端连接STV信号;末级移位寄存器的第三级传信号输入端、第四级传信号输入端及第五级传信号输入端连接STV信号。

[0047] 本发明还提供一种显示面板,该显示面板包括如上所述的级传栅极驱动电路。

[0048] 通过在显示面板中加入如上所述的级传栅极驱动电路,能够减小电路的空间及显示面板的边框,并且通过两个下拉维持模块交替下拉扫描信号输出端的电位,能够减小TFT晶体管的恶化,保证输出质量,减小成本。

[0049] 以上所述仅为本发明的实施方式,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

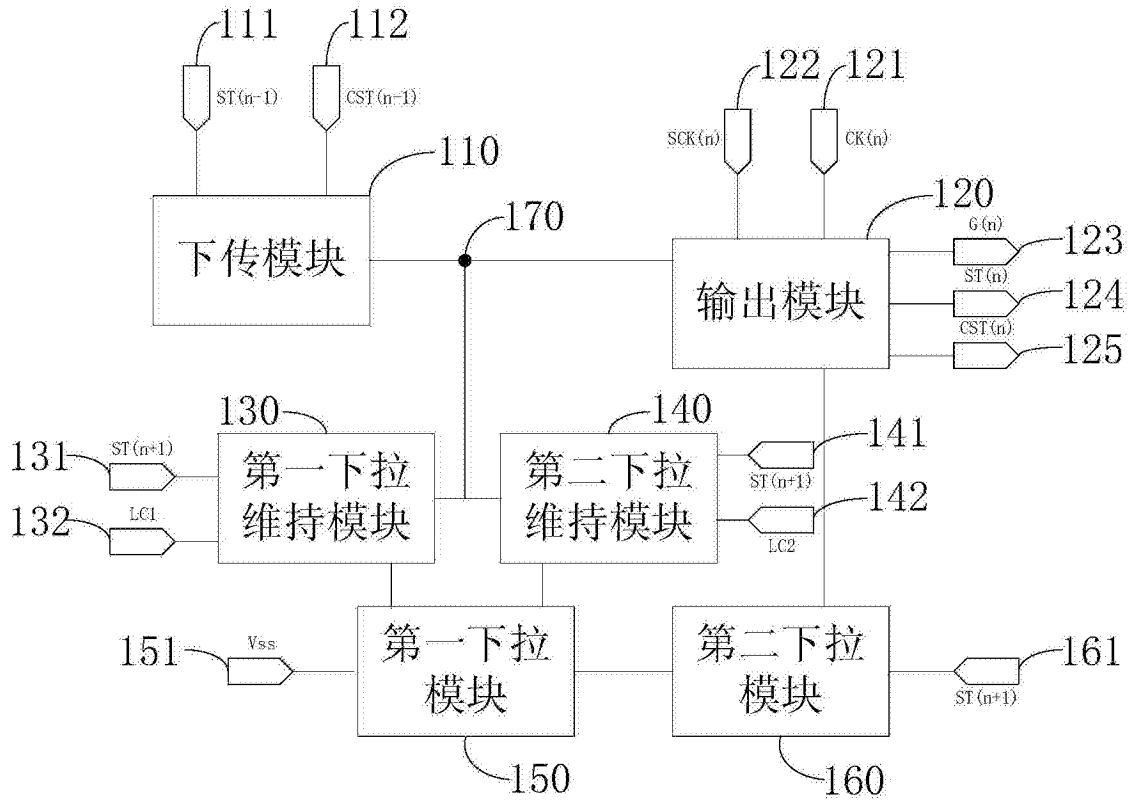


图1

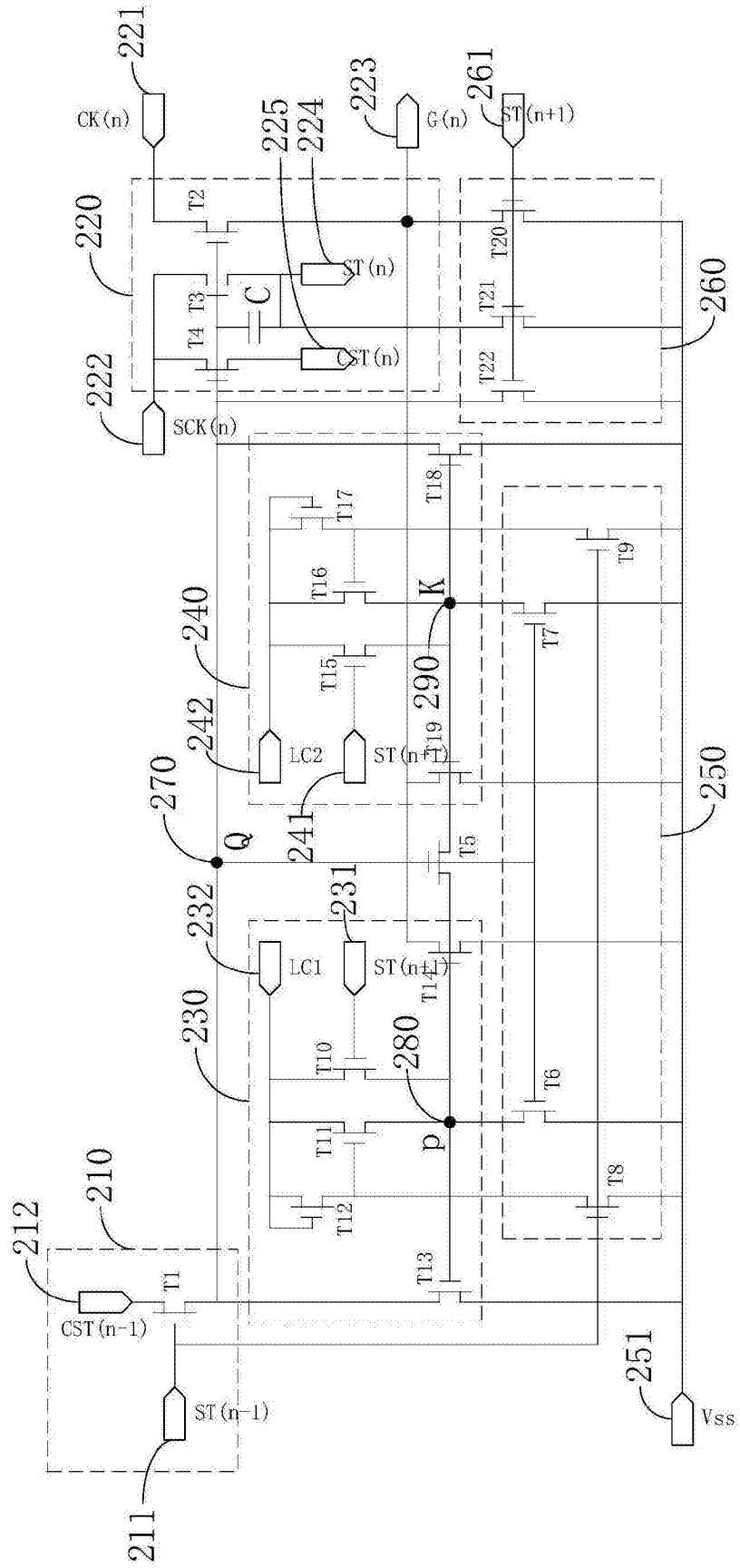


图2

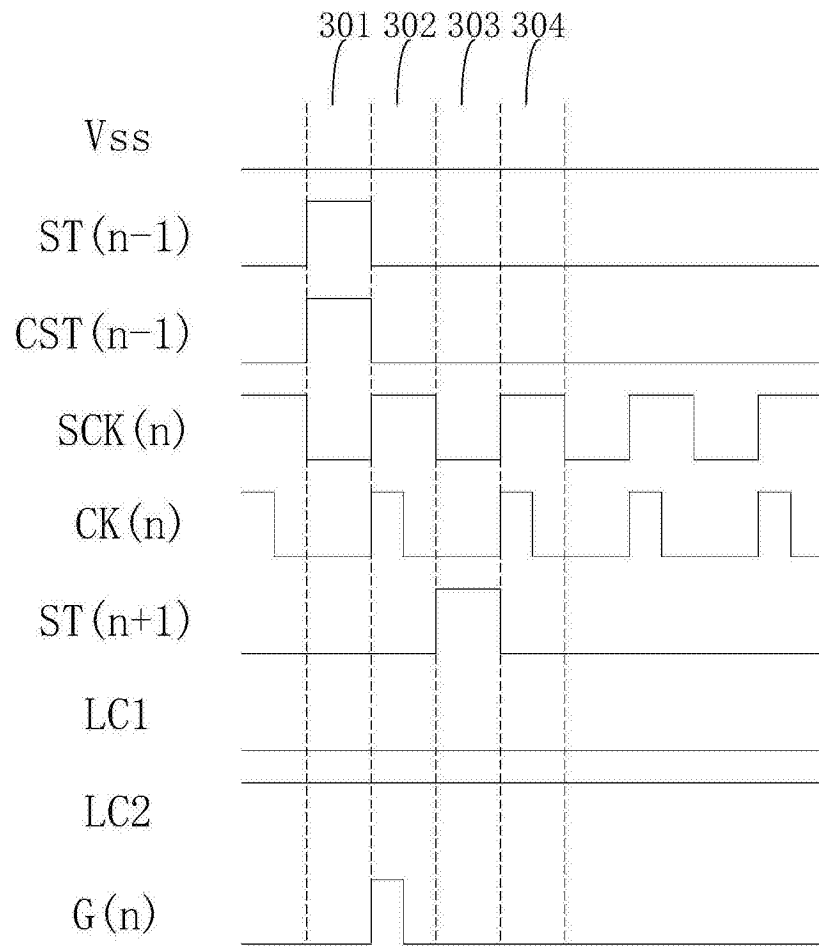


图3

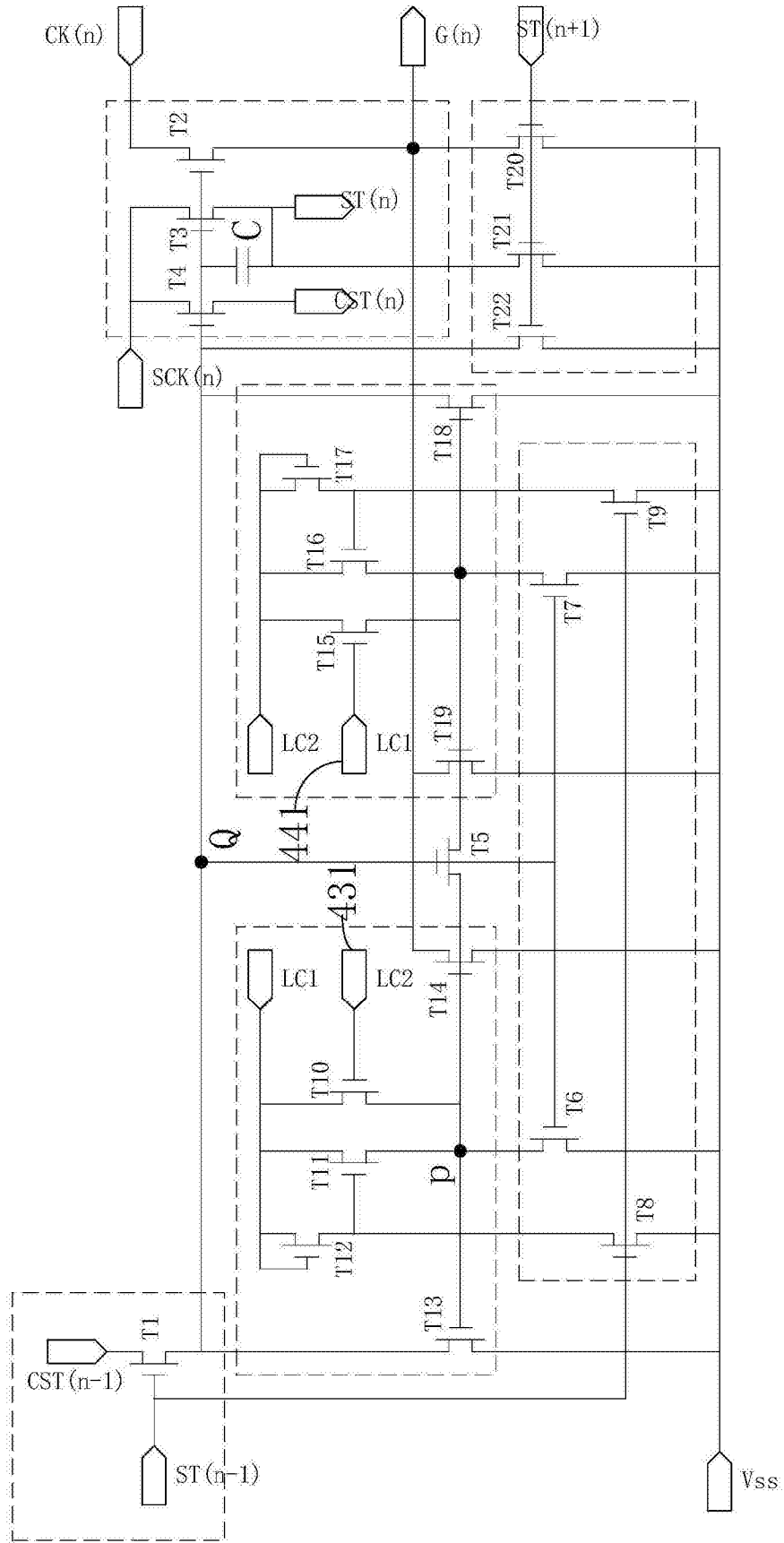


图4

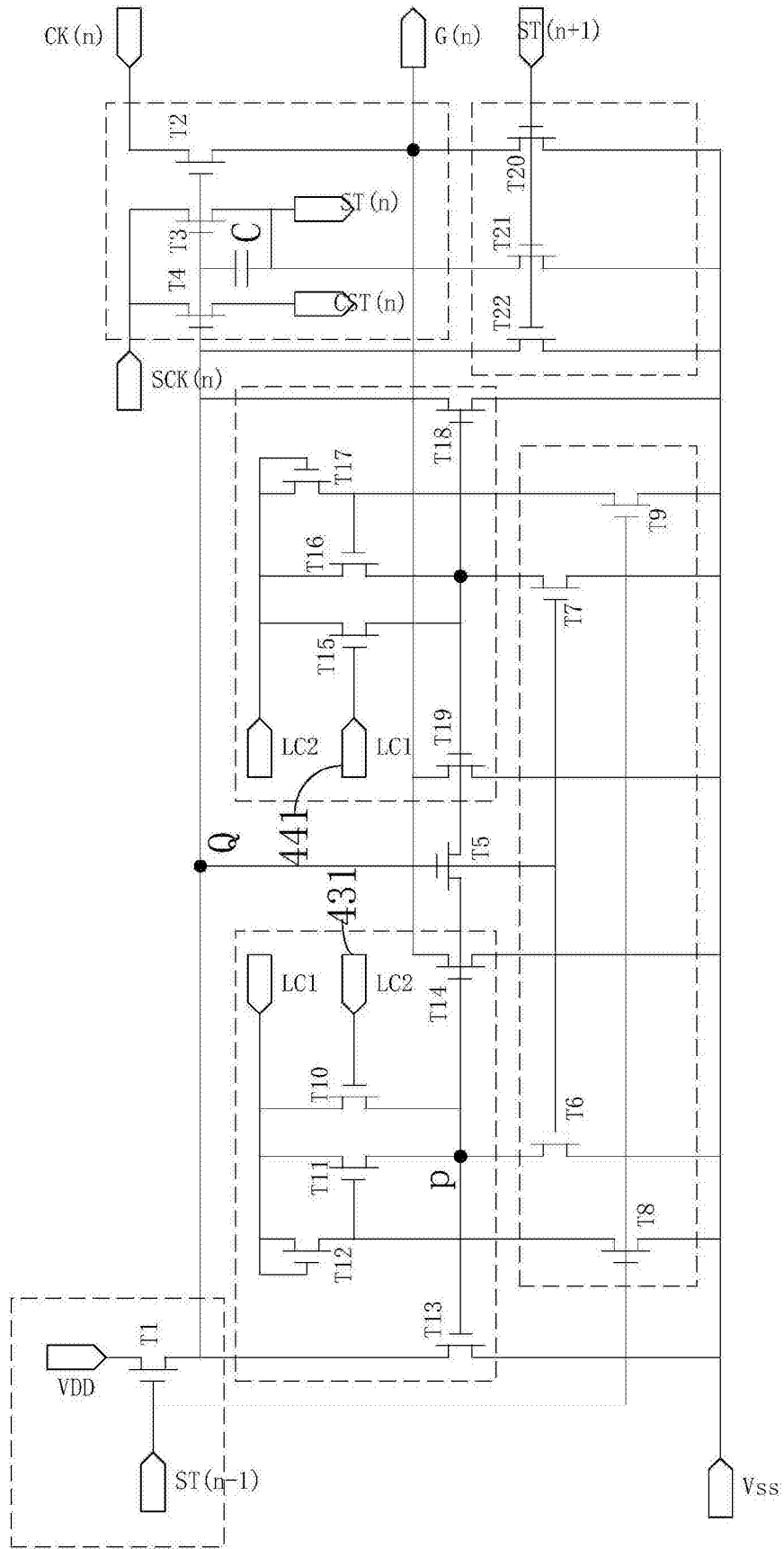


图5

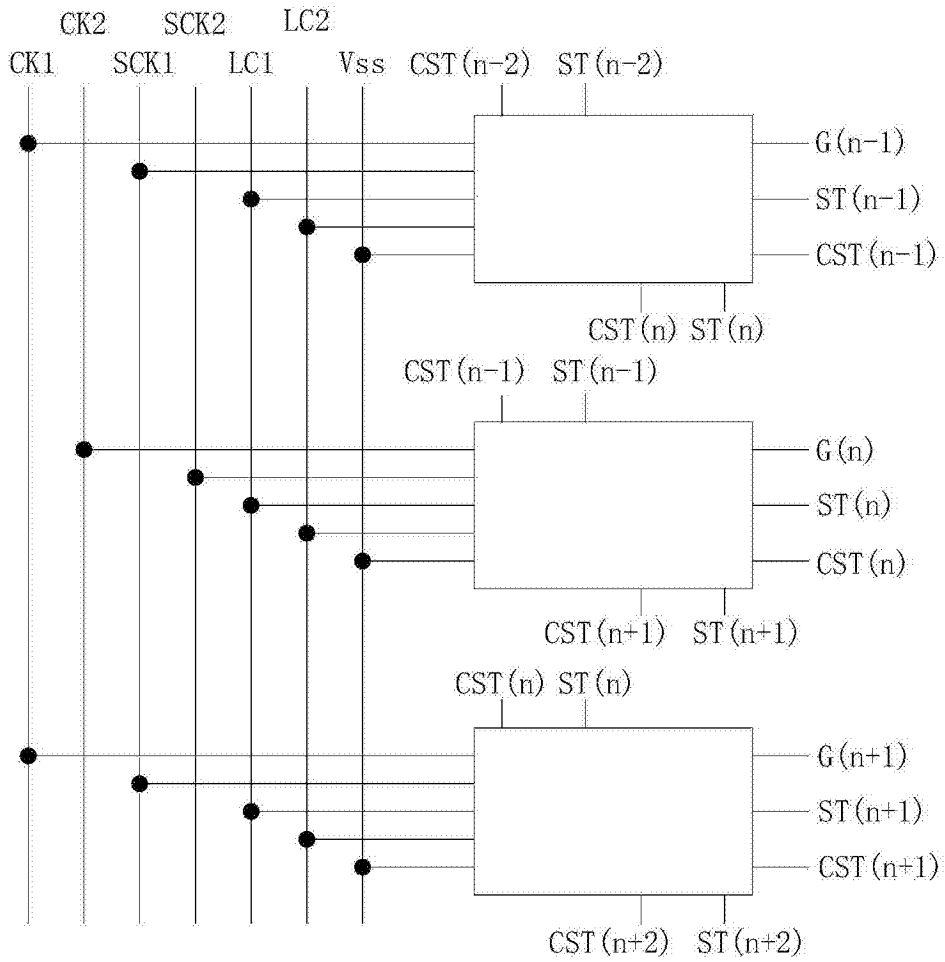


图6