



(12)发明专利申请

(10)申请公布号 CN 107832010 A

(43)申请公布日 2018.03.23

(21)申请号 201711055987.7

(74)专利代理机构 北京市柳沈律师事务所  
11105

(22)申请日 2010.04.01

代理人 邵亚丽

(30)优先权数据

61/167,709 2009.04.08 US

61/187,835 2009.06.17 US

12/537,719 2009.08.07 US

(51)Int.Cl.

G06F 3/06(2006.01)

G06F 12/02(2006.01)

(62)分案原申请数据

201080020506.9 2010.04.01

(71)申请人 谷歌有限责任公司

地址 美国加利福尼亚州

(72)发明人 阿尔伯特.T.博尔歇斯

罗伯特.S.斯普林科

安德鲁.T.斯温 贾森.W.克劳斯

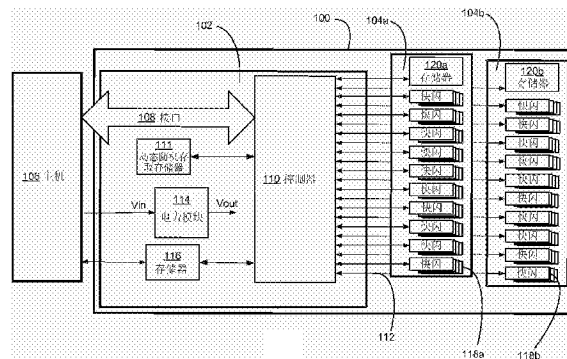
权利要求书2页 说明书15页 附图7页

(54)发明名称

数据存储装置

(57)摘要

一种数据存储装置可包括第一存储器板及第二存储器板,其中所述第一存储器板及所述第二存储器板每一者包含多个存储器芯片。所述数据存储装置可包括经布置及配置以可操作地连接到所述第一存储器板及所述第二存储器板的控制器板,其中所述控制器板包括高速接口及控制器,所述控制器经布置及配置以使用所述高速接口从主机接收命令且执行所述命令,其中所述第一存储器板及所述第二存储器板每一者可单独地从所述控制器板移除。



1. 一种数据存储装置(100),其包括:

存储器板(104a),所述存储器板(104a)包括多个NAND存储器芯片(118a),所述芯片为单电平单元或多电平单元的存储器芯片;

控制器板(102)可操作地耦合到所述存储器板(104a),其中所述控制器板(102)包括现场可编程门阵列控制器(410),所述现场可编程门阵列控制器(410)经布置及配置以控制所述多个NAND存储器芯片(118a)的存储器操作,并且其中所述控制器板(102)是在物理上独立于所述存储器板(104a)的板;

外围组件互连高速接口(108,408)可操作地耦合到所述控制器板(102),所述外围组件互连高速接口(108,408)经布置及配置以在主机(106)和所述现场可编程门阵列控制器(410)之间提供接口使得所述现场可编程门阵列控制器通过所述外围组件互连高速接口(108,408)与所述主机直接通信;以及

另外的存储器板(104b),所述另外的存储器板(104b)包括多个NAND存储器芯片(118a),所述另外的存储器板(104b)可操作地耦合到所述控制器板(102),其中所述控制器板(102)和所述另外的存储器板(104b)在它们自己独立的印刷电路板上,并且其中所述控制器板(102)被布置在底部,而所述存储器板(104a)和所述另外的存储器板(104b)被布置在顶部;

以及其中:

所述控制器板(102)与所述NAND存储器芯片(118a,118b)经布置及配置以使用多个通道(112)通信,

所述多个通道(112)的每个通道被配置为与一个或多个NAND存储器芯片(118a,118b)通信,及

所述现场可编程门阵列控制器(410)被配置使得从所述主机(106)接收的命令可以由所述现场可编程门阵列控制器(410)同时使用所述多个通道(112)中的每个来执行。

2. 根据权利要求1所述的数据存储装置(100),其中所述外围组件互连高速接口(108,408)包括外围组件互连高速X4接口,或其中所述外围组件互连高速(PCIe)接口包括外围组件互连高速(PCIe)X8接口。

3. 根据权利要求1所述的数据存储装置(100),其中所述控制器(102)经布置及配置以当所述数据存储装置(100)加电时自动地确定所述存储器板(104a)上所述存储器芯片的类型。

4. 一种数据存储装置(100),其包括:

第一板(104a),所述第一板(104a)包括多个NAND存储器芯片(118a);

第二板(102),其可操作地耦合到所述第一板(104a),其中所述第二板(102)包括现场可编程门阵列控制器(408),其经布置及配置以控制所述多个NAND存储器芯片的存储器操作,并且所述第二板(102)是在物理上独立于所述第一板(104a)的板;

外围组件互连高速接口(108,408)可操作地耦合到所述第二板(102),其经布置及配置以在主机(106)和所述现场可编程门阵列控制器(408)之间提供接口使得所述现场可编程门阵列控制器通过所述外围组件互连高速接口(108,408)与所述主机(106)直接通信;以及

另外的第三板,所述另外的第三板是具有多个NAND存储器芯片(118b)的存储器板(104b),所述另外的第三板可操作地耦合到所述第二板(102),其中所述第二板(102)是它

自己的印刷电路板,其中所述第二板(102)位于所述第一板(104a)和所述第三板(104b)之间,所述第一板和所述第三板在它们自己的独立印刷电路板上;

以及其中:

所述控制器板(102)与所述NAND存储器芯片(118a,118b)经布置及配置以使用多个通道(112)通信,

所述多个通道(112)的每个通道被配置为与一个或多个NAND存储器芯片(118a,118b)通信,及

所述现场可编程门阵列控制器(410)被配置使得从所述主机(106)接收的命令可以由所述现场可编程门阵列控制器(410)同时使用所述多个通道(112)中的每个来执行。

5.根据权利要求4所述的数据存储装置(100),其中所述外围组件互连高速接口(108,408)包括外围组件互连高速X4接口,或其中所述外围组件互连高速接口包括外围组件互连高速X8接口。

6.根据权利要求4或5之一所述的数据存储装置(100),其中所述NAND存储器芯片是单电平单元或多电平单元的存储器芯片。

## 数据存储装置

[0001] 本申请是申请日为2010年4月1日、申请号为201080020506.9、发明名称为“数据存储装置”的PCT发明专利申请的分案申请。

[0002] 相关申请案交叉参考

[0003] 本申请案请求对在2009年4月8日提出申请且标题为“数据存储装置 (DATA STORAGE DEVICE)”的第61/167,709号美国临时申请案及在2009年6月17日提出申请且标题为“快闪存储器数据存储装置中的分割及剥离 (PARTITIONING AND STRIPING IN A FLASH MEMORY DATA STORAGE DEVICE)”的第61/187,835号美国临时申请案的权益,其两者以整体引用的方式并入本文中。

### 技术领域

[0004] 本说明涉及一种数据存储装置。

### 背景技术

[0005] 可使用数据存储装置来存储数据。数据存储装置可与计算装置一同使用以提供所述计算装置的数据存储需要。在某些实例中,可期望在数据存储装置上存储大量数据。此外,可期望快速地执行从所述数据存储装置读取数据及向所述数据存储装置写入数据的命令。

### 发明内容

[0006] 本文件描述一种包括一个或一个以上存储器板的数据存储装置,其中所述存储器板中的每一者包括多个快闪存储器芯片。所述数据存储装置包括所述存储器板可操作地连接到的控制器板。所述数据存储装置可经配置以使用接口与主机进行通信以从所述主机接收命令且使用所述快闪存储器芯片来处理这些命令。举例来说,所述主机可发送且所述控制器板可接收用以使用所述快闪存储器芯片读取、写入、拷贝及擦除数据块的命令。

[0007] 在一个示范性实施方案中,所述控制器包括现场可编程门阵列 (FPGA) 控制器且所述主机与所述控制器板之间的接口可为高速接口,例如(举例来说) 外围组件互连高速 (PCIe) 接口。以此方式,所述数据存储装置可包括高存储体积且可经配置以实现所述主机与所述快闪存储器芯片之间的数据传送的高性能及高速度。

[0008] 在一个示范性实施方案中,所述数据存储装置可经配置而具有两个存储器板,其中所述存储器板中的每一者包括多个快闪存储器芯片。包括所述控制器板及两个存储器板的所述数据存储装置可以磁盘驱动器形式配置,使得所述数据存储装置装配于计算装置的板上驱动槽中。举例来说,所述数据存储装置可经配置以装配于服务器的板上驱动槽中以为所述服务器提供数据存储容量。所述数据存储装置可经配置而为可抽换的,使得其可容易地从所述计算装置移除且插入于不同计算装置的板上驱动槽中。

[0009] 此外,所述数据存储装置可为模块化,使得存储器板可与控制器板断开且由其它存储器板来替换,其中所述其它存储器板也可包括多个快闪存储器芯片。控制器板上的控

制器可为可配置以辨识存储器板中的一者或一者以上已断开且由其它存储器板替换。所述制器可经配置以辨识存储器板的此类型的换出且可处理主机与所述其它存储器板之间的命令。以此方式,即使存储器板中的一者或一者以上不再可用,制器板也可继续使用。不可用的存储器板可与制器板断开且可由另一存储器板替换,同时仍使用同一制器板及所述制器板上的相同组件。

[0010] 在一个示范性实施方案中,所述数据存储装置可为可配置以处置不同类型的快闪存储器芯片。举例来说,制器板上的制器可经配置以辨识存储器板上的不同类型的快闪存储器芯片并与其一同操作。举例来说,所述制器可为FPGA制器,其经配置以辨识不同类型的快闪存储器芯片,其中包括(举例来说)单电平单元(SLC)快闪存储器芯片、多电平单元(MLC)快闪存储器芯片、NAND快闪存储器芯片、NOR快闪存储器芯片及其它类型的快闪存储器芯片。所述制器可经配置以辨识来自不同快闪存储器芯片销售商的快闪存储器芯片。所述制器可经配置以辨识所述不同类型的快闪存储器芯片且通过基于存储器板上的快闪存储器芯片的类型翻译来自主机的命令而使用所述快闪存储器芯片来执行所述命令。因此,由于快闪存储器芯片的所述类型,不需要主机来翻译所述命令或发送不同命令。所述制器可经配置以针对所述特定类型的快闪存储器芯片将来自主机的所述命令翻译成本机命令。

[0011] 以此方式,具有同一制器的同一制器板可与具有不同类型的快闪存储器芯片的存储器板一同使用。举例来说,第一存储器板及第二存储器板可连接到制器板且所述板中的每一者可包括由一个销售商制造的SLC NAND快闪存储器芯片。所述第一存储器板及所述第二存储器板可断开且由两个其它存储器板替换,其中所述其它存储器板包括由不同销售商制造的MLC NAND快闪存储器芯片。所述制器可经配置以自动地辨识所述其它存储器板上的快闪存储器芯片且使用所述其它存储器板上的快闪存储器芯片来执行来自主机的命令。以此方式,依据主机上的应用程序的特性且依据主机上的应用程序所需要的所述数据存储装置的特征,所述数据存储装置可定制及配置有存储器板上的不同快闪存储器芯片。

[0012] 在其它示范性实施方案中,所述存储器板中的每一者可包括除快闪存储器芯片以外的存储器装置。举例来说,所述存储器板中的每一者可包括多个动态随机存取存储器(DRAM)芯片。上文关于快闪存储器芯片所描述的相同的方式,所述数据存储装置可为可配置以处置不同类型的DRAM芯片。举例来说,制器板上的制器可经配置以辨识存储器板上的不同类型的DRAM芯片并与其一同操作。DRAM芯片的一个存储器板可从数据存储装置移除且由具有不同类型的DRAM芯片的存储器板替换。所述制器可通过基于存储器板上的DRAM芯片的类型翻译来自主机的命令而使用不同类型的DRAM芯片来执行所述命令。在其它示范性实施方案中,所述存储器板可包括其它类型的存储器装置,其中包括(举例来说)相变存储器(PCM)芯片及其它类型的存储器装置。

[0013] 在另一示范性实施方案中,制器板上的所述制器可经配置以辨识一个存储器板上的一个类型的存储器装置并与其一同操作,且同时与另一存储器板上的不同类型的存储器装置一同操作。举例来说,所述存储器板中的一者可包括快闪存储器芯片且另一存储器板可包括DRAM芯片。

[0014] 在一个示范性实施方案中,所述数据存储装置可为可配置以处置具有不同电压的

快闪存储器芯片。举例来说,控制器板上的所述控制器可经配置以辨识存储器板上的具有不同电压的快闪存储器芯片并与其一同操作。举例来说,所述控制器可感测所述快闪存储器芯片的电压且将电力控制电路配置成供应所需电压。举例来说,所述控制器可为FPGA控制器,所述FPGA控制器经配置以感测存储器板上的快闪存储器芯片的电压且基于所述所感测电压将控制器板上的电力模块配置成向所述快闪存储器芯片供应适当电压。所述控制器可经配置以感测所述快闪存储器芯片的电压且在不必基于存储器板上的快闪存储器芯片的电压翻译来自所述主机的命令的情况下使用所述快闪存储器芯片来执行所述命令。

[0015] 以此方式,具有同一控制器的同一控制器板可与具有不同电压的快闪存储器芯片的存储器板一同使用。举例来说,第一存储器板及第二存储器板可连接到所述控制器板且所述板中的每一者可包括以第一电压操作的快闪存储器芯片。所述第一存储器板及所述第二存储器板可断开且由两个其它存储器板替换,其中所述其它存储器板包括以第二电压操作的快闪存储器芯片,其中所述第二电压不同于所述第一电压。所述控制器可经配置以:自动地感测所述其它存储器板上的所述快闪存储器芯片的所述第二电压;将所述电力模块配置成以所述第二电压操作;及使用所述其它存储器板上的所述快闪存储器芯片来执行来自主机的命令。以此方式,依据主机上的应用程序的特性且依据主机上的所述应用程序所需要的所述数据存储装置的特征,所述数据存储装置可定制及配置有所述其它存储器板上的不同快闪存储器芯片。

[0016] 使用单个控制器板(其具有在与所述快闪存储器芯片分开的板上的单个控制器)实现配置所述数据存储装置的灵活性。举例来说,使用单个控制器板(其具有所述板上的经配置以辨识不同类型的快闪存储器芯片并与其一同操作及/或辨识具有不同电压的快闪存储器芯片并与其一同操作的单个控制器)使得能够使用不同快闪存储器芯片技术来设计所述数据存储装置。此外,可基于主机上的将与所述数据存储装置介接的应用程序的类型来选择特定快闪存储器芯片技术并在存储器板上使用。此外,由于快闪存储器芯片技术可改变,同一控制器板及控制器可通过换出存储器板而与存储器板上的不同快闪存储器芯片一同使用。以此方式,可将具有所述控制器及其它组件的控制器板视为可配置以接受存储器板上的多种不同类型的快闪存储器芯片的通用控制器板及控制器。

[0017] 根据一个一般方面,数据存储装置可包括第一存储器板及第二存储器板,其中所述第一存储器板及所述第二存储器板每一者包含多个存储器芯片。所述数据存储装置可包括经布置及配置以可操作地连接到所述第一存储器板及所述第二存储器板的控制器板,其中所述控制器板包括高速接口及控制器,所述控制器经布置及配置以使用所述高速接口从主机接收命令且执行所述命令,其中所述第一存储器板及所述第二存储器板每一者可单独地从所述控制器板移除。所述数据存储装置可实施为计算机程序产品。

[0018] 实施方案可包括以下特征中的一者或一者以上。举例来说,所述控制器可为现场可编程门阵列(FPGA)控制器。所述存储器芯片可包括快闪存储器芯片。所述快闪存储器芯片可包括单电平单元(SLC)NAND快闪存储器芯片及/或多电平单元(MLC)NAND快闪存储器芯片。所述高速接口可包括PCI-e接口。在一个示范性实施方案中,所述快闪存储器芯片可包括NAND快闪存储器芯片,所述高速接口可为PCI-e接口且所述控制器可为现场可编程门阵列(FPGA)。

[0019] 所述第一存储器板、所述第二存储器板及所述控制器板可经布置及配置以装配于

服务器的驱动器托架中。所述第一存储器板可为可操作地连接到所述控制器板的顶部侧且所述第二存储器板可为可操作地连接到所述控制器板的底部侧。

[0020] 在一个示范性实施方案中,所述存储器芯片可包括动态随机存取存储器 (DRAM) 芯片。在另一示范性实施方案中,所述存储器芯片包含相变存储器 (PCM) 芯片。

[0021] 所述第一存储器板及所述第二存储器板可为模块化板,其经布置及配置成待移除的且由包括多个存储器芯片的另一存储器板替换。所述控制器可包括电力模块且可经布置及配置以:控制对具有不同电压的多个存储器芯片的命令处理;自动地辨识所述第一存储器板及所述第二存储器板上的所述存储器芯片的电压;将所述电力模块配置成以所述存储器芯片的所述所辨识电压操作;使用所述接口从所述主机接收命令;及使用所述存储器芯片来执行所述命令。

[0022] 所述控制器可经布置及配置以:控制对多种不同类型的存储器芯片的命令处理;自动地辨识所述第一存储器板及所述第二存储器板上的所述存储器芯片的类型;使用所述接口从所述主机接收命令;及使用所述存储器芯片来执行所述命令。

[0023] 所述控制器可包括多个通道,其中所述通道中的每一者与所述存储器芯片中的一者或一者以上相关联且所述存储器芯片中的每一者与所述通道中的一者相关联。所述控制器可包括用于所述通道中的每一者的通道控制器。

[0024] 在另一一般方面中,一种计算装置可包括主机及数据存储装置。所述数据存储装置可包括:第一存储器板;第二存储器板,其中所述第一存储器板及所述第二存储器板每一者包含多个存储器芯片;及控制器板,其经布置及配置以可操作地连接到所述第一存储器板及所述第二存储器板。所述控制器板可包括:高速接口;及控制器,其经布置及配置以使用所述高速接口从主机接收命令且执行所述命令,其中所述第一存储器板及所述第二存储器板每一者可单独地从所述控制器板移除。在一些情况下,所述计算装置可实施为计算机系统或实施为计算机系统的一部分。实施方案可包括上文及下文所论述的特征中的一者或一者以上。

[0025] 在另一一般方面中,一种用于组装数据存储装置的方法可包括:将多个存储器芯片固定到第一存储器板;将多个存储器芯片固定到第二存储器板;将高速接口及控制器附接到控制器板;将所述第一存储器板可操作地连接到所述控制器板;及将所述第二存储器板可操作地连接到所述控制器板,其中所述第一存储器板及所述第二存储器板每一者可单独地从所述控制器板移除。

[0026] 实施方案可包括以下特征中的一者或一者以上。举例来说,所述方法可进一步包括:将多个存储器芯片固定到第三存储器板;将所述第一存储器板或所述第二存储器板中的一者与所述控制器板断开;及将所述第三存储器板可操作地连接到所述控制器板。将所述第一存储器板可操作地连接到所述控制器板及将所述第二存储器板可操作地连接到所述控制器板可包括形成所述第一存储器板、所述第二存储器板及所述控制器板的驱动器托架形状因数,使得所述驱动器托架形状因数经配置以装配于服务器的驱动器托架中。将所述第一存储器板可操作地连接到所述控制器板可包括将所述第一存储器板可操作地连接到所述控制器板的顶部侧,且将所述第二存储器板可操作地连接到所述控制器板可包括将所述第二存储器板可操作地连接到所述控制器板的底部侧。

[0027] 在一个实施方案中,所述存储器芯片可包括动态随机存取存储器 (DRAM) 芯片。在

另一实施方案中,所述存储器芯片可包括相变存储器 (PCM) 芯片。在另一实施方案中,所述存储器芯片可包括快闪存储器芯片。所述第一存储器板及所述第二存储器板上的所述快闪存储器芯片可包括NAND快闪存储器芯片,所述高速接口可为PCI-e接口且所述控制器可为现场可编程门阵列 (FPGA) 控制器。

[0028] 在一个实施方案中,一种数据存储装置 (100), 其包括: 存储器板 (104a), 所述存储器板 (104a) 包括多个NAND存储器芯片 (118a), 所述芯片为单电平单元或多电平单元的存储器芯片; 控制器板 (102) 可操作地耦合到所述存储器板 (104a), 其中所述控制器板 (102) 包括现场可编程门阵列控制器 (410), 所述现场可编程门阵列控制器 (410) 经布置及配置以控制所述多个NAND存储器芯片 (118a) 的存储器操作, 并且其中所述控制器板 (102) 是在物理上独立于所述存储器板 (104a) 的板; 外围组件互连高速接口 (108, 408) 可操作地耦合到所述控制器板 (102), 所述外围组件互连高速接口 (108, 408) 经布置及配置以在主机 (106) 和所述现场可编程门阵列控制器 (410) 之间提供接口使得所述现场可编程门阵列控制器通过所述外围组件互连高速接口 (108, 408) 与所述主机直接通信; 以及另外的存储器板 (104b), 所述另外的存储器板 (104b) 包括多个NAND存储器芯片 (118a), 所述另外的存储器板 (104b) 可操作地耦合到所述控制器板 (102), 其中所述控制器板 (102) 和所述另外的存储器板 (104b) 在它们自己独立的印刷电路板上, 并且其中所述控制器板 (102) 被布置在底部, 而所述存储器板 (104a) 和所述另外的存储器板 (104b) 被布置在顶部; 以及其中: 所述控制器板 (102) 与所述NAND存储器芯片 (118a, 118b) 经布置及配置以使用多个通道 (112) 通信, 所述多个通道 (112) 的每个通道被配置为与一个或多个NAND存储器芯片 (118a, 118b) 通信, 及所述现场可编程门阵列控制器 (410) 被配置使得从所述主机 (106) 接收的命令可以由所述现场可编程门阵列控制器 (410) 同时使用所述多个通道 (112) 中的每个来执行。

[0029] 在另一个实施方案中, 一种数据存储装置 (100), 其包括: 第一板 (104a), 所述第一板 (104a) 包括多个NAND存储器芯片 (118a); 第二板 (102), 其可操作地耦合到所述第一板 (104a), 其中所述第二板 (102) 包括现场可编程门阵列控制器 (408), 其经布置及配置以控制所述多个NAND存储器芯片的存储器操作, 并且所述第二板 (102) 是在物理上独立于所述第一板 (104a) 的板; 外围组件互连高速接口 (108, 408) 可操作地耦合到所述第二板 (102), 其经布置及配置以在主机 (106) 和所述现场可编程门阵列控制器 (408) 之间提供接口使得所述现场可编程门阵列控制器通过所述外围组件互连高速接口 (108, 408) 与所述主机 (106) 直接通信; 以及另外的第三板, 所述另外的第三板是具有多个NAND存储器芯片 (118b) 的存储器板 (104b), 所述另外的第三板可操作地耦合到所述第二板 (102), 其中所述第二板 (102) 是它自己的印刷电路板, 其中所述第二板 (102) 位于所述第一板 (104a) 和所述第三板 (104b) 之间, 所述第一板和所述第三板在它们自己的独立印刷电路板上; 以及其中: 所述控制器板 (102) 与所述NAND存储器芯片 (118a, 118b) 经布置及配置以使用多个通道 (112) 通信, 所述多个通道 (112) 的每个通道被配置为与一个或多个NAND存储器芯片 (118a, 118b) 通信, 及所述现场可编程门阵列控制器 (410) 被配置使得从所述主机 (106) 接收的命令可以由所述现场可编程门阵列控制器 (410) 同时使用所述多个通道 (112) 中的每个来执行。

[0030] 在附图及下文说明中阐述一个或一个以上实施方案的细节。从所述说明及图式且从权利要求书将明了其它特征。



## 附图说明

- [0031] 图1是数据存储装置的示范性框图。
- [0032] 图2是所述数据存储装置的印刷电路板的示范性透视框图。
- [0033] 图3是与图1的数据存储装置一同使用的示范性计算装置的示范性框图。
- [0034] 图4是控制器的示范性框图。
- [0035] 图5是图解说明图1的数据存储装置的实例性组装的示范性流程图。
- [0036] 图6是图1的数据存储装置的实例性实施方案的示范性框图。
- [0037] 图7是图解说明图1的数据存储装置的实例性操作的示范性流程图。
- [0038] 图8是图解说明图1的数据存储装置的实例性操作的示范性流程图。

## 具体实施方式

[0039] 本文件描述用于数据存储的设备、系统及技术。此数据存储设备可包括可与一个或一个以上不同存储器板一同使用的控制器的控制器板,其中所述存储器板中的每一者具有多个快闪存储器芯片。所述数据存储设备可使用所述控制器板上的接口来与主机进行通信。以此方式,所述控制器板上的所述控制器可经配置以使用所述接口来从所述主机接收命令且使用所述存储器板上的所述快闪存储器芯片来执行这些命令。

[0040] 图1是数据存储装置100的框图。数据存储装置100可包括控制器板102以及一个或一个以上存储器板104a及104b。数据存储装置100可经由接口108与主机106进行通信。接口108可在主机106与控制器板102之间。控制器板102可包括控制器110、DRAM 111、多个通道112、电力模块114及存储器模块116。存储器板104a及104b可包括所述存储器板中的每一者上的多个快闪存储器芯片118a及118b。存储器板104a及104b还可包括存储器装置120a及120b。

[0041] 一般来说,数据存储装置100可经配置以将数据存储于快闪存储器芯片118a及118b上。主机106可将数据写入到快闪存储器芯片118a及118b及从快闪存储器芯片118a及118b读取数据,并且引起将关于快闪存储器芯片118a及118b执行的其它操作。可经由控制器板102上的控制器110来处理且由控制器110来控制主机106与快闪存储器芯片118a及118b之间的数据读取及写入以及其它操作。控制器110可从主机106接收命令且致使使用存储器板104a及104b上的快闪存储器芯片118a及118b来执行这些命令。主机106与控制器110之间的通信可经由接口108。控制器110可使用通道112来与快闪存储器芯片118a及118b进行通信。

[0042] 控制器板102可包括DRAM 111。DRAM 111可为可操作地耦合到控制器110且可用以存储信息。举例来说,DRAM 111可用以存储逻辑地址到物理地址映射及坏块信息。DRAM 111还可经配置以用作主机106与快闪存储器芯片118a及118b之间的缓冲器。

[0043] 在一个示范性实施方案中,控制器板102以及存储器板104a及104b中的每一者为物理上单独的印刷电路板(PCB)。存储器板104a可在可操作地连接到控制器板102PCB的一个PCB上。举例来说,存储器板104a可物理及/或电连接到控制器板102。类似地,存储器板104b可为与存储器板104a分开的PCB且可为可操作地连接到控制器板102PCB。举例来说,存储器板104b可物理及/或电连接到控制器板102。存储器板104a及104b每一者可单独地与控

制器板102断开及从控制器板102移除。举例来说,存储器板104a可从控制器板102断开且由另一存储器板(未展示)替换,其中所述另一存储器板可操作地连接到控制器板102。在此实例中,可用其它存储器板换出存储器板104a及104b中的任一者或两者,使得所述其它存储器板可与同一控制器板102及控制器110一同操作。

[0044] 在一个示范性实施方案中,控制器板102以及存储器板104a及104b中的每一者可以磁盘驱动器形状因数物理连接。所述磁盘驱动器形状因数可包括不同大小,例如(举例来说)3.5"磁盘驱动器形状因数及2.5"磁盘驱动器形状因数。

[0045] 在一个示范性实施方案中,控制器板102以及存储器板104a及104b中的每一者可使用高密度球栅阵列(BGA)连接器电连接。可使用BGA连接器的其它变化形式,其中包括(举例来说)细球栅阵列(FBGA)连接器、超细球栅阵列(UBGA)连接器及微球栅阵列(MBGA)连接器。也可使用其它类型的电连接构件。

[0046] 在一个示范性实施方案中,控制器板102(其为自己的PCB)可在物理上位于存储器板104a及104b中的每一者之间,存储器板104a及104b在其自己单独的PCB上。还参照图2,数据存储装置100可包括一个PCB上存储器板104a、第二PCB上的控制器板102及第三PCB上的存储器板104b。存储器板104a包括多个快闪存储器芯片118a且存储器板104b包括多个快闪存储器芯片118b。控制器板102包括控制器110及到主机(未展示)的接口108以及其它组件(未展示)。

[0047] 在图2所图解说明的实例中,存储器板104a可操作地连接到控制器板102且位于控制器板102的一侧220a上。举例来说,存储器板104a可连接到控制器板102的顶部侧220a。存储器板104b可操作地连接到控制器板102且位于控制器板102的第二侧220b上。举例来说,存储器板104b可连接到控制器板102的底部侧220b。

[0048] 存储器板104a及104b与控制器板102之间的其它物理及/或电连接是可能的。图2仅图解说明一个示范性布置。举例来说,数据存储装置100可包括两个以上存储器板,例如三个存储器板、四个存储器板或四个以上存储器板,其中所有所述存储器板连接到单个控制器板。以此方式,数据存储装置可仍以磁盘驱动器形状因数来配置。此外,存储器板可在其它布置(例如(举例来说)控制器板在顶部且存储器卡在底部或控制器板在底部且存储器卡在顶部)中连接到控制器板。

[0049] 数据存储装置100可经布置及配置以与计算装置协作。在一个示范性实施方案中,控制器板102以及存储器板104a及104b可经布置及配置以装配于计算装置的驱动器托架内。参照图3,图解说明两个示范性计算装置,即服务器330及服务器340。服务器330及340可经布置及配置以提供各种不同类型的计算服务。服务器330及340可包括主机(例如,图1的主机106),所述主机包括计算机程序产品,所述计算机程序产品具有致使服务器330及340中的一个或一个以上处理器提供计算服务的指令。服务器的类型可取决于在所述服务器上操作的一个或一个以上应用程序。举例来说,服务器330及340可为应用程序服务器、web服务器、电子邮件服务器、搜索服务器、串流化媒体服务器、电子商务服务器、文件传送协议(FTP)服务器、其它类型的服务器或这些服务器的组合。服务器330可配置成在服务器机架内操作的机架安装服务器。服务器340可配置成独立于服务器机架而操作的独立服务器。即使服务器340不在服务器机架内,其也可经配置而与其它服务器一起操作且可操作地连接到其它服务器。服务器330及340意在图解说明实例性计算装置且可使用其它计算装置,其

中包括其它类型的服务器。

[0050] 在一个示范性实施方案中,图1及图2的数据存储装置100可经确定大小以装配于服务器330的驱动器托架335或服务器340的驱动器托架345内以为服务器330及340提供数据存储功能性。举例来说,数据存储装置100可经确定大小而为3.5"磁盘驱动器形状因数以装配于驱动器托架335及345中。数据存储装置100还可配置成其它大小。数据存储装置100可使用接口108可操作地与服务器330及340连接及通信。以此方式,主机可使用接口108将命令传递到控制器板102且控制器110可使用存储器板104a及104b上的快闪存储器芯片118a及118b来执行所述命令。

[0051] 返回参照图1,接口108可包括控制器110与主机106之间的高速接口。所述高速接口可实现主机106与快闪存储器芯片118a及118b之间的快速数据传送。在一个示范性实施方案中,所述高速接口可包括PCIe接口。举例来说,所述PCIe接口可为PCIe x4接口或PCIe x8接口。PCIe接口108可包括到主机106的PCIe连接器电缆组合件。也可使用其它高速接口、连接器及连接器组合件。

[0052] 在一个示范性实施方案中,控制器板102与存储器板104a及104b上的快闪存储器芯片118a及118b之间的通信可布置及配置成多个通道112。通道112中的每一者可与一个或一个以上快闪存储器芯片118a及118b通信。控制器110可经配置而使得从主机106接收的命令可由控制器110使用通道112中的每一者同时或至少实质上同时执行。以此方式,可在不同通道112上同时执行多个命令,此可改善数据存储装置100的吞吐量。

[0053] 在图1的实例中,图解说明二十(20)个通道112。完全实线图解说明控制器110与存储器板104a上的快闪存储器芯片118a之间的十(10)个通道。混合的实线与虚线图解说明控制器110与存储器板104b上的快闪存储器芯片118b之间的十(10)个通道。如图1中所图解说明,通道112中的每一者可支持多个快闪存储器芯片。举例来说,通道112中的每一者可支持多达32个快闪存储器芯片。在一个示范性实施方案中,所述20个通道中的每一者可经配置以支持6个快闪存储器芯片并与其通信。在此实例中,存储器板104a及104b中的每一者将各自包括60个快闪存储器芯片。依据快闪存储器芯片118a及118b的类型及数目,数据存储100装置可经配置以存储多达多个数据太字节且包括多个数据太字节在内。

[0054] 控制器110可包括微控制器、FPGA控制器、其它类型的控制器或这些控制器的组合。在一个示范性实施方案中,控制器110为微控制器。可以硬件、软件或硬件与软件的组合来实施所述微控制器。举例来说,可从存储器(例如,存储器模块116)给所述微控制器加载计算机程序产品,所述计算机程序产品包括在被执行时可致使所述微控制器以某一方式执行的指令。所述微控制器可经配置以使用接口108从主机106接收命令且执行所述命令。举例来说,所述命令可包括用以使用快闪存储器芯片118a及118b读取、写入、拷贝及擦除数据块的命令以及其它命令。

[0055] 在另一示范性实施方案中,控制器110为FPGA控制器。可以硬件、软件或硬件与软件的组合来实施所述FPGA控制器。举例来说,可从存储器(例如,存储器模块116)给所述FPGA控制器加载固件,所述固件包括在被执行时可致使所述FPGA控制器以某一方式执行的指令。所述FPGA控制器可经配置以使用接口108从主机106接收命令且执行所述命令。举例来说,所述命令可包括用以使用快闪存储器芯片118a及118b读取、写入、拷贝及擦除数据块的命令以及其它命令。

[0056] 在一个示范性实施方案中，FPGA控制器可支持与主机106的多个接口108。举例来说，FPGA控制器可经配置以支持与主机106的多个PCIe x4或PCIe x8接口。

[0057] 存储器模块116可经配置以存储数据，可将所述数据加载到控制器110。举例来说，存储器模块116可经配置以存储FPGA控制器的一个或一个以上图像，其中所述图像包括供所述FPGA控制器使用的固件。存储器模块116可与主机106介接以与主机106通信。存储器模块116可与主机106直接介接及/或可经由控制器110间接与主机106介接。举例来说，主机106可将固件的一个或一个以上图像传递到存储器模块116以进行存储。在一个示范性实施方案中，存储器模块116包括电可擦除可编程只读存储器 (EEPROM)。存储器模块116还可包括其它类型的存储器模块。

[0058] 电力模块114可经配置以接收电力 ( $V_{in}$ )，以执行所接收电力的任何转换且输出输出电力 ( $V_{out}$ )。电力模块114可从主机106或从另一源接收电力 ( $V_{in}$ )。电力模块114可将电力 ( $V_{out}$ ) 提供到控制器板102及控制器板102上的组件，其中包括控制器110。电力模块114还可将电力 ( $V_{out}$ ) 提供到存储器板104a及104b以及存储器板104a及104b上的组件，其中包括快闪存储器芯片118a及118b。

[0059] 在一个示范性实施方案中，电力模块114可包括一个或一个以上直流 (DC) 到DC转换器。DC到DC转换器可经配置以接收电力输入 ( $V_{in}$ ) 且将所述电力转换为一个或一个以上不同电压电平 ( $V_{out}$ )。举例来说，电力模块114可经配置以接收+12V ( $V_{in}$ ) 且将所述电力转换为3.3v、1.2v或1.8v且将所述电力输出 ( $V_{out}$ ) 供应到控制器板102以及存储器板104a及104b。

[0060] 存储器板104a及104b可经配置以处置不同类型的快闪存储器芯片118a及118b。在一个示范性实施方案中，快闪存储器芯片118a及快闪存储器芯片118b可为相同类型的快闪存储器芯片，其中包括需要来自电力模块114的相同电压及来自相同快闪存储器芯片销售商。术语销售商与制造商在本文件通篇中可互换使用。

[0061] 在另一示范性实施方案中，存储器板104a上的快闪存储器芯片118a可为与存储器板104b上的快闪存储器芯片118b不同的类型的快闪存储器芯片。举例来说，存储器板104a可包括SLC NAND快闪存储器芯片且存储器板104b可包括MLC NAND快闪存储器芯片。在另一实例中，存储器板104a可包括来自一个快闪存储器芯片制造商的快闪存储器芯片且存储器板104b可包括来自不同快闪存储器芯片制造商的快闪存储器芯片。具有全部相同类型的快闪存储器芯片或具有不同类型的快闪存储器芯片的灵活性使得能够使数据存储装置100适合主机106正在使用的不同应用程序。

[0062] 在另一示范性实施方案中，存储器板104a及104b可在同一存储器板上包括不同类型的快闪存储器芯片。举例来说，存储器板104a可在同一PCB上包括SLC NAND芯片及MLC NAND芯片两者。类似地，存储器板104b可包括SLC NAND芯片及MLC NAND芯片两者。以此方式，数据存储装置100可有利地经定制以满足主机106的规格。

[0063] 在另一示范性实施方案中，存储器板104a及104b可包括其它类型的存储器装置，其中包括非快闪存储器芯片。举例来说，存储器板104a及104b可包括随机存取存储器 (RAM)，例如 (举例来说) 动态RAM (DRAM) 及静态RAM (SRAM) 以及其它类型的RAM及其它类型的存储器装置。在一个示范性实施方案中，存储器板104a及104b两者可包括RAM。在另一示范性实施方案中，所述存储器板中的一者可包括RAM且另一存储器板可包括快闪存储器芯片。

此外,所述存储器板中的一者可包括RAM及快闪存储器芯片两者。

[0064] 存储器板104a及104b上的存储器模块120a及120b可分别用以存储与快闪存储器芯片118a及118b相关的信息。在一个示范性实施方案中,存储器模块120a及120b可存储快闪存储器芯片的装置特性。所述装置特性可包括所述芯片为SLC芯片还是MLC芯片、所述芯片为NAND还是NOR芯片、芯片选择的数目、块的数目、每块页的数目、每页字节的数目及所述芯片的速度。

[0065] 在一个示范性实施方案中,存储器模块120a及120b可包括串行EEPROM。EEPROM可存储装置特性。可针对任何给定类型的快闪存储器芯片汇编一次装置特性且可用所述装置特性产生适当EEPROM图像。当存储器板104a及104b可操作地连接到控制器板102时,则可从EEPROM读取所述装置特性,使得控制器110可自动辨识控制器110正在控制的快闪存储器芯片118a及118b的类型。另外,可针对特定类型的快闪存储器芯片118a及118b使用所述装置特性来将控制器110配置成适当参数。

[0066] 如上文所论述,控制器110可包括FPGA控制器。参照图4,其图解说明FPGA控制器410的示范性框图。FPGA控制器可经配置以按上文关于图1的控制器110所描述的方式操作。FPGA控制器410可包括用以将多个通道112连接到快闪存储器芯片418的多个通道控制器450。快闪存储器芯片418被图解说明为连接到通道控制器450中的每一者的多个快闪存储器芯片。快闪存储器芯片418表示图1的快闪存储器芯片118a及118b,快闪存储器芯片118a及118b在图1的单独存储器板104a及104b上。所述单独存储器板未在图4的实例中展示。FPGA控制器410可包括PCIe接口模块408、双向直接存储器存取(DMA)控制器452、动态随机存取存储器(DRAM)控制器454、命令处理器/队列456及信息与配置接口模块458。

[0067] 可使用接口与主机(例如,图1的主机106)传递信息。在此实例(图4)中,FPGA控制器410包括用以与主机通信的PCIe接口及PCIe接口模块408。PCIe接口模块408可经布置及配置以从主机接收命令且将命令发送到主机。PCIe接口模块408可在主机与数据存储装置之间提供数据流控制。PCIe接口模块408可使得能够在主机与控制器410且最终快闪存储器芯片418之间高速传送数据。在一个示范性实施方案中,PCIe接口及PCIe接口模块408可包括64位总线。

[0068] 双向DMA控制器452可经配置以与PCIe接口408、命令处理器/队列456及通道控制器450中的每一者介接。双向DMA控制器452使得能够在主机与快闪存储器芯片418之间进行双向直接存储器存取。

[0069] DRAM控制器454可经布置及配置以控制逻辑地址到物理地址的翻译。举例来说,DRAM控制器454可辅助命令处理器/队列456由主机使用的逻辑地址到快闪存储器芯片418中的实际物理地址(与正被写入到快闪存储器芯片418或从快闪存储器芯片418读取的数据相关)的翻译。从主机接收的逻辑地址可翻译成快闪存储器芯片418中的一者中的位置的物理地址。类似地,快闪存储器芯片418中的一者中的位置的物理地址可翻译成逻辑地址且被传递到主机。

[0070] 命令处理器/队列456可经布置及配置以经由PCIe接口模块408从主机接收命令且经由通道控制器450控制所述命令的执行。命令处理器/队列456可维持待执行的若干个命令的队列。以此方式,可同时执行多个命令且可同时或至少实质同时使用通道112中的每一者。

[0071] 命令处理器/队列456可经配置以无序地处理不同通道112的命令且保持按通道命令排序。举例来说,命令处理器/队列456可无序地处理从主机接收且指定给不同通道的命令。以此方式,可保持所述通道忙碌。可按命令处理器/队列456从主机接收命令的次序来处理从主机接收以在同一通道上进行处理命令。在一个示范性实施方案中,命令处理器/队列456可经配置以在最老首先分类的列表中维持从主机接收的命令的列表,以确保所述命令的及时执行。

[0072] 通道控制器450可经布置及配置以处理来自命令处理器/队列456的命令。通道控制器450中的每一者可经配置以处理多个快闪存储器芯片418的命令。在一个示范性实施方案中,通道控制器450中的每一者可经配置以处理多达32个快闪存储器芯片418(且包括32个快闪存储器芯片418在内)的命令。

[0073] 通道控制器450可经配置以按命令处理器/队列456指定的次序来处理来自命令处理器/队列456的命令。可处理的命令的实例包括但不限于读取快闪页、编程快闪页、拷贝快闪页、擦除快闪块、读取快闪块的元数据、映射快闪存储器芯片的坏块及复位快闪存储器芯片。

[0074] 信息与配置接口模块458可经布置及配置以与存储器模块(例如,图1的存储器模块116)介接以接收FPGA控制器410的配置信息。举例来说,信息与配置接口模块458可从所述存储器模块接收一个或一个以上图像以将固件提供到FPGA控制器410。对所述图像及对所述固件的修改可由主机经由信息与配置接口模块458提供到控制器410。经由信息与配置接口模块458接收的修改可应用于控制器410的组件中的任一者,其中包括(举例来说)PCIe接口模块408、双向DMA控制器452、DRAM控制器454、命令处理器/队列456及通道控制器450。信息与配置接口模块458可包括一个或一个以上寄存器,可视需要通过来自主机的指令修改所述一个或一个以上寄存器。

[0075] FPGA控制器410可经布置及配置以结合主机协作及处理命令。FPGA控制器410可执行或至少辅助执行错误校正、坏块管理、逻辑/物理映射、无用单元收集、损耗均衡、与快闪存储器芯片418相关的分割及低级格式化。

[0076] 参照图5,其图解说明用于组装数据存储装置的过程500。过程500可包括将多个快闪存储器芯片安装到第一存储器板510及将多个快闪存储器芯片安装到第二存储器板520。举例来说,还参照图1,多个快闪存储器芯片118a可固定到存储器板104a且多个快闪存储器芯片118b可固定到存储器板104b。存储器板104a及104b可为快闪存储器芯片118a及118b所分别附接到的印刷电路板(PCB)。存储器板104a及104b中的每一者的存储容量的量个别地且共同地可取决于固定到存储器板104a及104b的快闪存储器芯片118a及118b的类型及数目。快闪存储器芯片118a及118b可布置成一个或一个以上通道,使得单个通道可控制对多个快闪存储器芯片的命令处理,如上文所论述。

[0077] 快闪存储器芯片118a及118b可为相同类型的快闪存储器芯片或存储器板104a上的快闪存储器芯片可不同于存储器板104b上的快闪存储器芯片。此外,存储器板104a及104b可包括所述存储器板中的每一者上的不同数目个快闪存储器芯片。举例来说,存储器板104a可包括60个快闪存储器芯片且存储器板104b可包括80个快闪存储器芯片,其中存储器板104a上的快闪存储器芯片可为与存储器板104b上的快闪存储器芯片相同类型或不同类型的快闪存储器芯片。

[0078] 过程500可包括：将高速接口及控制器附接到控制器板530；将所述第一存储器板可操作地连接到所述控制器540；及将所述第二存储器板可操作地连接到所述控制器板，其中所述第一存储器板及所述第二存储器板每一者可单独地从所述控制器板移除550。举例来说，接口108可为高速接口且可附接到控制器板102 530。控制器110可附接到控制器板102。控制器板102可为所述高速接口及所述控制器所附接到的PCB。

[0079] 存储器板104a可为可操作地连接到控制器板102 540及存储器板104b可为可操作地连接到所述控制器板550。存储器板104a为与存储器板104b分开且相异的存储器板且存储器板104a及104b中的每一者可单独地从控制器板102移除。经组装控制器板102及两个存储器板104a及104b一起可形成数据存储装置100。

[0080] 在一个示范性实施方案中，存储器板104a及104b可与控制器板102断开且可由两个其它存储器板替换，所述两个其它存储器板具有附接到所述其它存储器板的快闪存储器芯片。所述其它快闪存储器板可包括与存储器板104a及104b上的快闪存储器芯片118a及118b相同类型的快闪存储器芯片或所述其它快闪存储器板可包括不同类型的快闪存储器芯片。所述其它快闪存储器板也可包括与存储器板104a及104b数目不同的快闪存储器芯片。

[0081] 在一个示范性实施方案中，经组装数据存储装置100（包括连接到控制器板102的存储器板104a及104b）可形成经配置以装配于计算装置的驱动器托架中的驱动器托架形状因数。举例来说，参照图2及图3，图2的数据存储装置100可经配置以装配于计算装置的驱动器托架槽中，例如（举例来说）服务器330的驱动器托架槽335或服务器340的驱动器托架槽345。

[0082] 参照图6，图1的数据存储装置100被图解说为数据存储装置600。数据存储装置600可包括控制器板102，控制器板102包括与主机106的PCIe接口608、FPGA控制器610、DRAM 611、DC/DC转换器614及EEPROM 616。所述数据存储装置还可包括分别具有快闪存储器芯片618a及618b的存储器板104a及104b。在一个实施方案中，快闪存储器芯片618a及618b为NAND快闪存储器芯片。如在图1中，FPGA控制器610可使用多个通道112控制快闪存储器芯片618a及618b，其中多个通道112中的每一者可控制快闪存储器芯片618a及618b中的一者或一者以上。

[0083] 返回参照图1，控制器110（作为实例，包括图4的FPGA控制器410及图6的FPGA控制器610）可经布置及配置以：控制对多种不同类型的快闪存储器芯片118a及118b的命令处理；自动地辨识快闪存储器板104a及104b上的快闪存储器芯片118a及118b的类型；及使用所述不同类型的快闪存储器芯片118a及118b来执行所接收命令。控制器110可经配置以通过将不同类型的快闪存储器芯片的命令翻译成本机快闪存储器芯片命令来处理所述命令。不需要主机虑及所述本机快闪存储器芯片命令，因为控制器取主机命令且视需要将所述主机命令转换成本机快闪存储器芯片命令。举例来说，从主机接收的读取命令能够在主机不必将所述读取命令翻译成另一命令的情况下由控制器110处理，使得其可在来自特定销售商的快闪存储器芯片上操作。

[0084] 参照图7，过程700图解说为控制器110可经配置以自动地辨识不同类型的快闪存储器芯片并与其一同操作。过程700包括在控制器板处接收电力，其中所述控制器板包括到主机的接口及控制器710。所述控制器可经配置以控制多种不同类型的快闪存储器芯片的

命令处理710。举例来说,控制器板102可在电力模块114处接收电力(Vin)。在一个示范性实施方案中,电力模块114可包括一个或一个以上DC/DC转换器(例如,图6的DC/DC转换器614)。控制器板102可包括接口108及控制器110。控制器110可经配置以控制对多种不同类型的快闪存储器芯片118a及118b的命令处理。

[0085] 过程700可包括向第一存储器板查询固定到第一存储器板的多个快闪存储器芯片的一个或一个以上特性720。在一个示范性实施方案中,控制器110可经配置以向存储器模块120a查询固定到存储器板104a的快闪存储器芯片118a的装置特性720。所述装置特性可包括(举例来说)所述芯片为SLC芯片还是MLC芯片、所述芯片为NAND还是NOR芯片、芯片选择的数目、块的数目、每块页的数目、每页字节的数目及所述芯片的速度。存储器模块120a可包括串行EEPROM(例如,图6的EEPROM 620a)。

[0086] 在另一示范性实施方案中,控制器110可经配置以直接查询快闪存储器芯片118a。举例来说,控制器110可经配置以查询快闪存储器芯片118a中的每一者的装置ID页以确定装置特性。

[0087] 过程700可包括基于第一存储器板上的快闪存储器芯片的一个或一个以上特性自动地辨识所述快闪存储器芯片的类型730。举例来说,控制器110可使用所述装置特性来自动地辨识存储器板104a上的快闪存储器芯片118a的类型。快闪存储器芯片118a可为SLC或MLC装置。快闪存储器芯片118a可为NAND芯片、NOR芯片或其它类型的芯片。快闪存储器芯片118a还可来自若干个不同快闪存储器制造商中的任一者。

[0088] 过程700可包括使用所述接口从所述主机接收命令740及使用所述快闪存储器芯片来执行所述命令750。举例来说,控制器110可经配置以使用接口108从主机106接收命令且使用快闪存储器芯片118a来执行所述命令。以此方式,控制器110可经配置以自动地与任何类型的快闪存储器芯片一同操作。在数据存储装置100加电后,所述控制器可即刻确定什么类型的快闪存储器芯片在所述存储器板上且接着开始与这些存储器板一同操作以执行从主机接收的命令。

[0089] 在一个示范性实施方案中,控制器110可基于被确定为存在于所述存储器板上的快闪存储器芯片的类型接收一个或一个以上配置更新。举例来说,控制器110可确定特定类型的快闪存储器芯片正用于所述存储器板中的一者上且可将此信息报告回给主机。主机106可将一个或一个以上配置更新传递到控制器110,其中控制器110可在图4的信息与配置接口模块458处接收并处理这些更新。

[0090] 在一个示范性实施方案中,控制器110可经配置以自动地辨识同一存储器板上的不同类型的快闪存储器芯片。举例来说,存储器板104a上的快闪存储器芯片118a中的一半可为SLC NAND快闪存储器芯片且存储器板104a上的快闪存储器芯片118中的另一半可为MLC NAND快闪存储器芯片。控制器110可经配置以执行甚至在同一存储器板上的这些类型的快闪存储器芯片两者的命令。

[0091] 在另一示范性实施方案中,控制器110可经配置以辨识两个存储器板何时从控制器板102移除且由新存储器板替换,所述新存储器板可以或可不具有不同类型的快闪存储器芯片。以此方式,控制器110实现定制数据存储装置100的极大灵活性以满足主机106的特定应用需要。可使用特定类型的快闪存储器芯片,其中包括同一存储器板上的不同类型的芯片及/或存储器板中的每一者上的不同类型的芯片,以满足主机106的特定应用所需要的



所需特性。

[0092] 参照图8,示范性过程800图解说明所述控制器经配置以与具有不同电压的快闪存储器芯片一同操作。过程800可包括在控制器板处接收电力,其中所述控制器板包括接口及控制器且所述控制器包括电力模块。所述控制器经配置以控制具有不同电压的多个快闪存储器芯片的命令处理810。举例来说,控制器板102可经配置以从主机106接收电力( $V_{in}$ )且所述控制器板可包括接口108及控制器110,其中控制器110可包括电力模块114。控制器110可经配置以控制对具有不同电压的多个快闪存储器芯片的命令处理。举例来说,控制器110可经配置以控制以1.2v/1.8v/3.3v或其它电压操作的快闪存储器芯片。

[0093] 过程800包括确定第一存储器板上的快闪存储器芯片的电压820。举例来说,控制器110可经配置以基于控制器板102与存储器板104a之间的连接器上的引脚的信号电平来感测所述快闪存储器芯片的电压。所述信号电平(例如,逻辑高及/或逻辑低的分组)可指示快闪存储器芯片118a所需要的电压。过程800包括将电力模块配置成以快闪存储器芯片的所确定电压操作830。举例来说,控制器110可经配置以基于在控制器板102与存储器板104a之间的连接器上的引脚处感测的电压来配置电力模块114。在一个示范性实施方案中,电力模块114包括一个或一个以上DC/DC转换器(例如,图6的DC/DC转换器614)。可将电力模块114设定为以所述所感测电压操作。

[0094] 过程800包括使用所述接口从所述主机接收命令840及使用所述快闪存储器芯片来执行所述命令850。举例来说,控制器110可经配置以使用接口108从主机106接收命令且使用快闪存储器芯片118a来执行所述命令。以此方式,存储器板104a及104b可包括具有相同电压的芯片,其中存储器板104a及104b连接到控制器板102。存储器板104a及104b可与控制器板102断开且由具有具有不同电压的快闪存储器芯片的其它存储器板替换。控制器110经配置以自动地辨识所述其它存储器板上的快闪存储器芯片所需要的不同电压且将电力模块114配置成以不同电压电平操作。

[0095] 本文中所描述的各种技术的实施方案可以数字电子电路或者以计算机硬件、固件、软件或其组合来实施。实施方案可实施为计算机程序产品,即,有形地体现于信息载体中(例如,体现于机器可读存储装置中)的计算机程序,以由数据处理设备(例如,可编程处理器、一计算机或多个计算机)执行或控制所述数据处理设备的操作。可以任何形式的编程语言(包含编译语言或解译语言)来写入计算机程序(例如,上文所描述的计算机程序),且可以任何形式来部署所述计算机程序,包含部署为独立程序或部署为模块、组件、子例程或适合在计算环境中使用的其它单元。计算机程序可经部署以在一个计算机上或在位于一个位点处或跨越多个位点分布且由通信网络互连的多个计算机上执行。

[0096] 方法步骤可由执行计算机程序的一个或一个以上可编程处理器执行,以通过处理输入数据并产生输出来执行功能。方法过程还可由专用逻辑电路(例如,FPGA(现场可编程门阵列)或ASIC(专用集成电路))执行,且设备可实施为专用逻辑电路。

[0097] 举例来说,适合执行计算机程序的处理器包括通用及专用微处理器两者,以及任何种类的数字计算机的任何一个或一个以上处理器。一般来说,处理器将从只读存储器或随机存取存储器或两者接收指令及数据。计算机的元件可包括用于执行指令的至少一个处理器及用于存储指令及数据的一个或一个以上存储器装置。一般来说,计算机还可包括用于存储数据的一个或一个以上大容量存储装置(例如,磁盘、磁光盘或光盘)或经操作地耦

合以从所述一个或一个以上大容量存储装置接收数据或向其传送数据或既接收数据又传送数据。适合包含计算机程序指令及数据的信息载体包括所有形式的非易失性存储器,其中包括(举例来说):半导体存储器装置,例如EPROM、EEPROM及快闪存储器装置;磁盘,例如内部硬磁盘或可抽换式磁盘;磁光盘;及CD-ROM及DVD-ROM光盘。所述处理器及存储器可由专用逻辑电路补充或并入于专用逻辑电路中。

[0098] 为提供与用户的交互,实施方案可实施于计算机上,所述计算机具有用于向所述用户显示信息的显示装置(例如,阴极射线管(CRT)或液晶显示器(LCD)监视器)及所述用户可通过其来向计算机提供输入的键盘及指向装置(例如,鼠标或轨迹球)。也可使用其它种类的装置来提供与用户的交互;举例来说,提供给所述用户的反馈可为任何形式的感观反馈,例如,视觉反馈、听觉反馈或触觉反馈;且来自所述用户的输入可以任何形式来接收,其中包括声音、语音或触觉输入。

[0099] 实施方案可实施于计算系统(包括后端组件,例如,作为数据服务器;或包括中间件组件,例如,应用程序服务器;或包括前端组件,例如,具有用户可经由其来与实施方案交互的图形用户接口或Web浏览器的客户端计算机)或此类后端、中间件或前端组件的任一组合中。组件可由任何数字数据通信形式或媒体(例如,通信网络)互连。通信网络的实例包括局域网(LAN)及广域网(WAN),例如因特网。

[0100] 虽然本文已图解说明及描述了所描述实施方案的某些特征,然而所属领域的技术人员现在将能想出许多修改、替代、改变及等效形式。因此,应理解,所附权利要求书打算涵盖归属于本发明的范围内的所有此类修改及改变。

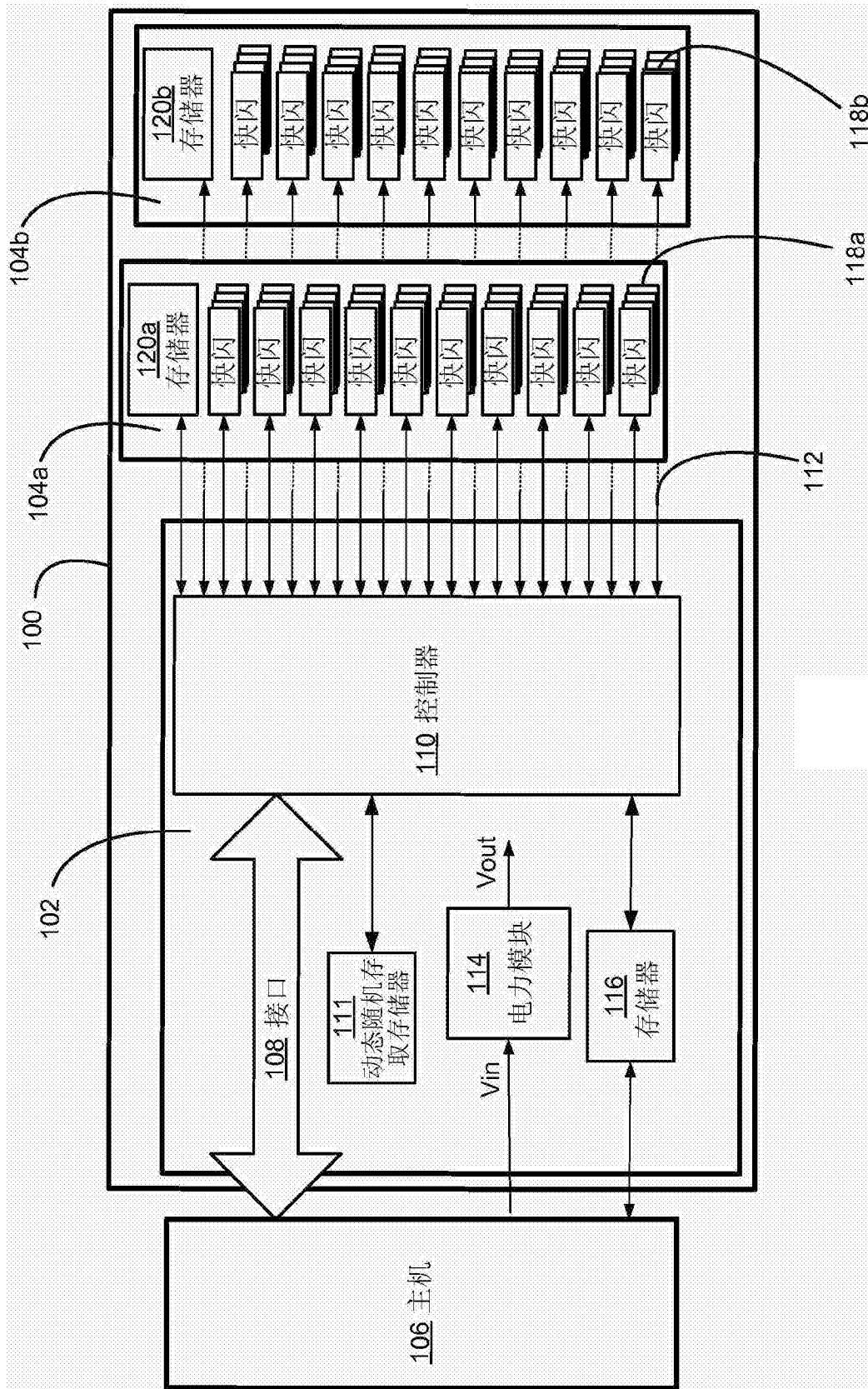


图1

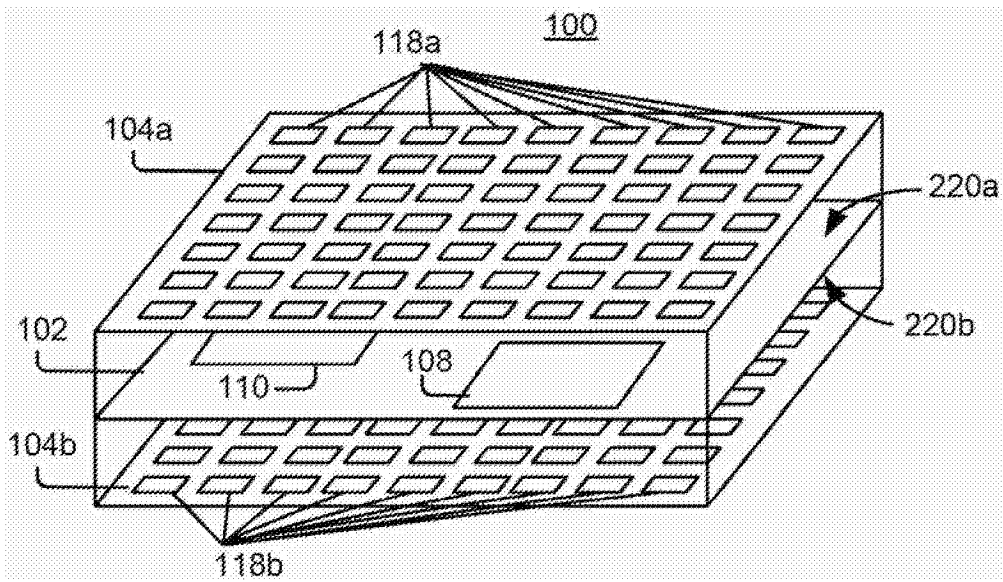


图2

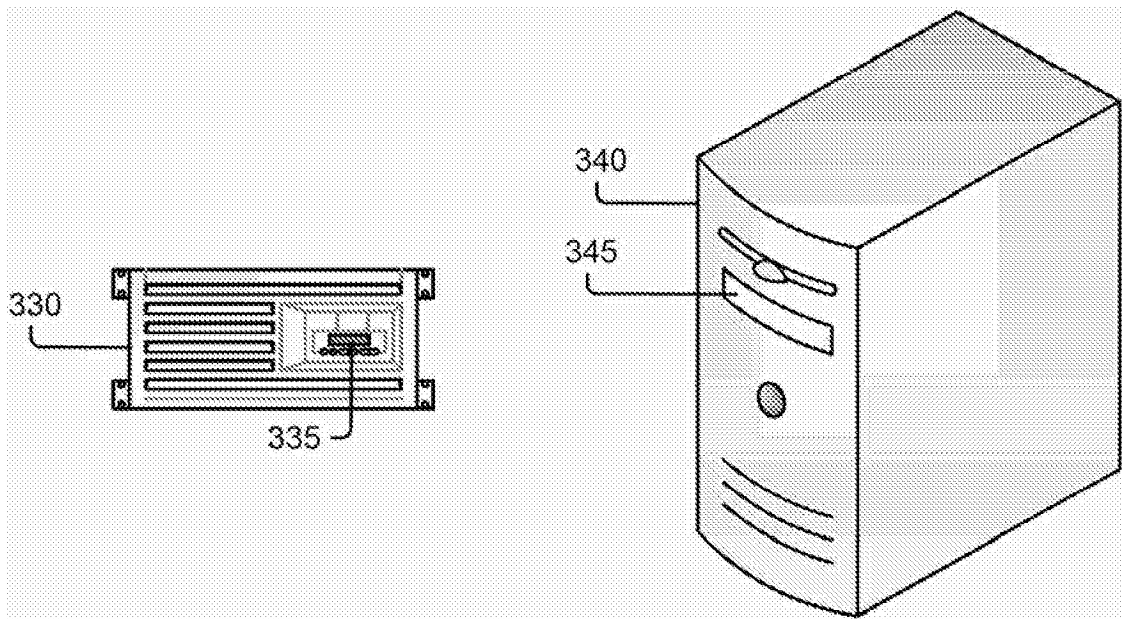


图3

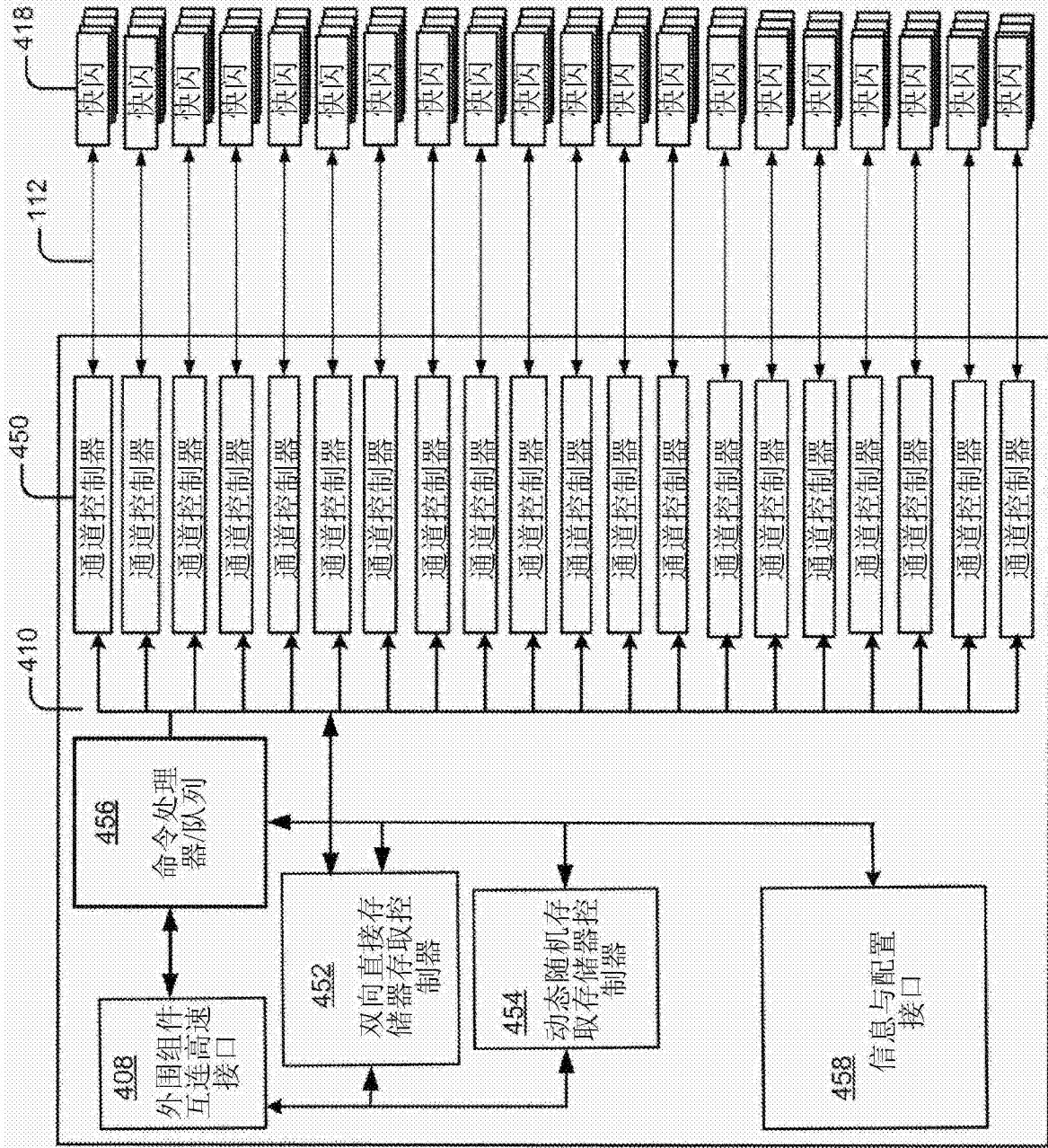


图4

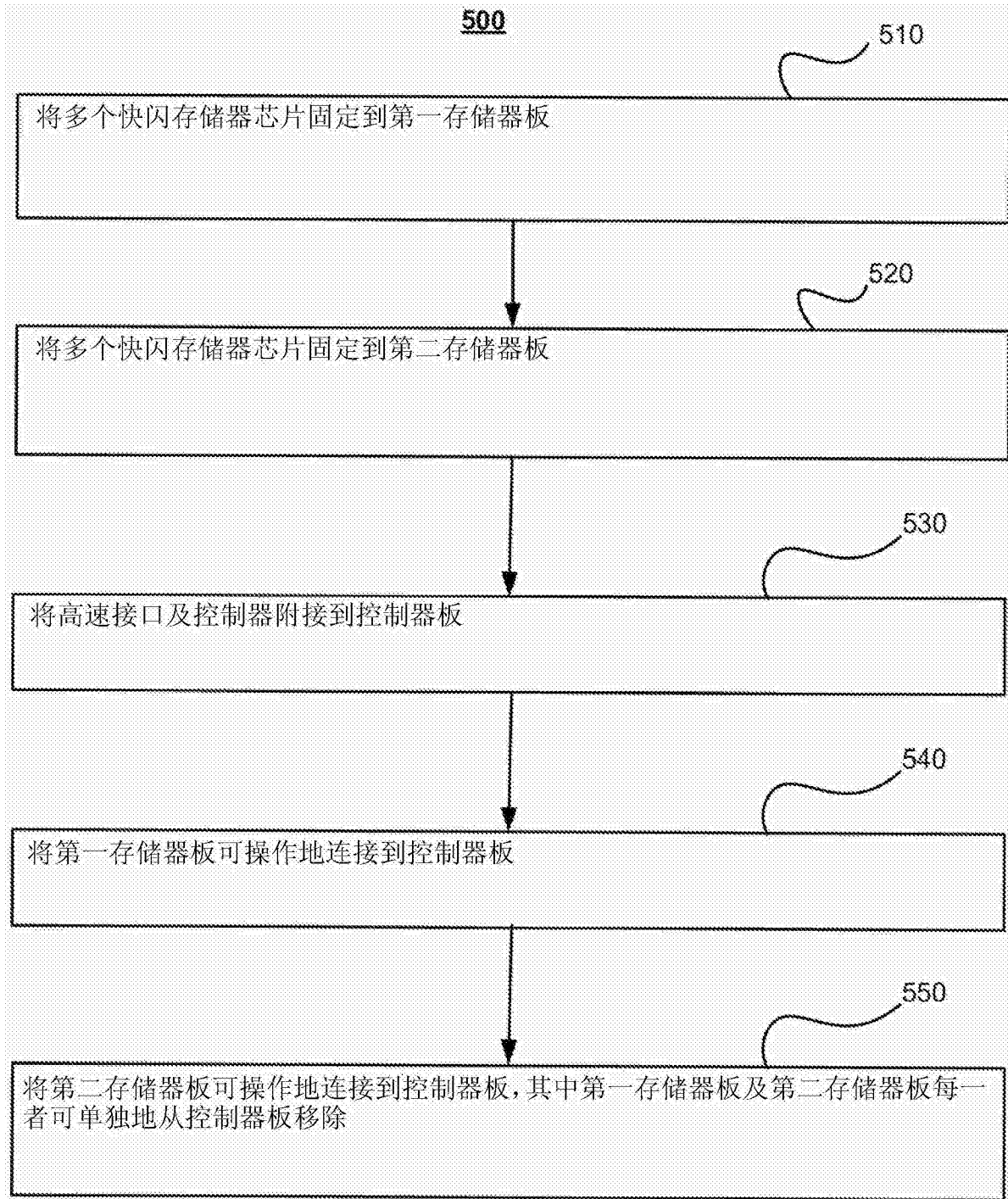


图5



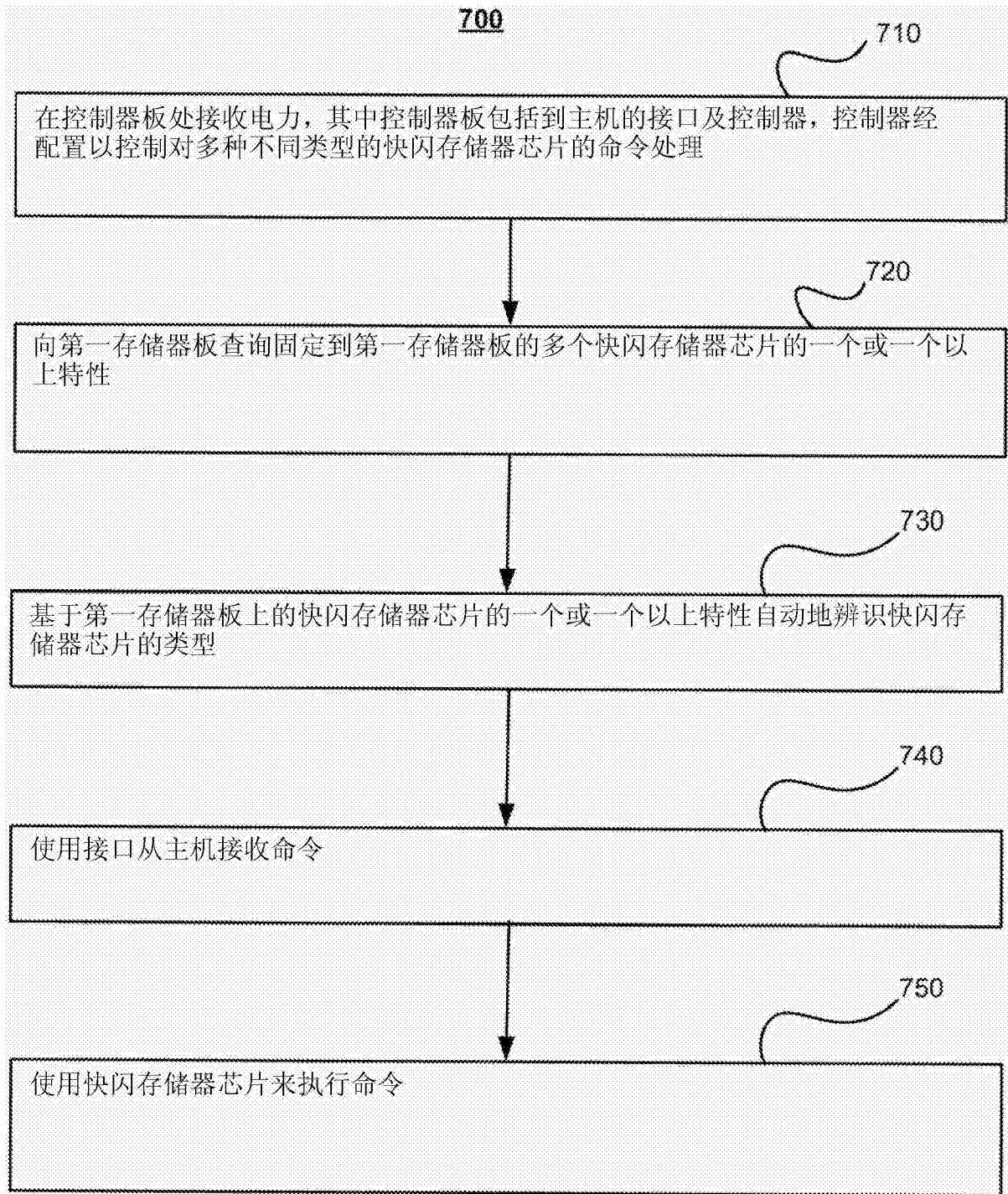


图7



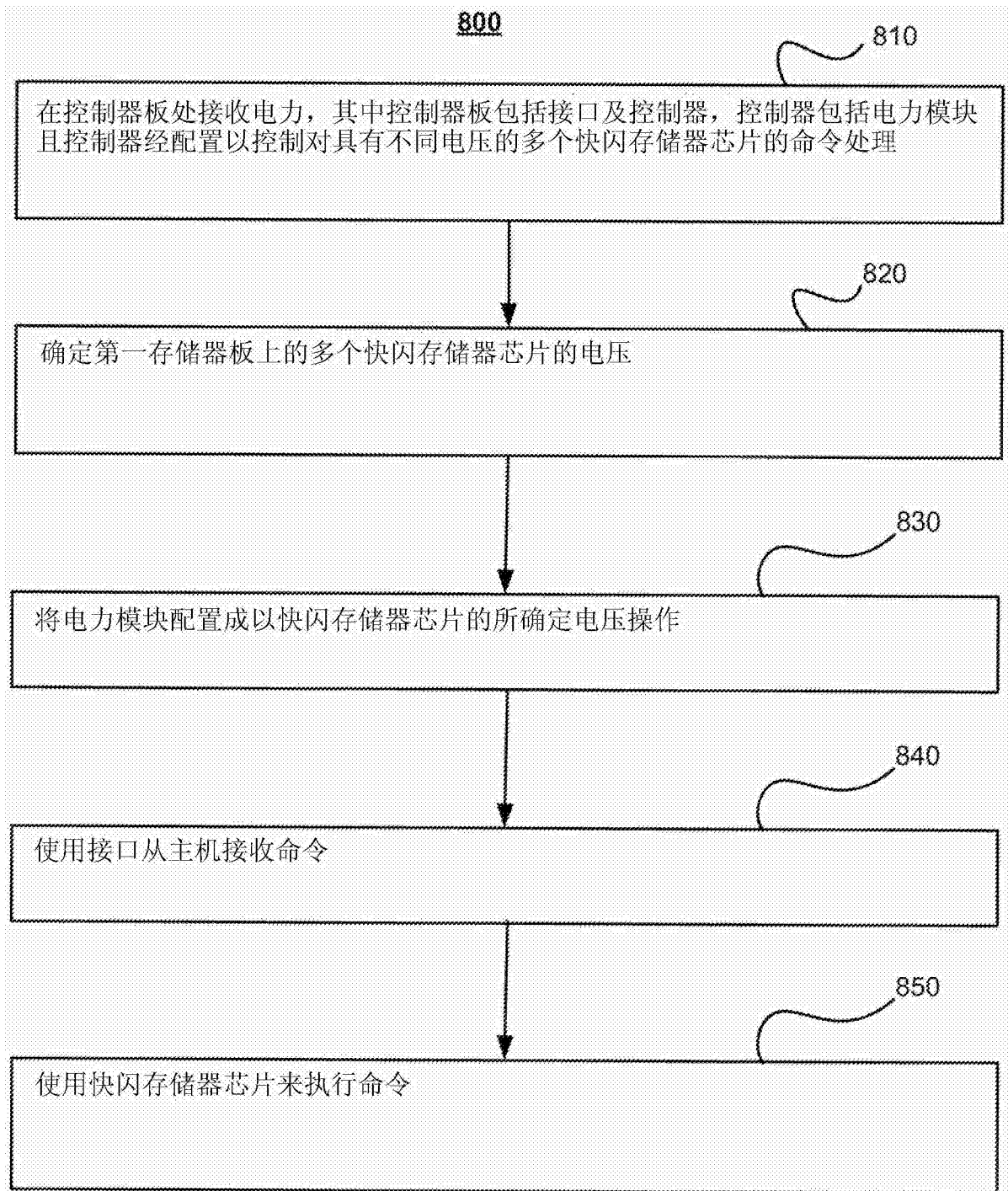


图8