



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I483236 B

(45) 公告日：中華民國 104 (2015) 年 05 月 01 日

(21) 申請案號：098119919

(22) 申請日：中華民國 98 (2009) 年 06 月 15 日

(51) Int. Cl. : G09G3/36 (2006.01)

(71) 申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72) 發明人：鄭曉鍾 CHENG, HSIAO CHUNG (TW)；徐兆慶 HSU, CHAO CHING (TW)；董穆林 TUNG, MU LIN (TW)

(74) 代理人：戴俊彥；吳豐任

(56) 參考文獻：

TW 200629197A

TW 200903432A

CN 101226714A

US 6359607B1

US 6927755B2

US 2005/0035958A1

審查人員：廖家成

申請專利範圍項數：14 項 圖式數：8 共 28 頁

(54) 名稱

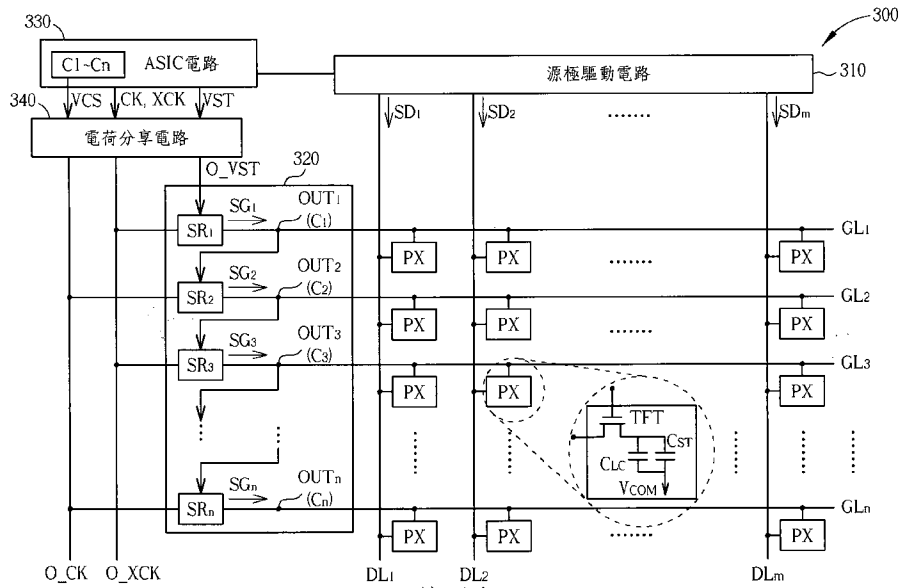
液晶顯示器及其驅動方法

LIQUID CRYSTAL DISPLAY AND DRIVING METHOD THEREOF

(57) 摘要

液晶顯示器包含一閘極驅動電路、一控制電路，及一電荷分享電路。控制電路依據閘極驅動電路中第一和第二輸出端之寄生電容值來提供一電荷分享訊號。電荷分享電路依據電荷分享訊號來對第一和第二時脈訊號進行電荷分享以產生相對應之第三和第四時脈訊號，其中第三時脈訊號包含從高電位降至第一電位之波形下降邊緣，而該第四時脈訊號包含從高電位降至第二電位之波形下降邊緣。閘極驅動電路依據第三或第四時脈訊號分別於第一和第二輸出端輸出第一和第二閘極驅動訊號。

A liquid crystal display includes a gate driver, a control circuit and a charge sharing circuit. The control circuit provides a charge sharing signal according to the parasitic capacitances of a first output end and a second output end in the gate driver. The charge sharing circuit generates a third clock signal and a fourth clock signal by performing charge sharing on a first clock signal and a second clock signal according to the charge sharing signal. The third clock signal includes a signal falling edge which descends from a high level to a first level, and the fourth clock signal includes a signal falling edge which descends from the high level to a second level. The gate driver outputs a first gate driving signal and a second gate driving signal respectively at the first and the second output end according the third or the fourth clock signal.



第6圖

13

- C_{LC} . . . 液晶電容
- DL₁ ~ DL_m . . . 資料線
- C_{ST} . . . 儲存電容
- GL₁ ~ GL_n . . . 閘極線
- VST . . . 起始脈衝訊號
- OUT₁ ~
- OUT_n . . . 輸出端
- PX . . . 像素單元
- SR₁ ~ SR_n . . . 移位暫存單元
- V_{COM} . . . 共同電壓
- TFT . . . 薄膜電晶體開關
- VCS . . . 電荷分享訊號
- SD₁ ~ SD_m . . . 資料驅動訊號
- 300 . . . 液晶顯示裝置
- SG₁ ~ SG_n . . . 閘極驅動訊號
- 310 . . . 源極驅動電路
- 320 . . . 閘極驅動電路
- 330 . . . ASIC 電路
- 340 . . . 電荷分享電路
- CK、XCK、O_{CK}、O_{XCK} . . . 時脈訊號

公告本

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 098119919

※ 申請日： 98 6 15 ※IPC 分類： G09G 3/36 (2006.01)

一、發明名稱：(中文/英文)

液晶顯示器及其驅動方法/LIQUID CRYSTAL DISPLAY AND DRIVING METHOD THEREOF

二、中文發明摘要：

液晶顯示器包含一閘極驅動電路、一控制電路，及一電荷分享電路。控制電路依據閘極驅動電路中第一和第二輸出端之寄生電容值來提供一電荷分享訊號。電荷分享電路依據電荷分享訊號來對第一和第二時脈訊號進行電荷分享以產生相對應之第三和第四時脈訊號，其中第三時脈訊號包含從高電位降至第一電位之波形下降邊緣，而該第四時脈訊號包含從高電位降至第二電位之波形下降邊緣。閘極驅動電路依據第三或第四時脈訊號分別於第一和第二輸出端輸出第一和第二閘極驅動訊號。

三、英文發明摘要：

A liquid crystal display includes a gate driver, a control circuit and a charge sharing circuit. The control circuit

provides a charge sharing signal according to the parasite capacitances of a first output end and a second output end in the gate driver. The charge sharing circuit generates a third clock signal and a fourth clock signal by performing charge sharing on a first clock signal and a second clock signal according to the charge sharing signal. The third clock signal includes a signal falling edge which descends from a high level to a first level, and the fourth clock signal includes a signal falling edge which descends from the high level to a second level. The gate driver outputs a first gate driving signal and a second gate driving signal respectively at the first and the second output end according to the third or the fourth clock signal.

四、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

C_{LC}	液晶電容	$DL_1 \sim DL_m$	資料線
C_{ST}	儲存電容	$GL_1 \sim GL_n$	閘極線
VST	起始脈衝訊號	$OUT_1 \sim OUT_n$	輸出端
PX	像素單元	$SR_1 \sim SR_n$	移位暫存單元
V_{COM}	共同電壓	TFT	薄膜電晶體開關
VCS	電荷分享訊號	$SD_1 \sim SD_m$	資料驅動訊號
300	液晶顯示裝置	$SG_1 \sim SG_n$	閘極驅動訊號
310	源極驅動電路	320	閘極驅動電路
330	ASIC 電路	340	電荷分享電路
CK、XCK、O ₋ CK、O ₋ XCK			時脈訊號

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明相關於一種液晶顯示器，尤指一種可改善畫面閃爍之液晶顯示器。

【先前技術】

液晶顯示器(liquid crystal display, LCD)具有低輻射、體積小及低耗能等優點，已逐漸取代傳統的陰極射線管顯示器(cathode ray tube display, CRT)，因而被廣泛地應用在筆記型電腦、個人數位助理(personal digital assistant, PDA)、平面電視，或行動電話等資訊產品上。傳統液晶顯示器之驅動方式是利用外部源極驅動電路(source driver)和閘極驅動電路(gate driver)來驅動面板上的像素以顯示影像，近年來逐漸發展成將驅動電路結構直接製作於顯示面板上，例如將閘極驅動電路(gate driver)整合於液晶面板(gate driver on array, GOA)之技術。

請參考第 1 圖，第 1 圖為先前技術中一採用 GOA 技術之液晶顯示裝置 100 的示意圖。液晶顯示裝置 100 包含一源極驅動電路 110、一閘極驅動電路 120、一時序控制電路

130、複數條資料線 $DL_1 \sim DL_m$ 、複數條閘極線 $GL_1 \sim GL_n$ ，以及一像素矩陣。像素矩陣包含複數個像素單元 PX，每一像素單元 PX 包含一薄膜電晶體 (thin film transistor, TFT) 開關 TFT、一液晶電容 C_{LC} 和一儲存電容 C_{ST} ，分別耦接於相對應之資料線、相對應之閘極線，以及一共同電壓 V_{COM} 。時序控制電路 130 可產生源極驅動電路 110 和閘極驅動電路 120 運作所需之訊號，例如起始脈衝訊號 VST 和時脈訊號 CK、XCK。源極驅動電路 110 可產生對應於顯示影像之資料驅動訊號 $SD_1 \sim SD_m$ 。閘極驅動電路 120 包含有複數級串接之移位暫存單元 $SR_1 \sim SR_n$ ，其輸出端 $OUT_1 \sim OUT_n$ 分別耦接於相對應之閘極線 $GL_1 \sim GL_n$ ，可依據時脈訊號 CK、XCK 和起始脈衝訊號 VST，依序輸出開啟電晶體開關所需之閘極驅動訊號 $SG_1 \sim SG_n$ 。為了提供足夠的驅動能力，移位暫存單元 $SR_1 \sim SR_n$ 一般會使用大尺寸之輸出薄膜電晶體。

請參考第 2 圖，第 2 圖為先前技術液晶顯示裝置 100 之驅動方法的示意圖。第 2 圖顯示了時脈訊號 CK 和 XCK、起始脈衝訊號 VST，以及閘極驅動訊號 $SG_1 \sim SG_n$ 之波形。在理想情形下，閘極驅動訊號 $SG_1 \sim SG_n$ 皆為完整方波。因此，在關閉相對應薄膜電晶體開關 TFT 時，閘極驅動訊號 $SG_1 \sim SG_n$ 在其閘極所造成之壓差皆為 ΔV_G 。當薄膜電晶體 TFT 關閉時，像素電極並未連接至任何電壓源，而是處在浮動(floating)狀態，此時像素電極的周圍若有任何電壓變動，

將會透過其寄生電容耦合至像素電極，並且改變其電壓，如此會讓施加在液晶電容 C_{LC} 和儲存電容 C_{ST} 上的電壓偏離原先設定值。此種因寄生電容造成的電壓變動量稱為饋通電壓 (feed-through voltage)，其值 V_{FD} 可表示為：

$$V_{FD} = [C_{GD}/(C_{LC}+C_{ST}+C_{GD})]*\Delta V_G$$

其中， C_{GD} 代表薄膜電晶體開關 TFT 之閘極與汲極之間的寄生電容，而 ΔV_G 則代表閘極驅動訊號在關閉薄膜電晶體開關 TFT 時在其閘極所造成之壓差。饋通電壓 V_{FD} 會造成畫面閃爍 (image flicker) 的情形，由於薄膜電晶體開關 TFT 無法避免地存在著寄生電容，一般驅動方式會設法降低 ΔV_G 之值，同時再透過調整共同端之共同電壓 V_{COM} 來補償，如此才能有效地減少畫面閃爍。

請參考第 3 圖，第 3 圖為先前技術中一採用 GOA 技術之液晶顯示裝置 200 的示意圖。液晶顯示裝置 200 包含一源極驅動電路 210、一閘極驅動電路 220、一時序控制電路 230、一電荷分享電路 240、複數條資料線 $DL_1 \sim DL_m$ 、複數條閘極線 $GL_1 \sim GL_n$ ，以及一像素矩陣。像素矩陣包含複數個像素單元 PX，每一像素單元 PX 包含一薄膜電晶體開關 TFT、一液晶電容 C_{LC} 和一儲存電容 C_{ST} ，分別耦接於相對應之資料線、相對應之閘極線，以及一共同電壓 V_{COM} 。時序控制電路 230 可產生源極驅動電路 110 和閘極驅動電路

120 運作所需之訊號，例如起始脈衝訊號 VST、時脈訊號 CK、XCK，和輸出致能訊號 OE。源極驅動電路 210 可產生對應於顯示影像之資料驅動訊號 $SD_1 \sim SD_m$ 。電荷分享電路 240 可依據輸出致能訊號 OE 來對時脈訊號 CK 和 XCK 進行電荷分享，以產生相對應之時脈訊號 O_CK 和 O_XCK。閘極驅動電路 220 包含有複數級串接之移位暫存單元 $SR_1 \sim SR_n$ ，其輸出端 $OUT_1 \sim OUT_n$ 分別耦接於相對應之閘極線 $GL_1 \sim GL_n$ ，可依據時脈訊號 CK、XCK 和起始脈衝訊號 VST 依序輸出開啟電晶體開關 TFT 所需之閘極驅動訊號 $SG_1 \sim SG_n$ 。為了提供足夠的驅動能力，移位暫存單元 $SR_1 \sim SR_n$ 一般會使用大尺寸之輸出薄膜電晶體，輸出端 $OUT_1 \sim OUT_n$ 之寄生電容值分別由 $C_1 \sim C_n$ 來表示。

請參考第 4 圖，第 4 圖為先前技術液晶顯示裝置 200 之驅動方法的示意圖。第 4 圖顯示了時脈訊號 CK、XCK、O_CK 和 O_XCK、輸出致能訊號 OE、起始脈衝訊號 VST，以及閘極驅動訊號 $SG_1 \sim SG_n$ 之波形。在第 4 圖所示之驅動方法中，時脈訊號 CK 和 XCK 具相反相位，以一預定週期在高低電位之間切換，而此預定週期則決定閘極驅動訊號 $SG_1 \sim SG_n$ 內致能週期的長度。當輸出致能訊號 OE 具高電位時，時序控制器 230 會輸出時脈訊號 CK 和 XCK 以提供相對應之時脈訊號 O_CK 和 O_XCK；當輸出致能訊號 OE 具低電位時，時序控制器 230 停止輸出，此時時脈訊號 O_CK

和 O_XCK 之間會進行電荷分享，進而在波形下降邊緣達到削角的效果。閘極驅動電路 220 再依據時脈訊號 O_CK、O_XCK 和起始脈衝訊號 VST 來依序輸出開啟電晶體開關所需之閘極驅動訊號 $SG_1 \sim SG_n$ 。由於輸出致能訊號 OE 在每一週期內具低電位的除能時間長度皆為 T，會對閘極驅動訊號 $SG_1 \sim SG_n$ 造成相同的削角幅度。因此，在關閉相對應薄膜電晶體開關 TFT 時，閘極驅動訊號 $SG_1 \sim SG_n$ 在其閘極所造成之壓差皆為 $\Delta V_G'$ 。如前所述，饋通電壓之值正比於閘極壓差，由於進行電荷分享後之閘極壓差 $\Delta V_G'$ 小於未進行電荷分享時之閘極壓差 ΔV_G ，因此能降低饋通電壓的效應。

第 2 圖和第 4 圖所示為理想情形下之訊號波形，其中閘極驅動訊號 $SG_1 \sim SG_n$ 皆為完整方波，或是具有相同削角幅度之波形下降邊緣。然而在實際情況下，由於移位暫存單元 $SR_1 \sim SR_n$ 內大尺寸輸出薄膜電晶體之寄生電容值較大，且閘極驅動電路 120 和 220 係依序輸出每級訊號，因此閘極驅動訊號 $SG_1 \sim SG_n$ 的訊號傳遞路徑長度相異。換而言之，各級輸出訊號在輸出端 $OUT_1 \sim OUT_n$ 會遇到不同程度的訊號延遲。

請參考第 5a~5c 圖，第 5a 圖顯示了先前技術液晶顯示裝置 100 和 200 中每一級閘極驅動訊號之理想波形，第 5b 圖顯示了先前技術液晶顯示裝置 100 和 200 中第一級閘極驅

動訊號 SG_1 之實際波形，而第 5c 圖顯示了先前技術液晶顯示裝置 100 和 200 中第 n 級閘極驅動訊號 SG_n 之實際波形。由於時序控制電路 130 或 230 至輸出端 OUT_1 的訊號傳送路徑最短，輸出端 OUT_1 之寄生電容值最小，訊號之波形上升時間和下降時間最短，因此閘極驅動訊號 SG_1 之波形最接近理想方波（如第 5b 圖左方所示）或是具有理想削角幅度之波形下降邊緣（如第 5b 圖右方所示），在關閉相對應薄膜電晶體開關 TFT 時所造成之壓差 ΔV_{G1} 和理想壓差 ΔV_G 之間的差異最小，如第 5b 圖所示。另一方面，時序控制電路 130 或 230 至輸出端 OUT_n 的訊號傳送路徑最長，輸出端 OUT_n 之寄生電容值最大，訊號之波形上升時間和下降時間最長，因此閘極驅動訊號 SG_n 之波形最偏離理想方波（如第 5c 圖左方所示），或是波形下降邊緣最偏離理想削角幅度（如第 5c 圖右方所示），在關閉相對應薄膜電晶體開關 TFT 時所造成之壓差 ΔV_{Gn} 和理想壓差 ΔV_G 之間的差異最大，如第 5c 圖所示。

在第 4 圖所示之先前技術驅動方法以相同幅度降低閘極跨壓，雖能減少饋通電壓的效應，但每一像素單元之饋通電壓仍會有所差異，因此無法有效地透過調整共同電壓 V_{COM} 來消除畫面閃爍的情形。

【發明內容】

本發明提供一種液晶顯示器，包含一閘極驅動電路，用來依據一第一時脈訊號或一第二時脈訊號來產生一第一閘極驅動訊號和一第二閘極驅動訊號，該閘極驅動電路包含一第一輸出端，用來輸出該第一閘極驅動訊號；及一第二輸出端，用來輸出該第二閘極驅動訊號；一控制電路，用來依據該閘極驅動電路之該第一和第二輸出端所對應之寄生電容值來提供一電荷分享訊號，以及提供一第三時脈訊號和一第四時脈訊號，其中該第三和第四時脈訊號之極性以一預定週期反轉，且該第三和第四時脈訊號具相反極性；及一電荷分享電路，依據該電荷分享訊號對該第三時脈訊號和該第四時脈訊號進行電荷分享以產生該第一和第二時脈訊號，其中該第一時脈訊號包含從一高電位降至一第一電位之波形下降邊緣，而該第二時脈訊號包含從該高電位降至一第二電位之波形下降邊緣。

本發明另提供一種驅動液晶顯示器之方法，包含提供一第一時脈訊號和一第二時脈訊號，其中該第一和第二時脈訊號之極性以一預定週期反轉，且在同一時間該第一和第二時脈訊號具相反極性；依據一第一輸出端對應之寄生電容值來決定一第一時間長度；依據一第二輸出端對應之寄生電容值來決定一第二時間長度；在對應於該第一輸出端之週期內，該第一和第二時脈訊號於該第一時間長度內進行電荷分享

以提供一第三時脈訊號，其中該第三時脈訊號包含從一高電位降至一第一電位之波形下降邊緣；及在對應於該第二輸出端之週期內，該第一和第二時脈訊號於該第二時間長度內進行電荷分享以提供一第四時脈訊號，其中該第四時脈訊號包含從該高電位降至一第二電位之波形下降邊緣。

【實施方式】

請參考第 6 圖，第 6 圖為本發明中一採用 GOA 技術之液晶顯示裝置 300 的示意圖。液晶顯示裝置 300 包含一源極驅動電路 310、一閘極驅動電路 320、一特定應用積體電路（application-specific integrated circuit, ASIC）電路 330、一電荷分享電路 340、複數條資料線 $DL_1 \sim DL_m$ 、複數條閘極線 $GL_1 \sim GL_n$ ，以及一像素矩陣。像素矩陣包含複數個像素單元 PX，每一像素單元 PX 包含一薄膜電晶體開關 TFT、一液晶電容 C_{LC} 和一儲存電容 C_{ST} ，分別耦接於相對應之資料線、相對應之閘極線，以及一共同電壓 V_{COM} 。源極驅動電路 310 可產生對應於顯示影像之資料驅動訊號 $SD_1 \sim SD_m$ 。閘極驅動電路 320 包含有複數級串接之移位暫存單元 $SR_1 \sim SR_n$ ，其輸出端 $OUT_1 \sim OUT_n$ 分別耦接於相對應之閘極線 $GL_1 \sim GL_n$ 。ASIC 電路 330 可產生閘極驅動電路 320 運作所需之起始脈衝訊號 VST、時脈訊號 CK、XCK，和電荷分享訊號 VCS，其中在每一級輸出週期內電荷分享訊號 VCS 之除能時

間（具低電位）長度由對應於輸出端 $OUT_1 \sim OUT_n$ 之閘極線 $GL_1 \sim GL_n$ 的電容值來決定，亦即由輸出端 $OUT_1 \sim OUT_n$ 之寄生電容值 $C_1 \sim C_n$ 來決定。如此，電荷分享電路 340 可依據電荷分享訊號 VCS 來對時脈訊號 CK 和 XCK 進行電荷分享以產生相對應之時脈訊號 O_CK 和 O_XCK，閘極驅動電路 320 再依據時脈訊號 O_CK 或 O_XCK 依序輸出開啟電晶體開關所需之閘極驅動訊號 $SG_1 \sim SG_n$ 。

請參考第 7 圖，第 7 圖為本發明液晶顯示裝置 300 之驅動方法的示意圖。第 7 圖顯示了時脈訊號 CK、XCK、O_CK 和 O_XCK、電荷分享訊號 VCS，以及閘極驅動訊號 $SG_1 \sim SG_n$ 之波形。在第 7 圖所示之驅動方法中，時脈訊號 CK 和 XCK 具相反相位，並以一預定週期在高低電位之間切換，而此預定週期決定閘極驅動訊號 $SG_1 \sim SG_n$ 內致能週期的長度。ASIC 電路 330 首先依據輸出端 $OUT_1 \sim OUT_n$ 之寄生電容值 $C_1 \sim C_n$ 來產生除能時間（具低電位）長度 $T_1 \sim T_n$ 相異之電荷分享訊號 VCS。當電荷分享訊號 VCS 具高電位時，閘極驅動電路 320 會輸出時脈訊號 CK 和 XCK 以提供相對應之時脈訊號 O_CK 和 O_XCK；當電荷分享訊號 VCS 具低電位時，閘極驅動電路 320 停止輸出，此時時脈訊號 O_CK 和 O_XCK 之間會進行電荷分享，進而在波形下降邊緣達到削角的效果。閘極驅動電路 320 再依據時脈訊號 O_CK 和 O_XCK 來產生具不同削角幅度之閘極驅動訊號 $SG_1 \sim SG_n$ ，

分別於相對應時脈訊號 CK 和 XCK 在高低電位之間切換時造成閘極壓差 $\Delta V_{G1} \sim \Delta V_{Gn}$ 。如前所述，閘極驅動訊號 $SG_1 \sim SG_n$ 在輸出端 $OUT_1 \sim OUT_n$ 所遇到的訊號延遲依序漸增，亦即寄生電容值 $C_1 < C_2 < \dots < C_n$ 。為了補償相異寄生電容值造成不同程度的饋通電壓效應，本發明依據輸出端 $OUT_1 \sim OUT_n$ 之寄生電容值 $C_1 \sim C_n$ 來產生除能時間（具低電位）長度相異之電荷分享訊號 VCS，使得 $T1 > T2 > \dots > Tn$ 。因此，本發明之閘極驅動訊號 $SG_1 \sim SG_n$ 提供具 $\Delta V_{G1} < \Delta V_{G2} < \dots < \Delta V_{Gn}$ 大小關係之壓差，讓每一像素單元之饋通電壓具相同值，因此可有效地透過調整共同電壓 V_{COM} 來消除畫面閃爍的情形。

請參考第 8 圖，第 8 圖為本發明一實施例中電荷分享電路 340 之示意圖。在此實施例中，電荷分享電路 340 設計為一積體電路，可透過不同訊號端來接收或輸出相對應之訊號或偏壓。針對輸出時脈訊號 O_CK 和 O_XCK 之訊號端 O_CK 和 O_XCK，當電荷分享訊號 VCS 具高電位時，電荷分享電路 340 會於訊號端 O_CK 和 O_XCK 分別輸出時脈訊號 CK 和 XCK 以做為時脈訊號 O_CK 和 O_XCK；當電荷分享訊號 VCS 具低電位時，訊號端 O_CK 和 O_XCK 會透過電阻 RS 彼此耦接，此時時脈訊號 O_CK 和 O_XCK 之間會進行電荷分享，進而在波形下降邊緣達到削角的效果。同時，電荷分享電路 340 可包含一位準移位電路，用來放大時脈訊號 CK

和 XCK。第 8 圖所示僅為本發明電荷分享電路 340 之實施例，並不限定本發明之範疇。

本發明依據每一級輸出端之寄生電容值來進行電荷分享，使得閘極驅動訊號 $SG_1 \sim SG_n$ 能提供具 $\Delta V_{G1} < \Delta V_{G2} < \dots < \Delta V_{Gn}$ 大小關係之壓差，讓每一像素單元之饋通電壓具相同值，因此可有效地透過調整共同電壓 V_{COM} 來消除畫面閃爍的情形。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為先前技術中一液晶顯示裝置之示意圖。

第 2 圖為第 1 圖所示液晶顯示裝置之驅動方法的示意圖。

第 3 圖為先前技術中另一液晶顯示裝置之示意圖。

第 4 圖為第 3 圖所示液晶顯示裝置之驅動方法的示意圖。

第 5a 圖為第 1 圖和第 3 圖之液晶顯示裝置中每一級閘極驅動訊號理想波形之示意圖。

第 5b 圖為第 1 圖和第 3 圖之液晶顯示裝置中第一級閘極驅動訊號實際波形之示意圖。

第 5c 圖為第 1 圖和第 3 圖之液晶顯示裝置中第 n 級閘極驅

動訊號實際波形之示意圖。

第 6 圖為本發明中一液晶顯示裝置的示意圖。

第 7 圖為本發明液晶顯示裝置之驅動方法的示意圖。

第 8 圖為本發明一實施例中電荷分享電路之示意圖。

【主要元件符號說明】

C_{LC}	液晶電容	$DL_1 \sim DL_m$	資料線
C_{ST}	儲存電容	$GL_1 \sim GL_n$	閘極線
RS	電阻	$OUT_1 \sim OUT_n$	輸出端
PX	像素單元	$SR_1 \sim SR_n$	移位暫存單元
V_{COM}	共同電壓	TFT	薄膜電晶體開關
330	ASIC 電路	$SD_1 \sim SD_m$	資料驅動訊號
OE	輸出致能訊號	$SG_1 \sim SG_n$	閘極驅動訊號
VCS	電荷分享訊號	130、230	時序控制電路
VST	起始脈衝訊號	240、340	電荷分享電路
100、200、300			液晶顯示裝置
110、210、310			源極驅動電路
120、220、320			閘極驅動電路
CK、XCK、O ₋ CK、O ₋ XCK			時脈訊號
ΔV_G 、 $\Delta V_G'$ 、 $\Delta V_{G1} \sim \Delta V_{Gn}$ 、 $\Delta V_{G1}'$ 、 $\Delta V_{Gn}'$			閘極壓差

七、申請專利範圍：

1. 一種液晶顯示器，包含：

一開極驅動電路，用來接收一第一時脈訊號和一第二時脈訊號並產生相關之一第一開極驅動訊號和一第二開極驅動訊號，該開極驅動電路包含：

一第一輸出端，用來輸出該第一開極驅動訊號；及

一第二輸出端，用來輸出該第二開極驅動訊號；

一控制電路，用來依據該開極驅動電路之該第一和第二輸出端所對應之寄生電容值來提供一電荷分享訊號，以及提供一第三時脈訊號和一第四時脈訊號，其中該第三和第四時脈訊號之極性以一預定週期反轉，且該第三和第四時脈訊號具相反極性；及

一電荷分享電路，依據該電荷分享訊號對該第三時脈訊號和該第四時脈訊號進行電荷分享以產生該第一和第二時脈訊號，其中：

該第一時脈訊號對應於該第一輸出端之寄生電容且具有相對應之一第一電荷分享時間，使該第一時脈訊號從一高電位降至對應於該第一輸出端寄生電容之一第一電位；

該第二時脈訊號對應於該第二輸出端之寄生電容且具有相對應之一第二電荷分享時間，使該第二時脈訊號從該高電位降至對應於該第二輸出端寄

生電容之一第二電位；以及

該第二輸出端之寄生電容值大於該第一輸出端之寄生電容值，且該第二電位高於該第一電位。

2. 如請求項 1 所述之液晶顯示器，其中該電荷分享電路和該閘極驅動電路之第二輸出端之間的訊號傳送路徑長度大於該電荷分享電路和該閘極驅動電路之第一輸出端之間的訊號傳送路徑長度，且該第二電位高於該第一電位。
3. 如請求項 1 所述之液晶顯示器，其中該電荷分享訊號包含：
 - 一第一除能時段，對應於該第一輸出端之輸出週期，且該電荷分享電路於該第一除能時段內對該第三時脈訊號和該第四時脈訊號進行電荷分享以產生該第一時脈訊號；及
 - 一第二除能時段，對應於該第二輸出端之輸出週期，且該電荷分享電路於該第二除能時段內對該第三時脈訊號和該第四時脈訊號進行電荷分享以產生該第二時脈訊號；其中該第二輸出端之寄生電容值大於該第一輸出端之寄生電容值，且該第一除能時段之長度大於該第二除能時段之長度。

4. 如請求項 1 所述之液晶顯示器，其中該電荷分享電路另包含一位準移位電路，用來放大該第三和第四時脈訊號。
5. 如請求項 1 所述之液晶顯示器，其中該電荷分享電路包含：
 - 一第一輸出端，用來輸出該第一時脈訊號；
 - 一第二輸出端，用來輸出該第二時脈訊號；及
 - 一電阻，在該電荷分享訊號具一特定電位時耦接於該電荷分享電路之第一輸出端和第二輸出端之間。
6. 如請求項 1 所述之液晶顯示器，其中該閘極驅動電路係以整合於面板之積體電路技術來製作。
7. 如請求項 1 所述之液晶顯示器，其中該閘極驅動電路包含：
 - 一第一移位暫存單元，用來輸出該第一時脈訊號以做為該第一閘極驅動訊號；及
 - 一第二移位暫存單元，用來輸出該第二時脈訊號以做為該第二閘極驅動訊號。
8. 如請求項 7 所述之液晶顯示器，其中該第一移位暫存單元係透過一第一薄膜電晶體 (thin film transistor, TFT) 開關來輸出該第一閘極驅動訊號，該第二移位暫存單元

係透過一第二薄膜電晶體開關來輸出該第二閘極驅動訊號，其中該第一輸出端之寄生電容值相關於該第一薄膜電晶體之寄生電容，而該第二輸出端之寄生電容值相關於該第一和第二薄膜電晶體之寄生電容。

9. 如請求項 1 所述之液晶顯示器，其中該控制電路係為一特殊應用積體電路。

10. 一種驅動液晶顯示器之方法，包含：

提供一第一時脈訊號和一第二時脈訊號，其中該第一和第二時脈訊號之極性以一預定週期反轉，且在同一時間該第一和第二時脈訊號具相反極性；

依據一第一輸出端對應之寄生電容值來決定一第一時間長度；

依據一第二輸出端對應之寄生電容值來決定一第二時間長度；

在對應於該第一輸出端之週期內，該第一和第二時脈訊號於該第一時間長度內進行電荷分享以提供一第三時脈訊號，其中該第三時脈訊號包含從一高電位降至一第一電位之波形下降邊緣；及

在對應於該第二輸出端之週期內，該第一和第二時脈訊號於該第二時間長度內進行電荷分享以提供一第四時脈訊號，其中該第四時脈訊號包含從該高電位降至

一 第二電位之波形下降邊緣。

11. 如請求項 10 所述之方法，其中：

當該第二輸出端之寄生電容值大於該第一輸出端之寄生電容值時，該第一時間長度大於該第二時間長度。

12. 如請求項 10 所述之方法，另包含在進行電荷分享前提升該第一和第二時脈訊號之電位。

13. 如請求項 10 所述之方法，其中該第一和第二時脈訊號係透過一電阻來進行電荷分享。

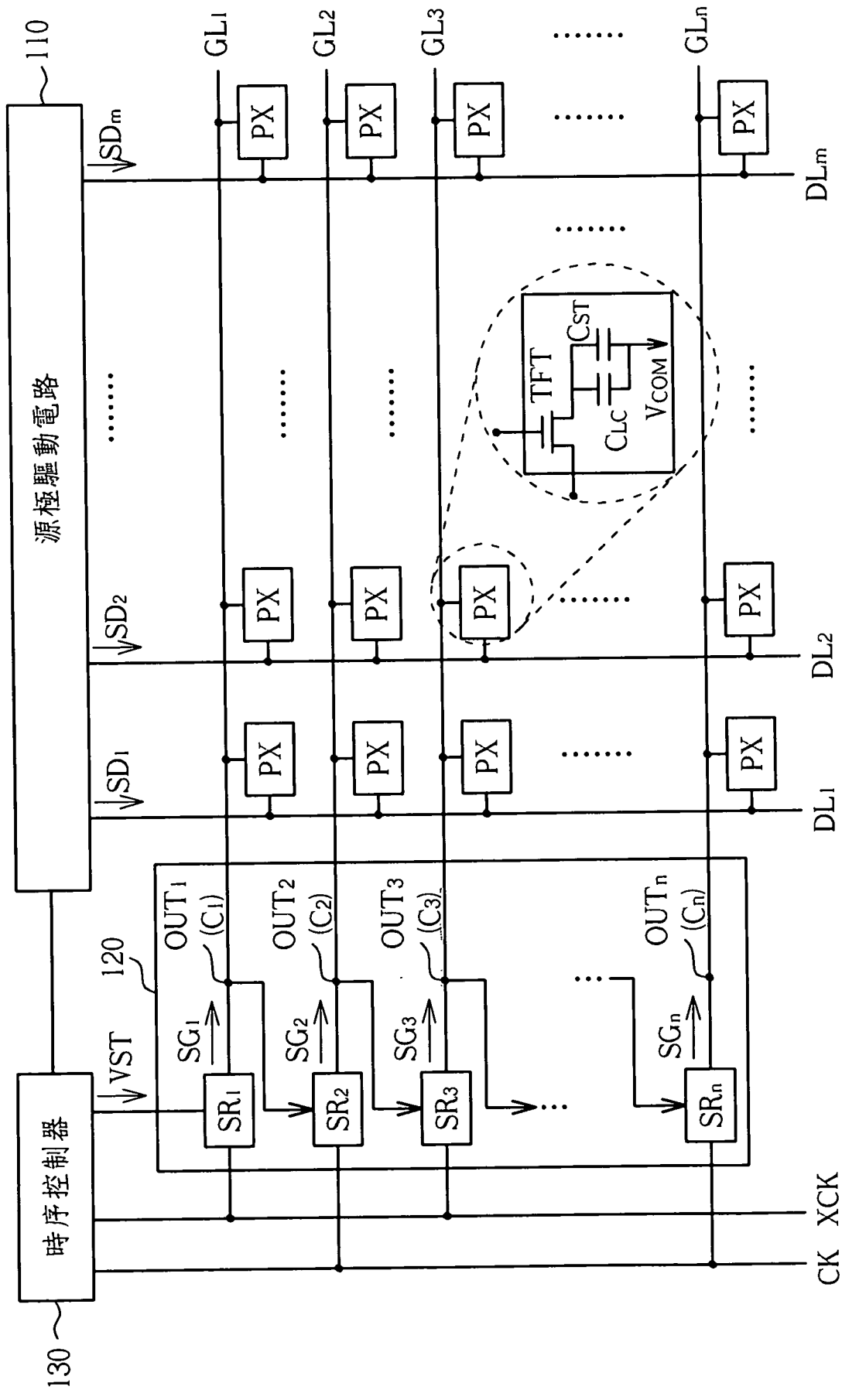
14. 如請求項 10 所述之方法，其另包含：

在對應於該第一輸出端之週期內，於該第一輸出端輸出該第三時脈訊號；及

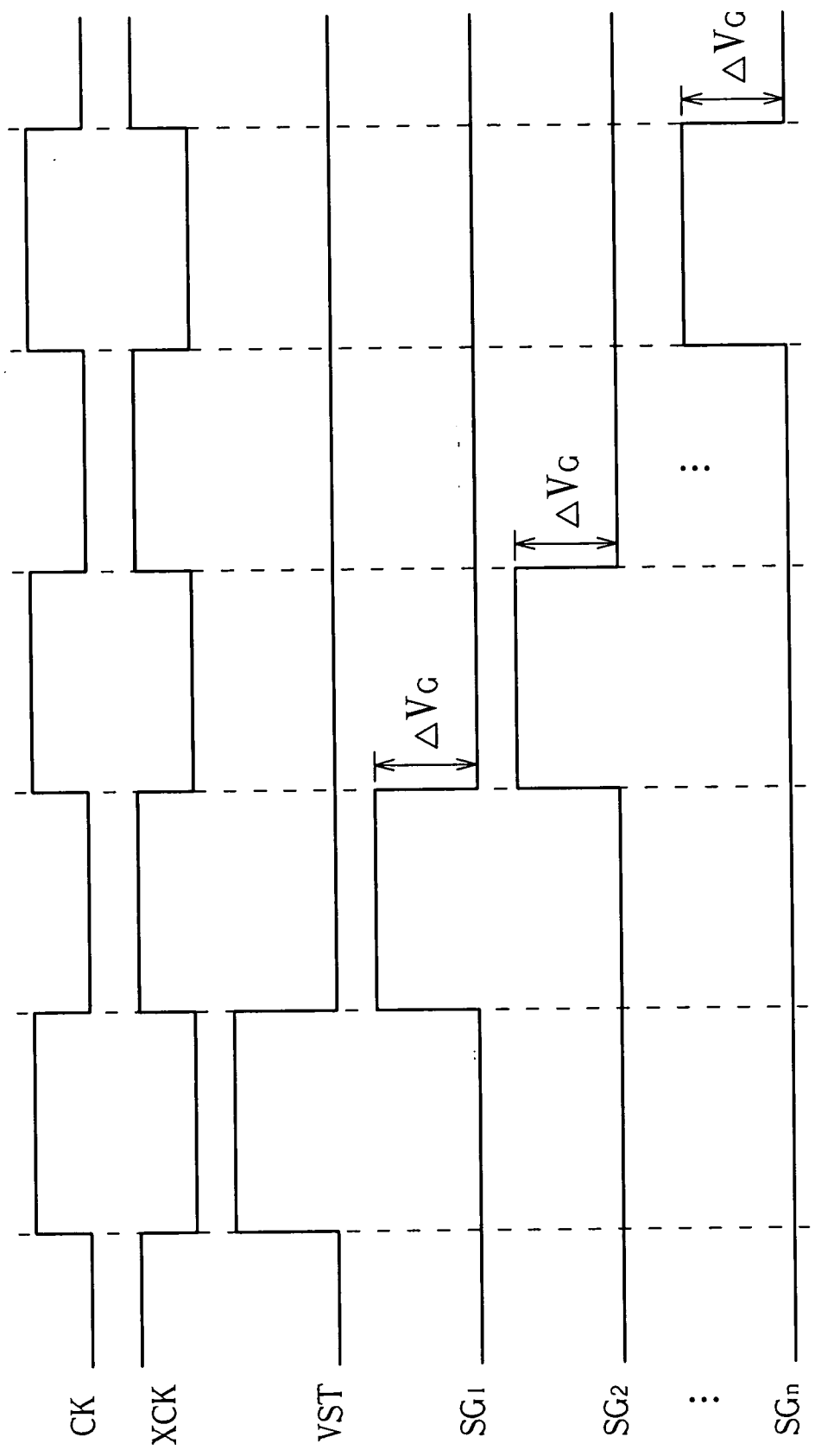
在對應於該第二輸出端之週期內，於該第二輸出端輸出該第四時脈訊號。

八、圖式：

100

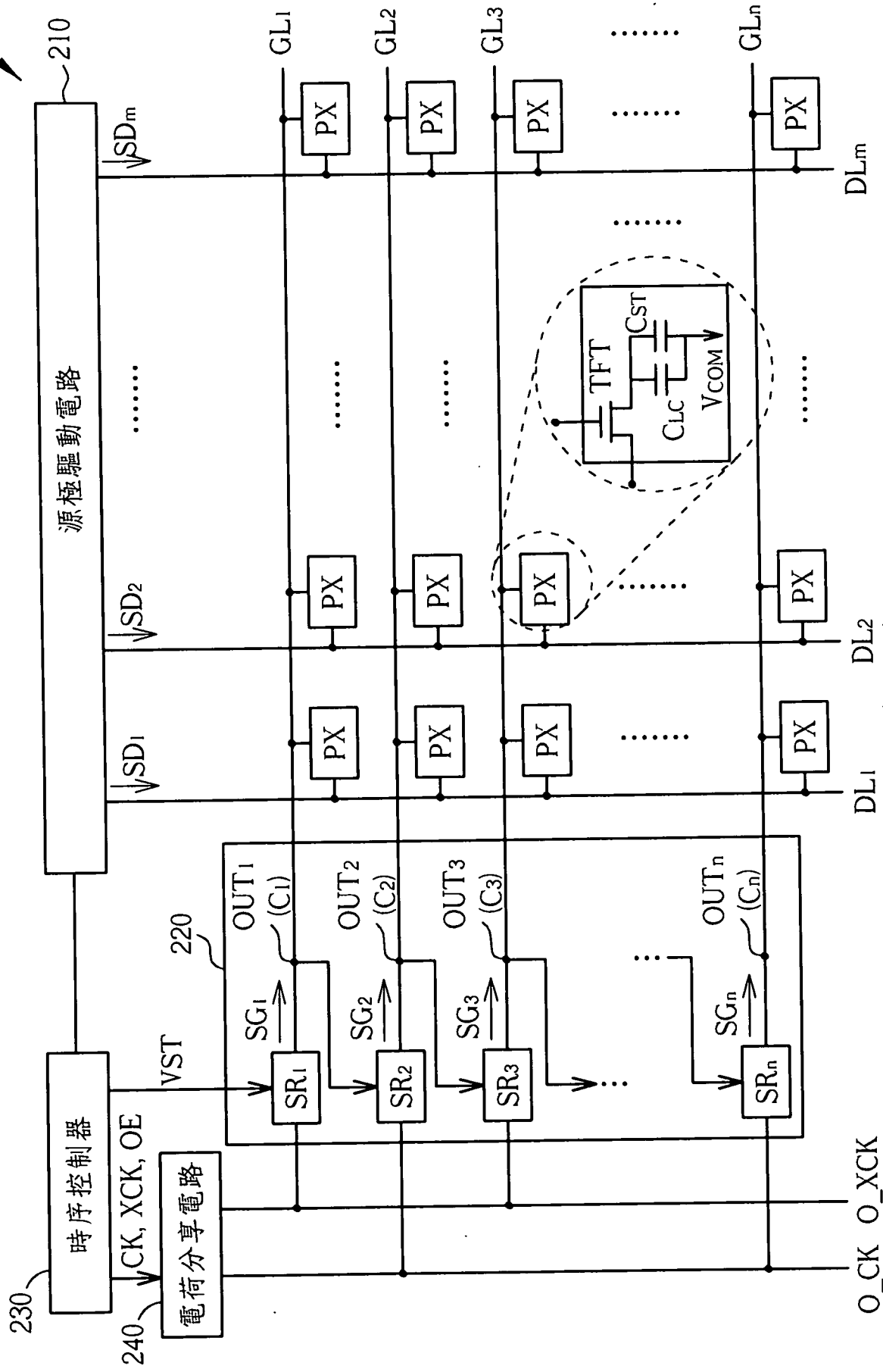


第1圖

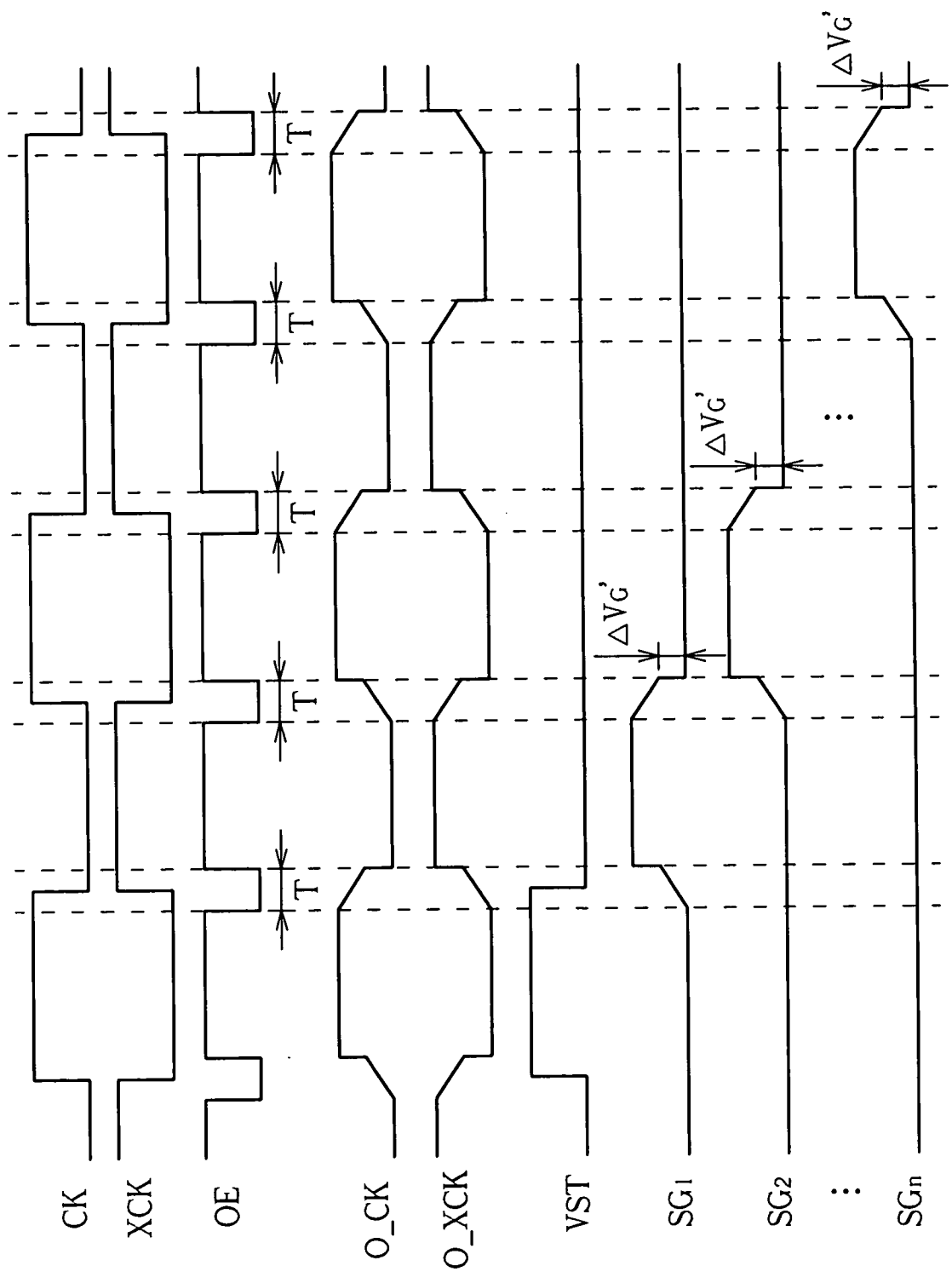


第2圖

200

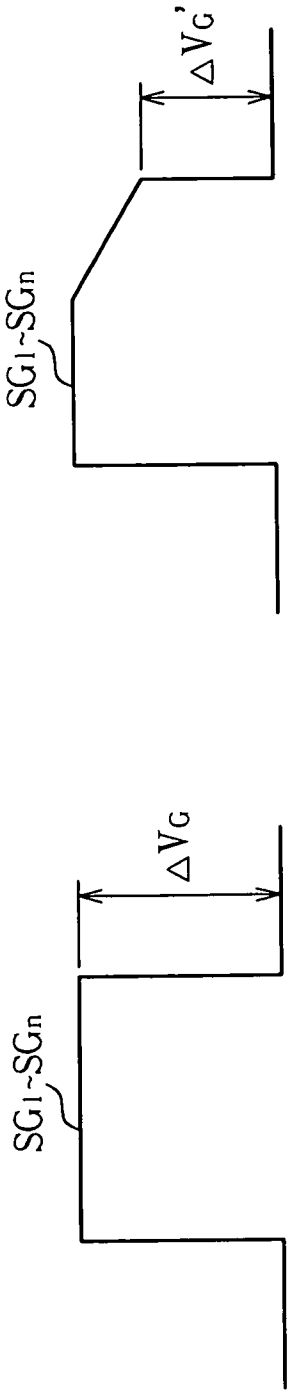


第3圖

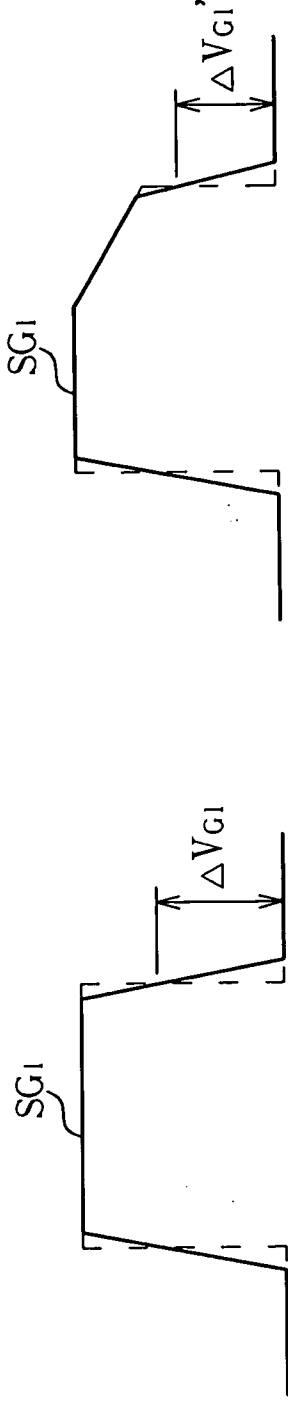


第4圖

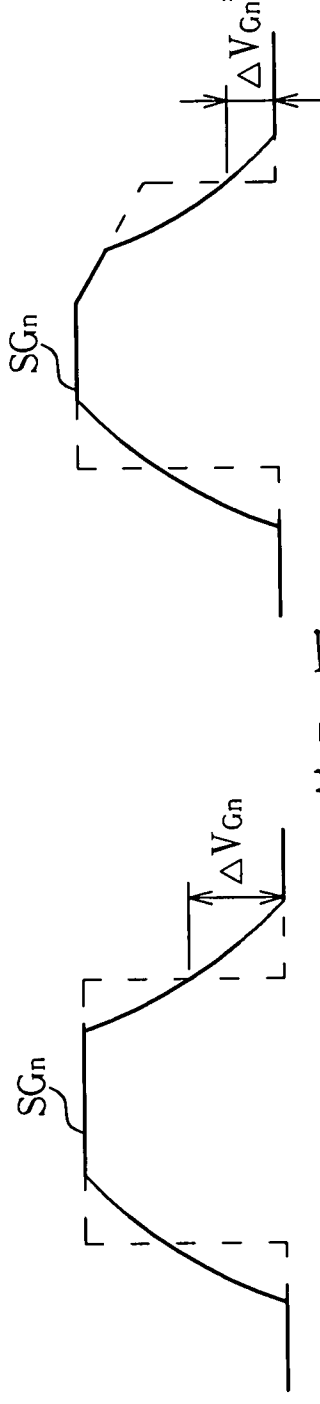
I483236



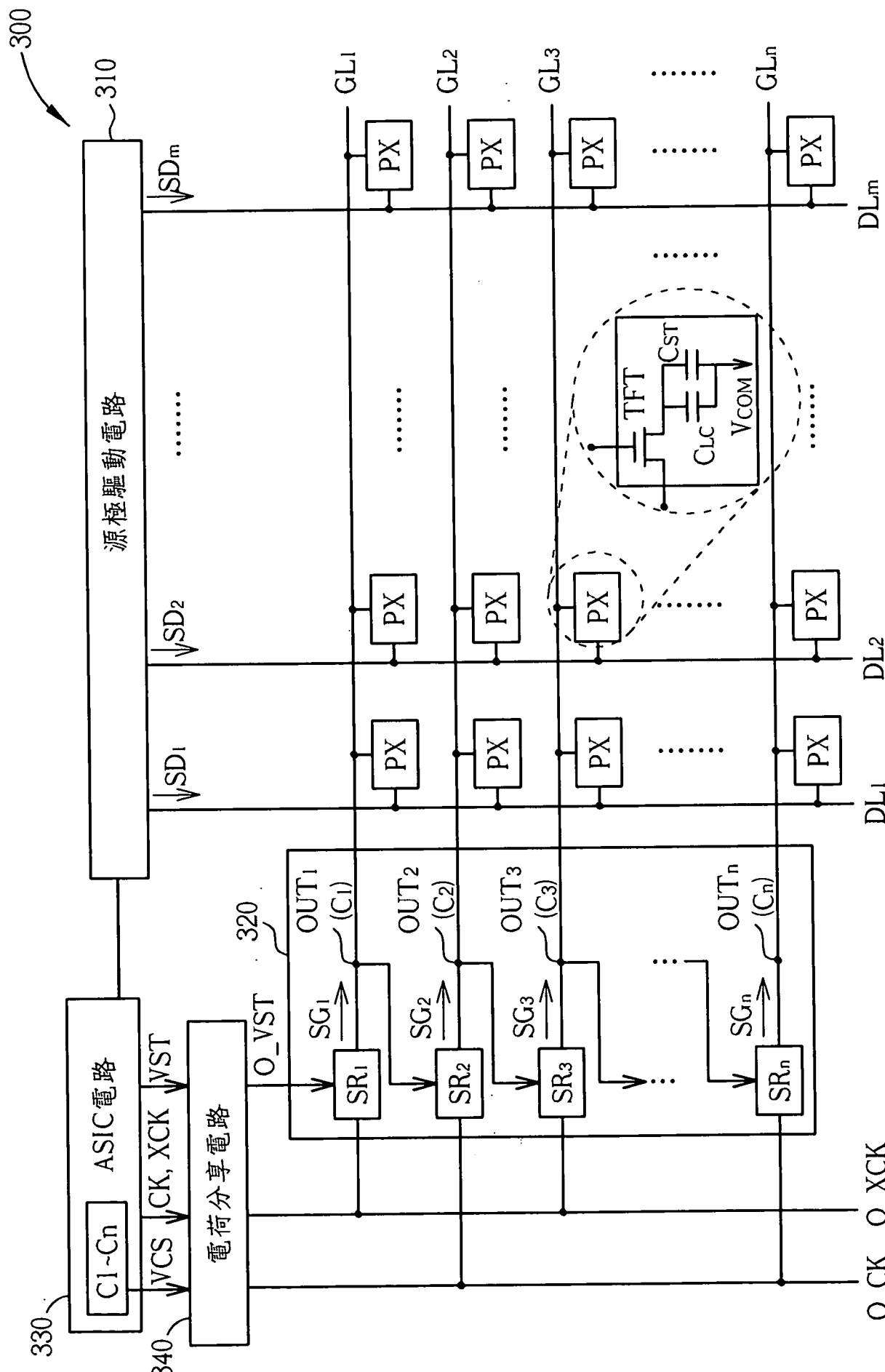
第5a圖



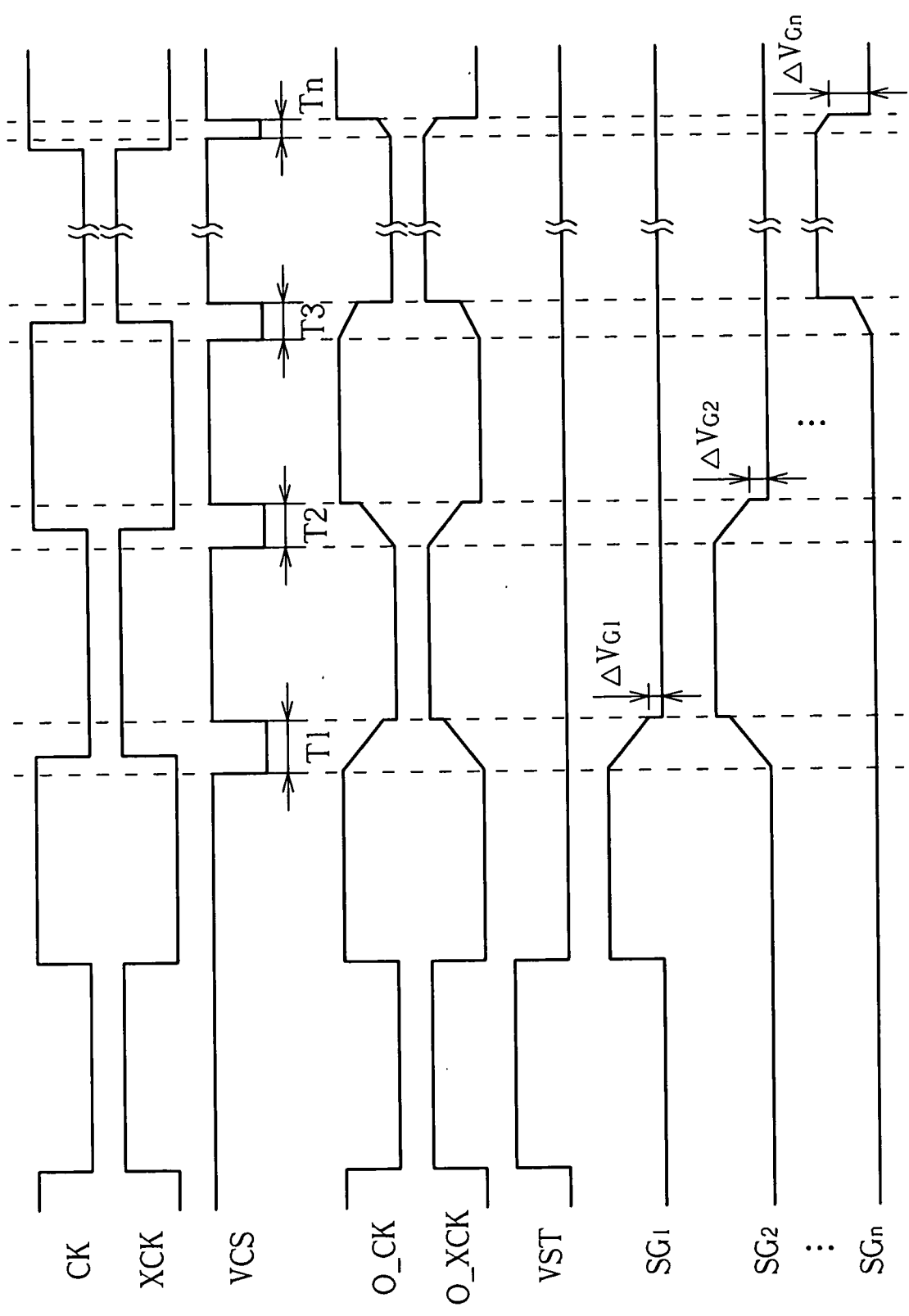
第5b圖



第5c圖

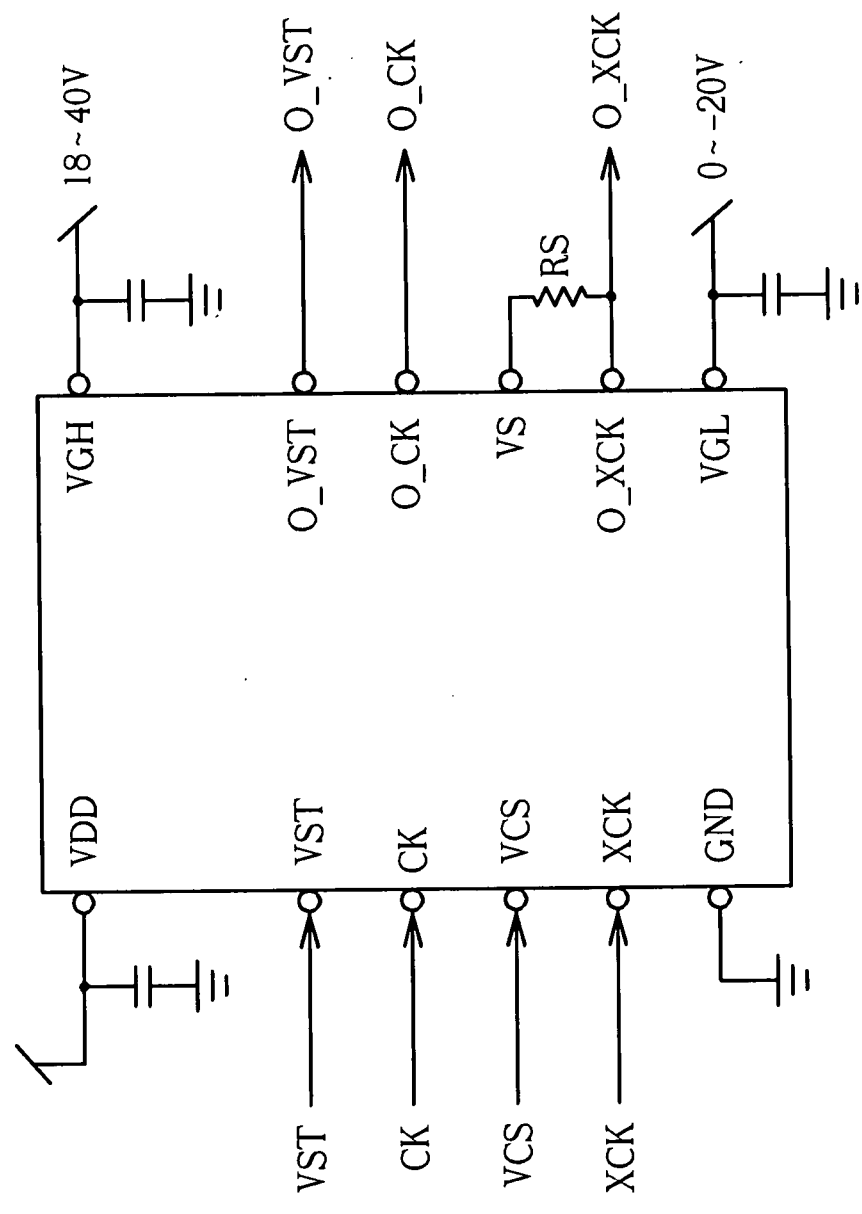


第6圖



第7圖

340



第8圖