



(21)申請案號：103127272

(22)申請日：中華民國 103 (2014) 年 08 月 08 日

(51)Int. Cl. : H01L21/70 (2006.01)

H01L21/768 (2006.01)

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹縣科學工業園區力行路 16 號

(72)發明人：賴二琨 LAI, ERH KUN (TW)

(74)代理人：祁明輝；林素華

申請實體審查：有 申請專利範圍項數：10 項 圖式數：20 共 36 頁

(54)名稱

半導體結構及其製造方法

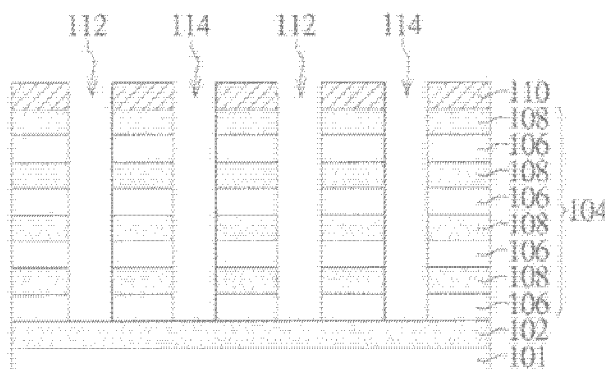
SEMICONDUCTOR STRUCTURE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

在此提供一種半導體結構及其製造方法。所述方法包括下列步驟。首先，形成一堆疊於位在一基板上之一底層上，此一堆疊係由交替的複數個犧牲層和複數個絕緣層所構成。接著，同時形成貫穿堆疊的複數個第一孔洞和複數個第二孔洞。在所形成的半導體結構中，第一孔洞和第二孔洞係至少在一排列方向上彼此等距地分離。

A semiconductor structure and a method for manufacturing the same are provided. The method comprises the following steps. First, a stack of alternate sacrificial layers and insulating layers is formed on a bottom layer on a substrate. Then, a cap layer is formed on the stack. After that, a plurality of first holes and a plurality of second holes are formed through the cap layer and the stack concurrently. In the semiconductor structure as formed by the embodied method, the first holes and the second holes are equally spaced apart from each other at least in an arranged direction.

指定代表圖：



第 2B 圖

符號簡單說明：

101 . . . 基板

102 . . . 底層

104 . . . 堆疊

106 . . . 犧牲層

108 . . . 絕緣層

110 . . . 覆蓋層

112 . . . 第一孔洞

114 . . . 第二孔洞

【發明說明書】

【中文發明名稱】 半導體結構及其製造方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND METHOD FOR
MANUFACTURING THE SAME

【技術領域】

【0001】 本揭露是關於一種半導體結構及其製造方法。本揭露特別是關於一種其中複數個第一孔洞和複數個第二孔洞至少在一排列方向上彼此等距地分離的半導體結構及其製造方法。

【先前技術】

【0002】 隨著堆疊於三維半導體結構中的層數增加，三維半導體結構中的線形結構的高度也跟著增加，並因而面臨倒塌或彎曲的問題。相較於線形結構，孔洞結構的強度更高。因此，孔洞結構被引入至三維半導體結構中。舉例來說，在三維垂直通道記憶元件中，可建構用於形成位元線的孔洞。

【0003】 在三維垂直通道記憶元件中，因為金屬具有較低的電阻，字元線層較佳地係由金屬所形成。如此一來，便需要進行將多晶矽替換成金屬的步驟。此一替換步驟典型地是通過孔洞來進行。

【0004】 然而，用於字元線替換的孔洞和用於位元線的孔洞並不是由自對準製程所製造。因此，需要保留用於對準的製程窗(process window)，且記憶胞整體的尺寸增大。儘管如此，二種孔洞之間依然存在不對準的情況。

【發明內容】

- 【0005】 在本揭露中，提供一種其中複數個第一孔洞和複數個第二孔洞至少在一排列方向上彼此等距地分離的半導體結構及其製造方法。
- 【0006】 根據一些實施例，所述半導體結構的製造方法包括下列步驟。首先，形成一堆疊於位在一基板上之一底層上，此一堆疊係由交替的複數個犧牲層和複數個絕緣層所構成。接著，同時形成貫穿堆疊的複數個第一孔洞和複數個第二孔洞。
- 【0007】 根據一些實施例，所述半導體結構包括一底層、一堆疊、及複數個第一孔洞和複數個第二孔洞。底層形成於基板上堆疊形成於底層上。堆疊係由交替的複數個犧牲層和複數個絕緣層所構成。第一孔洞和第二孔洞貫穿堆疊。第一孔洞和第二孔洞係至少在一排列方向上彼此等距地分離。
- 【0008】 爲了對本發明之上述及其他方面有更佳的瞭解，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

【圖式簡單說明】

- 【0009】 第1A-11B圖爲根據本揭露一實施例之半導體結構的製造方法的示意圖。
- 第12A-20B圖爲根據本揭露另一實施例之半導體結構的製造方法的示意圖。

【實施方式】

- 【0010】 以下將說明所述半導體結構及其製造方法。爲易於解釋，以下的實施例將特別以三維垂直通道記憶元件(例如三維垂直通道NAND記憶元件)爲例。然而，本發明並不受限於此，舉例來說，所述方法可應用於其他半導體結構。

【0011】 第1A-11B圖為根據本揭露一實施例之半導體結構的製造方法的示意圖。在此一實施例中，雖然不特別限制，但用於位元線的孔洞(在下文稱為第一孔洞)和用於字元線替換的孔洞(在下文稱為第二孔洞)係形成為具有相同的形狀及尺寸。在此一實施例中，記憶體層為直線形態。為求清楚，元件可能不是依照其真正的相對尺寸加以繪示，且圖式中可能省略部分元件符號。

【0012】 請參照第1A和1B圖，其分別繪示俯視視圖和沿著B-B' 剖面線的剖面視圖。可提供一基板101，此一基板101選擇性地伴隨著形成於其上的層及/或元件。可形成一底層102於基板101上。底層102可由氧化物形成，並在接下來的步驟中作為蝕刻停止層。形成一堆疊104於底層102上，此一堆疊104係由交替的複數個犧牲層106和複數個絕緣層108所構成。犧牲層106可由氮化矽(SiN)或多晶矽形成，特別是可由氮化矽(SiN)形成。絕緣層108可由氧化物形成。形成一覆蓋層110於堆疊104上。在犧牲層106是由氮化矽(SiN)所形成的例子中，覆蓋層110可由多晶矽形成。而在犧牲層106是由多晶矽所形成的例子中，覆蓋層110可由氮化矽(SiN)形成。

【0013】 請參照第2A和2B圖，同時形成貫穿覆蓋層110及堆疊104的複數個第一孔洞112和複數個第二孔洞114。在此一實施例中，第一孔洞112和第二孔洞114係交替地排列成矩陣。然而，第一孔洞112和第二孔洞114可依照所需以其他方式排列。在此將第一孔洞112和第二孔洞114繪示成具有相同的圓形剖面及尺寸，然而在另一實施例中，第一孔洞112和第二孔洞114的形狀及/或尺寸可以不同。

- 【0014】 由於第一孔洞112和第二孔洞114是同時形成，它們彼此之間可精確地對準。更具體地說，至少在一排列方向D1或D2上，第一孔洞112和第二孔洞114係彼此等距地分離。舉例來說，在排列方向D1上，所有的第一孔洞112和第二孔洞114係彼此等距地以間隔d1分離，而在排列方向D2上，所有的第一孔洞112和第二孔洞114係彼此等距地以間隔d2分離。間隔d1的值可等於或不等於間隔d2的值。
- 【0015】 請參照第3A和3B圖，形成一非共形(non-conformal)層116於覆蓋層110上並覆蓋第一孔洞112和第二孔洞114，如此而關上第一孔洞112和第二孔洞114。由物理氣相沉積(Physical Vapor Deposition, PVD)製程所製造出的層典型地具有非共形的特性。在一範例中，非共形層116可為由物理氣相沉積製程所製造出的矽氧化物(SiO_x)層。
- 【0016】 請參照第4A和4B圖，形成一光阻118於非共形層116上，用以蝕刻非共形層116，以打開第一孔洞112。蝕刻製程可以乾蝕刻製程來進行。在一範例中，係應用稀釋氫氟酸來移除較薄的非共形層116的一些部份。蝕刻製程係停止於覆蓋層110上，從而避免過度蝕刻。接著移除光阻118，如第5A和5B所示。
- 【0017】 請參照第6A和6B圖，在第二孔洞114係由非共形層116所關上的情況下，形成複數個記憶體層120於第一孔洞112的側壁上。記憶體層120可具有氧化物/氮化物/氧化物(ONO)結構或氧化物/氮化物/氧化物/氮化物/氧化物 (ONONO)結構。接著，填充一導電體122至第一孔洞112中。導電體122可為多晶矽或其他適合的通道材料。導電體122可形成多晶矽結構或「筆管麵」結構(亦即，在第一

孔洞112的側壁上形成一層薄的多晶矽層，產生如水管一般的結構，其中的中空處再填充介電質；未示於此)。

【0018】 之後，可選擇性地進行化學機械研磨(Chemical Mechanical Polishing, CMP)製程。化學機械研磨製程的進行是用來移除形成記憶體層120和導電體122的多餘材料，並停止於非共形層116上。

【0019】 形成一暫時性保護層124於覆蓋層110及第一孔洞112中的記憶體層120和導電體122上，以保護記憶體層120和導電體122。暫時性保護層124可由相同於非共形層116的材料形成。如此一來，剩下的非共形層116部分係合併於暫時性保護層124中。接著，如同打開第一孔洞112的步驟，以光刻製程和蝕刻製程打開第二孔洞114。

【0020】 請參照第7A和7B圖，通過第二孔洞114移除犧牲層106。犧牲層106可由高選擇性的蝕刻劑移除。在犧牲層106是由氮化矽(SiN)所形成的例子中，犧牲層106可以使用熱磷酸移除。在犧牲層106是由多晶矽所形成的例子中，犧牲層106可以使用四甲基氫氧化銨(tetramethylammonium hydroxide, TMAH)溶液移除。

【0021】 請參照第8A和8B圖，通過第二孔洞114填充一導電材料128'。接著例如藉由等向性蝕刻製程移除導電材料128'之位於第二孔洞114中的部分。如此而形成一堆疊126，堆疊126係由複數個導電層128及絕緣層108所構成。導電材料128'可為鎢/氮化鈦(W/TiN)、氮化鈦(TiN)或銅/氮化鈦(Cu/TaN)等等。在一範例中，導電層128係由化學氣相沉積的鎢(W)和沉積的氮化鈦(TiN)所

形成。在填充導電材料128'之前，可選擇性地沉積一高介電常數材料。

【0022】請參照第9A和9B圖，填充一絕緣體130至第二孔洞114中。絕緣體130可為氧化物。之後，移除暫時性保護層124。在一範例中，可進行化學機械研磨製程。化學機械研磨製程的進行是用來移除形成絕緣體130的多餘材料(如果存在的話)和暫時性保護層124，並停止於覆蓋層110上。接著，如第10A和10B所示，移除覆蓋層110，如此而曝露出堆疊126。

【0023】請參照第11A和11B圖，在此一實施例中，可切割最頂層的導電層128及最頂層的絕緣層108，切割線132示於第11A和11B圖中。在三維垂直通道記憶元件中，被切割的最頂層導電層128可作為串列選擇線，其他導電層128可作為字元線和接地選擇線。

【0024】所形成的半導體結構100包括一底層102及形成於底層102上的一堆疊126，堆疊126係由交替的複數個導電層128和複數個絕緣層108所構成。半導體結構100還包括複數個第一孔洞112和複數個第二孔洞114，第一孔洞112和第二孔洞114貫穿堆疊126。由於第一孔洞112和第二孔洞114是同時形成，它們彼此之間可精確地對準。至少在一排列方向D1或D2上，第一孔洞112和第二孔洞114係彼此等距地分離。在此一實施例中，第一孔洞112和第二孔洞114係在正交的二個方向D1和D2上彼此等距地分離。在排列方向D1上，所有的第一孔洞112和第二孔洞114係彼此等距地以間隔d1分離，而在排列方向D2上，所有的第一孔洞112和第二孔洞114係彼此等距地以間隔d2分離。間隔d1的值可等於或不等於間隔d2的值。半導體結構100還可包括複數個記憶體層120、一導電體122及

一絕緣體130，記憶體層120形成於第一孔洞112的側壁上，導體122填充於第一孔洞112中，絕緣體130填充於第二孔洞114中。

【0025】 第12A-20B圖為根據本揭露另一實施例之半導體結構的製造方法的示意圖。在此一實施例中，雖然不特別限制，但第一孔洞和第二孔洞係形成為具有不同的形狀及尺寸。在此一實施例中，記憶體層為雙凹陷形態。為求清楚，元件可能不是依照其真正的相對尺寸加以繪示，且圖式中可能省略部分元件符號。

【0026】 請參照第12A和12B圖，可提供一基板201，此一基板201選擇性地伴隨著形成於其上的層及/或元件。可形成一底層202於基板201上。底層202可由氧化物形成，並在接下來的步驟中作為蝕刻停止層。接著形成一堆疊204於底層202上，此一堆疊204係由交替的複數個犧牲層206和複數個絕緣層208所構成。犧牲層206可由氮化矽(SiN)或多晶矽形成，特別是可由氮化矽(SiN)形成。絕緣層208可由氧化物形成。形成一覆蓋層210於堆疊204上。在犧牲層206是由氮化矽(SiN)所形成的例子中，覆蓋層210可由多晶矽形成。而在犧牲層206是由多晶矽所形成的例子中，覆蓋層210可由氮化矽(SiN)形成。

【0027】 請參照第13A和13B圖，同時形成貫穿覆蓋層210及堆疊204的複數個第一孔洞212和複數個第二孔洞214。在此一實施例中，第一孔洞212和第二孔洞214係交替地排列成矩陣。然而，第一孔洞212和第二孔洞214可依照所需以其他方式排列。在此將第一孔洞212和第二孔洞214繪示成具有不同的剖面(亦即，橢圓和圓形)及不同的尺寸，然而在另一實施例中，第一孔洞212和第二孔洞214的形狀及/或尺寸可以相同，如第1A-11B圖的實施例所示。

- 【0028】 由於第一孔洞212和第二孔洞214是同時形成，它們彼此之間可精確地對準。更具體地說，至少在一排列方向D1' 或D2' 上，第一孔洞212和第二孔洞514係彼此等距地分離。舉例來說，在排列方向D1' 上，所有的第一孔洞212和第二孔洞214係彼此等距地以間隔d1' 分離，而在排列方向D2' 上，所有的第一孔洞212和第二孔洞214 係彼此等距地以間隔d2' 分離。間隔d1' 的值可等於或不等於間隔d2' 的值。
- 【0029】 請參照第14A和14B圖，形成一非共形層216於覆蓋層210上並覆蓋第一孔洞212和第二孔洞214，如此而關上第一孔洞212和第二孔洞214。由物理氣相沉積製程所製造出的層典型地具有非共形的特性。在一範例中，非共形層216可為由物理氣相沉積製程所製造出的矽氧化物(SiO_x)層。
- 【0030】 請參照第15A和15B圖，形成一光阻218於非共形層216上，用以蝕刻非共形層216，以打開第一孔洞212。蝕刻製程可以乾蝕刻製程來進行。在一範例中，係應用稀釋氫氟酸來移除較薄的非共形層216的一些部份。蝕刻製程係停止於覆蓋層210上，從而避免過度蝕刻。接著移除光阻218，如第16A和16B所示。
- 【0031】 請參照第17A和17B圖，在第二孔洞214係由非共形層216所關上的情況下，填充一導電體222至第一孔洞212中。導電體222可為多晶矽或其他適合的通道材料。導電體222可形成多晶矽結構或「筆管麵」結構(未示於此)。之後，可選擇性地進行化學機械研磨製程。化學機械研磨製程的進行是用來移除形成導電體222的多餘材料，並停止於非共形層216上。接著，例如以蝕刻製程移除剩下的非共形層216。如此一來，便打開第二孔洞214。

- 【0032】 請參照第18A和18B圖，通過第二孔洞214移除犧牲層206。犧牲層206可由高選擇性的蝕刻劑移除。在犧牲層206是由氮化矽(SiN)所形成的例子中，犧牲層206可以使用熱磷酸移除。在犧牲層206是由多晶矽所形成的例子中，犧牲層206可以使用四甲基氫氧化銨(tetramethylammonium hydroxide, TMAH)溶液移除。
- 【0033】 形成複數個記憶體層220於由移除犧牲層206所曝露出之絕緣層208的上表面和下表面上、及曝露於第二孔洞214之絕緣層208的側表面上。記憶體層220可具有ONO結構或ONONO結構。
- 【0034】 接著，通過第二孔洞214填充一導電材料228'。接著例如藉由等向性蝕刻製程移除導電材料228'之位於第二孔洞214中的部分。如此而形成一堆疊226，堆疊226係由複數個導電層228及絕緣層208所構成。導電材料228'可為鎢/氮化鈦(W/TiN)、氮化鈦(TiN)或銅/氮化鉭(Cu/TaN)等等。在一範例中，導電層228係由化學氣相沉積的鎢(W)和沉積的氮化鈦(TiN)所形成。在填充導電材料228'之前，可選擇性地沉積一高介電常數材料。
- 【0035】 請參照第19A和19B圖，填充一絕緣體230至第二孔洞214中。絕緣體230可為氧化物。之後，移除覆蓋層210。在一範例中，可進行化學機械研磨製程。化學機械研磨製程的進行是用來移除形成絕緣體230的多餘材料(如果存在的話)和覆蓋層210，並停止於最頂層的絕緣層208上。如此一來，便曝露出堆疊226。
- 【0036】 請參照第20A和20B圖，在此一實施例中，可切割最頂層的導電層228及最頂層的絕緣層208，切割線232示於第20A和20B圖中。在三維垂直通道記憶元件中，被切割的最頂層導電層228可作為串

列選擇線，其他導電層228可作為字元線和接地選擇線。

【0037】 所形成的半導體結構200包括一底層202及形成於底層202上的一堆疊226，堆疊226係由交替的複數個導電層228和複數個絕緣層208所構成。半導體結構200還包括複數個第一孔洞212和複數個第二孔洞214，第一孔洞212和第二孔洞214貫穿堆疊226。由於第一孔洞212和第二孔洞214是同時形成，它們彼此之間可精確地對準。至少在一排列方向D1' 或D2' 上，第一孔洞212和第二孔洞214係彼此等距地分離。在此一實施例中，第一孔洞212和第二孔洞214係在正交的二個方向D1' 和D2' 上彼此等距地分離。在排列方向D1' 上，所有的第一孔洞212和第二孔洞214係彼此等距地以間隔d1' 分離，而在排列方向D2' 上，所有的第一孔洞212和第二孔洞214 係彼此等距地以間隔d2' 分離。間隔d1' 的值可等於或不等於間隔d2' 的值。在此一實施例中，第一孔洞212和第二孔洞214具有不同的形狀及尺寸。

【0038】 半導體結構200還可包括複數個記憶體層220，形成於絕緣層208的上表面、下表面和側表面上。半導體結構200還可包括一導電體222及一絕緣體230，導電體222填充於第一孔洞212中，絕緣體230填充於第二孔洞 214中。

【0039】 根據本揭露，二種用於不同目的的孔洞係同時形成。因此，可免除對於對準的考量。不需要用於對準的製程窗，而記憶體整體的尺寸可下降。此外，可以只進行一次形成貫穿多個層的孔洞的步驟，因而可節省製造時間及成本。

【0040】 綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以

限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

- 【0041】** 100、200：半導體結構
- 101、201：基板
- 102、202：底層
- 104、204：堆疊
- 106、206：犧牲層
- 108、208：絕緣層
- 110、210：覆蓋層
- 112、212：第一孔洞
- 114、214：第二孔洞
- 116、216：非共形層
- 118、218：光阻
- 120、220：記憶體層
- 122、222：導電體
- 124、224：暫時性保護層
- 126、226：堆疊
- 128、228：導電層
- 128'、228'：導電材料
- 130、230：絕緣體
- 132、232：切割線
- D1、D1'、D2、D2'：方向

$d1$ 、 $d1'$ 、 $d2$ 、 $d2'$ ：間隔

201606928

專利案號: 103127272



申請日: 103. 8. 08

201606928

IPC分類:

【發明摘要】

H01L 21/70 2006.01

H01L 21/16 2006.01

【中文發明名稱】 半導體結構及其製造方法

【英文發明名稱】 SEMICONDUCTOR STRUCTURE AND METHOD FOR
MANUFACTURING THE SAME

【中文】

在此提供一種半導體結構及其製造方法。所述方法包括下列步驟。首先，形成一堆疊於位在一基板上之一底層上，此一堆疊係由交替的複數個犧牲層和複數個絕緣層所構成。接著，同時形成貫穿堆疊的複數個第一孔洞和複數個第二孔洞。在所形成的半導體結構中，第一孔洞和第二孔洞係至少在一排列方向上彼此等距地分離。

【英文】

A semiconductor structure and a method for manufacturing the same are provided. The method comprises the following steps. First, a stack of alternate sacrificial layers and insulating layers is formed on a bottom layer on a substrate. Then, a cap layer is formed on the stack. After that, a plurality of first holes and a plurality of second holes are formed through the cap layer and the stack concurrently. In the semiconductor structure as formed by the embodied method, the first holes and the second holes are equally spaced apart from each other at least in an arranged direction.

【指定代表圖】：第(2B)圖。

【代表圖之符號簡單說明】

101：基板

102：底層

104：堆疊

106：犧牲層

108：絕緣層

110：覆蓋層

112：第一孔洞

114：第二孔洞

【特徵化學式】

無

【發明申請專利範圍】

- 【第1項】 一種半導體結構的製造方法，包括：
形成一堆疊於位在一基板上之一底層上，該堆疊係由交替的複數個犧牲層和複數個絕緣層所構成；以及
同時形成貫穿該堆疊的複數個第一孔洞和複數個第二孔洞。
- 【第2項】 如申請專利範圍第1項所述之半導體結構的製造方法，更包括：
形成一覆蓋層於該堆疊上，其中在同時形成貫穿該堆疊的該些第一孔洞和該些第二孔洞的步驟中，該些第一孔洞和該些第二孔洞亦貫穿該覆蓋層；以及
形成一非共形層於該覆蓋層上並覆蓋該些第一孔洞和該些第二孔洞。
- 【第3項】 如申請專利範圍第2項所述之半導體結構的製造方法，更包括：
打開該些第一孔洞；以及
填充一導體至該些第一孔洞中。
- 【第4項】 如申請專利範圍第3項所述之半導體結構的製造方法，更包括：
在填充該導體之前，形成複數個記憶體層於該些第一孔洞的側壁上。
- 【第5項】 如申請專利範圍第3項所述之半導體結構的製造方法，更包括：
打開該些第二孔洞；
通過該些第二孔洞移除該些犧牲層；
形成由複數個導體層和該些絕緣層所構成的一堆疊，包括：
通過該些第二孔洞填充一導體材料；及

移除該導電材料之位在於該些第二孔洞中的部分；以及
填充一絕緣體至該些第二孔洞中。

【第6項】 如申請專利範圍第5項所述之半導體結構的製造方法，更包括：
在填充該導電材料之前，形成複數個記憶體層於由移除該些犧牲層所曝露出之該些絕緣層的上表面和下表面上、及曝露於該些第二孔洞之該些絕緣層的側表面上。

【第7項】 一種半導體結構，包括：
一底層，形成於一基板上；
一堆疊，形成於該底層上，該堆疊係由交替的複數個導電層和複數個絕緣層所構成；以及
複數個第一孔洞和複數個第二孔洞，貫穿該堆疊，其中該些第一孔洞和該些第二孔洞至少在一排列方向上彼此等距地分離。

【第8項】 如申請專利範圍第7項所述之半導體結構，更包括：
複數個記憶體層，形成於該些第一孔洞的側壁上；
一導電體，填充於該些第一孔洞中；以及
一絕緣體，填充於該些第二孔洞中。

【第9項】 如申請專利範圍第7項所述之半導體結構，更包括：
複數個記憶體層，形成於該些絕緣層的上表面、下表面和側表面上；
一導電體，填充於該些第一孔洞中；以及
一絕緣體，填充於該些第二孔洞中。

【第10項】 如申請專利範圍第7項所述之半導體結構，其中該些第一孔洞和該些第二孔洞具有不同的形狀及/或尺寸。

