



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I845263 B

(45)公告日：中華民國 113 (2024) 年 06 月 11 日

(21)申請案號：112114480

(22)申請日：中華民國 112 (2023) 年 04 月 19 日

(51)Int. Cl. : H10B41/00 (2023.01)

H10B41/30 (2023.01)

H10B41/35 (2023.01)

H10B41/20 (2023.01)

(71)申請人：旺宏電子股份有限公司 (中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹科學工業園區力行路 16 號

(72)發明人：鄭宸語 CHENG, CHEN-YU (TW)；楊智凱 YANG, CHIH-KAI (TW)；韓宗廷 HAN, TZUNG-TING (TW)

(74)代理人：葉璟宗

(56)參考文獻：

TW 202207376A

TW 202228249A

CN 114823697A

WO 2020/252892A1

審查人員：邱柏豪

申請專利範圍項數：20 項 圖式數：5 共 49 頁

(54)名稱

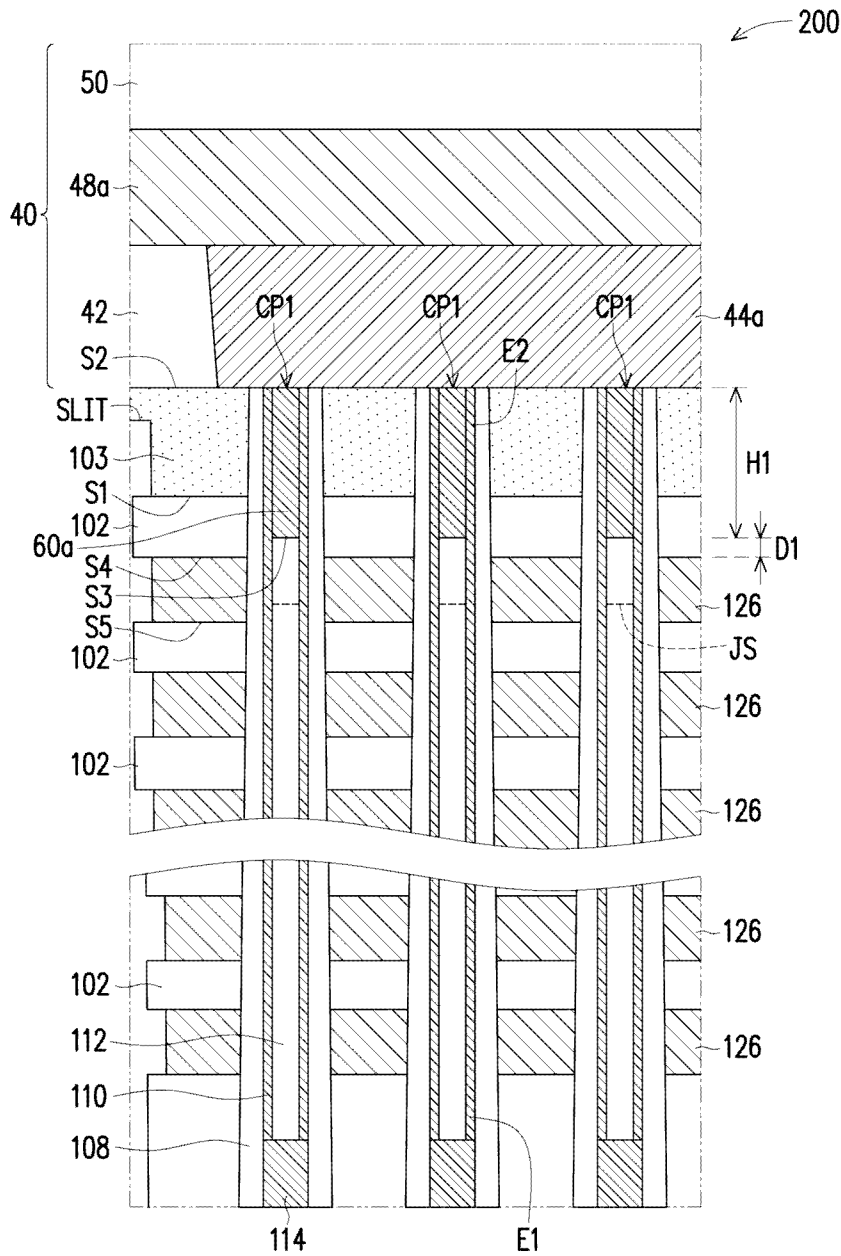
記憶體元件及其製造方法

(57)摘要

一種記憶體元件，包括：在基底上的第一內連線結構、第二內連線結構、堆疊結構、停止層以及多個通道柱結構。所述堆疊結構位於所述第一內連線結構與所述第二內連線結構之間。所述停止層，位於所述堆疊結構與所述第二內連線結構之間。每個通道柱結構包括通道柱、第一通道插塞以及第二通道插塞。所述通道柱，延伸穿過所述堆疊結構與所述停止層。所述第一通道插塞，位於所述通道柱的第一端，與所述第一內連線結構連接。所述第二通道插塞，位於所述通道柱的第二端，與所述第二內連線結構連接。所述第二通道插塞的底面比所述停止層的底面接近所述基底。

A memory device includes first and second interconnect structures, a stacked structure, a stop layer and channel pillar structures over a substrate. The stacked structure is located between the first and the second interconnection structures. The stop layer is located between the stacked structure and the second interconnect structure. Each channel pillar structure includes a channel pillar, a first channel plug and a second channel plug. The channel pillar extends through the stacked structure and the stop layer. The first channel plug is located at a first end of the channel pillar and connected to the first interconnection structure. The second channel plug is located at a second end of the channel pillar and connected to the second interconnection structure. A bottom surface of the second channel plug is closer to the substrate than a bottom surface of the stop layer.

指定代表圖：



符號簡單說明：

- 50:介電層
- 48:導線
- 42:介電層
- 40:內連線結構
- SLIT:分隔牆
- 103:停止層
- 102:絕緣層
- S1:表面/底面
- S1、S2:表面
- S3、S5:底面
- S4:頂面
- 60a:通道插塞
- 110:通道層/通道柱
- 108:電荷儲存結構
- 114:通道插塞
- CP1:通道柱結構
- E1、E2:端
- 200:區域
- 44a:導體墊
- H1:高度
- JS:界面
- D1:距離
- 126:導體層

【圖2】



I845263

公告本

【發明摘要】

【中文發明名稱】記憶體元件及其製造方法

【英文發明名稱】MEMORY DEVICE AND METHOD OF

FABRICATING THE SAME

【中文】

一種記憶體元件，包括：在基底上的第一內連線結構、第二內連線結構、堆疊結構、停止層以及多個通道柱結構。所述堆疊結構位於所述第一內連線結構與所述第二內連線結構之間。所述停止層，位於所述堆疊結構與所述第二內連線結構之間。每個通道柱結構包括通道柱、第一通道插塞以及第二通道插塞。所述通道柱，延伸穿過所述堆疊結構與所述停止層。所述第一通道插塞，位於所述通道柱的第一端，與所述第一內連線結構連接。所述第二通道插塞，位於所述通道柱的第二端，與所述第二內連線結構連接。所述第二通道插塞的底面比所述停止層的底面接近所述基底。

【英文】

A memory device includes first and second interconnect structures, a stacked structure, a stop layer and channel pillar structures over a substrate. The stacked structure is located between the first and the second interconnection structures. The stop layer is located between the stacked structure and the second

interconnect structure. Each channel pillar structure includes a channel pillar, a first channel plug and a second channel plug. The channel pillar extends through the stacked structure and the stop layer. The first channel plug is located at a first end of the channel pillar and connected to the first interconnection structure. The second channel plug is located at a second end of the channel pillar and connected to the second interconnection structure. A bottom surface of the second channel plug is closer to the substrate than a bottom surface of the stop layer.

【指定代表圖】圖2。

【代表圖之符號簡單說明】

50：介電層

48：導線

42：介電層

40：內連線結構

SLIT：分隔牆

103：停止層

102：絕緣層

S1：表面/底面

S1、S2：表面

S3、S5：底面

S4：頂面

60a：通道插塞

110：通道層/通道柱

108：電荷儲存結構

114：通道插塞

CP1：通道柱結構

E1、E2：端

200：區域

44a：導體墊

H1：高度

JS：接面

D1：距離

126：導體層

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 記憶體元件及其製造方法

【英文發明名稱】 MEMORY DEVICE AND METHOD OF

FABRICATING THE SAME

【技術領域】

【0001】 本發明實施例是有關於一種半導體元件及其製造方法，且特別是有關於一種記憶體元件及其製造方法。

【先前技術】

【0002】 非揮發性記憶體元件（如，快閃記憶體）由於具有使存入的資料在斷電後也不會消失的優點，因此成為個人電腦和其他電子設備所廣泛採用的一種記憶體元件。

【0003】 目前業界較常使用的快閃記憶體陣列包括反或閘（NOR）快閃記憶體與反及閘（NAND）快閃記憶體。由於 NAND 快閃記憶體的結構是使各記憶胞串接在一起，其積集度與面積利用率較 NOR 快閃記憶體佳，已經廣泛地應用在多種電子產品中。此外，為了進一步地提升記憶體元件的積集度，發展出一種三維 NAND 快閃記憶體。然而，仍存在許多與三維 NAND 快閃記憶體相關的挑戰。

【發明內容】

【0004】 本發明提供一種記憶體元件的垂直通道的通道插塞的高

寬比小，可以降低製程的困難度，提升元件的可靠度。

【0005】 本發明提供一種記憶體元件的垂直通道的通道插塞具有摻質，接面可以與最頂層的導體層側向部分重疊或完全重疊，因此可以在進行抹除時降低閘極誘發汲極漏電流（GIDL）。

【0006】 本發明的實施例的一種記憶體元件，包括：第一內連線結構、第二內連線結構、堆疊結構、停止層以及多個通道柱結構。所述第一內連線結構位於基底上方。所述第二內連線結構，位於所述第一內連線結構上方。所述堆疊結構，位於所述第一內連線結構與所述第二內連線結構之間，其中所述堆疊結構包括交替堆疊的多個導體層與多個絕緣層。所述停止層，位於所述堆疊結構與所述第二內連線結構之間。所述多個通道柱結構，延伸穿過所述堆疊結構，每個通道柱結構包括：通道柱、第一通道插塞以及第二通道插塞。所述通道柱，延伸穿過所述堆疊結構與所述停止層。所述第一通道插塞，位於所述通道柱的第一端，與所述第一內連線結構連接。所述第二通道插塞，位於所述通道柱的第二端，與所述第二內連線結構連接。所述第二通道插塞的底面比所述停止層的底面接近所述基底。

【0007】 本發明的實施例的一種記憶體元件的製造方法，包括以下步驟。形成堆疊結構，於停止層的第一表面上。所述堆疊結構包括交替堆疊的多個中間層與多個絕緣層。將部分的所述多個中間層取代為多個導體層。形成多個通道柱結構，延伸穿過所述堆疊結構。形成電荷儲存結構於所述多個通道柱結構的外表面。上

述形成每個通道柱結構包括以下步驟。形成通道柱，延伸穿過所述堆疊結構與所述停止層。形成絕緣柱，於所述通道柱之中。形成第一通道插塞，位於所述通道柱的第一端，與所述第一內連線結構電性連接。移除所述每個通道柱的所述第二端的部分所述絕緣柱，以形成凹槽。形成所述每個通道柱結構的第二通道插塞，於所述凹槽中。

【0008】 基於上述，本發明實施例之記憶體元件的垂直通道的通道插塞的高寬比小，因此在形成通道插塞的凹槽時可以降低製程的困難度，提升元件的可靠度。由於垂直通道的通道插塞具有摻質，接面可以與最頂層的導體層側向部分重疊或完全重疊，因此可以在進行抹除時降低閘極誘發汲極漏電流（GIDL）。

【圖式簡單說明】

【0009】

圖 1A 至圖 1Q 是依照本發明實施例的一種記憶體元件的製造流程的剖面示意圖。

圖 2 是圖 1Q 的局部區域的放大圖。

圖 3 至圖 5 是依照本發明另一些實施例的數種記憶體元件的剖面示意圖。

【實施方式】

【0010】 圖 1A 至圖 1Q 是依照本發明實施例的一種記憶體元件

的製造流程的剖面示意圖。

【0011】 參照圖 1A，提供基底 10。基底 10 可為半導體基底，例如含矽基底。元件層 20 形成在基底 10 上。元件層 20 可以包括主動元件或是被動元件。主動元件例如是電晶體、二極體等。被動元件例如是電容器、電感等。電晶體可以是 N 型金氧半

(NMOS) 電晶體、P 型金氧半 (PMOS) 電晶體或是互補式金氧半元件 (CMOS)。由於元件層 20 形成在記憶體陣列的下方 (例如，位於圖 1Q 的堆疊結構 SK2 下方)，而元件層 20 例如是互補式金氧半元件 (CMOS)，因此，此種架構又可稱為接合互補式金氧半元件的記憶體陣列 (CMOS-Bonded-Array, CbA) 結構。

【0012】 參照圖 1A，在元件層 20 上形成內連線結構 30 的第一部分 30a。內連線結構 30 的第一部分 30a 可以包括多層介電層 (未示出) 以及形成在多層介電層中的內連線 (未示出)。內連線包括多個插塞 (未示出) 與多個導線 (未示出) 等。介電層分隔相鄰的導線。導線之間可藉由插塞連接，且導線可藉由插塞連接到元件層 20。內連線結構 30 的第一部分 30a 可以以單金屬鑲嵌、雙重金屬鑲嵌製程或任何已知的方式形成。

【0013】 參照圖 1A，在內連線結構 30 的第一部分 30a 上形成接合結構 32 (示於圖 1J) 的第一部分 32a。接合結構 32 的第一部分 32a 包括接合層 34a、接合插塞 36a 以及接合墊 38a。接合層 34a 例如是氧化矽、氮化矽或其組合。接合插塞 36a 與接合墊 38a 例如是銅。接合墊 38a 經由接合插塞 36a 與內連線結構 30 的第一部分 30a 的最頂層的導線 31a 連接。接合墊 38a 與接合插塞 36a 可

以採用單鑲嵌或是雙鑲嵌的方式形成。接合墊 38a、接合插塞 36a 以及接合層 34a 可以經由化學機械研磨製程平坦化而共平面。

【0014】 參照圖 1A，提供另一基底 100。基底 100 可為半導體基底，例如含矽基底。在基底 100 上形成絕緣層 101 與停止層 103。絕緣層 101 例如是氧化矽。在絕緣層 101 上形成停止層 103。停止層 103 可以是絕緣材料，例如是碳氮化矽 (SiCN)、氮氧化矽 (SiON)、氧化鋁 (Al₂O₃) 或其組合。

【0015】 參照圖 1A，在停止層 103 的表面 S1 上形成堆疊結構 SK1 的下部 LP。堆疊結構 SK1 的下部 LP 包括多個彼此交替堆疊的絕緣層 102 與多個中間層 104。在一些實施例中，絕緣層 102 的材料包括氧化矽，而中間層 104 的材料包括氮化矽。中間層 104 可以做為犧牲層，其將在後續的製程中被部分移除或全部移除。

【0016】 參照圖 1B，接著，多個虛設柱 DVC 穿過堆疊結構 SK1 的下部 LP。多個虛設柱 DVC 可以經由單階段的微影與蝕刻製程或多階段的微影與蝕刻製程來形成開口 (未示出)。開口穿過堆疊結構 SK1 的下部 LP 延伸至停止層 103，甚至延伸至絕緣層 101。然後，再於開口中填入填充材料 (或稱為自行對準材料) 來形成之。以多個階段的微影與蝕刻製程形成的開口的側壁的輪廓例如是成竹節狀。

【0017】 參照圖 1C，在基底 100 上方形成堆疊結構 SK1 的上部 UP。堆疊結構 SK1 的上部 UP 包括彼此堆疊的多個絕緣層 102 與多個中間層 104。堆疊結構 SK1 的上部 UP 的絕緣層 102 與中間層 104 的材料如上堆疊結構 SK1 的下部 LP 的絕緣層 102 與中間層

104 的材料所述。接著，將堆疊結構 SK1 的中間層 104 與絕緣層 102 圖案化，以形成階梯結構 SC。在一些實施例中，階梯結構 SC 可以經由多階段的圖案化製程來形成，但本發明不以此為限。圖案化製程可以包括微影、蝕刻與修整 (trim) 等製程。在基底 100 上方形成介電層 107，以覆蓋階梯結構 SC。介電層 107 的材料例如是氧化矽。介電層 107 的形成方法例如是形成介電材料，以填覆蓋階梯結構 SC。之後再進行平坦化製程，例如是化學機械研磨製程，以移除多餘的介電材料。

【0018】 參照圖 1D，進行圖案化製程，移除部分堆疊結構 SK1，以形成開口 (未示出)，並裸露出虛設柱 DVC。接著，移除開口所裸露的虛設柱 DVC，以形成延伸穿過堆疊結構 SK1 的一個或多個開口 106。在一實施例中，開口 106 可具有略微傾斜的側壁。在另一實施例中，開口 106 可具有大致垂直的側壁 (未示出)。在一實施例中，開口 106 又稱為垂直通道 (vertical channel; VC) 孔洞。在一實施例中，開口 106 可以經由單階段的微影與蝕刻製程來形成。在另一實施例中，開口 106 以多個階段的微影與蝕刻製程。以多個階段的微影與蝕刻製程形成的開口 106 的側壁的輪廓例如是成竹節狀。

【0019】 參照圖 1E，之後於開口 106 中形成電荷儲存結構 108。電荷儲存結構 108 與絕緣層 102 以及中間層 104 接觸。在一實施例中，電荷儲存結構 108 為氧化物/氮化物/氧化物 (ONO) 複合層。電荷儲存結構 108 例如是共形層，其形成於開口 106 的側壁與底面上。之後於開口 106 剩餘的空間中形成垂直通道柱 CP。垂直通道柱 CP 可以下述的方法來形成。

【0020】 參照圖 1E，於電荷儲存結構 108 的內側壁與底面上形成通道層 110。在一實施例中，通道層 110 的材料包括未摻雜的多晶矽。接著，於通道層 110 的內表面上形成絕緣柱（或稱為核心絕緣柱）112。在一實施例中，絕緣柱 112 的材料包括氧化矽。之後，於開口 106 中形成通道插塞 114，通道插塞 114 與通道層 110 接觸。通道插塞 114 從最上層的絕緣層 102 的頂面（未示出）延伸至開口 106 的某一深度。在一實施例中，通道插塞 114 的材料包括具有摻質的半導體材料，例如具有摻質的多晶矽。通道層 110、絕緣柱 112 以及通道插塞 114 可合稱為垂直通道柱 CP。垂直通道柱 CP 穿過堆疊結構 SK1 且延伸至停止層 103，甚至延伸至絕緣層 101。電荷儲存結構 108 環繞於垂直通道柱 CP 的豎直外表面。之後，在基底 100 上方形成介電層 115。介電層 115 的材料包括氧化矽。

【0021】 參照圖 1F，形成多個支撐結構 PIC 以及多個穿孔 TV。支撐結構 PIC 以及多個穿孔 TV 可以從介電層 115 的頂面延伸穿過堆疊結構 SK1 以及停止層 103，以避免階梯結構 SC 在後續移除中間層 104 的過程中倒塌。在本實施例中，支撐結構 PIC 以及多個穿孔 TV 可以具有相同的結構，各自分別包括絕緣襯層 111 與導體層 113。在其他實施例中，支撐結構 PIC 可以在形成電荷儲存結構 108 以及垂直通道柱 CP 同時形成。多個支撐結構 PIC 分別與電荷儲存結構 108 以及垂直通道柱 CP 所組合的結構具有相同的結構，但本發明不以此為限。穿孔 TV 將在後續製程中與內連線連接，因此又可稱為訊號接觸窗（Signal contact）。

【0022】 參照圖 1G，於介電層 115 上形成介電層 128。介電層 128 例如是氧化矽。其後，進行圖案化製程，以形成多個分隔溝渠 116。分隔溝渠 116 延伸穿過介電層 128、介電層 115 與堆疊結構 SK1，而將堆疊結構 SK1 區分成多個區塊（未示出）。分隔溝渠 116 可具有垂直側壁（未示出）或是略微傾斜的側壁（未示出）。

【0023】 參照圖 1G，進行取代製程，將部分的中間層 104 取代為導體層 126。首先，進行選擇性蝕刻製程，使蝕刻劑經由分隔溝渠 116 與兩側的堆疊結構 SK1 的中間層 104 接觸。藉此，以移除部分的中間層 104，形成多個水平開口（未示出），留下穿孔 TV 周圍的中間層 104。選擇性蝕刻製程可以是等向性蝕刻，例如是濕式蝕刻製程。濕式蝕刻製程所採用的蝕刻劑例如是熱磷酸。然後，於分隔溝渠 116 以及水平開口中形成導體層 126。導體層 126 可做為閘極層。導體層 126 例如是包括阻障層以及金屬層。在一實施例中，阻障層的材料包括鈦（Ti）、氮化鈦（TiN）、鉭（Ta）、氮化鉭（TaN）或其組合。金屬層的材料包括鎢（W）。部分的中間層 104 被取代為導體層 126，因而形成堆疊結構 SK2。

【0024】 堆疊結構 SK2 包括第一部分 P1 與第二部分 P2。堆疊結構 SK2 的第一部分 P1 包括交替堆疊的多個絕緣層 102 與多個中間層 104。堆疊結構 SK2 的第二部分 P2 包括交替堆疊的多個絕緣層 102 與多個導體層 126。多個垂直通道柱 CP 延伸穿過堆疊結構 SK2 的第二部分 P2。多個穿孔 TV 伸穿過堆疊結構 SK2 的第一部分 P1。部分的多個支撐結構 PIC 延伸穿過堆疊結構 SK2 的第二部分 P2。另一部分的多個支撐結構 PIC 延伸穿過堆疊結構 SK2 的第一部分 P1。

【0025】 參照圖 1G，接著，將形成在分隔溝渠 116 之中的導體層 126 移除，並在分隔溝渠 116 的側壁形成間隙壁 117。間隙壁 117 包括與絕緣層 102 不同的介電材料，例如是氮化矽或是氧化矽/氮化矽/氧化矽複合層。之後，於分隔溝渠 116 剩餘的空間之中填入導體層 93，例如是摻雜多晶矽層。在分隔溝渠 116 中的導體層 93 以及間隙壁 117 共同形成分隔牆（slit）SLIT。分隔牆 SLIT 的導體層 93 藉由間隙壁 117 隔離以避免與導體層 126 接觸。其後，在介電層 128 上形成停止層 129，以覆蓋分隔牆 SLIT 的頂面。停止層 129 例如是氮化矽。

【0026】 參照圖 1H，在停止層 129 上形成介電層 130。介電層 130 例如是氧化矽。接著，於介電層 130 至介電層 107 中形成多個接觸窗 COA，以分別電性連接導體層 126、垂直通道柱 CP 以及穿孔 TV。接觸窗 COA 的形成方法可以先形成接觸窗孔，再於介電層 130 上形成導體材料，導體材料還填入接觸窗孔中。之後，進行回蝕刻或是化學機械研磨製程，以移除介電層 130 上的導體材料。

【0027】 參照圖 1H，在基底 100 上方形成內連線結構 30 的第二部分 30b。內連線結構 30 的第二部分 30b 可以包括多層介電層（未示出）以及形成在多層介電層中的內連線（未示出）。內連線包括多個插塞（未示出）與多個導線（未示出）等。介電層分隔相鄰的導線。導線之間可藉由插塞連接，且導線可藉由插塞連接到接觸窗 COA。內連線結構 30 的第二部分 30b 可以以單金屬鑲嵌、雙重金屬鑲嵌製程或任何已知的方式形成。

【0028】 參照圖 1H，在內連線結構 30 的第二部分 30b 上形成接合結構 32（示於圖 1J）的第二部分 32b。接合結構 32 的第二部分

32b 包括接合層 34b、接合插塞 36b 以及接合墊 38b。接合墊 38b 經由接合插塞 36b 與內連線結構 30 的第二部分 30b 的最頂層的導線 31b 連接。接合層 34b、接合插塞 36b 以及接合墊 38b 的材料與形成方法可以與接合層 34a、接合插塞 36a 以及接合墊 38a 的材料與形成方法相同或相似。接合結構 32、內連線結構的第一部分 30a 以及內連線結構的第二部分 30b 形成內連線結構 30。

【0029】 參照圖 1I，將基底 100 翻轉。被翻轉基底 100 上的階梯結構 SC 變成反階梯結構 RSC。接觸窗 COA 在反階梯結構 RSC 下方。接著，參照圖 1I 與圖 1J，將接合結構 32 的第二部分 32b 與接合結構 32 的第一部分 32a 接合，以形成接合結構 32。在接合結構 32 中，接合層 34b 與接合層 34a 接合，接合墊 38b 與接合墊 38a 接合。接合層 34b 與接合層 34a 可以藉由介電質與介電質（dielectric-to-dielectric）接合。接合墊 38b 與接合墊 38a 可以藉由金屬與金屬（metal-to-metal）接合。接合結構 32 位於內連線結構 30 之中，在內連線結構 30 的第一部分 32a 與第二部分 32b 之間。接合結構 32、第一部分 32a 與第二部分 32b 形成內連線結構 30。

【0030】 參照圖 1K，接著，將基底 100 移除，以裸露出絕緣層 101。基底 100 可以藉由研磨、拋光或是蝕刻的方式移除。

【0031】 參照圖 1L，以停止層 103 做為蝕刻停止層，進行蝕刻製程，以移除絕緣層 101、部分的電荷儲存結構 108 以及部分的通道層 110，裸露出垂直通道柱 CP 的絕緣柱 112 的頂面以及停止層 103 的表面 S2。在此，通道層 110 又可稱為通道柱 110。

【0032】 參照圖 1M，進行蝕刻製程，例如是濕式蝕刻製程，移除

部分的絕緣柱 112，以形成多個凹槽 R1。由於停止層 103 的材料與絕緣柱 112 的材料不同，因此在進行蝕刻製程時，停止層 103 可以保護下方的絕緣層 102 以及分隔牆 SLIT。停止層 103 可以避免絕緣層 102 以及分隔牆 SLIT 的間隙壁 117 遭受蝕刻的破壞。在一些實施例中，凹槽 R1 裸露出通道柱 110 的內側壁以及剩餘的絕緣柱 112 的頂面。在另一些實施例中，部分的通道柱 110 也被移除，以使得凹槽 R1 裸露出電荷儲存結構 108 的內側壁（未示出）。凹槽 R1 延伸穿過停止層 103，凹槽 R1 的底面低於停止層 103 的底面（即表面 S1）。在一些實施例中，凹槽 R1 的底面例如是介於停止層 103 的底面（即表面 S1）以及最頂導體層 126 的底面 S5 之間。凹槽 R1 的深度可以在進行蝕刻製程時藉由時間模式控制。凹槽 R1 的高寬比遠小於分隔牆 SLIT 的分隔溝渠 116 的高寬比。凹槽 R1 的高寬比例例如是 1 至 6.25。由於凹槽 R1 的高寬比小，因此，可以降低蝕刻的困難度。

【0033】 參照圖 1N，在停止層 103 上形成通道材料 60。通道材料 60 還填入凹槽 R1 之中，與通道柱 110 電性連接。由於凹槽 R1 的高寬比小，因此，可以輕易回填通道材料 60。通道材料 60 可以包括半導體材料。半導體材料例如半導體元素或是半導體化合物。半導體元素例如是多晶矽。半導體化合物例如是矽化鎳或碳化矽。通道材料 60 具有摻質。摻質可以是磷或砷。摻質的濃度在 $10^{18} \sim 10^{21}$ 原子/立方公分。

【0034】 參照圖 1O 與圖 2，進行平坦化製程，以移除停止層 103 上的通道材料 60，並在凹槽 R1 之中形成與通道柱 110 電性連接的通道插塞 60a。在一些實施例中，通道材料 60 的摻質可以在沉

積通道材料時藉由原位摻雜 (in-situ doping) 來形成之。沉積製程的溫度可以低於攝氏 450 度。在另一些實施例中，通道材料 60 的摻質可以經由離子植入製程來形成之，其後再進行回火製程來活化之。回火製程例如是雷射回火。回火製程的溫度低於攝氏 450 度。在進行回火之後，摻質擴散所形成的接面 JS (示於圖 2) 可以與最頂層的導體層 126 側向完全重疊或部分重疊。

【0035】 參照圖 1O 與圖 2，通道插塞 60a、通道柱 110、絕緣柱 112 以及通道插塞 114 可合稱為通道柱結構 CP1。通道柱結構 CP1 延伸穿過堆疊結構 SK2 的多個絕緣層 102 與多個導體層 126。通道柱結構 CP1 的兩端 (頂端與底端) E2 與 E1 分別為通道插塞 60a 與 114，其可以各自分別與其他的導電特徵，例如是導體墊 44a (示於圖 1P 與圖 2) 與接觸窗 COA 電性連接。因此，通道柱結構 CP1 又可以稱為雙端垂直通道柱。電荷儲存結構 108 環繞在通道柱結構 CP1 的通道插塞 60a、通道柱 110 以及通道插塞 114 的外側壁，且介於通道柱結構 CP1 與導體層 126 之間，以及介於通道柱結構 CP1 與絕緣層 102 之間。

【0036】 參照圖 1P，在停止層 103 上形成內連線結構 40 (示於圖 1Q) 的介電層 42、接觸窗 46 以及導體墊 44a。接觸窗 46 電性連接穿孔 TV。多個通道柱結構 CP1 的通道插塞 60a 電性連接同一導體墊 44a。介電層 42 可以是單層或是多層。介電層 42 的材料可以是氧化矽、氮氧化矽、氮化矽或其組合。接觸窗 46 以及導體墊 44a 形成在介電層 42 之中。接觸窗 46 以及導體墊 44a 的形成方法如下所述。首先，經由微影與蝕刻製程在介電層 42 中形成接觸窗孔 (未示出) 以及導體墊開口 (未示出)。然後，再於介電層 42 上形

成導電材料，並使得導電材料填入接觸窗孔以及導體墊開口中。其後，經由平坦化製程，例如是化學機械研磨製程，將介電層 42 上多餘的導電材料移除，以在接觸窗孔以及導體墊開口中形成接觸窗 46 以及導體墊 44a。

【0037】 參照圖 1Q，在介電層 42、導體墊 44a 以及接觸窗 46 上形成內連線結構 40 的其他部分，例如是多個導線 48 以及介電層 50。多個導線 48 可以包括導線 48a 與 48b。導線 48a 可以做為共同源極線，以連接導體墊 44a。相鄰的導體墊 44a 可以電性連接同一導線 48a。導線 48b 可以連接接觸窗 46。導線 48 的材料例如是銅或鎢。介電層 50 可以是單層或是多層。介電層 42 的材料可以是氧化矽、氮氧化矽、氮化矽或其組合。內連線結構 40 可以經由穿孔 TV 電性連接內連線結構 30。內連線結構 40 可以經由接觸窗 COA 電性連接內連線結構 30。內連線結構 40 可以經由通道柱結構 CP1 電性連接內連線結構 30。

【0038】 圖 2 是圖 1Q 的局部區域 200 的放大圖。

【0039】 參照圖 2，電荷儲存結構 108 於通道柱結構 CP1 的外表面。多個通道柱結構 CP1 的多個通道插塞 60a 延伸穿過停止層 103 以及至少部分的最頂絕緣層 102。多個通道插塞 60a 的高度 H1 大於停止層 103 的厚度 T1。通道插塞 60a 的底面 S3 比停止層 103 的底面（即表面 S1）接近基底 10（示於圖 1Q 中）。亦即，通道插塞 60a 的底面 S3 可以低於停止層 103 的底面（即表面 S1）。通道插塞 60a 的底面 S3 可以高於最頂層的導體層 126 的頂面 S4。或是，通道插塞 60a 的底面 S3 可以低於停止層 103 的底面（即表面 S1），且低於最頂層的導體層 126 的頂面 S4。在一些實施例中，通道插

塞 60a 的底面 S3 介於最頂層的導體層 126 的頂面 S4 與底面之間。由於通道插塞 60a 具有摻質，接面可以與最頂層的導體層 126 側向部分重疊或完全重疊，因此可以在進行抹除時降低閘極誘發汲極漏電流 (GIDL)。在一些實施例中，通道插塞 60a 從停止層 103 的表面 S2 至通道插塞 60a 的底面 S3 的高度 H1 的範圍例如是 500 埃至 1500 埃。通道插塞 60a 的高寬比的範圍例如是 0.5 至 3.75。通道插塞 60a 的底面 S3 與最頂層的導體層 126 的頂面 S4 之間的距離 D1 的範圍例如是 -300 埃至 300 埃。

【0040】 參照圖 1Q 與圖 2，在上述的實施例中，多個通道柱結構 CP1 的多個通道插塞 60a 形成在停止層 103 之中，且藉由停止層 103 彼此分離。相鄰的多個通道插塞 60a 再經由形成在介電層 42 之中的導體墊 44a (導電特徵) 彼此局部電性連接。在分隔牆 SLIT 相對兩側的導體墊 44a 再經由導線 (共同源極線) 48a 電性連接。然而，本發明並不以此為限。連接相鄰的多個通道插塞 60a 的導電特徵可以是在形成介電層 42 之前或之後形成，其位置可以在介電層 42 之中、之下或之上。

【0041】 圖 3 至圖 5 是依照本發明另一些實施例的數種記憶體元件的剖面示意圖。

【0042】 參照圖 1N 與圖 3，在停止層 103 上以及凹槽 R1 (示於圖 1M) 之中形成通道材料 60 之後，在形成介電層 42 之前，對通道材料 60 進行圖案化製程，以取代平坦化製程。通道材料 60 的圖案化製程可以藉由微影與蝕刻製程來執行。在多個支撐結構 PIC 以及多個穿孔 TV 上的通道材料 60 被移除。通道材料 60 被圖案化成在停止層 103 上的半導體墊 60b (導電特徵)，以及填在凹槽

R1 之中的通道插塞 60a。相鄰的通道插塞 60a 經由半導體墊 60b 彼此電性連接。半導體墊 60b（導電特徵）還連接分隔牆 SLIT 兩側的多個通道插塞 60a。其後，參照上述實施例，形成內連線結構 40 的介電層 42、導體墊 44a、導線 48 以及介電層 50。

【0043】參照圖 1P 與圖 4，在停止層 103 上形成介電層 42 之後，在介電層 42 之中形成彼此分離的多個接觸窗 46 以及多個介層窗 44b。接觸窗 46 連接穿孔 TV。每一個介層窗 44b 連接單一個通道插塞 60a。多個介層窗 44b，透過後續形成的導線（共同源極線）48a 電性連接。相鄰的多個介層窗 44b 可以電性連接同一導線 48a。

【0044】參照圖 1Q 至圖 4，上述的停止層 103 為絕緣的連續層，然而，本發明並不此為限。停止層 103 也可以是不連續的圖案化導體層如圖 5 所示。

【0045】參照圖 5，圖案化的導體層之間被介電層 105 分隔。停止層 103 與介電層 105 的形成方法可以採用先形成介電層 105 再形成停止層 103 的金屬鑲嵌的方式形成。金屬鑲嵌的方式可以先形成介電層 105，接著圖案化介電層 105 以形成多個開口。之後再於介電層 105 上以及多個開口中填入停止材料。然後進行平坦化製程，例如是化學機械研磨製程，以移除介電層 105 上多餘的停止材料，以形成停止層 103。或者，停止層 103 與介電層 105 的形成方法也可以採用先形成停止材料，再將停止材料圖案化，以形成停止層 103。之後，再於停止層 103 上以及周圍形成介電材料。然後，進行平坦化製程，例如是化學機械研磨製程，移除停止層 103 上的介電材料，以形成介電層 105。

【0046】參照圖 5，在一些實施例中，停止層 103 為不連續的圖案

化的導體層。圖案化的導體層的材料例如是多晶矽層或鎢。停止層 103 可以包括導體圖案 103a、103b 與 103c。導體圖案 103a、103b 與 103c 彼此藉由介電層 105 電性絕緣。每一個導體圖案 103a 圍繞穿孔 TV。導體圖案 103b 圍繞多個支撐結構 PIC。每一個導體圖案 103c 圍繞多個通道插塞 60a 的其中之一。

【0047】 在本實施例中，多個穿孔 TV 各自分別與停止層 103（導電圖案 103a）電性連接，且彼此以介電層 105 電性絕緣。多個支撐結構 PIC 可以連接到同一停止層 103（導電圖案 103b）。多個支撐結構 PIC 藉由介電層 105，與相鄰的穿孔 TV 電性絕緣。多個支撐結構 PIC 藉由介電層 105，與相鄰的通道插塞 60a 電性絕緣。多個通道插塞 60a 周圍的停止層 103（導電圖案 103c）沿著水平方向從分隔牆 SLIT 的一側連續延伸至另一側。因此，在分隔牆 SLIT 相對兩側的多個通道插塞 60a 藉由導體墊 44a 及其下方的停止層 103 彼此電性連接，也可以藉由導體墊 44a 以其上方的導線 48 彼此電性連接。

【0048】 綜上所述，本發明實施例藉由接合兩晶片的方式來形成記憶體元件。由於其中的一個晶片設有停止層，可以在蝕刻的過程中保護停止層下方的堆疊結構，因此，在垂直通道柱的頂端設置的通道插塞可以藉由蝕刻出凹槽再回填通道材料的方式形成。之後，再於通道插塞上形成導電特徵，以使得多個通道插塞彼此電性連接。由於凹槽的高寬比小，因此，可以輕易蝕刻，且可以輕易回填通道材料。因此，採用本發明實施例的方法可以降低製程的困難度。由於通道插塞具有摻質，接面可以與最頂層的導體

層側向部分重疊或完全重疊，因此可以在進行抹除時降低閘極誘發汲極漏電流（GIDL）。

【符號說明】

【0049】

10：基底

20：元件層

30：內連線結構

30a：第一部分

30b：第二部分

31a：最頂層的導線

31b：最頂層的導線

32：接合結構

32a：第一部分

32b：第二部分

34a：接合層

34b：接合層

36a：接合插塞

36b：接合插塞

38a：接合墊

38b：接合墊

40：內連線結構

- 42：介電層
- 44a：導體墊
- 44b：介層窗
- 46：接觸窗
- 48：導線
- 50：介電層
- 60：通道材料
- 60a：通道插塞
- 60b：半導體墊
- 93：導體層
- 100：基底
- 101：絕緣層
- 102：絕緣層
- 103：停止層
- 104：中間層
- 105：介電層
- 106：開口
- 107：介電層
- 108：電荷儲存結構
- 110：通道層/通道柱
- 111：絕緣襯層
- 112：絕緣柱

113：導體層

114：通道插塞

115：介電層

116：分隔溝渠

117：間隙壁

126：導體層

128：介電層

129：停止層

130：介電層

200：區域

COA：接觸窗

CP：垂直通道柱

CP1：通道柱結構

D1：距離

DVC：虛設柱

E1：端

E2：端

H1：高度

JS：接面

LP：下部

PIC：支撐結構

R1：凹槽

P1：第一部分

P2：第二部分

RSC：反階梯結構

S1：表面/底面

S1、S2：表面

S3、S5：底面

S4：頂面

SC：階梯結構

SK1：堆疊結構

SK2：堆疊結構

SLIT：分隔牆

T1：厚度

TV：穿孔

UP：上部

【發明申請專利範圍】

【請求項1】 一種記憶體元件，包括：

第一內連線結構，位於基底上方；

第二內連線結構，位於所述第一內連線結構上方；

堆疊結構，位於所述第一內連線結構與所述第二內連線結構之間，其中所述堆疊結構包括交替堆疊的多個導體層與多個絕緣層；

停止層，位於所述堆疊結構與所述第二內連線結構之間；以及

多個通道柱結構，延伸穿過所述堆疊結構，每個通道柱結構包括：

通道柱，延伸穿過所述堆疊結構與所述停止層；

第一通道插塞，位於所述通道柱的第一端，與所述第一內連線結構連接；以及

第二通道插塞，位於所述通道柱的第二端，與所述第二內連線結構連接，

其中所述第二通道插塞的底面比所述停止層的底面接近所述基底。

【請求項2】 如請求項1所述記憶體元件，其中所述第二通道插塞延伸穿過所述停止層以及至少部分的所述多個絕緣層的最頂絕緣層。

【請求項3】 如請求項1所述記憶體元件，其中所述第二通道插塞的底面介於所述停止層的所述底面與所述多個導體層的最頂導體層的底面之間。

【請求項4】 如請求項1所述記憶體元件，其中所述第一通道插塞以及所述第二通道插塞包括具有摻質的半導體材料。

【請求項5】 如請求項1所述記憶體元件，其中相鄰的第二通道插塞經由半導體墊彼此電性連接。

【請求項6】 如請求項1所述記憶體元件，其中相鄰的第二通道插塞連接所述第二內連線結構的同一導體墊，再連接共同源極線。

【請求項7】 如請求項1所述記憶體元件，其中相鄰的第二通道插塞經由所述第二內連線結構的多個介層窗連接共同源極線。

【請求項8】 如請求項1所述記憶體元件，更包括：接合結構位於所述第一內連線結構中。

【請求項9】 如請求項1所述記憶體元件，其中所述第二通道插塞從所述停止層的頂面的高度範圍在500埃至1500埃。

【請求項10】 如請求項1所述記憶體元件，其中所述第二通道插塞的高寬比的範圍在0.5至3.75。

【請求項11】 如請求項1所述記憶體元件，其中所述第二通道插塞的底面至所述多個導體層的最頂層導體層的頂面之間的距離範圍在-300埃至300埃。

【請求項12】 如請求項1所述記憶體元件，更包括：

多個穿孔，延伸穿過所述停止層以及所述堆疊結構的交替堆疊的多個中間層與所述多個絕緣層，連接所述第一內連線結構與所述第二內連線結構。

【請求項13】 如請求項1所述記憶體元件，其中所述停止層包括絕緣材料或圖案化的導體層。

【請求項14】 一種記憶體元件的製造方法，包括：

形成堆疊結構，於停止層的第一表面上，其中所述堆疊結構包括交替堆疊的多個中間層與多個絕緣層；

將部分的所述多個中間層取代為多個導體層；

形成多個通道柱結構，延伸穿過所述堆疊結構，其中形成每個通道柱結構包括：

形成通道柱，延伸穿過所述堆疊結構與所述停止層；

形成絕緣柱，於所述通道柱之內表面；

形成第一通道插塞，位於所述通道柱的第一端；

移除所述每個通道柱的第二端的部分所述絕緣柱，以形成凹槽；以及

形成所述每個通道柱結構的第二通道插塞，於所述凹槽中；

形成電荷儲存結構於所述多個通道柱結構的外表面，

形成第一內連線結構與第二內連線結構，使所述堆疊結構位於所述第一內連線結構與所述第二內連線結構之間，其中所述

第一內連線結構與所述通道柱的所述第一端電性連接，所述與第二內連線結構與所述通道柱的所述第二端電性連接。

【請求項15】 如請求項14所述的記憶體元件的製造方法，更包括：

進行離子植入製程，將摻質植入於所述第二通道插塞中；

以及

進行回火製程，以活化所述摻質。

【請求項16】 如請求項14所述的記憶體元件的製造方法，更包括：

形成所述第一內連線結構的第一部分，於第一基底上方；

形成接合結構的第一部分於所述第一內連線結構的所述第一部分上；

形成所述第一內連線結構的第二部分，於所述堆疊結構上，連接所述第一通道插塞；

形成所述接合結構的第二部分於所述第一內連線結構的所述第二部分上；以及

接合所述接合結構的所述第一部分與所述接合結構的所述第二部分。

【請求項17】 如請求項16所述的記憶體元件的製造方法，更包括：

形成所述停止層，於第二基底上；

移除所述第二基底，並裸露出所述每個通道柱的所述第二端；以及

形成所述第二內連線結構，於所述停止層的第二表面上，連接所述第二通道插塞，

其中所述第二通道插塞的底面比所述停止層的所述第一表面接近所述第一基底。

【請求項18】 如請求項17所述的記憶體元件的製造方法，其中形成所述每個通道柱結構的所述第二通道插塞的方法包括：

在所述停止層的所述第二表面上以及所述凹槽中形成通道材料；以及

移除所述停止層的所述第二表面上的所述通道材料，在所述凹槽中形成所述第二通道插塞。

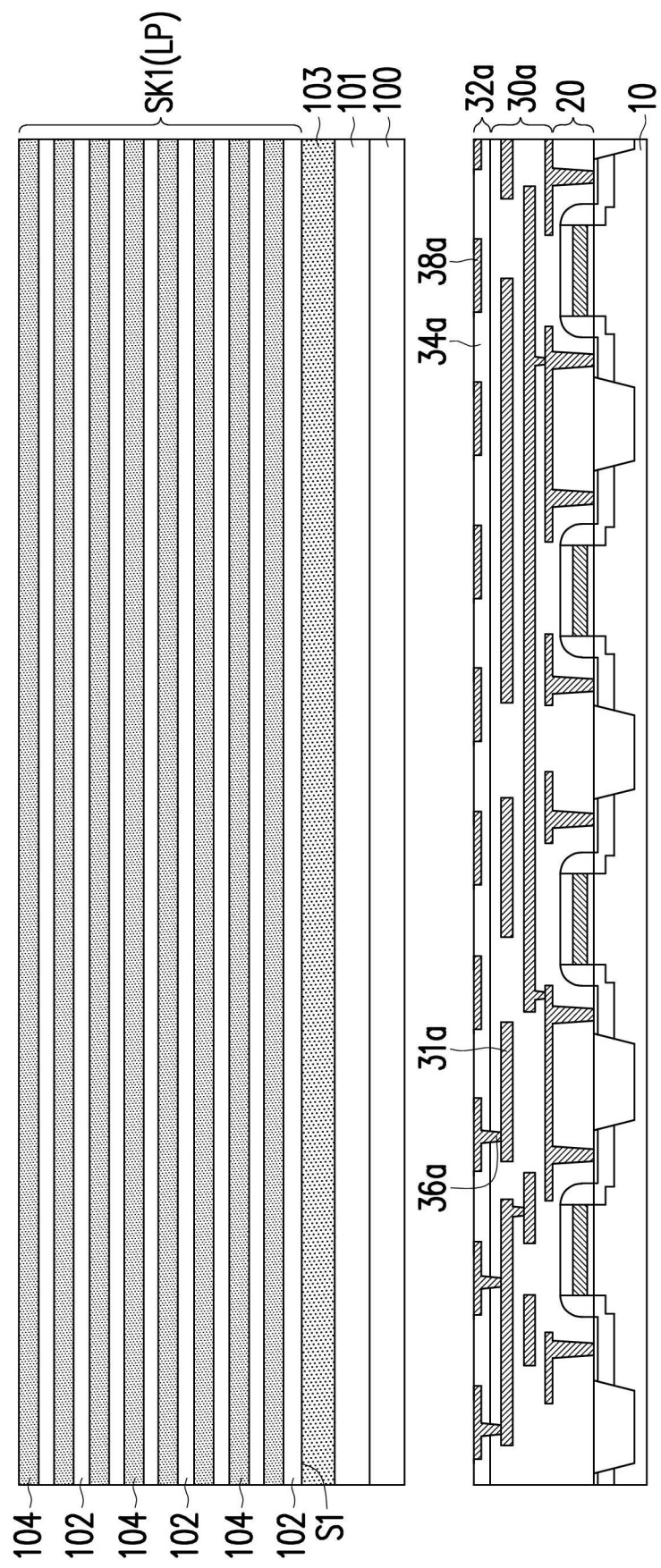
【請求項19】 如請求項18所述的記憶體元件的製造方法，其中形成所述第二內連線結構包括形成導體墊或介層窗，連接所述第二通道插塞。

【請求項20】 如請求項17所述的記憶體元件的製造方法，其中在所述凹槽中形成所述每個通道柱結構的所述第二通道插塞的方法包括：

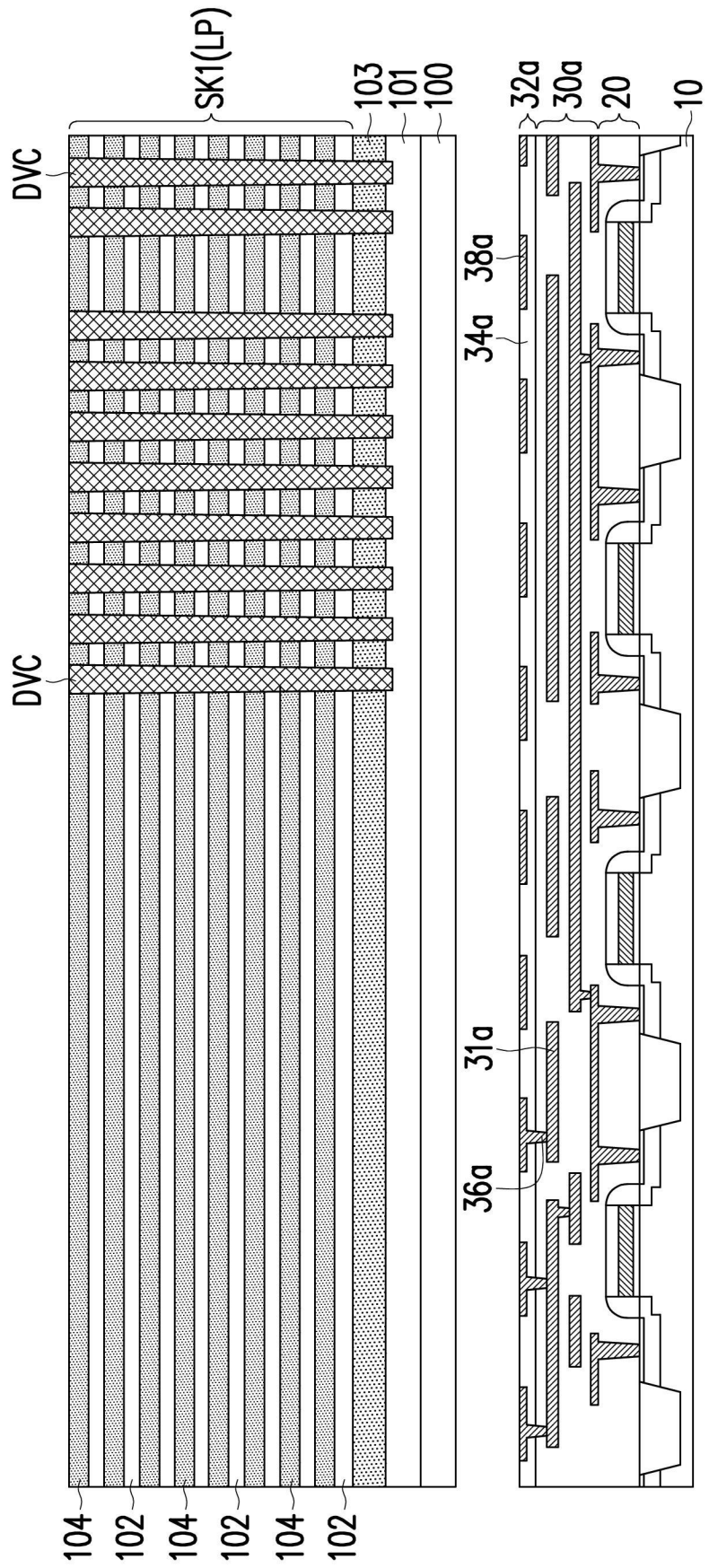
在所述停止層的所述第二表面上以及所述凹槽中形成通道材料；以及

圖案化所述停止層的所述第二表面上的所述通道材料，以形成半導體層，並在所述凹槽中形成所述第二通道插塞。

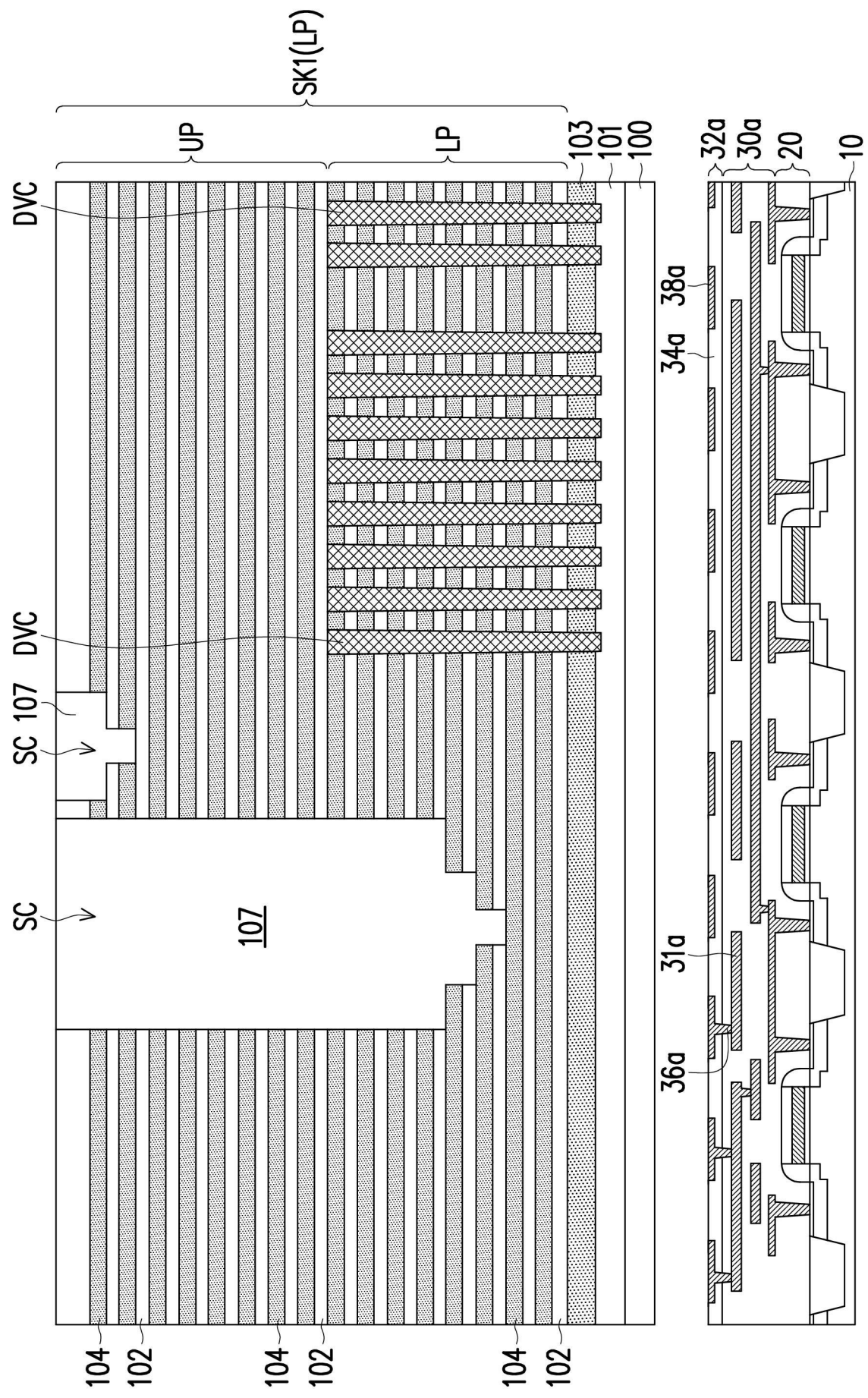
【發明圖式】



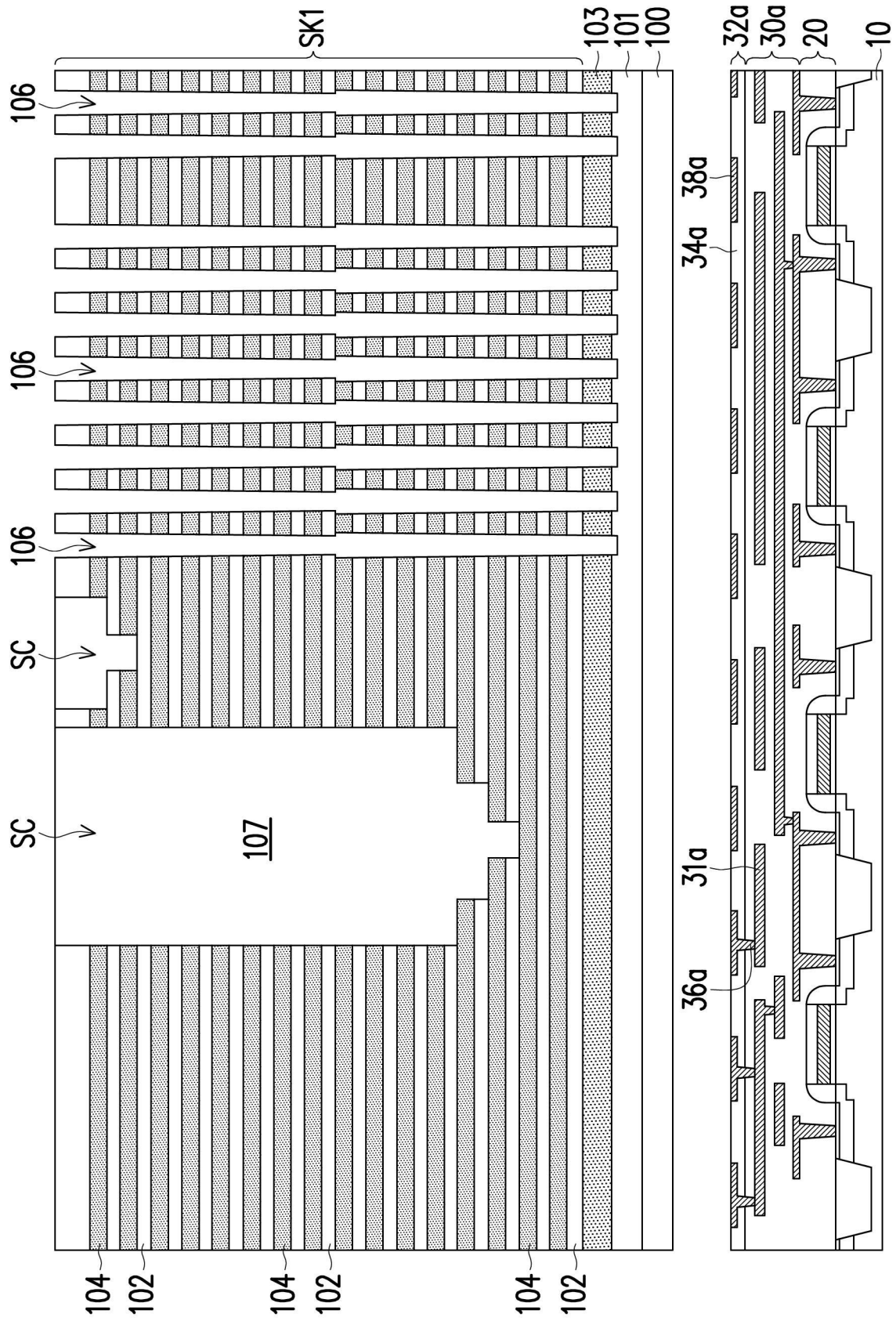
【圖1A】



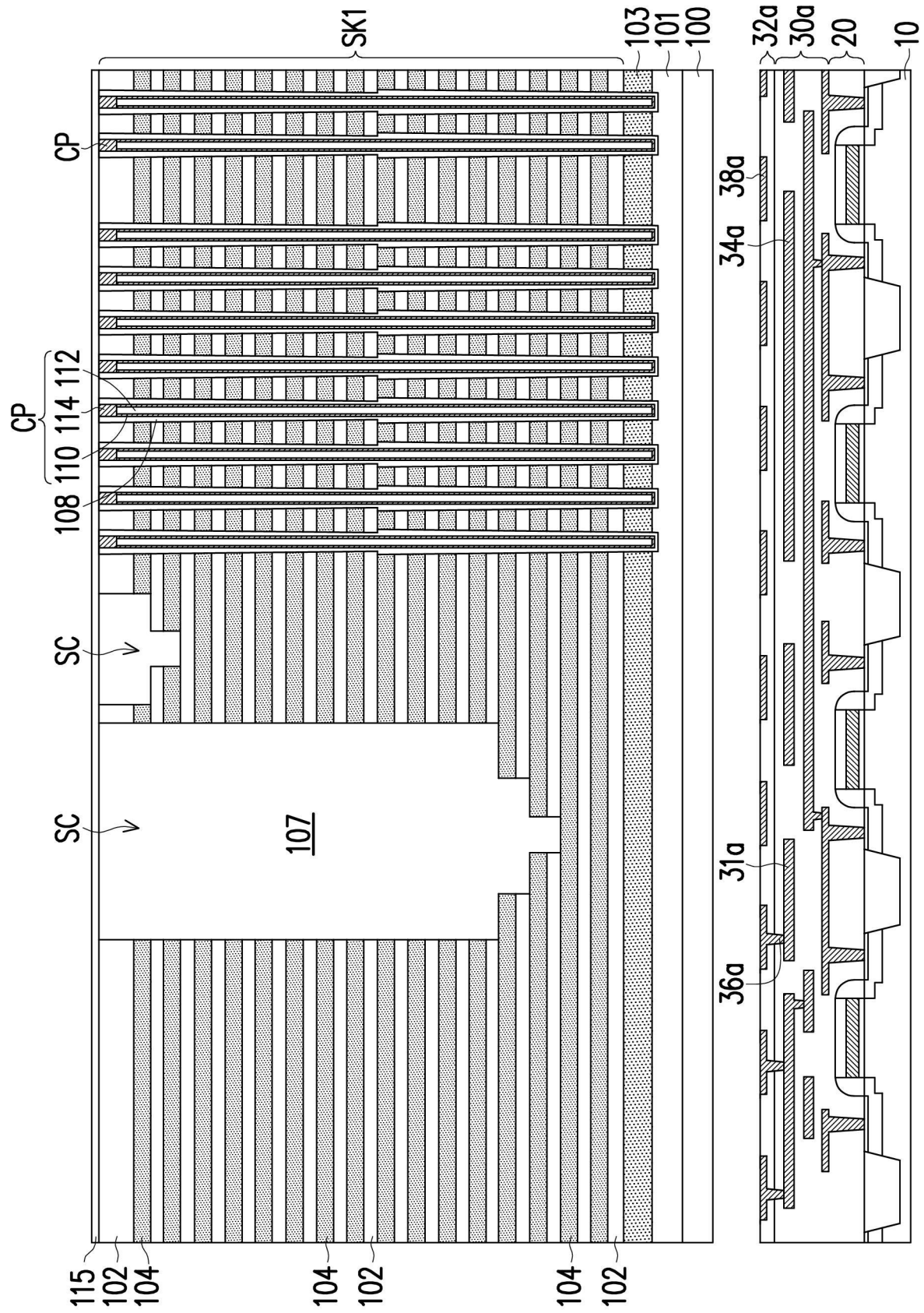
【圖1B】



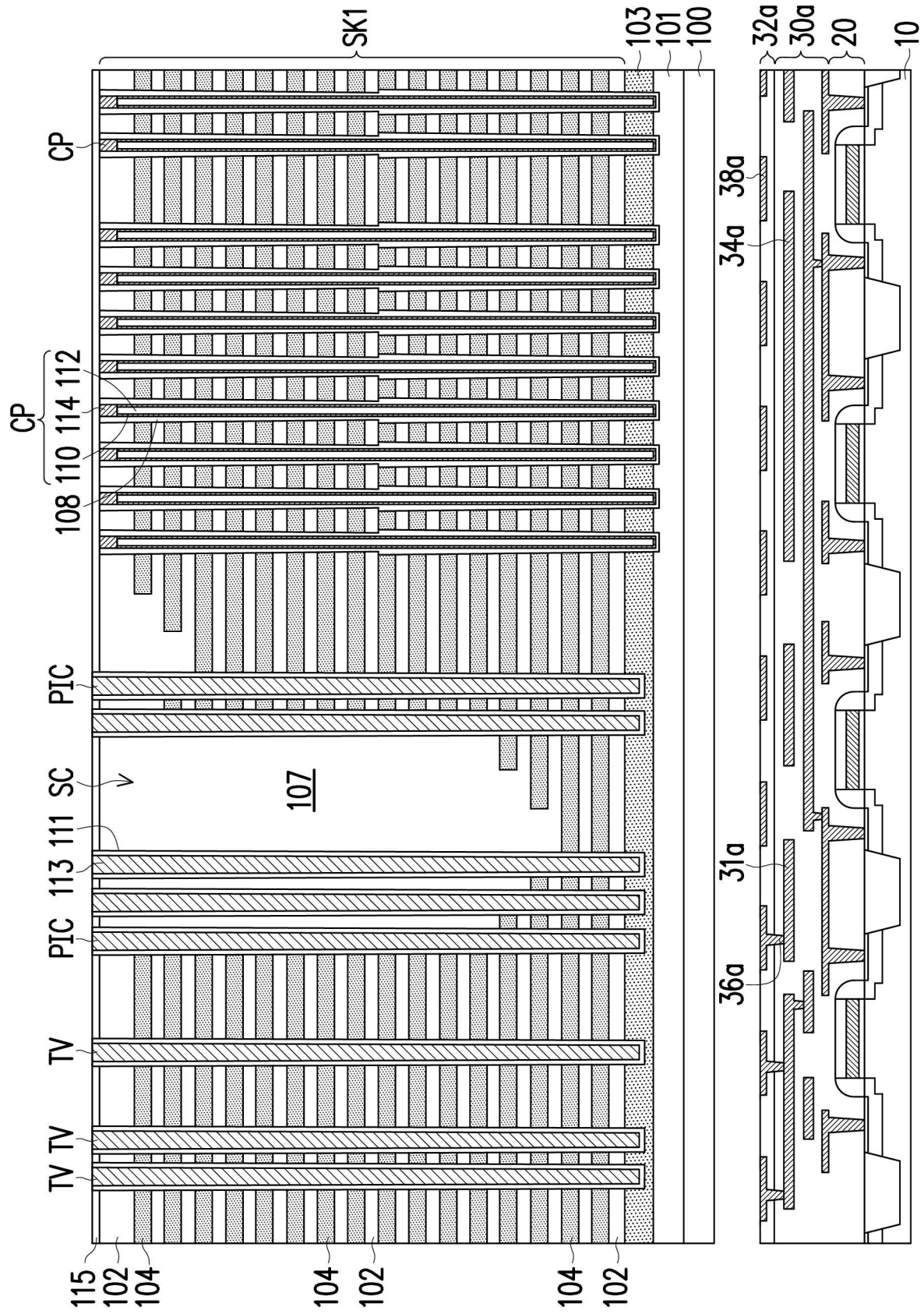
【圖1C】



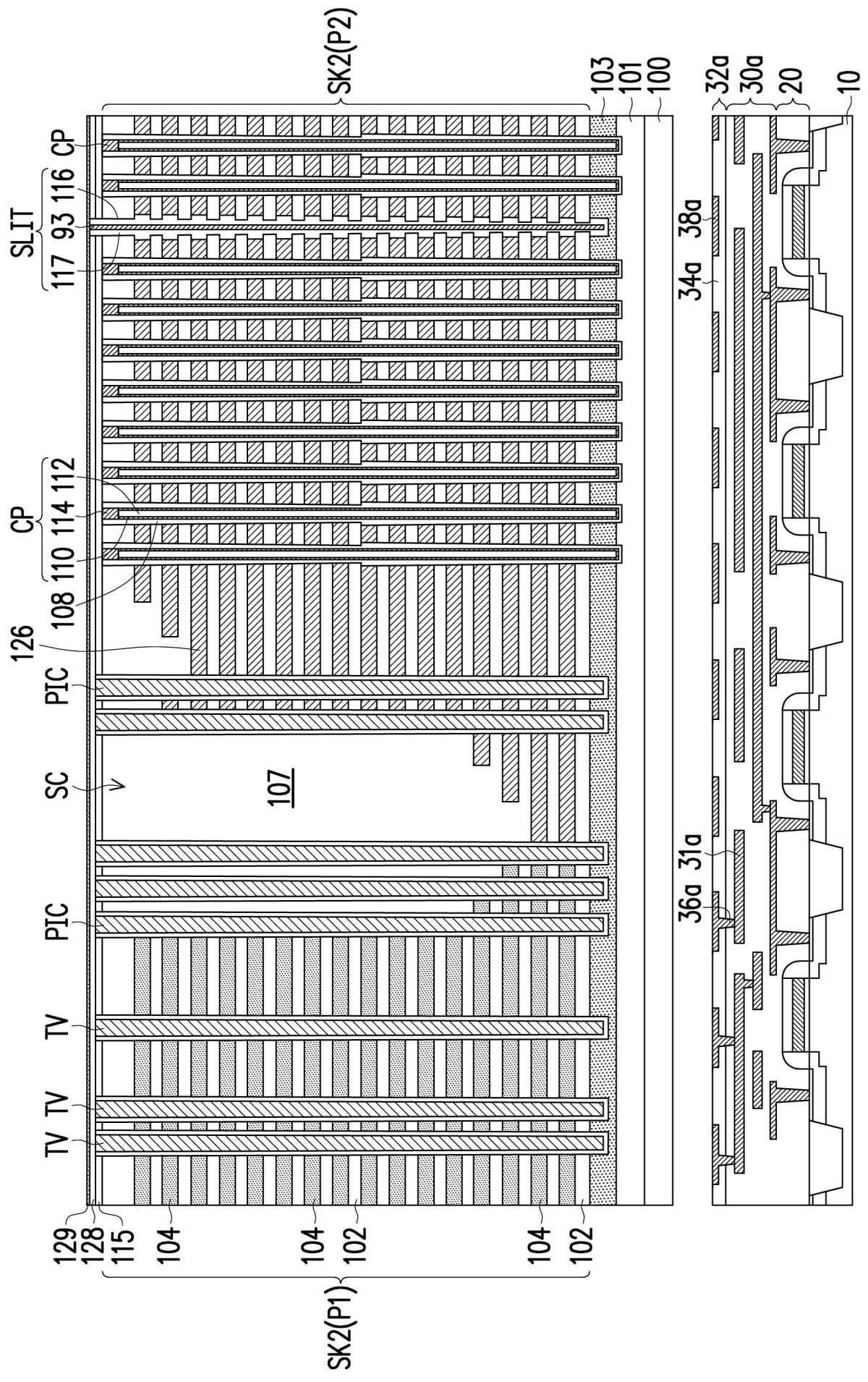
【圖1D】



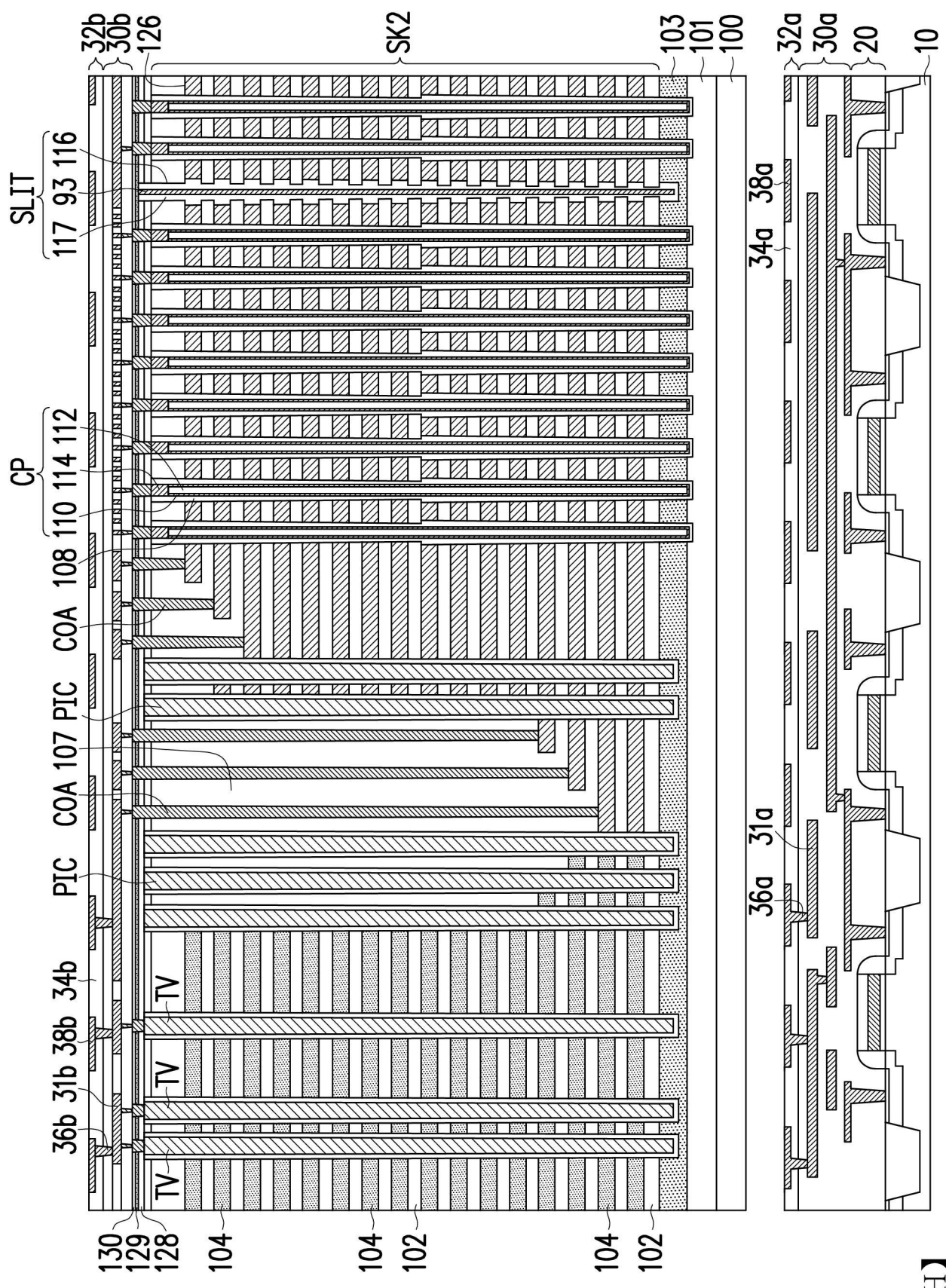
【圖1E】



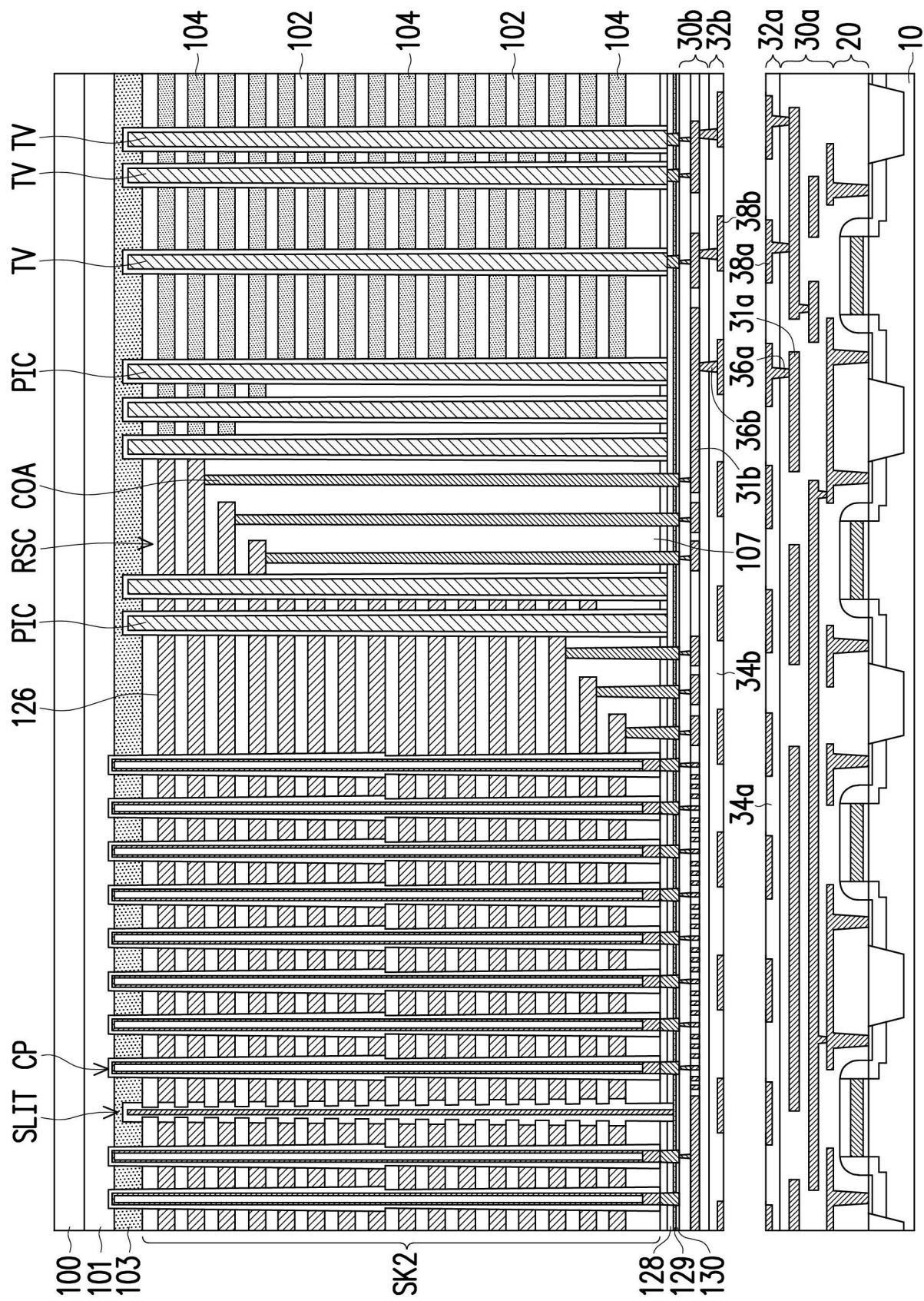
【圖1F】



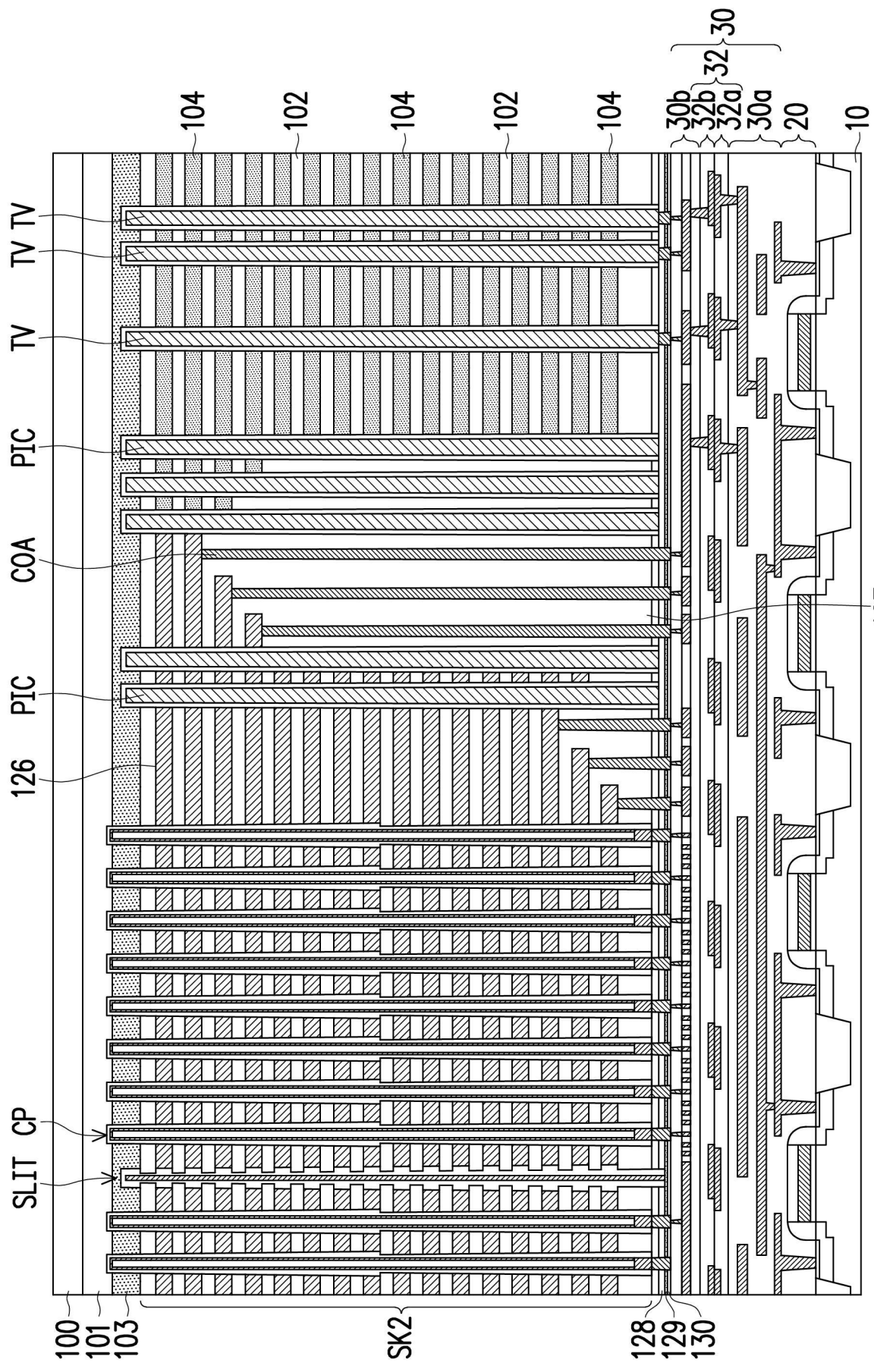
【圖1G】



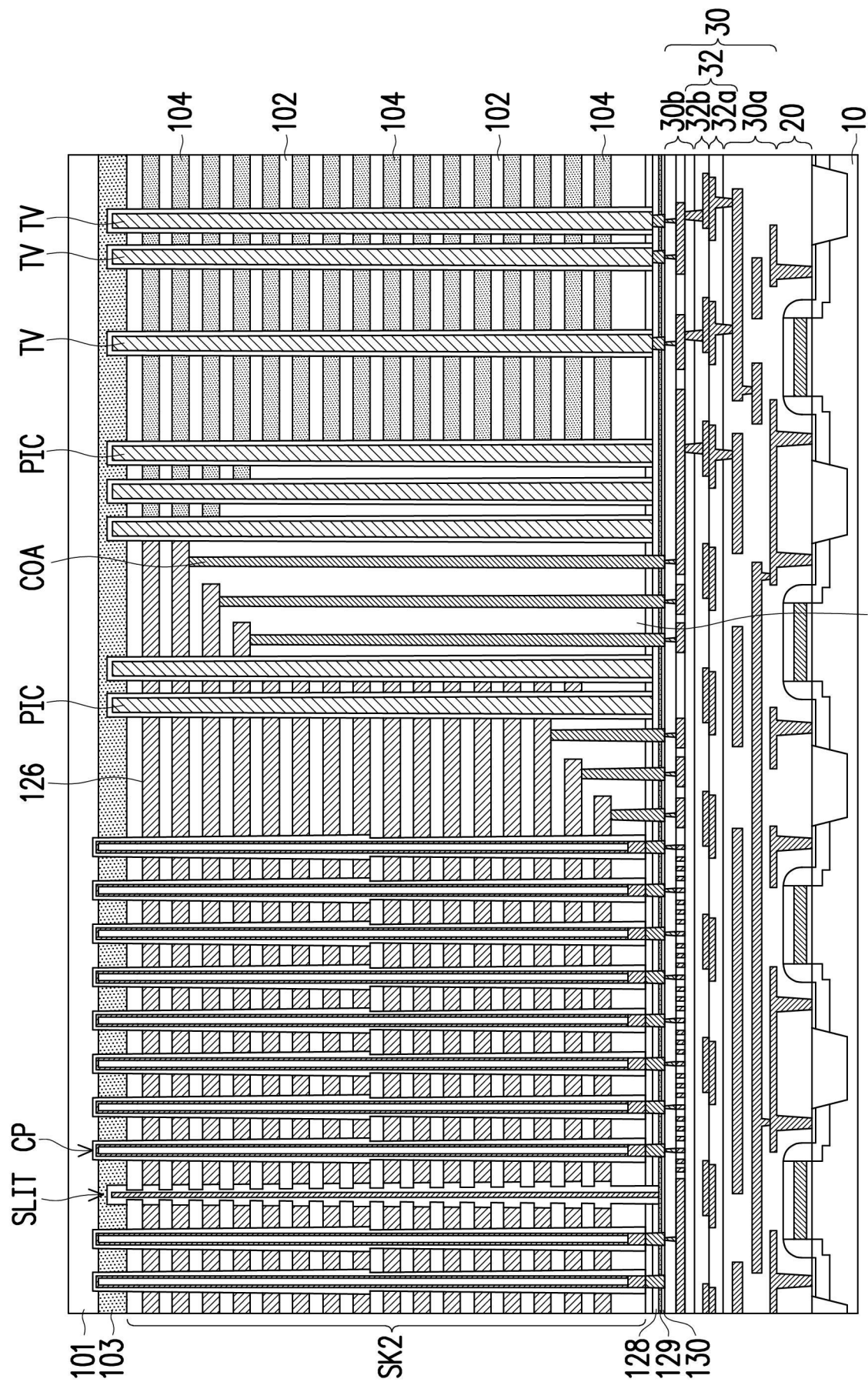
【圖1H】



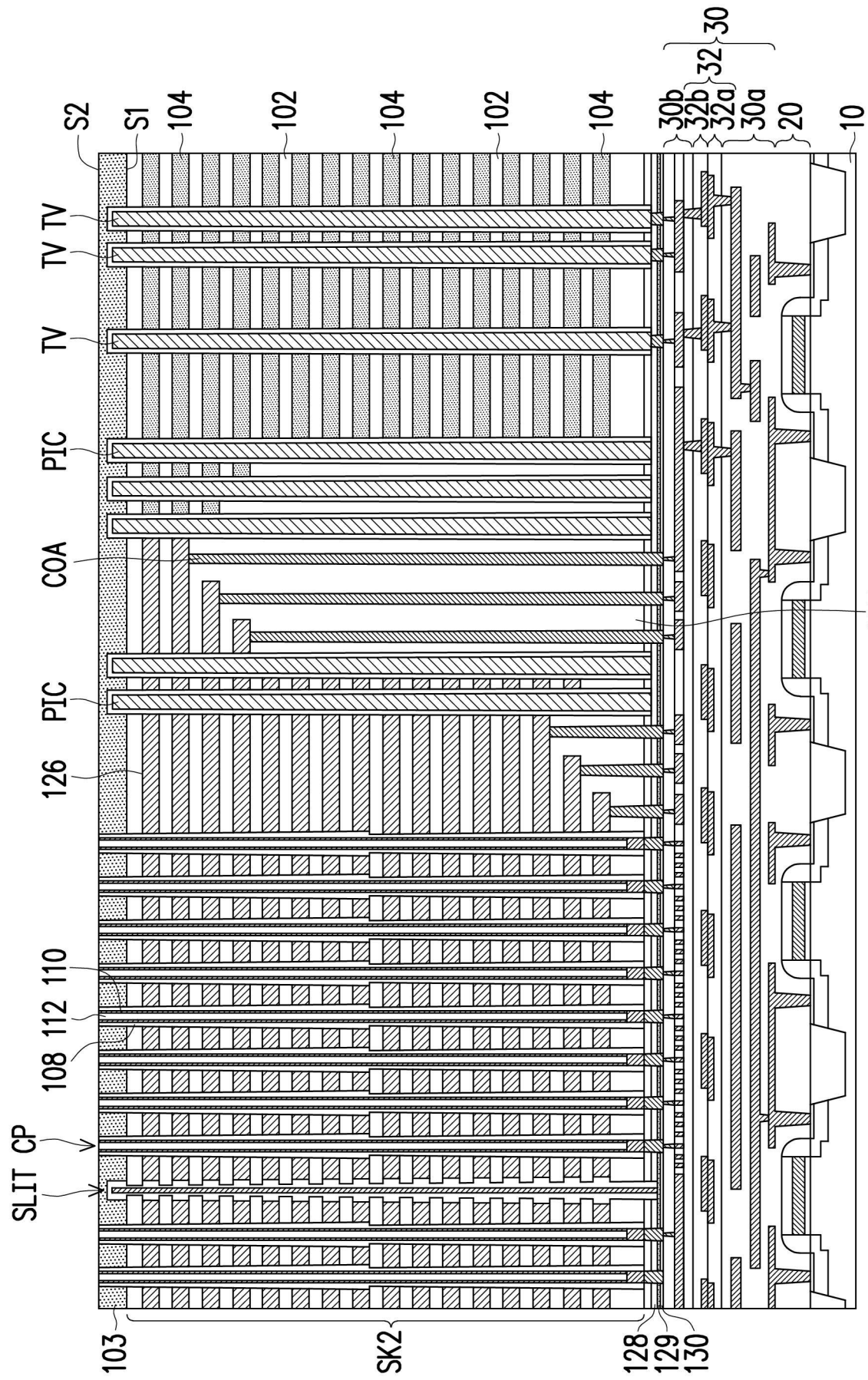
【圖11】



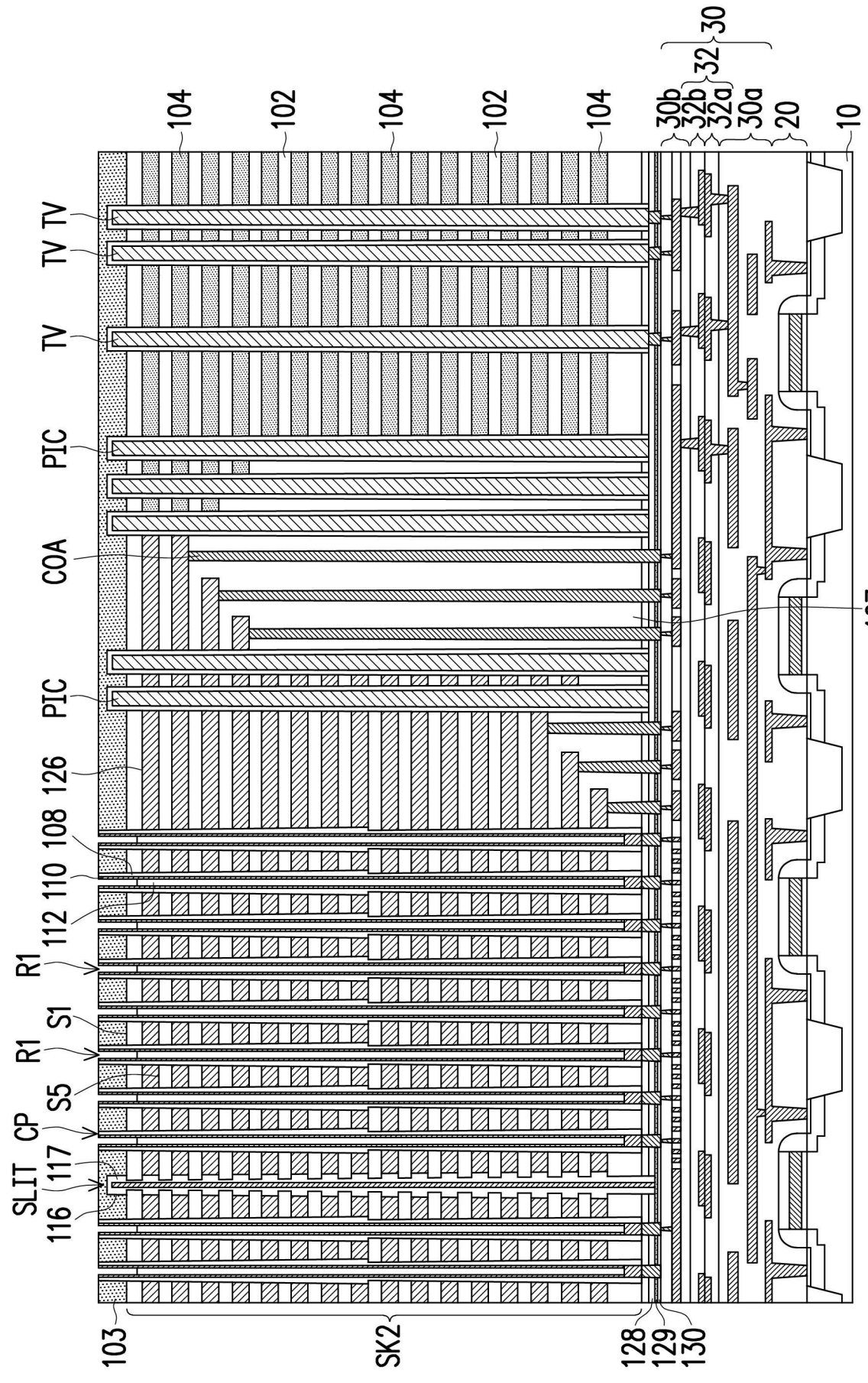
【圖1J】



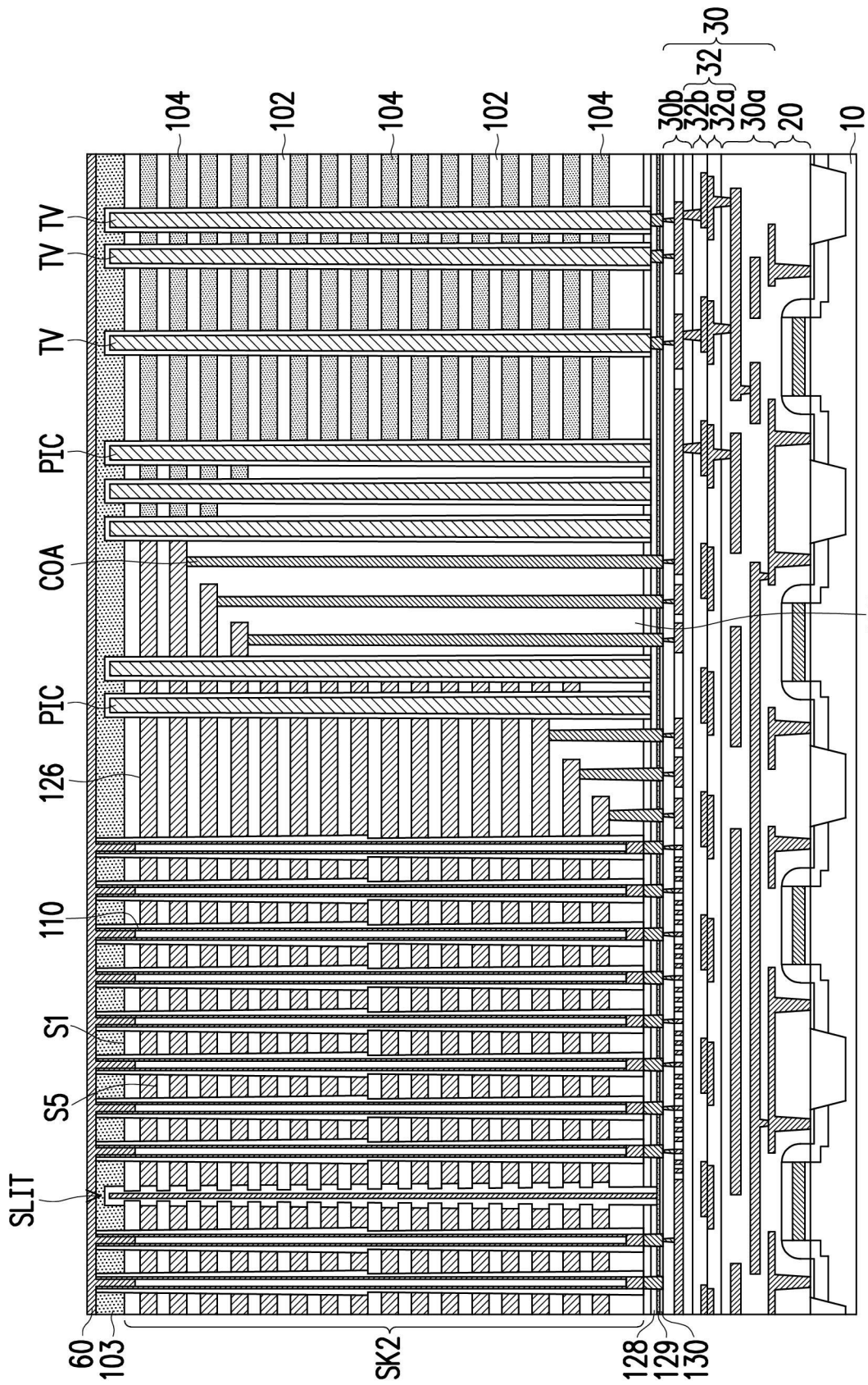
【圖1K】



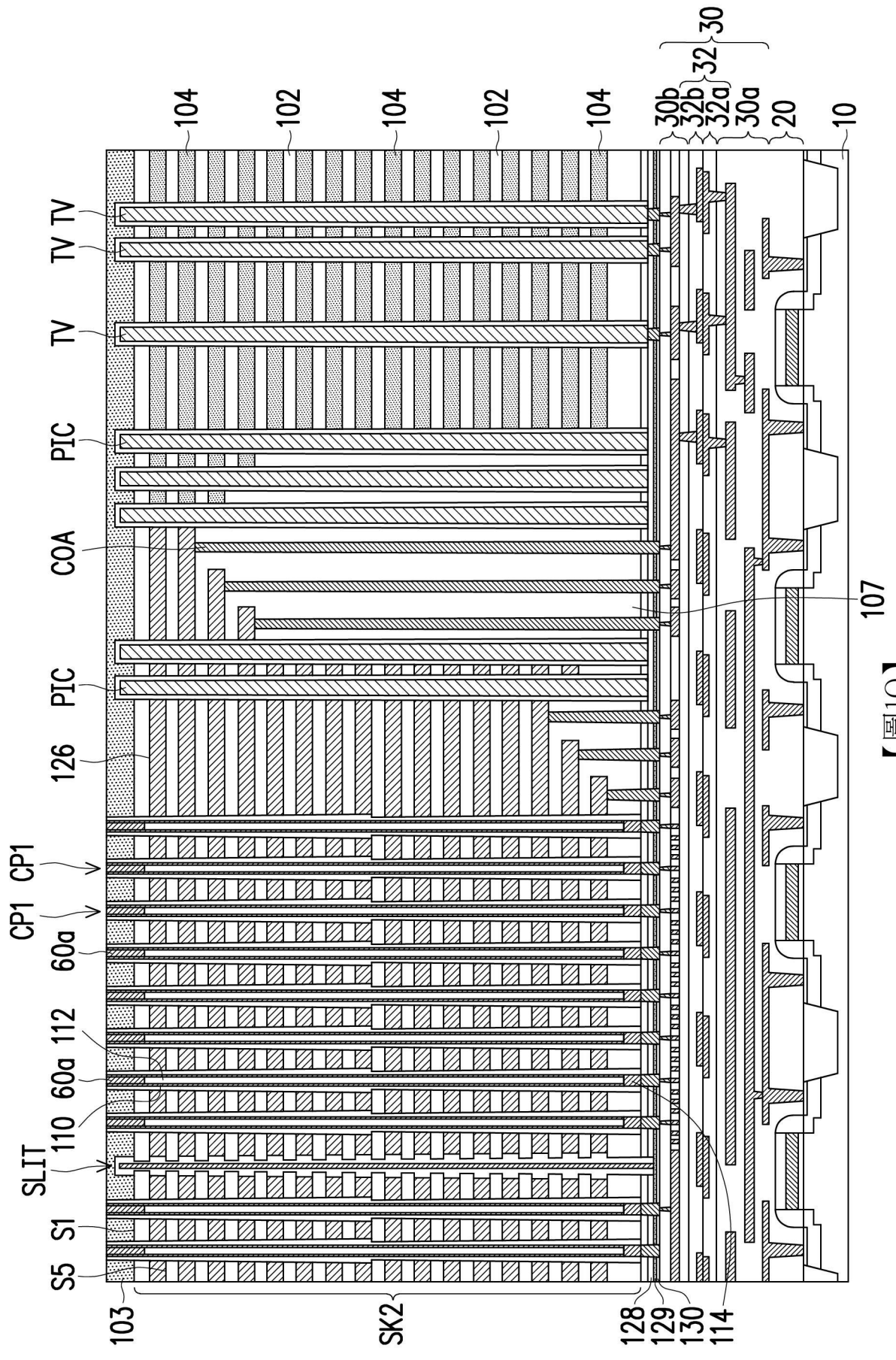
【圖1L】



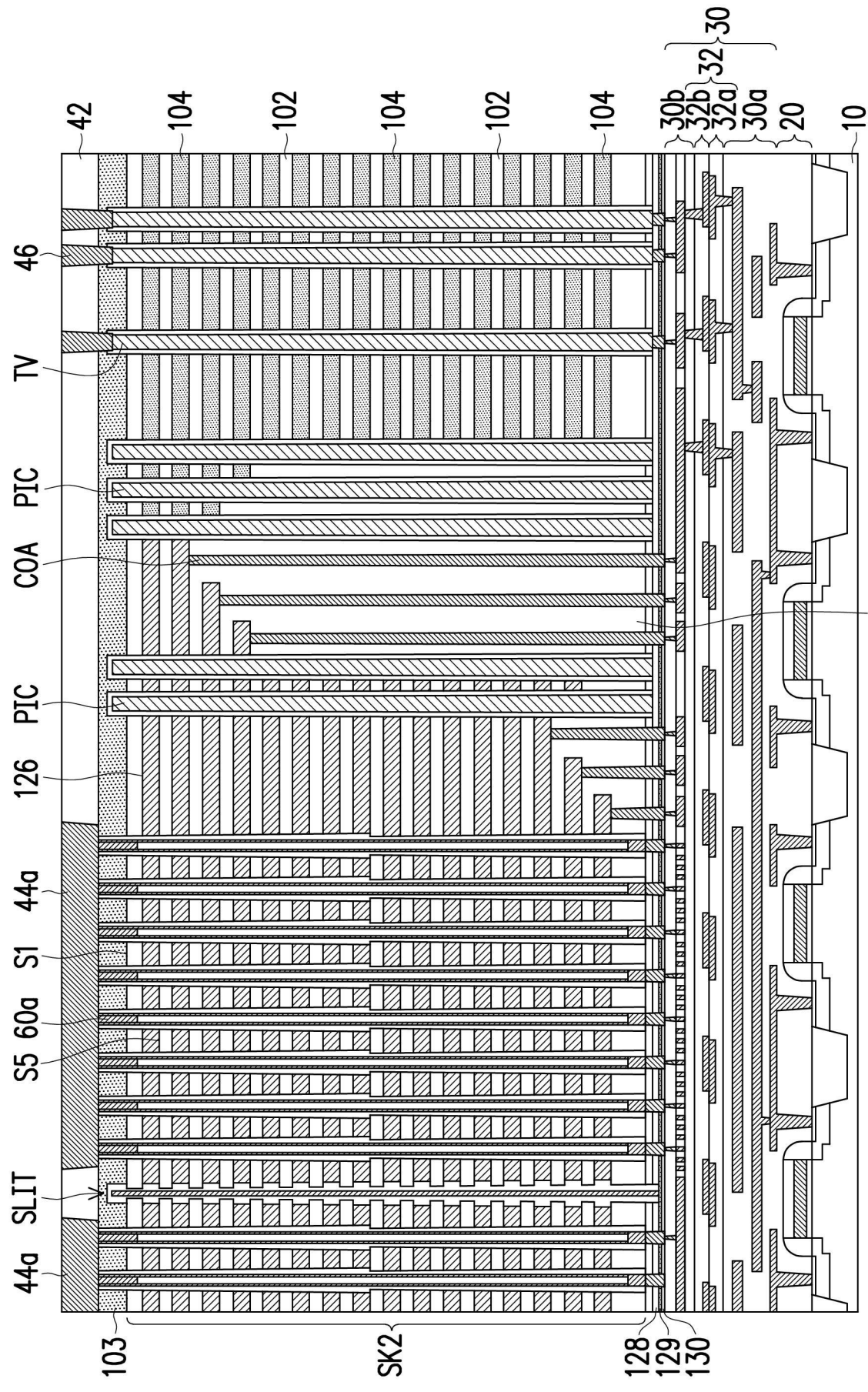
【圖1M】



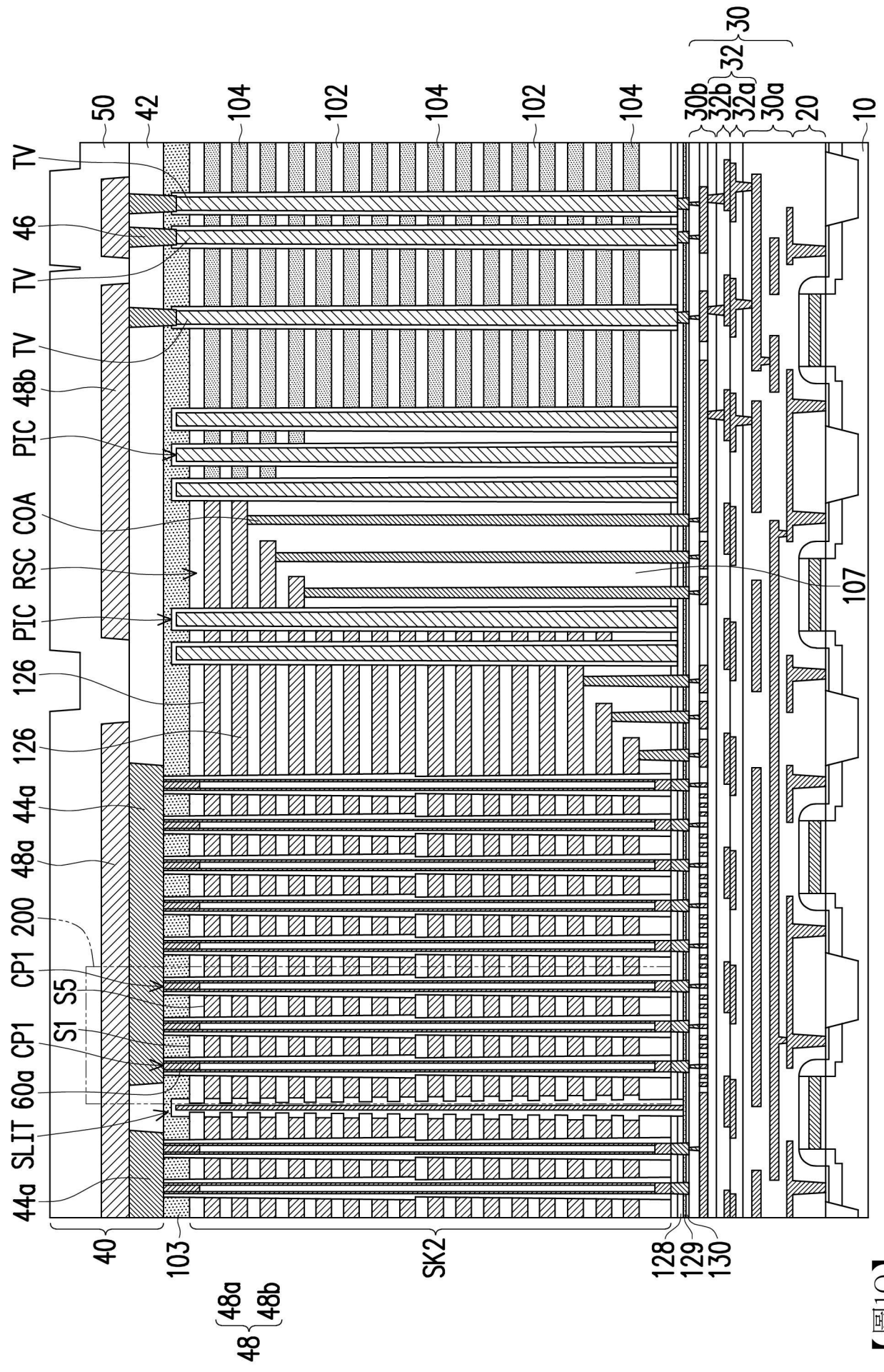
【圖1N】



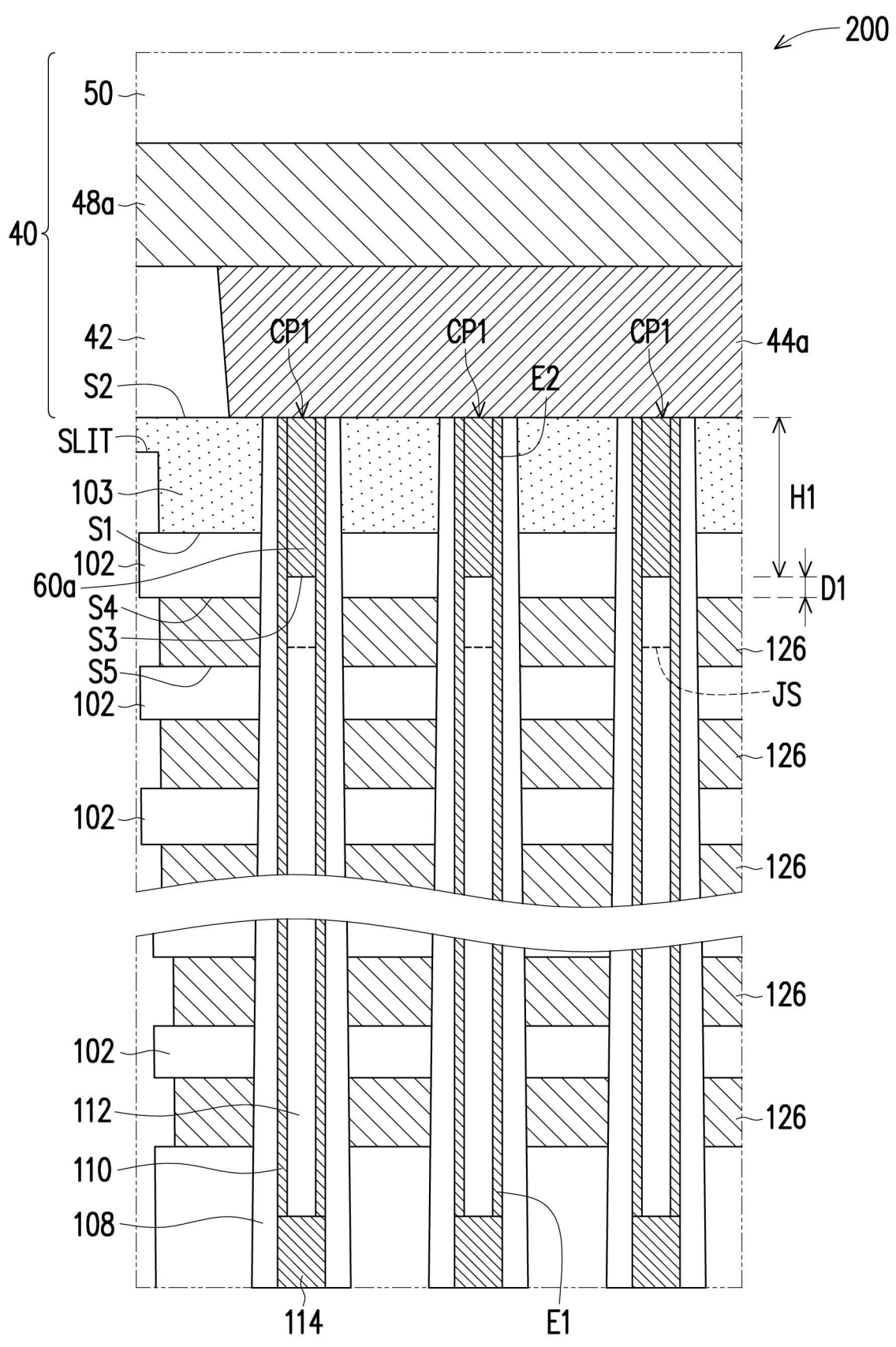
【圖10】



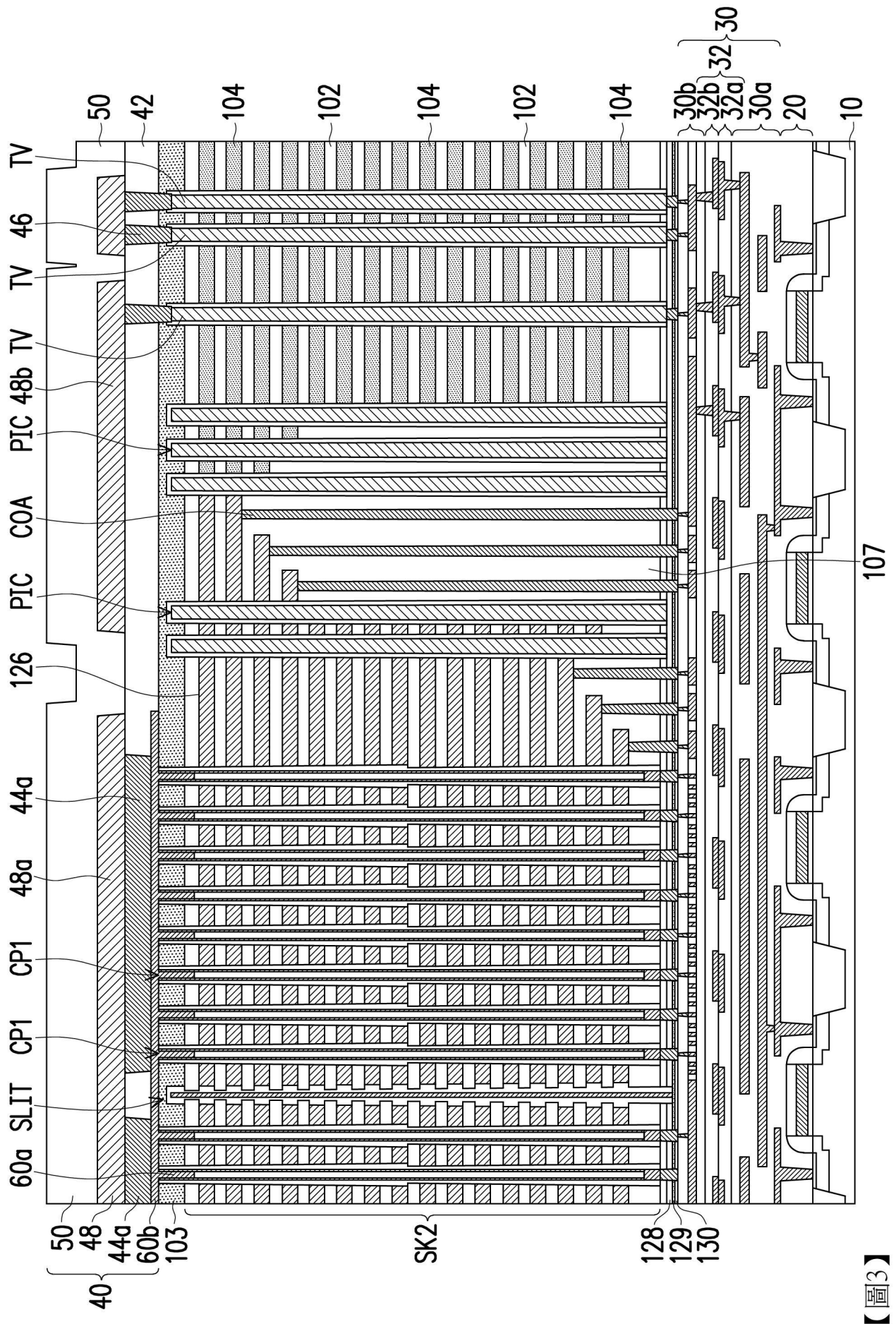
【圖1P】



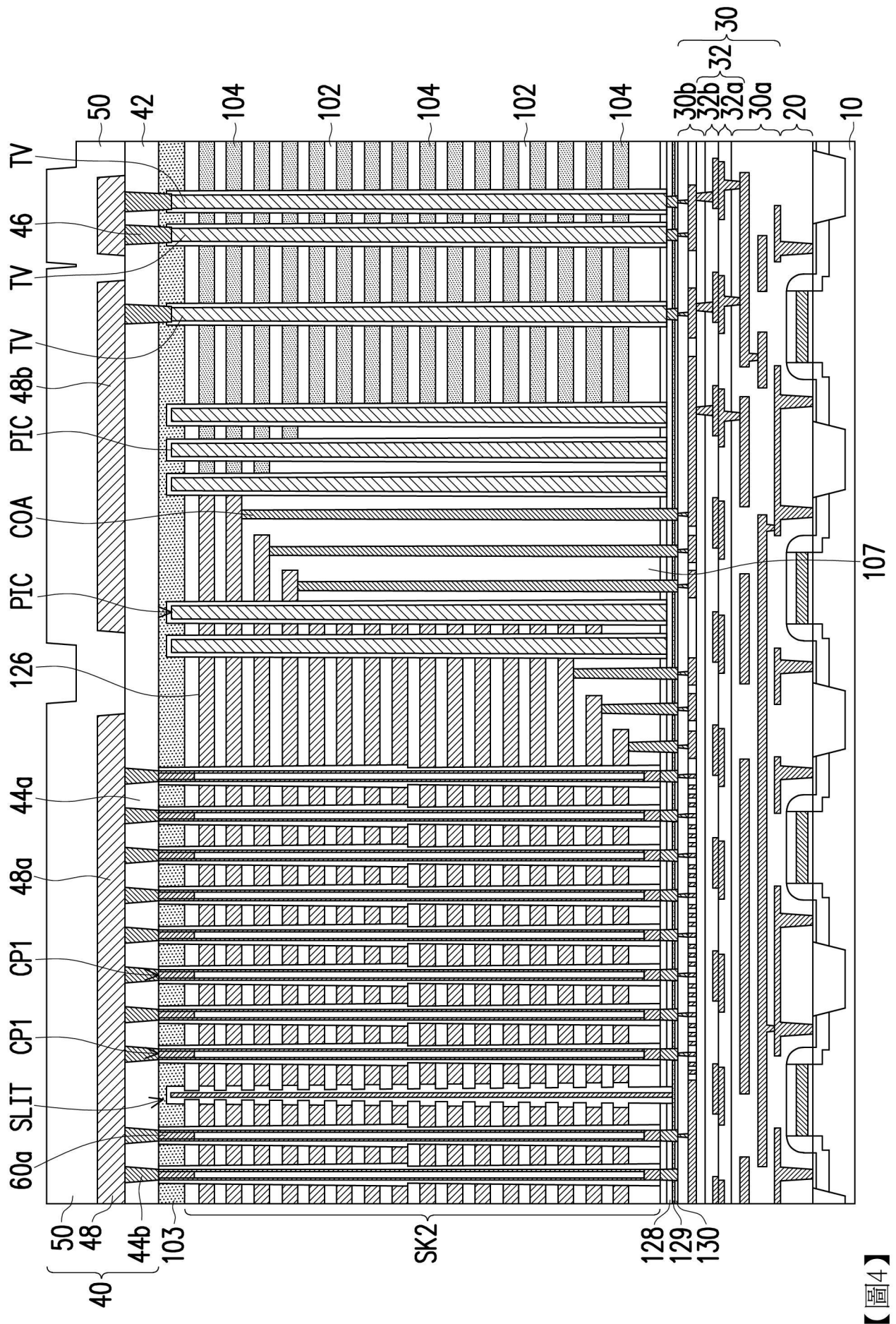
【圖10】



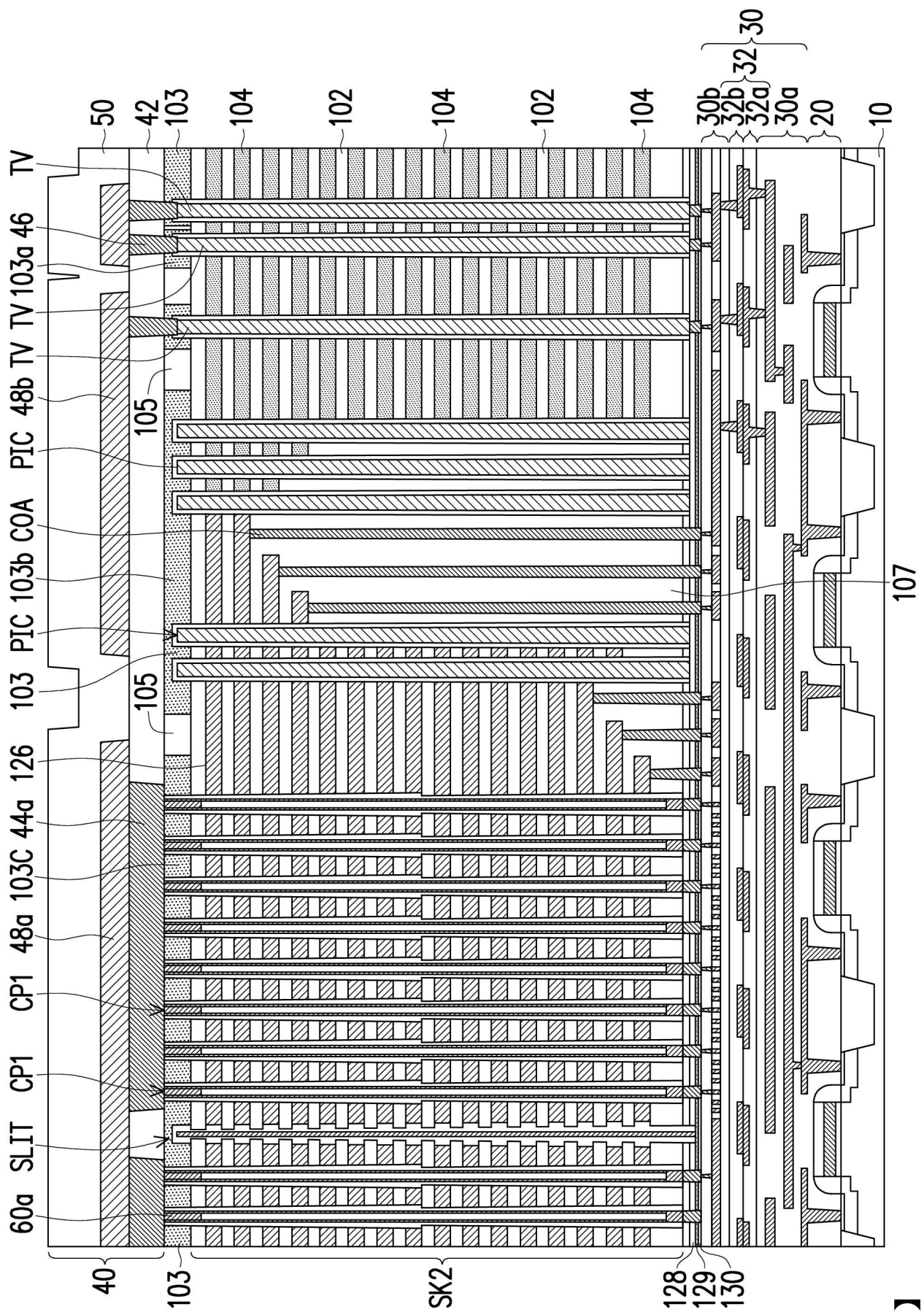
【圖2】



【圖3】



【圖4】



【圖5】